

(52) CPC특허분류
G09G 2320/0233 (2013.01)

(56) 선행기술조사문헌
JP2010224532 A
KR1020100041176 A
KR1020100071301 A
US05421908 A
US05684365 A
US20100015676 A1

(30) 우선권주장
JP-P-2011-081923 2011년04월01일 일본(JP)
JP-P-2011-108610 2011년05월13일 일본(JP)
JP-P-2011-108587 2011년05월13일 일본(JP)

명세서

청구범위

청구항 1

반도체막과, 제 1 도전막과, 제 2 도전막과, 제 3 도전막을 갖고

상기 반도체막은 제 1 트랜지스터의 채널 형성 영역을 갖고,

상기 반도체막은 제 2 트랜지스터의 채널 형성 영역을 갖고,

상기 반도체막은 상기 제 1 트랜지스터의 채널 형성 영역과 상기 제 2 트랜지스터의 채널 형성 영역 사이에 불순물 영역을 갖고,

상기 불순물 영역은 상기 제 1 트랜지스터의 소스 또는 드레인의 한쪽으로서의 기능을 갖고, 또한, 상기 제 2 트랜지스터의 소스 또는 드레인의 한쪽으로서의 기능을 갖고,

상기 제 1 도전막은 상기 제 1 트랜지스터의 게이트로서의 기능을 갖고,

상기 제 2 도전막은 상기 제 2 트랜지스터의 게이트로서의 기능을 갖고,

상기 반도체막은 상기 제 1 트랜지스터의 채널 형성 영역에서 구부러진 형상을 갖고,

상기 제 3 도전막은 발광 소자의 화소 전극으로서의 기능을 갖고,

상기 제 1 트랜지스터의 소스 또는 드레인의 한쪽은, 상기 제 2 트랜지스터의 소스 또는 드레인의 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 또는 드레인의 다른 쪽은, 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 3 도전막은 상기 반도체막과 중첩되는 영역을 갖고,

상기 제 1 도전막은 상기 반도체막의 위쪽에 위치하고,

상기 제 3 도전막은 상기 제 1 도전막의 위쪽에 위치하고,

상기 제 1 트랜지스터는 상기 발광 소자로의 전류의 공급을 제어하는 기능을 갖는 발광 장치.

발명의 설명

기술 분야

[0001] 본 발명은 트랜지스터가 각 화소에 형성된 발광 장치에 관한 것이다.

배경 기술

[0002] 발광 소자를 사용한 표시 장치는 시인성이 높고, 박형화에 최적인 동시에, 시야각에도 제한이 없기 때문에, CRT(Cathode Ray Tube)나 액정 표시 장치를 대신할 표시 장치로서 주목받고 있다. 발광 소자를 사용한 액티브 매트릭스형의 표시 장치는, 구체적으로 제안되어 있는 구성이 메이커에 따라 상이하지만, 통상, 적어도 발광 소자와, 화소로의 비디오 신호의 입력을 제어하는 트랜지스터(스위칭용 트랜지스터)와, 상기 발광 소자에 공급하는 전류값을 제어하는 트랜지스터(구동용 트랜지스터)가, 각 화소에 형성되어 있다.

[0003] 화소에 형성하는 상기 트랜지스터를 모두 동일한 극성으로 함으로써, 트랜지스터의 제작 공정에 있어서, 반도체층에 1도전성을 부여하는 불순물 원소의 첨가 등의 공정을, 일부 생략할 수 있다. 하기의 특허문헌 1에는, n채널형 트랜지스터만으로 화소가 구성되어 있는 발광 소자형 디스플레이에 관해서, 기재되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개특허공보 제2003-195810호

발명의 내용

해결하려는 과제

[0005] 그런데, 발광 장치에서는, 구동용 트랜지스터의 드레인 전류가 발광 소자에 공급되기 때문에, 화소간에 있어서 구동용 트랜지스터의 임계값 전압에 편차가 발생하면, 발광 소자의 휘도에도 그 편차가 반영되어 버린다. 따라서, 임계값 전압의 편차를 예측하여 구동용 트랜지스터의 전류값을 보정할 수 있는 화소 구성의 제안은, 발광 장치의 화질 향상을 도모하는데 있어서, 중요한 과제이다.

[0006] 또한, 일반적으로, 발광 소자의 애노드로서 사용하는 도전막은, 발광 소자의 캐소드로서 사용하는 도전막보다도, 대기 중에 있어서 그 표면이 산화되기 어렵다. 게다가, 발광 소자의 애노드로서 사용하는 도전막은, 통상, 스퍼터링법을 사용하여 형성되기 때문에, 전계 발광 재료를 함유하는 전계 발광층 위에 애노드를 형성하면, 스퍼터링 대미지에 의해 전계 발광층이 손상을 받기 쉽다. 따라서, 애노드, 전계 발광층, 캐소드의 순으로 적층된 구조를 갖는 발광 소자는, 제작 프로세스도 간이하고, 높은 발광 효율이 얻어지기 쉽다. 그러나, 상기 구조의 발광 소자에 n채널형의 구동용 트랜지스터를 조합하는 경우, 구동용 트랜지스터의 소스가 발광 소자의 애노드에 접속된다. 따라서, 전계 발광 재료의 열화에 따라, 발광 소자의 애노드와 캐소드간의 전압이 증가하면, 구동용 트랜지스터에 있어서 소스의 전위가 상승하고, 게이트와 소스간의 전압(게이트 전압)이 작아진다. 이로 인해, 구동용 트랜지스터의 드레인 전류, 즉, 발광 소자에 공급되는 전류가 작아져 발광 소자의 휘도가 저하된다.

[0007] 상기의 문제를 감안하여, 본 발명은 구동용 트랜지스터의 임계값 전압의 편차에 의한 화소간의 휘도의 편차가 억제되는, 발광 장치의 제공을 과제의 하나로 한다. 또는, 본 발명은, 전계 발광층의 열화에 의해, 발광 소자의 휘도가 저하되는 것을 억제할 수 있는 발광 장치의 제공을, 과제의 하나로 한다.

과제의 해결 수단

[0008] 본 발명의 일 형태에서는, 상기 과제를 해결하기 위해, 구동용 트랜지스터의 게이트와 소스간의 전압을 유지하는 제 1 용량 소자와, 상기 제 1 용량 소자에 직렬로 접속되고, 또한 발광 소자와 직렬로 접속된 제 2 용량 소자를, 화소에 형성한다. 또한, 제 1 용량 소자가 갖는 용량값은, 발광 소자 및 제 2 용량 소자로 구성되는 합성 용량의 용량값보다도, 작은 구성으로 한다. 상기 화소에 있어서, 구동용 트랜지스터의 게이트와 드레인을 접속한 상태에서, 임계값 전압보다도 큰 전압을 구동용 트랜지스터의 게이트와 소스 사이에 인가한다. 이어서, 상기 게이트와 드레인을 접속한 채, 소스를 플로팅(부유 상태)으로 함으로써, 상기 제 1 용량 소자에 구동용 트랜지스터의 임계값 전압이 유지된다. 그리고, 소스를 플로팅(부유 상태)으로 한 채, 게이트에 화상 신호의 전압을 주면, 구동용 트랜지스터의 게이트와 소스간에, 화상 신호의 전압에 임계값 전압을 가산한 전압이 주어진다. 발광 소자는, 구동용 트랜지스터의 게이트 전압에 적합한 값의 전류가 공급되어 계조의 표시를 행한다.

[0009] 본 발명의 일 형태에서는, 상기 구성에 의해, 구동용 트랜지스터의 임계값 전압이 시프트해도, 임계값 전압의 크기에 맞춰서 그 게이트 전압을 결정할 수 있다. 또한, 본 발명의 일 형태에서는, 상기 구성에 의해, 전계 발광 재료의 열화에 따라 발광 소자의 애노드와 캐소드간의 전압이 증가해도, 구동용 트랜지스터의 게이트 전압에 변화가 생기지 않는다.

[0010] 구체적으로, 본 발명의 일 형태에 따른 발광 장치는, 발광 소자와, 소스가 발광 소자의 애노드에 전기적으로 접속되어, 발광 소자에 흐르는 전류를 제어하는 제 1 트랜지스터와, 제 1 트랜지스터의 게이트에 화상 신호를 입력할지 여부를 제어하는 제 2 트랜지스터와, 제 1 트랜지스터의 게이트와 드레인을 전기적으로 접속할지 여부를 제어하는 제 3 트랜지스터와, 제 1 트랜지스터의 드레인에 제 1 전원 전위를 공급할지 여부를 제어하는 제 4 트랜지스터와, 발광 소자의 애노드에 제 2 전원 전위를 공급할지 여부를 제어하는 제 5 트랜지스터와, 제 1 트랜지스터의 게이트와 소스 사이의 전압을 유지하는 제 1 용량 소자와, 제 1 용량 소자에 직렬 접속으로 전기적으로 접속되어 발광 소자에 직렬 접속으로 전기적으로 접속되는 제 2 용량 소자를 구비하고, 제 1 트랜지스터 내지 제 5 트랜지스터 각각은, n채널형 트랜지스터인 발광 장치이다.

[0011] 또한, 본 발명의 일 형태에 따른 발광 장치에서는, 제 2 트랜지스터의 드레인에 제 2 전원 전위를 공급할지 여부를 제어하는 제 6 트랜지스터를 형성해도 좋다.

[0012] 또한, 상기 본 발명의 일 형태에 따른 발광 장치에서는, 제 1 트랜지스터 내지 제 6 트랜지스터에 있어서, 소스와 드레인 사이에 형성되는 채널 형성 영역이 산화물 반도체, 또는 단결정 실리콘이라도 좋다.

발명의 효과

[0013] 본 발명의 일 형태에서는, 상기 구성에 의해, 구동용 트랜지스터의 임계값 전압의 편차에 의한 화소간의 휘도의 편차가 억제된다. 또는, 본 발명의 일 형태에서는, 전계 발광층의 열화에 의해, 발광 소자의 휘도가 저하되는 것을 억제할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 발광 장치에 있어서의 화소부를 도시하는 회로도, 타이밍 차트.
- 도 2는 발광 장치의 구동 방법을 도시하는 도면.
- 도 3은 발광 장치의 구동 방법을 도시하는 도면.
- 도 4는 발광 장치에 있어서의 화소부를 도시하는 회로도.
- 도 5는 화소의 상면도.
- 도 6은 화소의 단면도.
- 도 7은 화소의 상면도.
- 도 8은 화소의 상면도.
- 도 9는 화소의 단면도.
- 도 10은 화소의 단면도.
- 도 11은 구동 회로의 블록도.
- 도 12는 구동 회로의 블록도.
- 도 13은 발광 장치의 사시도.
- 도 14는 전자 기기의 도면.
- 도 15는 산화물 재료의 구조를 설명하는 도면.
- 도 16은 산화물 재료의 구조를 설명하는 도면.
- 도 17은 산화물 재료의 구조를 설명하는 도면.
- 도 18은 계산에 의해 얻어진 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 19는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 20은 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 21은 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
- 도 22는 계산에 사용한 트랜지스터의 단면 구조를 설명하는 도면.
- 도 23은 트랜지스터의 특성을 도시하는 도면.
- 도 24는 트랜지스터의 특성을 도시하는 도면.
- 도 25는 트랜지스터의 특성을 도시하는 도면.
- 도 26은 트랜지스터의 특성을 도시하는 도면.
- 도 27은 트랜지스터의 특성을 도시하는 도면.

도 28은 트랜지스터의 XRD 스펙트럼을 도시하는 도면.

도 29는 트랜지스터의 특성을 도시하는 도면.

도 30은 트랜지스터의 구조를 설명하는 도면.

도 31은 트랜지스터의 구조를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하에서는, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은, 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.
- [0016] (실시형태 1)
- [0017] 본 실시형태에 있어서의 발광 장치는, 화소부를 포함한다. 또한, 본 실시형태의 발광 장치에 있어서의 화소부의 예에 관해서 도 1을 사용하여 설명한다.
- [0018] 도 1a에 도시하는 바와 같이, 화소부는, 신호선(S1)과, 전원선(VA)과, 전원선(VB)과, 전원선(VC)과, 주사선(G1)과, 주사선(G2)과, 주사선(G3)과, 주사선(G4)과, 발광 소자(101)와, 트랜지스터(102)와, 트랜지스터(103)와, 트랜지스터(104)와, 트랜지스터(105)와, 트랜지스터(106)와, 용량 소자(107)와, 용량 소자(108)와, 트랜지스터(109)를 구비한다.
- [0019] 도 1a에 도시하는 발광 장치에 있어서, 트랜지스터는 전계 효과 트랜지스터이다. 또한, 상기 트랜지스터에서는, 구조나 동작 조건 등에 따라, 소스와 드레인이 서로 바뀌는 경우가 있다.
- [0020] 예를 들면, 발광 소자(101), 트랜지스터(102), 트랜지스터(103), 트랜지스터(104), 트랜지스터(105), 트랜지스터(106), 용량 소자(107), 용량 소자(108), 및 트랜지스터(109)를 구비하는 회로를 1개의 화소 회로로 하여, 1개의 화소 회로에 의해 1개의 화소를 구성해도 좋다. 상기 화소 회로는, 화소부에 있어서, 행렬 방향으로 복수 형성된다. 또한, 2개 이상의 상기 화소 회로에 의해 1개의 화소를 구성해도 좋다. 그 경우, 하나의 화소에 있어서의 상기 화소 회로를 서브 화소라고도 한다.
- [0021] 발광 소자(101)는 애노드 및 캐소드를 가지며, 상기 애노드와 캐소드 사이에 흐르는 전류량에 따른 휘도로 발광한다. 따라서, 발광 소자(101)에 의해, 계조의 표시를 행할 수 있다.
- [0022] 발광 소자(101)로서는, 예를 들면 일렉트로루미네선스 소자 또는 발광 다이오드 등을 사용할 수 있다. 예를 들면, 발광 소자(101)의 구조를, 애노드로서 사용되는 도전막 및 캐소드로서 사용되는 도전막 사이에 전계 발광 재료를 함유하는 전계 발광층을 포함하는 구조로 할 수 있다.
- [0023] 트랜지스터(102)의 소스는, 발광 소자(101)의 애노드에 전기적으로 접속된다. 트랜지스터(102)는 발광 소자(101)에 흐르는 전류를 제어하는 구동용 트랜지스터로서의 기능을 가진다.
- [0024] 트랜지스터(103)의 소스 및 드레인의 한쪽은, 신호선(S1)에 전기적으로 접속되고, 트랜지스터(103)의 소스 및 드레인의 다른쪽은, 트랜지스터(102)의 게이트에 전기적으로 접속된다. 신호선(S1)은, 화상 신호(비디오 신호)가 공급되는 배선이다. 또한, 도 1a에 있어서, 트랜지스터(103)의 게이트는, 주사선(G1)에 전기적으로 접속된다. 주사선(G1)은 주사 신호(SCN1)가 공급되는 배선이며, 트랜지스터(103)는 주사 신호(SCN1)에 따라 온 상태 또는 오프 상태가 된다. 트랜지스터(103)는, 트랜지스터(102)의 게이트에 화상 신호를 입력할지 여부를 제어하는 스위칭용 트랜지스터로서의 기능을 가진다.
- [0025] 트랜지스터(104)의 소스 및 드레인의 한쪽은, 트랜지스터(102)의 드레인에 전기적으로 접속되고, 트랜지스터(104)의 소스 및 드레인의 다른쪽은, 트랜지스터(102)의 게이트에 전기적으로 접속된다. 또한, 도 1a에 있어서, 트랜지스터(104)의 게이트는, 주사선(G2)에 전기적으로 접속된다. 주사선(G2)은 주사 신호(SCN2)가 공급되는 배선이며, 트랜지스터(104)는 주사 신호(SCN2)에 따라 온 상태 또는 오프 상태가 된다. 트랜지스터(104)는 트랜지스터(102)의 게이트와 드레인을 전기적으로 접속할지 여부를 제어하는 기능을 가진다.
- [0026] 트랜지스터(105)의 소스 및 드레인의 한쪽은, 전원선(VA)에 전기적으로 접속되고, 트랜지스터(105)의 소스 및 드레인의 다른쪽은, 트랜지스터(102)의 드레인에 전기적으로 접속된다. 전원선(VA)은, 전원 전위(V1)가 공급되는 배선이며, 전원 전위(V1)는, 기준 전위(예를 들면 접지 전위)보다 높은 전위이다. 또한, 도 1a에 있어서,

트랜지스터(105)의 게이트는, 주사선(G3)에 전기적으로 접속된다. 주사선(G3)은, 주사 신호(SCN3)가 공급되는 배선이며, 트랜지스터(105)는 주사 신호(SCN3)에 따라 온 상태 또는 오프 상태가 된다. 트랜지스터(105)는 트랜지스터(102)의 드레인에 전원 전위(V1)를 공급할지 여부를 제어하는 기능을 가진다.

[0027] 트랜지스터(106)의 소스 및 드레인의 한쪽은, 전원선(VB)에 전기적으로 접속되고, 트랜지스터(106)의 소스 및 드레인의 다른쪽은, 발광 소자(101)의 애노드에 전기적으로 접속된다. 전원선(VB)은, 전원 전위(V2)가 공급되는 배선이며, 전원 전위(V2)는, 기준 전위 미만의 전위이다. 또한, 도 1a에 있어서, 트랜지스터(106)의 게이트는, 주사선(G4)에 전기적으로 접속된다. 주사선(G4)은, 주사 신호(SCN4)가 공급되는 배선이며, 트랜지스터(106)는 주사 신호(SCN4)에 따라 온 상태 또는 오프 상태가 된다. 트랜지스터(106)는, 발광 소자(101)의 애노드에 전원 전위(V2)를 공급할지 여부를 제어하는 기능을 가진다. 또한, 발광 소자(101)의 캐소드의 전압을, 전원 전위(V2)보다 높은 전위로 함으로써, 예를 들면 초기화 기간에 있어서, 발광 소자(101)에 흐르는 전류량을 저감시킬 수 있다.

[0028] 용량 소자(107)의 한 쌍의 전극의 한쪽은, 트랜지스터(102)의 게이트에 전기적으로 접속되고, 용량 소자(107)의 한 쌍의 전극의 다른쪽은, 트랜지스터(102)의 소스에 전기적으로 접속된다. 용량 소자(107)는 트랜지스터(102)의 게이트와 소스 사이의 전압을 유지하는 기능을 가진다.

[0029] 용량 소자(108)의 한 쌍의 전극의 한쪽은, 용량 소자(107)의 한 쌍의 전극의 다른쪽 및 발광 소자(101)의 애노드에 전기적으로 접속되고, 용량 소자(108)의 한 쌍의 전극의 다른쪽은, 전원선(VB)에 전기적으로 접속된다. 용량 소자(108)는 용량 소자(107)에 직렬 접속으로 전기적으로 접속되고, 발광 소자(101)에 직렬 접속으로 전기적으로 접속된다.

[0030] 또한, 용량 소자(107)가 갖는 용량값은, 발광 소자(101) 및 용량 소자(108)로 구성되는 합성 용량의 용량값보다도 작은 것이 바람직하다. 이것에 의해, 발광 소자(101)에 있어서의 용량에 의한 트랜지스터(102)의 게이트와 소스 사이에 있어서의 전압의 저하를 억제할 수 있다.

[0031] 트랜지스터(109)의 소스 및 드레인의 한쪽은, 전원선(VC)에 전기적으로 접속되고, 트랜지스터(109)의 소스 및 드레인의 다른쪽은, 트랜지스터(102)의 드레인에 전기적으로 접속된다. 전원선(VC)은, 전원 전위(V3)가 공급되는 배선이며, 전원 전위(V3)는 전원 전위(V1)보다도 낮고, 전원 전위(V2)보다도 높고, 발광 소자(101)의 캐소드의 전위보다 높은 전위이다. 또한, 이것에 한정되지 않고, 발광 소자(101)의 캐소드를 전원선(VC)에 전기적으로 접속시켜도 좋다. 또한, 전원 전위(V3)와 전원 전위(V2)의 전위차는, 트랜지스터(102)의 임계값 전압보다 크다. 또한, 트랜지스터(109)의 소스 및 드레인의 다른쪽을, 트랜지스터(102)의 드레인이 아니라 게이트에 전기적으로 접속시켜도 좋다. 또한, 도 1a에 있어서, 트랜지스터(109)의 게이트는, 주사선(G2)에 전기적으로 접속되고, 트랜지스터(109)는 주사 신호(SCN2)에 따라 온 상태 또는 오프 상태가 된다. 트랜지스터(109)는 트랜지스터(102)의 드레인에 전원 전위(V3)를 공급할지 여부를 제어하는 기능을 가진다. 트랜지스터(109)를 형성함으로써, 초기화 기간에 있어서, 트랜지스터(102)의 게이트와 드레인에 전원 전위(V1)보다 낮은 전원 전위(V3)를 공급하고, 트랜지스터(102)의 소스와 드레인 사이에 흐르는 전류값을 작게 할 수 있다. 따라서, 소비 전력을 저감시킬 수 있다.

[0032] 트랜지스터(102)로서는, n채널형 트랜지스터를 사용할 수 있다. 또한, 트랜지스터(103), 트랜지스터(104), 트랜지스터(105), 트랜지스터(106), 및 트랜지스터(109)로서는, n채널형 트랜지스터 또는 p채널형 트랜지스터를 사용할 수 있다. 예를 들면, 트랜지스터(102), 트랜지스터(103), 트랜지스터(104), 트랜지스터(105), 트랜지스터(106), 및 트랜지스터(109)로서 n채널형 트랜지스터를 사용함으로써, 제조 공정수를 삭감할 수 있다.

[0033] 또한, 트랜지스터(102), 트랜지스터(103), 트랜지스터(104), 트랜지스터(105), 트랜지스터(106), 및 트랜지스터(109)로서는, 예를 들면 소스와 드레인 사이에 형성되는 채널 형성 영역이 산화물 반도체 등의 와이드 갭 반도체인 트랜지스터를 사용해도 좋고, 상기 채널 형성 영역이 비정질, 미결정, 다결정 또는 단결정인, 실리콘 또는 게르마늄 등의 반도체인 트랜지스터를 사용해도 좋다. 상기 산화물 반도체를 사용한 트랜지스터는, 종래의 실리콘 등의 반도체를 사용한 트랜지스터보다 오프 전류가 낮은 산화물 반도체를 사용한 트랜지스터이다. 상기 산화물 반도체는, 실리콘보다도 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘보다도 낮다. 이로 인해, 트랜지스터의 오프 전류를 매우 낮게 할 수 있고, 상기 산화물 반도체를 사용한 트랜지스터의 오프 전류는, 채널 폭 $1\mu\text{m}$ 당 $10\text{aA}(1 \times 10^{-17}\text{A})$ 이하, 바람직하게는 채널 폭 $1\mu\text{m}$ 당 $1\text{aA}(1 \times 10^{-18}\text{A})$ 이하, 더욱 바람직하게는 채널 폭 $1\mu\text{m}$ 당 $10\text{zA}(1 \times 10^{-20}\text{A})$ 이하, 더욱 바람직하게는 채널 폭 $1\mu\text{m}$ 당 $1\text{zA}(1 \times 10^{-21}\text{A})$ 이하, 더욱 바람직하게는 채널 폭 $1\mu\text{m}$ 당

$100\mu A(1 \times 10^{-22} A)$ 이하이다.

- [0034] 다음에, 본 실시형태에 있어서의 발광 장치의 구동 방법예에 관해서, 도 1b에 도시하는 타이밍 차트, 및 도 2 및 도 3을 사용하여 설명한다. 또한, 여기에서는 일례로서 트랜지스터(102), 트랜지스터(103), 트랜지스터(104), 트랜지스터(105), 트랜지스터(106), 및 트랜지스터(109)가 모두 n채널형 트랜지스터인 것으로 한다. 또한, 용량 소자(107)의 용량값은, 발광 소자(101) 및 용량 소자(108)로 구성되는 합성 용량의 용량값보다 훨씬 작고, 상기 합성 용량에 의한 트랜지스터(102)의 게이트와 소스 사이에 있어서의 전압의 저하는 없는 것으로 한다.
- [0035] 본 실시형태에 있어서의 발광 장치의 구동 방법예는, 초기화 기간(T11), 임계값 전압 데이터 취득 기간(T12), 화상 신호 입력 기간(T13), 표시 기간(T14)으로 크게 나뉘어진다.
- [0036] 우선, 초기화 기간(T11)에 있어서, 도 1b 및 도 2a에 도시하는 바와 같이, 트랜지스터(104), 트랜지스터(106), 및 트랜지스터(109)를 온 상태로 한다.
- [0037] 이 때, 트랜지스터(102)의 게이트 및 드레인의 각각의 전위가 전원 전위(V3)가 된다. 또한, 트랜지스터(102)의 소스의 전위가 전원 전위(V2)가 된다. 이것에 의해, 트랜지스터(102)가 온 상태가 되고, 트랜지스터(102)의 게이트와 소스 사이의 전압(전압(Vgs102)라고도 한다)은, 전원 전위(V3)로부터 전원 전위(V2)를 뺀 값(V3-V2)이 된다.
- [0038] 다음에, 임계값 전압 데이터 취득 기간(T12)에 있어서, 도 1b 및 도 2b에 도시하는 바와 같이, 트랜지스터(106)를 오프 상태로 한다.
- [0039] 이 때, 트랜지스터(102)는 온 상태 그대로 트랜지스터(102)의 소스와 드레인 사이에 전류가 흐름으로써, 트랜지스터(102)의 소스의 전위가 상승하고, 트랜지스터(102)의 게이트와 소스 사이의 전압이 트랜지스터(102)의 임계값 전압(전압(Vth102)이라고도 한다) 이하가 된 시점에서 트랜지스터(102)가 오프 상태가 된다. 그 후, 트랜지스터(104) 및 트랜지스터(109)를 오프 상태로 함으로써, 트랜지스터(102)의 게이트와 소스 사이의 전압이 유지된다.
- [0040] 다음에, 화상 신호 입력 기간(T13)에 있어서, 도 1b 및 도 3a에 도시하는 바와 같이, 트랜지스터(103)를 온 상태로 한다.
- [0041] 이 때, 트랜지스터(102)의 게이트에 화상 신호가 입력되고, 트랜지스터(102)의 게이트의 전위가 화상 신호에 따라 변화된다. 이 때, 트랜지스터(102)의 게이트와 소스 사이의 전압은, 트랜지스터(102)의 임계값 전압+전압(Vs)(Vth102+Vs)이 된다. 전압(Vs)의 값은, 화상 신호에 의한 트랜지스터(102)의 게이트의 전위의 변화량에 따라 결정된다. 도 3a에서는, 일례로서 트랜지스터(102)가 온 상태가 되는 것으로 한다.
- [0042] 다음에, 표시 기간(T14)에 있어서, 도 1b 및 도 3b에 도시하는 바와 같이, 트랜지스터(103)를 오프 상태로 하고, 트랜지스터(105)를 온 상태로 한다.
- [0043] 이 때, 트랜지스터(102)의 드레인의 전위가 전원 전위(V1)가 되고, 트랜지스터(102)의 소스와 드레인 사이에 전류가 흐른다. 또한, 발광 소자(101)의 애노드와 캐소드 사이에 전류가 흐름으로써 발광 소자(101)가 발광한다. 따라서, 표시 상태가 된다.
- [0044] 이 때, 발광 소자(101)에 흐르는 전류값은, 트랜지스터(102)의 소스와 드레인 사이에 흐르는 전류값(IDs102라고도 한다)에 의해 결정되고, 트랜지스터(102)를 포화 영역에서 동작시키는 경우, 트랜지스터(102)의 소스와 드레인 사이에 흐르는 전류값은, 하기 수학적 식 1로 표기할 수 있다.

수학적 식 1

$$I_{ds102} = \frac{1}{2} \beta (V_{gs102} - V_{th102})^2$$

- [0045]
- [0046] β 는, 트랜지스터(102)의 이동도, 채널 길이, 채널 폭 등으로부터 구해지는 상수이다.
- [0047] 표시 기간(T14)에 있어서, 트랜지스터(102)의 게이트와 소스 사이의 전압(Vgs102)은, Vth102+Vs이기 때문에, 상기 수학적 식 1에 대입하면 하기 수학적 식 2와 같이 된다.

수학식 2

$$I_{ds102} = \frac{1}{2} \beta (V_{th102} + V_s - V_{th102})^2 = \frac{1}{2} \beta (V_s)^2$$

- [0048]
- [0049] 따라서, 트랜지스터(102)의 소스와 드레인 사이에 흐르는 전류값(I_{ds102})은, 트랜지스터(102)의 임계값 전압에 관계없이, 화상 신호의 값에 따라 결정된다.
- [0050] 상기 동작을 모든 화소 회로에서 행함으로써, 발광 장치에 있어서 화상이 표시된다. 또한, 상기 동작을 각 화소 회로에서 반복하여 행함으로써, 발광 장치의 표시 화상을 재기록할 수 있다.
- [0051] 이상이 본 실시형태에 있어서의 발광 장치의 구동 방법예이다.
- [0052] 또한, 본 실시형태에 있어서의 발광 장치에서는, 도 4에 도시하는 바와 같이 트랜지스터(109)를 형성하지 않아도 좋다. 이 때, 초기화 기간(T11)에서는, 트랜지스터(105)를 온 상태로 하고 트랜지스터(102)의 드레인에 전원 전위(V_1)를 공급한다. 트랜지스터(109)를 형성하지 않는 구성으로 함으로써, 트랜지스터의 수를 적게 할 수 있어 회로 면적을 작게 할 수 있다.
- [0053] 도 1 내지 도 4를 사용하여 설명한 바와 같이, 본 실시형태에 있어서의 발광 장치에서는, 임계값 전압 데이터 취득 기간을 마련하고, 용량 소자를 사용하여 구동 트랜지스터의 게이트와 소스 사이의 전압을 구동용 트랜지스터의 임계값 전압에 따른 값으로 설정해 둔다. 이것에 의해, 표시 기간에 있어서, 구동용 트랜지스터의 소스와 드레인 사이에 흐르는 전류량을, 구동용 트랜지스터의 임계값 전압에 관계없이 결정할 수 있기 때문에, 구동 트랜지스터의 임계값 전압의 편차에 의한 화소간의 휘도의 편차를 억제할 수 있다.
- [0054] 또한, 본 실시형태에 있어서의 발광 장치에서는, 초기화 기간에 있어서, 발광 소자의 애노드에 초기화용의 전원 전위를 공급함으로써, 발광 소자에 있어서의 전계 발광층의 열화에 의한 발광 소자의 애노드와 캐소드 사이에 인가되는 전압의 변화를 억제할 수 있다. 따라서, 전계 발광층의 열화에 의해, 발광 소자의 휘도가 저하되는 것을 억제할 수 있다.
- [0055] 또한, 본 실시형태에 있어서의 발광 장치에서는, 화소부에 있어서의 모든 트랜지스터를 n채널형 트랜지스터로 구성함으로써, 제조 공정수를 삭감할 수 있다.
- [0056] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0057] (실시형태 2)
- [0058] 본 실시형태에서는, 본 발명의 일 형태에 따른 발광 장치의, 화소의 구체적인 구성에 관해서 설명한다.
- [0059] 도 5에, 도 1a에 도시한 화소의 상면도를 일례로서 도시한다. 또한, 도 5에서는, 화소의 레이아웃을 명확하게 나타내기 위해, 각종 절연막을 생략하고, 화소의 상면도를 도시한다. 또한, 도 5에서는, 화소가 갖는 트랜지스터와 용량 소자의 레이아웃을 명확하게 나타내기 위해, 애노드와, 전계 발광층과, 캐소드를 생략하고, 화소의 상면도를 도시한다.
- [0060] 또한, 도 6에, 도 5에 도시하는 상면도의, 파선 A1-A2 및 파선 A3-A4에 있어서의 단면도를 도시한다.
- [0061] 트랜지스터(103)는, 절연 표면을 갖는 기판(800) 위에, 게이트로서 기능하는 도전막(801)과, 도전막(801) 위의 게이트 절연막(802)과, 도전막(801)과 중첩되는 위치에 있어서 게이트 절연막(802) 위에 위치하는 반도체층(803)과, 소스 또는 드레인으로서 기능하고, 반도체층(803) 위에 위치하는 도전막(804) 및 도전막(805)을 가진다. 도전막(801)은 주사선(G1)으로서도 기능한다. 도전막(804)은 신호선(S1)으로서도 기능한다.
- [0062] 트랜지스터(102)는 절연 표면을 갖는 기판(800) 위에, 게이트로서 기능하는 도전막(806)과, 도전막(806) 위의 게이트 절연막(802)과, 도전막(806)과 중첩되는 위치에 있어서 게이트 절연막(802) 위에 위치하는 반도체층(807)과, 소스 또는 드레인으로서 기능하고, 반도체층(807) 위에 위치하는 도전막(808) 및 도전막(809)을 가진다. 도전막(806)은 콘택트홀을 통하여 도전막(805)에 접속되어 있다.
- [0063] 트랜지스터(104)는, 절연 표면을 갖는 기판(800) 위에, 게이트로서 기능하는 도전막(810)과, 도전막(810) 위의 게이트 절연막(802)과, 도전막(810)과 중첩되는 위치에 있어서 게이트 절연막(802) 위에 위치하는 반도체층(811)과, 소스 또는 드레인으로서 기능하며, 반도체층(811) 위에 위치하는 도전막(805) 및 도전막(808)을 가진

다. 도전막(810)은 주사선(G2)으로서도 기능한다.

- [0064] 트랜지스터(105)는 절연 표면을 갖는 기판(800) 위에, 게이트로서 기능하는 도전막(812)과, 도전막(812) 위의 게이트 절연막(802)과, 도전막(812)과 중첩되는 위치에 있어서 게이트 절연막(802) 위에 위치하는 반도체층(813)과, 소스 또는 드레인으로서 기능하며, 반도체층(813) 위에 위치하는 도전막(808) 및 도전막(814)을 가진다. 도전막(812)은 주사선(G3)으로서도 기능한다. 도전막(814)은 전원선(VA)으로서도 기능한다.
- [0065] 트랜지스터(106)는, 절연 표면을 갖는 기판(800) 위에, 게이트로서 기능하는 도전막(815)과, 도전막(815) 위의 게이트 절연막(802)과, 도전막(815)과 중첩되는 위치에 있어서 게이트 절연막(802) 위에 위치하는 반도체층(816)과, 소스 또는 드레인으로서 기능하며, 반도체층(816) 위에 위치하는 도전막(809) 및 도전막(817)을 가진다. 도전막(815)은 주사선(G4)으로서도 기능한다.
- [0066] 용량 소자(107)는 절연 표면을 갖는 기판(800) 위에, 도전막(806)과, 도전막(806) 위의 게이트 절연막(802)과, 도전막(806)과 중첩되는 위치에 있어서 게이트 절연막(802) 위에 위치하는 도전막(809)을 가진다.
- [0067] 용량 소자(108)는 절연 표면을 갖는 기판(800) 위에, 도전막(818)과, 도전막(818) 위의 게이트 절연막(802)과, 도전막(818)과 중첩되는 위치에 있어서 게이트 절연막(802) 위에 위치하는 도전막(809)을 가진다. 도전막(818)은 전원선(VB)으로서도 기능하고, 콘택트홀을 통하여 도전막(817)에 접속하고 있다.
- [0068] 트랜지스터(109)는, 절연 표면을 갖는 기판(800) 위에, 게이트로서 기능하는 도전막(819)과, 도전막(819) 위의 게이트 절연막(802)과, 도전막(819)과 중첩되는 위치에 있어서 게이트 절연막(802) 위에 위치하는 반도체층(820)과, 소스 또는 드레인으로서 기능하며, 반도체층(820) 위에 위치하는 도전막(808) 및 도전막(821)을 가진다. 도전막(819)은 주사선(G2)으로서도 기능한다. 또한, 도전막(821)은, 콘택트홀을 통하여, 전원선(VC)으로서 기능하는 도전막(822)에 접속되어 있다.
- [0069] 또한, 도전막(804), 도전막(805), 도전막(808), 도전막(809), 도전막(814), 도전막(817), 도전막(821) 위에는, 절연막(823) 및 절연막(824)이 순차적으로 형성되어 있다. 그리고, 절연막(824) 위에는, 애노드로서 기능하는 도전막(825)이 형성되어 있다. 도전막(825)은, 절연막(823) 및 절연막(824)에 형성된 콘택트홀(826)을 통하여, 도전막(809)에 접속되어 있다.
- [0070] 또한, 도전막(825)의 일부가 노출되는 개구부를 가진 절연막(827)이, 절연막(824) 위에 형성되어 있다. 도전막(825)의 일부 및 절연막(827) 위에는, 전계 발광층(828)과, 캐소드로서 기능하는 도전막(829)이, 순차적으로 적층하도록 형성되어 있다. 도전막(825)과, 전계 발광층(828)과, 도전막(829)이 중첩되어 있는 영역이, 발광 소자(101)에 상당한다.
- [0071] 또한, 도 5에서는, 도전막(810)과 도전막(819)이 모두 주사선(G2)으로서도 기능하는 경우를 예시하고 있지만, 도전막(810)과 도전막(819)이 하나의 도전막으로 구성되어 있어도 좋다.
- [0072] 계속해서, 도 7에, 도 4에 도시한 화소의 상면도를 일례로서 도시한다. 또한, 도 7에서는, 화소의 레이아웃을 명확하게 나타내기 위해, 각종 절연막을 생략하고, 화소의 상면도를 도시한다. 또한, 도 7에서는, 화소가 갖는 트랜지스터와 용량 소자의 레이아웃을 명확하게 나타내기 위해, 애노드와, 전계 발광층과, 캐소드를 생략하고, 화소의 상면도를 도시한다.
- [0073] 도 7에 도시하는 화소는, 트랜지스터(109)와, 트랜지스터(109)의 게이트로서 기능하는 도전막(819)과, 전원선(VC)으로서 기능하는 도전막(822)과, 도전막(822)에 접속된 도전막(821)을 갖지 않는 점에 있어서, 도 5에 도시하는 화소와 상이하다.
- [0074] 또한, 도 5 내지 도 7에서는, 반도체층(803), 반도체층(807), 반도체층(811), 반도체층(813), 반도체층(816), 반도체층(820)에, 산화물 반도체 등의 와이드 갭 반도체를 사용한 경우를 예시하고 있다.
- [0075] 산화물 반도체는, 실리콘보다도 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘보다도 낮다. 이로 인해, 상기한 바와 같이, 산화물 반도체를 사용한 트랜지스터는, 통상의 실리콘이나 게르마늄 등의 반도체를 사용한 트랜지스터에 비해, 오프 전류가 매우 낮다.
- [0076] 사용하는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 특히 In과 Zn을 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서, 이들 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서

알루미늄(Al)을 갖는 것이 바람직하다.

- [0077] 또한, 기타 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수종을 가져도 좋다.
- [0078] 예를 들면, 산화물 반도체로서, 산화인듐, 산화주석, 산화아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0079] 또한, 여기에서, 예를 들면, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 상관없다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어가 있어도 좋다.
- [0080] 또한, 산화물 반도체로서, $InMO_3(ZnO)_m$ ($m>0$, 또한, m 은 정수가 아니다)로 표기되는 재료를 사용해도 좋다. 또한, M 은, Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $In_3SnO_5(ZnO)_n$ ($n>0$, 또한, n 은 정수)로 표기되는 재료를 사용해도 좋다.
- [0081] 또한, 산화물 반도체로서, $In:Ga:Zn=1:1:1(=1/3:1/3:1/3)$ 또는 $In:Ga:Zn=2:2:1(=2/5:2/5:1/5)$ 의 원자수비의 In-Ga-Zn계 산화물이나 그 조성 근방의 산화물을 사용할 수 있다. 또는, $In:Sn:Zn=1:1:1(=1/3:1/3:1/3)$, $In:Sn:Zn=2:1:3(=1/3:1/6:1/2)$ 또는 $In:Sn:Zn=2:1:5(=1/4:1/8:5/8)$ 의 원자수비의 In-Sn-Zn계 산화물이나 그 조성 근방의 산화물을 사용하면 좋다.
- [0082] 그러나, 이들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 농도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0083] 예를 들면, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물에서도, 벌크내 결합 밀도를 저감시킴으로써 이동도를 높일 수 있다.
- [0084] 또한, 예를 들면, In, Ga, Zn의 원자수비가 $In:Ga:Zn=a:b:c(a+b+c=1)$ 인 산화물의 조성이, 원자수비가 $In:Ga:Zn=A:B:C(A+B+C=1)$ 인 산화물의 조성 근방이다란, a, b, c 가, $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 을 만족시키는 것을 말한다. r 로서는, 예를 들면, 0.05로 하면 좋다. 다른 산화물에서도 마찬가지이다.
- [0085] 산화물 반도체는 단결정이라도, 비단결정이라도 좋다. 후자의 경우, 비정질이라도, 다결정이라도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조라도, 비비정질이라도 좋다.
- [0086] 비정질 상태의 산화물 반도체는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작했을 때의 계면 산란을 저감시킬 수 있고, 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.
- [0087] 또한, 결정성을 갖는 산화물 반도체에서는, 보다 벌크내 결합을 저감시킬 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하며, 구체적으로는, 평균 면 거칠기(R_a)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하인 표면 위에 형성하면 좋다.
- [0088] 또한, R_a 는, JIS B0601에서 정의되어 있는 중심선 평균 거칠기를 면에 대해 적용할 수 있도록 삼차원으로 확장한 것이며, 「기준면으로부터 지정면까지의 편차의 절대값을 평균한 값」으로 표현할 수 있으며, 이하의 식으로 정의된다.

수학식 3

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x,y) - Z_0| dx dy$$

[0089]

또한, 상기에 있어서, S_0 는, 측정면(좌표 $(x_1, y_1)(x_1, y_2)(x_2, y_1)(x_2, y_2)$ 로 표시되는 4점에 의해 둘러싸이는 장방형의 영역)의 면적을 가리키고, Z_0 은 측정면의 평균 높이를 가리킨다. Ra 는 원자간력 현미경(AFM: Atomic Force Microscope)으로 평가 가능하다.

[0091]

또한, 특별히 언급하지 않는 한, 본 명세서에서 오프 전류란, n채널형 트랜지스터에 있어서는, 드레인을 소스와 게이트보다도 높은 전위로 한 상태에 있어서, 소스의 전위를 기준으로 했을 때의 게이트의 전위가 0 이하일 때에, 소스와 드레인 사이에 흐르는 전류를 의미한다. 또는, 오프 전류란, p채널형 트랜지스터에 있어서는, 드레인을 소스와 게이트보다도 낮은 전위로 한 상태에 있어서, 소스의 전위를 기준으로 했을 때의 게이트의 전위가 0 이상일 때에, 소스와 드레인 사이에 흐르는 전류를 의미한다.

[0092]

또한, 실리콘보다도 밴드 갭이 넓고, 진성 캐리어 밀도가 실리콘보다도 낮은 반도체 재료의 일례로서, 산화물 반도체 이외에, 탄화규소(SiC), 질화갈륨(GaN) 등이 있다. 탄화실리콘이나 질화갈륨 등의 화합물 반도체는 단결정인 것이 필수적이며, 단결정 재료를 얻기 위해서는, 산화물 반도체의 프로세스 온도보다도 현저하게 높은 온도에 의한 결정 성장이라든가, 특수한 기판 위의 에피택셜 성장이 필요하다라든가, 제작 조건이 엄격하여, 모두 입수가 용이한 실리콘 웨이퍼나 내열 온도가 낮은 유리 기판 위로의 성막은 어렵다. 그러나, 산화물 반도체는, 스퍼터링법이나 습식법에 의해 제작 가능하고, 양산성이 우수한 것과 같은 이점이 있다. 또한, 산화물 반도체는 실온에서도 성막이 가능하기 때문에, 유리 기판 위로의 성막, 또는 반도체 소자를 사용한 집적 회로 위로의 성막이 가능하여 기판의 대형화에도 대응이 가능하다. 따라서, 산화물 반도체는 양산성이 높다는 장점을 가진다. 또한, 트랜지스터의 성능(예를 들면 전계 효과 이동도)을 향상시키기 위해서 결정성의 산화물 반도체를 얻고자 하는 경우에도, 200℃에서 800℃의 열처리에 의해 결정성의 산화물 반도체를 얻을 수 있다.

[0093]

또한, 도전막(801), 도전막(804) 내지 도전막(806), 도전막(808) 내지 도전막(810), 도전막(812), 도전막(814), 도전막(815), 도전막(817) 내지 도전막(819), 도전막(821), 도전막(822) 등의 각종 도전막은, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 원소, 또는 상기한 원소를 성분으로 하는 합금막이나, 상기한 원소를 조합한 합금막 등을 사용할 수 있다. 또한, 알루미늄, 구리 등의 금속막의 하층 또는 상층에 크롬, 탄탈, 티타늄, 몰리브덴, 텅스텐 등의 고용점 금속막을 적층시킨 구성으로 해도 좋다. 또한, 알루미늄 또는 구리는, 내열성이나 부식성의 문제를 회피하기 위해서, 고용점 금속 재료와 조합하여 사용하면 좋다. 고용점 금속 재료로서는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐, 이트륨 등을 사용할 수 있다. 또한, Cu-Mg-Al 합금, Mo-Ti 합금, Ti, Mo는, 산화막과의 밀착성이 높다. 따라서, 게이트 절연막(802)이 산화물인 경우, 게이트 절연막(802) 위의 도전막(804), 도전막(805), 도전막(808), 도전막(809), 도전막(814), 도전막(817), 도전막(821)에, 상기한 산화막과의 밀착성이 높은 재료를 사용하는 것이 바람직하다. 예를 들면, 도전막(804), 도전막(805), 도전막(808), 도전막(809), 도전막(814), 도전막(817), 도전막(821)으로서, 하층에 Cu-Mg-Al 합금, Mo-Ti 합금, Ti, 또는 Mo로 구성되는 도전막, 상층에 저항값이 낮은 Cu로 구성되는 도전막을 적층하여 사용함으로써, 산화물인 게이트 절연막(802)과의 밀착성을 높이고, 또한 저항값을 낮출 수 있다.

[0094]

반도체층(803), 반도체층(807), 반도체층(811), 반도체층(813), 반도체층(816), 반도체층(820)에 산화물 반도체층을 사용하는 경우, 산화물 반도체층의 성막은, 감압 상태로 유지된 처리실 내에 기판을 유지하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 타깃을 사용하여 행할 수 있다. 성막시에, 기판 온도를 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하로 해도 좋다. 기판을 가열하면서 성막함으로써, 성막한 산화물 반도체층에 함유되는 불순물 농도를 저감시킬 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 가한 것이라도 좋다. 크라이오 펌프를 사용하여 처리실을 배기하면, 예를 들면, 수소 원자, 물(H₂O) 등 수소 원자를 함유하는 화합물(보다 바람직하게는 탄소 원자를 함유하는 화합물도) 등이 배기되기 때문에, 상기 처리실에서 성막한 산화물 반도체층에 함유되는 불순물의 농도를

저감시킬 수 있다.

- [0095] 또한, 스퍼터링 장치의 처리실의 리크 레이트를 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{초}$ 이하로 함으로써, 스퍼터링법에 의한 성막 도중에 있어서의 산화물 반도체층으로의, 알칼리 금속, 수소화물 등의 불순물의 혼입을 저감시킬 수 있다. 또한, 배기계로서 상기한 흡착형의 진공 펌프를 사용함으로써, 배기계로부터의 알칼리 금속, 수소 원자, 수소 분자, 물, 하이드록실기, 또는 수소화물 등의 불순물의 역류를 저감시킬 수 있다.
- [0096] 또한, 타깃의 순도를, 99.99% 이상으로 함으로써, 산화물 반도체층에 혼입되는 알칼리 금속, 수소 원자, 수소 분자, 물, 하이드록실기, 또는 수소화물 등을 저감시킬 수 있다. 또한, 상기 타깃을 사용함으로써, 산화물 반도체층에 있어서, 리튬, 나트륨, 칼륨 등의 알칼리 금속의 농도를 저감시킬 수 있다.
- [0097] 또한, 스퍼터링 등으로 성막된 산화물 반도체층 중에는, 불순물로서의 수분 또는 수소(하이드록실기를 함유)가 다량으로 함유되어 있는 경우가 있다. 수분 또는 수소는 도너 준위를 형성하기 쉽기 때문에, 산화물 반도체에 있어서는 불순물이다. 그래서, 산화물 반도체층 중의 수분 또는 수소 등의 불순물을 저감(탈수화 또는 탈수소화)시키기 위해서, 산화물 반도체층에 대해, 감압 분위기하, 질소나 희가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초건조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20ppm(노점 환산으로 -55°C) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기) 분위기하에서, 가열 처리를 가해 두는 것이 바람직하다.
- [0098] 산화물 반도체층에 가열 처리를 가함으로써, 산화물 반도체층 중의 수분 또는 수소를 탈리시킬 수 있다. 구체적으로는, 250°C 이상 750°C 이하, 바람직하게는 400°C 이상 기판의 변형점 미만의 온도로 가열 처리를 행하면 좋다. 예를 들면, 500°C , 3분 이상 6분 이하 정도로 행하면 좋다. 가열 처리에 RTA법을 사용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있기 때문에, 유리 기판의 변형점을 초과하는 온도로도 처리할 수 있다.
- [0099] 또한, 가열 처리 장치는 전기로 이외에, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 기체에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.
- [0100] 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스, 수분 또는 수소 등이 함유되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0101] 한편, 산화물 반도체는 불순물에 대해 둔감하여 막 중에는 상당한 금속 불순물이 함유되어 있어도 문제가 없고, 나트륨과 같은 알칼리금속이 다량으로 함유되는 염가의 소다석회유리도 사용할 수 있다고 지적되고 있다(카미야, 노무라, 호소노, 「비정질 산화물 반도체의 물성과 디바이스 개발의 현상」, 고체 물리, 2009년 9월호, Vol.44, pp.621-633.). 그러나, 이러한 지적은 적절하지 않다. 알칼리금속은 산화물 반도체를 구성하는 원소가 아니기 때문에, 불순물이다. 알칼리 토금속도, 산화물 반도체를 구성하는 원소가 아닌 경우에 있어서, 불순물이 된다. 특히, 알칼리 금속 중 Na는, 산화물 반도체층에 접하는 절연막이 산화물인 경우, 상기 절연막 중으로 확산되어 Na^+ 가 된다. 또한, Na는, 산화물 반도체층 내에 있어서, 산화물 반도체를 구성하는 금속과 산소의 결합을 분단하거나, 또는, 그 결합 중에 끼어든다. 그 결과, 예를 들면, 임계값 전압이 마이너스 방향으로 시프트하는 것에 의한 노멀리온화, 이동도의 저하 등의, 트랜지스터의 특성의 열화가 일어나고, 또한, 특성의 편차도 발생한다. 이 불순물에 의해 초래되는 트랜지스터의 특성의 열화와, 특성의 편차는, 산화물 반도체층 중의 수소 농도가 충분히 낮은 경우에 있어서 현저하게 나타난다. 따라서, 산화물 반도체층 중의 수소 농도가 $1 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{17}/\text{cm}^3$ 이하인 경우에는, 상기 불순물의 농도를 저감시키는 것이 바람직하다. 구체적으로, 2차 이온 질량 분석법에 의한 Na 농도의 측정값은, $5 \times 10^{16}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하로 하면 좋다. 마찬가지로, Li 농도의 측정값은, $5 \times 10^{15}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하로 하면 좋다. 마찬가지로, K 농도의 측정값은, $5 \times 10^{15}/\text{cm}^3$ 이

하, 바람직하게는 $1 \times 10^{15} / \text{cm}^3$ 이하로 하면 좋다.

- [0102] 산화물 반도체층 중의 수소의 농도를 저감시키고, 고순도화함으로써, 산화물 반도체층의 안정화를 도모할 수 있다. 또한, 유리 전이 온도 이하의 가열 처리로, 캐리어 밀도가 극단적으로 적고, 밴드 갭이 넓은 산화물 반도체층을 형성할 수 있다. 이로 인해, 대면적 기판을 사용하여 트랜지스터를 제작할 수 있어 양산성을 높일 수 있다. 또한, 상기 수소 농도가 저감되어 고순도화된 산화물 반도체층을 사용함으로써, 내압성이 높고, 오프 전류가 현저하게 낮은 트랜지스터를 제작할 수 있다. 상기 가열 처리는, 산화물 반도체층의 성막 이후이면, 언제라도 행할 수 있다.
- [0103] 본 실시형태에서는, c축 배향하고, 또한 ab면, 표면 또는 계면의 방향에서 볼 때 삼각형상 또는 육각형상의 원자 배열을 가지며, c축에 있어서는 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있고, ab면에 있어서는 a축 또는 b축의 방향이 상이한(c축을 중심으로 회전한) 상(CAAC: C Axis Aligned Crystal이라고도 한다.)을 함유하는 산화물에 관해서 설명한다.
- [0104] CAAC를 함유하는 산화물이란, 광의적으로 비단결정이며, 그 ab면에 수직인 방향에서 볼 때, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 가지며, 또한 c축 방향에 수직인 방향에서 볼 때, 금속 원자가 층상, 또는 금속 원자와 산소 원자가 층상으로 배열된 상을 함유하는 산화물을 말한다.
- [0105] CAAC는 단결정은 아니지만, 비정질만으로 형성되어 있는 것도 아니다. 또한, CAAC는 결정화된 부분(결정 부분)을 포함하지만, 1개의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별할 수 없는 경우도 있다.
- [0106] CAAC에 산소가 함유되는 경우, 산소의 일부는 질소로 치환되어도 좋다. 또한, CAAC를 구성하는 개개의 결정 부분의 c축은 일정한 방향(예를 들면, CAAC가 형성되는 기판면, CAAC의 표면 등에 수직인 방향)으로 정렬되어 있어도 좋다. 또는, CAAC를 구성하는 개개의 결정 부분의 ab면의 법선은 일정한 방향(예를 들면, CAAC가 형성되는 기판면, CAAC의 표면 등에 수직인 방향)을 향하고 있어도 좋다.
- [0107] CAAC는, 그 조성 등에 따라, 도체이거나, 반도체이거나, 절연체이거나 한다. 또한, 그 조성 등에 따라, 가시광에 대해 투명하거나 불투명하거나 한다.
- [0108] 이러한 CAAC의 예로서, 막상으로 형성되고, 막 표면 또는 지지하는 기판면에 수직인 방향에서 관찰하면 삼각형 또는 육각형의 원자 배열이 확인되고, 또한 그 막 단면을 관찰하면 금속 원자 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층상 배열이 확인되는 결정을 들 수도 있다.
- [0109] CAAC에 포함되는 결정 구조의 일례에 관해서 도 15 내지 도 17을 사용하여 상세하게 설명한다. 또한, 특별히 언급하지 않는 한, 도 15 내지 도 17은 상반부 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단순히 상반부, 하반부라고 하는 경우, ab면을 경계로 한 경우의 상반부, 하반부를 말한다. 또한, 도 15에 있어서, 원으로 둘러싸인 0는 4배위의 0를 나타내고, 2중원으로 둘러싸인 0는 3배위의 0를 나타낸다.
- [0110] 도 15a에, 1개의 6배위의 In과, In에 근접한 6개의 4배위의 산소 원자(이하 4배위의 0)를 갖는 구조를 도시한다. 여기에서는, 금속 원자 1개에 대해, 근접한 산소 원자만 나타낸 구조를 소그룹이라고 부른다. 도 15a의 구조는, 팔면체 구조를 취하지만, 간단하게 하기 위해 평면 구조로 나타내고 있다. 또한, 도 15a의 상반부 및 하반부에는 각각 3개씩 4배위의 0가 있다. 도 15a에 도시하는 소그룹은 전하가 0이다.
- [0111] 도 15b에, 1개의 5배위의 Ga와, Ga에 근접한 3개의 3배위의 산소 원자(이하 3배위의 0)와, Ga에 근접한 2개의 4배위의 0를 갖는 구조를 나타낸다. 3배위의 0는, 모두 ab면에 존재한다. 도 15b의 상반부 및 하반부에는 각각 1개씩 4배위의 0가 있다. 또한, In도 5배위를 취하기 때문에, 도 15b에 도시하는 구조를 취할 수 있다. 도 15b에 도시하는 소그룹은 전하가 0이다.
- [0112] 도 15c에, 1개의 4배위의 Zn과, Zn에 근접한 4개의 4배위의 0를 갖는 구조를 도시한다. 도 15c의 상반부에는 1개의 4배위의 0가 있고, 하반부에는 3개의 4배위의 0가 있다. 도 15c에 도시하는 소그룹은 전하가 0이다.
- [0113] 도 15d에, 1개의 6배위의 Sn과, Sn에 근접한 6개의 4배위의 0를 갖는 구조를 도시한다. 도 15d의 상반부에는 3개의 4배위의 0가 있고, 하반부에는 3개의 4배위의 0가 있다. 도 15d에 도시하는 소그룹은 전하가 +1이 된다.
- [0114] 도 15e에, 2개의 Zn을 함유하는 소그룹을 도시한다. 도 15e의 상반부에는 1개의 4배위의 0가 있고, 하반부에는 1개의 4배위의 0가 있다. 도 15e에 도시하는 소그룹은 전하가 -1이 된다.
- [0115] 여기에서는, 복수의 소그룹의 집합체를 중그룹이라고 부르고, 복수의 중그룹의 집합체를 대그룹(유닛 셀이라고

도 말한다.)이라고 부른다.

- [0116] 여기에서, 이들 소그룹끼리가 결합하는 규칙에 관해서 설명한다. 도 15a에 도시하는 6배위의 In의 상반부의 3개의 0는 하방향에 각각 3개의 근접 In을 가지며, 하반부의 3개의 0는 상방향에 각각 3개의 근접 In을 가진다. 도 15b에 도시하는 5배위의 Ga의 상반부의 1개의 0는 하방향에 1개의 근접 Ga를 가지며, 하반부의 1개의 0는 상방향에 1개의 근접 Ga를 가진다. 도 15c에 도시하는 4배위의 Zn의 상반부의 1개의 0는 하방향에 1개의 근접 Zn을 가지며, 하반부의 3개의 0는 상방향에 3개의 근접 Zn을 가진다. 이와 같이, 금속 원자의 상방향의 4배위의 0의 수와, 그 0의 하방향에 있는 근접 금속 원자의 수는 동일하며, 마찬가지로 금속 원자의 하방향의 4배위의 0의 수와, 그 0의 상방향에 있는 근접 금속 원자의 수는 동일하다. 0는 4배위이기 때문에, 하방향에 있는 근접 금속 원자의 수와, 상방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위의 0의 수와, 별도의 금속 원자의 하방향에 있는 4배위의 0의 수의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹끼리는 결합할 수 있다. 예를 들면, 6배위의 금속 원자(In 또는 Sn)가 상반부의 4배위의 0를 통하여 결합하는 경우, 4배위의 0가 3개이기 때문에, 5배위의 금속 원자(Ga 또는 In) 또는 4배위의 금속 원자(Zn) 중 어느 하나와 결합하게 된다.
- [0117] 이러한 배위수를 갖는 금속 원자는, c축 방향에 있어서, 4배위의 0를 통하여 결합한다. 또한, 이것 외에도, 층 구조의 합계의 전하가 0이 되도록 복수의 소그룹이 결합하여 중그룹을 구성한다.
- [0118] 도 16a에, In-Sn-Zn-0계의 층 구조를 구성하는 중그룹의 모델도를 도시한다. 도 16b에, 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 16c는, 도 16b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 도시한다.
- [0119] 도 16a에 있어서는, 간단하게 하기 위해, 3배위의 0는 생략하고, 4배위의 0는 개수만 나타내고, 예를 들면, Sn의 상반부 및 하반부에는 각각 3개씩 4배위의 0가 있는 것을 동그라미 3으로 나타내고 있다. 마찬가지로, 도 16a에 있어서, In의 상반부 및 하반부에는 각각 1개씩 4배위의 0가 있고, 동그라미 1로 나타내고 있다. 또한, 마찬가지로, 도 16a에 있어서, 하반부에는 1개의 4배위의 0가 있고, 상반부에는 3개의 4배위의 0가 있는 Zn과, 상반부에는 1개의 4배위의 0가 있고, 하반부에는 3개의 4배위의 0가 있는 Zn을 도시하고 있다.
- [0120] 도 16a에 있어서, In-Sn-Zn-0계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 0가 3개씩 상반부 및 하반부에 있는 Sn이, 4배위의 0가 1개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 3개의 4배위의 0가 있는 Zn과 결합하고, 그 Zn의 하반부의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반부 및 하반부에 있는 In과 결합하고, 그 In이, 상반부에 1개의 4배위의 0가 있는 Zn 2개로 이루어지는 소그룹과 결합하고, 이 소그룹의 하반부의 1개의 4배위의 0를 통하여 4배위의 0가 3개씩 상반부 및 하반부에 있는 Sn과 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.
- [0121] 여기에서, 3배위의 0 및 4배위의 0의 경우, 결합 1개당의 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들면, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는, 각각 +3, +2, +4이다. 따라서, Sn을 함유하는 소그룹은 전하가 +1이 된다. 이로 인해, Sn을 함유하는 층 구조를 형성하기 위해서는, 전하 +1을 상쇄하는 전하 -1이 필요해진다. 전하 -1을 취하는 구조로서, 도 15e에 도시하는 바와 같이, 2개의 Zn을 함유하는 소그룹을 들 수 있다. 예를 들면, Sn을 함유하는 소그룹 1개에 대해, 2개의 Zn을 함유하는 소그룹이 1개 있으면, 전하가 상쇄되기 때문에, 층 구조의 합계의 전하를 0으로 할 수 있다.
- [0122] 구체적으로는, 도 16b에 도시한 대그룹이 반복됨으로써, In-Sn-Zn-0계의 결정(In₂SnZn₃O₈)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn-0계의 층 구조는, In₂SnZn₂O₇(ZnO)_m(m은 0 또는 자연수)으로 하는 조성식으로 나타낼 수 있다. 또한, In-Sn-Zn-0계의 결정은, m의 수가 크면 결정성이 향상되기 때문에, 바람직하다.
- [0123] 또한, 이외에도, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다.), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물, 1원계 금속의 산화물인 In계 산화물, Sn계 산화물, Zn계 산화물 등을 사용한 경우도 마찬가지이다.

- [0124] 예를 들면, 도 17a에, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹의 모델도를 도시한다.
- [0125] 도 17a에 있어서, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 O가 3개씩 상반부 및 하반부에 있는 In이, 4배위의 O가 1개 상반부에 있는 Zn과 결합하고, 그 Zn의 하반부의 3개의 4배위의 O를 통하여, 4배위의 O가 1개씩 상반부 및 하반부에 있는 Ga와 결합하고, 그 Ga의 하반부의 1개의 4배위의 O를 통하여, 4배위의 O가 3개씩 상반부 및 하반부에 있는 In과 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.
- [0126] 도 17b에 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 17c는 도 17b의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 나타내고 있다.
- [0127] 여기에서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 함유하는 소그룹은, 전하가 0이 된다. 이로 인해, 이들 소그룹의 조합이면 중그룹의 합계 전하는 항상 0이 된다.
- [0128] 또한, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹은, 도 17a에 도시한 중그룹으로 한정되지 않고, In, Ga, Zn의 배열이 상이한 중그룹을 조합한 대그룹도 취할 수 있다.
- [0129] CAAC로 구성된 산화물 반도체층은, 스퍼터링법에 의해서도 제작할 수 있다. 스퍼터링법에 의해 CAAC를 얻기 위해서는 산화물 반도체층의 퇴적 초기 단계에 있어서 육방정의 결정이 형성되도록 하는 것과, 상기 결정을 중심으로 하여 결정이 성장되도록 하는 것이 중요하다. 이를 위해서는, 타겟과 기판의 거리를 넓게 취하고(예를 들면, 150mm 내지 200mm 정도), 기판 가열 온도를 100℃ 내지 500℃, 적합하게는 200℃ 내지 400℃, 더욱 적합하게는 250℃ 내지 300℃로 하면 바람직하다. 또한, 이것에 더해서, 성막시의 기판 가열 온도보다도 높은 온도로, 퇴적된 산화물 반도체층을 열처리함으로써 막중에 함유되는 미소한 결함이나, 적층 계면의 결함을 수복할 수 있다.
- [0130] 또한, In-Sn-Zn계 산화물층의 형성에 사용하는 타겟의 조성비는, In:Sn:Zn이 원자수비로, 1:2:2, 2:1:3, 1:1:1, 또는 20:45:35 등이 되는 산화물 타겟을 사용한다.
- [0131] CAAC는, 비정질의 산화물 반도체와 비교하여, 금속과 산소의 결합이 질서화되어 있다. 즉, 산화물 반도체가 비정질인 경우에는, 개개의 금속 원자에 의해 산소 원자의 배위수가 상이한 것도 있을 수 있지만, CAAC에서는 금속 원자에 있어서의 산소 원자의 배위수는 거의 일정해진다. 이로 인해, 미시적인 산소의 결손이 감소되고, 수소 원자(수소 이온을 포함)나 알칼리 금속 원자의 탈착에 의한 전하의 이동이나 불안정성을 감소시키는 효과가 있다.
- [0132] 따라서, CAAC로 구성된 산화물 반도체층을 사용하여 트랜지스터를 제작함으로써, 트랜지스터의 광조사 또는 바이어스-열 스트레스(BT)의 부가를 행한 후에 발생하는, 트랜지스터의 임계값 전압의 변화량을 저감시킬 수 있다. 따라서, 안정된 전기적 특성을 갖는 트랜지스터를 제작할 수 있다.
- [0133] 또한, 산화물 반도체층을 반도체층(803), 반도체층(807), 반도체층(811), 반도체층(813), 반도체층(816), 반도체층(820)에 사용하는 경우, 산화물 반도체층에 접하는 게이트 절연막(802), 절연막(823) 등의 절연막은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여 산화규소, 질화산화규소, 산화질화규소, 산화하프늄, 산화알루미늄 또는 산화탄탈, 산화이트륨, 하프늄실리케이트(HfSi_xO_y(x>0, y>0)), 질소가 첨가된 하프늄실리케이트(HfSi_xO_y(x>0, y>0)), 질소가 첨가된 하프늄알루미늄네이트(HfAl_xO_y(x>0, y>0)) 등을 함유하는 막을, 단수로, 또는 복수 적층시킴으로써, 형성할 수 있다.
- [0134] 산소를 함유하는 무기 재료를 상기 절연막에 사용함으로써, 수분 또는 수소를 저감시키기 위한 가열 처리에 의해 산화물 반도체층 중에 산소 결손이 발생하고 있었다고 해도, 산화물 반도체층에 상기 절연막으로부터 산소를 공급하여 도너가 되는 산소 결손을 저감시켜 화학량론 조성을 충족시키는 구성으로 하는 것이 가능하다. 따라서, 채널 형성 영역을, i형에 가깝게 할 수 있고, 산소 결손에 의한 트랜지스터(103), 트랜지스터(104), 트랜지스터(105), 트랜지스터(106), 트랜지스터(109)의 전기 특성의 편차를 경감시켜 전기 특성의 향상을 실현할 수 있다.
- [0135] 또한, 산화물 반도체층에 접하는 게이트 절연막(802), 절연막(823) 등의 절연막은, 제 13 족 원소 및 산소를 함유하는 절연 재료를 사용하도록 해도 좋다. 산화물 반도체에는 제 13 족 원소를 함유하는 것이 많으며, 제 13 족 원소를 함유하는 절연 재료는 산화물 반도체와의 상성이 양호하며, 이것을 산화물 반도체층에 접하는 절연막

에 사용함으로써, 산화물 반도체층과의 계면의 상태를 양호하게 유지할 수 있다.

- [0136] 제 13 족 원소를 함유하는 절연 재료란, 절연 재료에 하나 또는 복수의 제 13 족 원소를 함유하는 것을 의미한다. 제 13 족 원소를 함유하는 절연 재료로서는, 예를 들면, 산화갈륨, 산화알루미늄, 산화알루미늄갈륨, 산화갈륨알루미늄 등이 있다. 여기에서, 산화알루미늄갈륨이란, 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 것을 나타내고, 산화갈륨알루미늄이란, 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상인 것을 나타낸다.
- [0137] 예를 들면, 갈륨을 함유하는 산화물 반도체층에 접하여 절연막을 형성하는 경우에, 절연막에 산화갈륨을 함유하는 재료를 사용함으로써 산화물 반도체층과 절연막의 계면 특성을 양호하게 유지할 수 있다. 예를 들면, 산화물 반도체층과 산화갈륨을 함유하는 절연막을 접하여 형성함으로써, 산화물 반도체층과 절연막의 계면에 있어서의 수소의 파일업을 저감시킬 수 있다. 또한, 절연막에 산화물 반도체의 성분 원소와 동일한 족의 원소를 사용하는 경우에는, 같은 효과를 얻는 것이 가능하다. 예를 들면, 산화알루미늄을 함유하는 재료를 사용하여 절연막을 형성하는 것도 유효하다. 또한, 산화알루미늄은, 물을 투과시키기 어렵다고 하는 특성을 가지고 있기 때문에, 상기 재료를 사용하는 것은, 산화물 반도체층으로의 물의 침입 방지라는 점에 있어서도 바람직하다.
- [0138] 또한, 도 5 내지 도 7에 있어서, 반도체층(803), 반도체층(807), 반도체층(811), 반도체층(813), 반도체층(816), 반도체층(820)에, 비정질, 미결정, 또는 다결정인 실리콘 또는 게르마늄 등의 반도체를 사용해도 좋다. 다만, 비정질, 미결정, 또는 다결정인 실리콘 또는 게르마늄 등의 반도체를, 반도체층(803), 반도체층(807), 반도체층(811), 반도체층(813), 반도체층(816), 반도체층(820)에 사용하는 경우, 1 도전성을 부여하는 불순물 원소를 상기 반도체층에 첨가하여 소스 또는 드레인으로서 기능하는 불순물 영역을 형성한다. 예를 들면, 인 또는 비소를 상기 반도체층에 첨가함으로써, n형의 도전성을 갖는 불순물 영역을 형성할 수 있다. 또한, 예를 들면, 붕소를 상기 반도체층에 첨가함으로써, p형의 도전성을 갖는 불순물 영역을 형성할 수 있다.
- [0139] 이어서, 도 8에, 도 1a에 도시한 화소의 상면도를, 별도의 일례로서 도시한다. 또한, 도 8에서는, 화소의 레이아웃을 명확하게 나타내기 위해, 각종 절연막을 생략하고, 화소의 상면도를 도시한다. 또한, 도 8에서는, 화소가 갖는 트랜지스터와 용량 소자의 레이아웃을 명확하게 나타내기 위해, 애노드와, 전계 발광층과, 캐소드를 생략하고, 화소의 상면도를 도시한다.
- [0140] 또한, 도 9에, 도 8에 도시하는 상면도의, 파선 A1-A2 및 파선 A3-A4에 있어서의 단면도를 도시한다.
- [0141] 트랜지스터(103)는, 절연 표면을 갖는 기판(900) 위에, 반도체층(903)과, 반도체층(903) 위의 게이트 절연막(902)과, 반도체층(903)과 중첩되는 위치에 있어서 게이트 절연막(902) 위에 위치하고, 또한 게이트로서 기능하는 도전막(901)과, 소스 또는 드레인으로서 기능하며, 반도체층(903) 위에 위치하는 도전막(904) 및 도전막(905)을 가진다. 도전막(901)은 주사선(G1)으로서도 기능한다. 도전막(904)은, 신호선(S1)으로서도 기능한다.
- [0142] 트랜지스터(102)는 절연 표면을 갖는 기판(900) 위에, 반도체층(907)과, 반도체층(907) 위의 게이트 절연막(902)과, 반도체층(907)과 중첩되는 위치에 있어서 게이트 절연막(902) 위에 위치하고, 또한 게이트로서 기능하는 도전막(906)과, 소스 또는 드레인으로서 기능하며, 반도체층(907) 위에 위치하는 도전막(908) 및 도전막(909)을 가진다. 도전막(906)은, 콘택트홀을 통하여 도전막(905)에 접속되어 있다.
- [0143] 트랜지스터(104)는, 절연 표면을 갖는 기판(900) 위에, 반도체층(907)과, 반도체층(907) 위의 게이트 절연막(902)과, 반도체층(907)과 중첩되는 위치에 있어서 게이트 절연막(902) 위에 위치하고, 또한 게이트로서 기능하는 도전막(910)과, 소스 또는 드레인으로서 기능하고, 반도체층(907) 위에 위치하는 도전막(911) 및 도전막(908)을 가진다. 도전막(910)은 주사선(G2)으로서도 기능한다. 도전막(911)은, 콘택트홀을 통하여 도전막(906)에 접속되어 있다. 또한, 도 8에서는, 트랜지스터(102)와 트랜지스터(104)가 하나의 반도체층(907)을 공유하고 있지만, 트랜지스터(102)와 트랜지스터(104)가 서로 독립된 반도체층을 갖고 있어도 좋다.
- [0144] 트랜지스터(105)는, 절연 표면을 갖는 기판(900) 위에, 반도체층(913)과, 반도체층(913) 위의 게이트 절연막(902)과, 반도체층(913)과 중첩되는 위치에 있어서 게이트 절연막(902) 위에 위치하고, 또한 게이트로서 기능하는 도전막(912)과, 소스 또는 드레인으로서 기능하며, 반도체층(913) 위에 위치하는 도전막(908) 및 도전막(914)을 가진다. 도전막(912)은 주사선(G3)으로서도 기능한다. 도전막(914)은 전원선(VA)으로서도 기능한다.
- [0145] 트랜지스터(106)는, 절연 표면을 갖는 기판(900) 위에, 반도체층(916)과, 반도체층(916) 위의 게이트 절연막(902)과, 반도체층(916)과 중첩되는 위치에 있어서 게이트 절연막(902) 위에 위치하고, 또한 게이트로서 기능

는 도전막(915)과, 소스 또는 드레인으로서 기능하며, 반도체층(916) 위에 위치하는 도전막(909) 및 도전막(917)을 가진다. 도전막(915)은 주사선(G4)으로서도 기능한다.

[0146] 용량 소자(107)는, 절연 표면을 갖는 기판(900) 위에, 반도체층(907)과, 반도체층(907) 위의 게이트 절연막(902)과, 반도체층(907)과 중첩되는 위치에 있어서 게이트 절연막(902) 위에 위치하는 도전막(906)을 가진다. 또한, 도 8에서는, 용량 소자(107)와, 트랜지스터(102)가 하나의 반도체층(907)을 공유하고 있지만, 용량 소자(107)와 트랜지스터(102)가, 서로 독립된 반도체층을 갖고 있어도 좋다.

[0147] 용량 소자(108)는, 절연 표면을 갖는 기판(900) 위에, 반도체층(918)과, 반도체층(918) 위의 게이트 절연막(902)과, 반도체층(918)과 중첩되는 위치에 있어서 게이트 절연막(902) 위에 위치하는 도전막(906)을 가진다. 반도체층(918)은, 도전막(917)을 통하여, 전원선(VB)으로서도 기능하는 도전막(930)에 접속하고 있다.

[0148] 트랜지스터(109)는, 절연 표면을 갖는 기판(900) 위에, 반도체층(913)과, 반도체층(913) 위의 게이트 절연막(902)과, 반도체층(913)과 중첩되는 위치에 있어서 게이트 절연막(902) 위에 위치하고, 또한 게이트로서 기능하는 도전막(919)과, 소스 또는 드레인으로서 기능하고, 반도체층(913) 위에 위치하는 도전막(908) 및 도전막(921)을 가진다. 도전막(919)은 주사선(G2)으로서도 기능한다. 또한, 도전막(921)은 콘택트홀을 통하여, 전원선(VC)으로서 기능하는 도전막(922)에 접속되어 있다. 또한, 도 8에서는, 트랜지스터(105)와 트랜지스터(109)가 하나의 반도체층(913)을 공유하고 있지만, 트랜지스터(105)와 트랜지스터(109)가 서로 독립된 반도체층을 갖고 있어도 좋다.

[0149] 또한, 도전막(904), 도전막(905), 도전막(908), 도전막(909), 도전막(911), 도전막(914), 도전막(917), 도전막(921) 위에는, 절연막(923)이 형성되어 있다. 그리고, 절연막(923) 위에는, 애노드로서 기능하는 도전막(925)이 형성되어 있다. 도전막(925)은 절연막(923)에 형성된 콘택트홀(926)을 통하여, 도전막(909)에 접속되어 있다.

[0150] 또한, 도전막(925)의 일부가 노출되는 개구부를 가진 절연막(927)이, 절연막(923) 위에 형성되어 있다. 도전막(925)의 일부 및 절연막(927) 위에는, 전계 발광층(928)과, 캐소드로서 기능하는 도전막(929)이, 순차적으로 적층되도록 형성되어 있다. 도전막(925)과, 전계 발광층(928)과, 도전막(929)이 중첩되고 있는 영역이, 발광 소자(101)에 상당한다.

[0151] 또한, 도 8에서는, 도전막(910)과 도전막(919)이 모두 주사선(G2)으로서도 기능하는 경우를 예시하고 있지만, 도전막(910)과 도전막(919)이 하나의 도전막으로 구성되어 있어도 좋다.

[0152] 또한, 반도체층(903), 반도체층(907), 반도체층(913), 반도체층(916), 반도체층(918)에는, 단결정인, 실리콘 또는 게르마늄 등의 반도체를 사용한다.

[0153] 반도체층(903), 반도체층(907), 반도체층(913), 반도체층(916), 및 반도체층(918)이 단결정의 실리콘인 경우, 우선, 단결정의 반도체 기판인 본드 기판을 준비한다. 그리고 상기 본드 기판에, 전계에서 가속된 이온으로 이루어지는 이온빔을 주입하고, 본드 기판의 표면으로부터 일정한 깊이의 영역에, 결정 구조가 흐트러짐으로써 국소적으로 취약화된 취화층을 형성한다. 취화층이 형성되는 영역의 깊이는, 이온빔의 가속 에너지와 이온빔의 입사각에 의해 조절할 수 있다. 그리고, 본드 기판과, 절연 표면을 갖는 기판(900)을 접합한다. 접합은, 본드 기판과 기판(900)을 포갠 후, 본드 기판과 기판(900)의 일부에, 1N/cm² 이상 500N/cm² 이하, 바람직하게는 11N/cm² 이상 20N/cm² 이하 정도의 압력을 가한다. 압력을 가하면, 그 부분으로부터 본드 기판과 기판(900)의 절연 표면이 접합을 개시하고, 최종적으로는 밀착된 면 전체에 접합이 미친다. 이어서, 가열 처리를 행함으로써, 취화층에 존재하는 미소 보이드의 체적이 증대하여 미소 보이드끼리가 결합한다. 그 결과, 취화층에 있어서 본드 기판의 일부인 단결정 반도체층이, 본드 기판으로부터 분리된다. 상기 가열 처리의 온도는, 기판(900)의 변형점을 초과하지 않는 온도로 한다. 그리고, 상기 단결정 반도체층을 예칭 등에 의해 원하는 형상으로 가공함으로써, 반도체층(903), 반도체층(907), 반도체층(913), 반도체층(916), 및 반도체층(918)을 형성할 수 있다.

[0154] 반도체층(903), 반도체층(907), 반도체층(913), 반도체층(916), 및 반도체층(918)에는, 임계값 전압을 제어하기 위해서, 붕소, 알루미늄, 갈륨 등의 p형의 도전성을 부여하는 불순물 원소, 또는 인, 비소 등의 n형의 도전성을 부여하는 불순물 원소를 첨가해도 좋다. 임계값 전압을 제어하기 위한 불순물 원소의 첨가는, 패터닝하기 전의 반도체층에 대해 행해도 좋고, 패터닝 후에 형성된 반도체층(903), 반도체층(907), 반도체층(913), 반도체층(916), 및 반도체층(918)에 대해 행해도 좋다. 또한, 임계값 전압을 제어하기 위한 불순물 원소의 첨가를, 본드 기판에 대해 행해도 좋다. 또는, 불순물 원소의 첨가를, 임계값 전압을 대략 조정하기 위해서 본드 기판에 대해 행한 후, 임계값 전압을 미세 조정하기 위해서, 패터닝전의 반도체층에 대해, 또는 패터닝에 의해 형성된

반도체층(903), 반도체층(907), 반도체층(913), 반도체층(916), 및 반도체층(918)에 대해서도 행해도 좋다.

- [0155] 또한, 반도체층(903), 반도체층(907), 반도체층(913), 반도체층(916), 및 반도체층(918)은, 예를 들면, 절연 표면을 갖는 기판(900) 위에 기상 성장법을 사용하여 형성된 다결정, 미결정, 비정질의 반도체층을 사용해도 좋고, 상기 반도체층을 공지의 기술에 의해 결정화해도 좋다. 공지의 결정화 방법으로서, 레이저광을 사용한 레이저 결정화법, 촉매 원소를 사용하는 결정화법이 있다. 또는, 촉매 원소를 사용하는 결정화법과 레이저 결정화법을 조합하여 사용할 수도 있다. 또한, 석영과 같은 내열성이 우수한 기판을 기판(900)으로서 사용하는 경우, 전열로를 사용한 열결정화 방법, 적외광을 사용한 램프 어닐 결정화법, 촉매 원소를 사용하는 결정화법, 950℃ 정도의 고온 어닐법 등을 사용해도 좋다.
- [0156] 또한, 반도체층(903), 반도체층(907), 반도체층(913), 반도체층(916), 및 반도체층(918)에, 산화물 반도체 등의 와이드 밴드 반도체를 사용해도 좋다. 산화물 반도체를 반도체층(903), 반도체층(907), 반도체층(913), 반도체층(916), 및 반도체층(918)에 사용하는 경우, 도펀트를 상기 반도체층에 첨가하여 소스 또는 드레인으로서 기능하는 불순물 영역을 형성한다. 도펀트의 첨가는, 이온 주입법을 사용할 수 있다. 도펀트는, 예를 들면 헬륨, 아르곤, 크세논 등의 희가스나, 질소, 인, 비소, 안티몬 등의 15족 원자 등을 사용할 수 있다. 예를 들면, 질소를 도펀트로서 사용한 경우, 불순물 영역 중의 질소 원자의 농도는, $5 \times 10^{19} / \text{cm}^3$ 이상 $1 \times 10^{22} / \text{cm}^3$ 이하인 것이 바람직하다.
- [0157] 또한, 본 발명의 일 형태에 따른 발광 장치에서는, 백색 등의 단색의 광을 발하는 발광 소자와, 컬러 필터를 조합함으로써, 풀컬러 화상의 표시를 행하는, 컬러 필터 방식을 채용할 수 있다. 또는, 서로 상이한 색상의 광을 발하는 복수의 발광 소자를 사용하여 풀컬러 화상의 표시를 행하는 방식을 채용할 수도 있다. 이 방식은, 발광 소자가 갖는 한 쌍의 전극간에 형성되는 전계 발광층을, 대응하는 색별로 분리 도포하기 때문에, 분리 도포 방식이라고 불린다.
- [0158] 분리 도포 방식의 경우, 전계 발광층의 분리 도포는, 통상, 메탈 마스크 등의 마스크를 사용하여 증착법으로 행해진다. 이로 인해, 화소의 사이즈는 증착법에 의한 전계 발광층의 분리 도포 정밀도에 의존한다. 한편, 컬러 필터 방식의 경우, 분리 도포 방식과는 달리, 전계 발광층의 분리 도포를 행할 필요가 없다. 따라서, 분리 도포 방식의 경우보다도, 화소 사이즈의 축소화가 용이하여 고선명한 화소부를 실현할 수 있다.
- [0159] 또한, 발광 장치에는, 트랜지스터가 형성된 기판(800) 또는 기판(900) 등의 소자 기판 측으로부터 발광 소자의 광을 추출하는 배면 발광 구조와, 소자 기판과는 반대측으로부터 발광 소자의 광을 추출하는 전면 발광 구조가 있다. 전면 발광 구조의 경우, 발광 소자로부터 발해지는 광을, 배선, 트랜지스터, 유지 용량 등의 각종소자에 의해 차단되는 경우가 없기 때문에, 배면 발광 구조에 비해, 화소로부터의 광의 추출 효율을 높일 수 있다. 따라서, 전면 발광 구조는, 발광 소자에 공급하는 전류값을 낮게 억제해도, 높은 휘도를 얻을 수 있기 때문에, 발광 소자의 장수명화에 유리하다.
- [0160] 또한, 본 발명의 일 형태에 따른 발광 장치에서는, 전계 발광층으로부터 발해지는 광을 발광 소자 내에서 공진시키는, 마이크로 캐비티(미소광공진기) 구조를 갖고 있어도 좋다. 마이크로 캐비티 구조에 의해, 특정한 파장의 광에 관해서, 발광 소자로부터의 추출 효율을 향상시킬 수 있기 때문에, 화소부의 휘도와 색 순도를 향상시킬 수 있다.
- [0161] 도 10에, 마이크로 캐비티 구조를 갖는 화소의 단면도를, 일례로서 도시한다. 또한, 도 10에서는, 적색에 대응하는 화소의 단면의 일부, 청색에 대응하는 화소의 단면의 일부와, 녹색에 대응하는 화소의 단면의 일부를 도시하고 있다.
- [0162] 구체적으로, 도 10에서는, 적색에 대응한 화소(140r)와, 녹색에 대응한 화소(140g)와, 청색에 대응한 화소(140b)가 도시되어 있다. 화소(140r), 화소(140g), 화소(140b)는, 각각 애노드(715r), 애노드(715g), 애노드(715b)를 가진다. 상기 애노드(715r), 애노드(715g), 애노드(715b)는, 화소(140r), 화소(140g), 화소(140b)의 각각에 있어서, 기판(740)에 형성된 절연막(750) 위에 형성되어 있다.
- [0163] 그리고, 애노드(715r), 애노드(715g), 및 애노드(715b) 위에는 절연막을 갖는 격벽(730)이 설치되어 있다. 격벽(730)은 개구부를 가지며, 상기 개구부에 있어서, 애노드(715r), 애노드(715g), 및 애노드(715b)가, 각각 일부 노출되어 있다. 또한, 상기 노출되어 있는 영역을 덮도록, 격벽(730) 위에, 전계 발광층(731)과, 가시광에 대해 투광성을 갖는 캐소드(732)가, 순차적으로 적층되어 있다.
- [0164] 애노드(715r)와, 전계 발광층(731)과, 캐소드(732)가 중첩되는 부분이, 적색에 대응한 발광 소자(741r)에 상당

한다. 애노드(715g)와, 전계 발광층(731)과, 캐소드(732)가 중첩되는 부분이, 녹색에 대응한 발광 소자(741g)에 상당한다. 애노드(715b)와, 전계 발광층(731)과, 캐소드(732)가 중첩되는 부분이, 청색에 대응한 발광 소자(741b)에 상당한다.

[0165] 또한, 기관(742)은, 발광 소자(741r), 발광 소자(741g), 및 발광 소자(741b)를 사이에 개재하도록, 기관(740)과 대치되어 있다. 기관(742) 위에는, 화소(140r)에 대응한 착색층(743r), 화소(140g)에 대응한 착색층(743g), 화소(140b)에 대응한 착색층(743b)이 형성되어 있다. 착색층(743r)은 적색에 대응한 파장 영역의 광의 투과율이, 다른 파장 영역의 광의 투과율보다 높은 층이며, 착색층(743g)은 녹색에 대응한 파장 영역의 광의 투과율이, 다른 파장 영역의 광의 투과율보다 높은 층이며, 착색층(743b)은 청색에 대응한 파장 영역의 광의 투과율이, 다른 파장 영역의 광의 투과율보다 높은 층이다.

[0166] 또한, 기관(742) 위에는, 착색층(743r), 착색층(743g), 착색층(743b)을 덮도록, 오버코트(744)가 형성되어 있다. 오버코트(744)는 착색층(743r), 착색층(743g), 착색층(743b)을 보호하기 위한, 가시광에 대해 투광성을 갖는 층이며, 평탄성이 높은 수지 재료를 사용하는 것이 바람직하다. 착색층(743r), 착색층(743g), 및 착색층(743b)과, 오버코트(744)를 합하여 컬러 필터로 간주해도 좋고, 착색층(743r), 착색층(743g), 및 착색층(743b)의 각각을 컬러 필터로 간주해도 좋다.

[0167] 그리고, 도 10에서는, 애노드(715r)에, 가시광의 반사율이 높은 도전막(745r)과, 가시광의 투과율이 상기 도전막(745r)보다도 높은 도전막(746r)을, 순차적으로 적층하여 사용한다. 또한, 애노드(715g)에, 가시광의 반사율이 높은 도전막(745g)과, 가시광의 투과율이 상기 도전막(745g)보다도 높은 도전막(746g)을, 순차적으로 적층하여 사용한다. 도전막(746g)의 막 두께는, 도전막(746r)의 막 두께보다도 작은 것으로 한다. 또한, 애노드(715b)에, 가시광의 반사율이 높은 도전막(745b)을 사용한다.

[0168] 따라서, 도 10에 도시하는 발광 장치에서는, 발광 소자(741r)에 있어서, 전계 발광층(731)으로부터 발해진 광의 광로 길이는, 도전막(745r)과 캐소드(732)의 거리에 의해 조절할 수 있다. 또한, 발광 소자(741g)에 있어서, 전계 발광층(731)으로부터 발해진 광의 광로 길이는, 도전막(745g)과 캐소드(732)의 거리에 의해 조절할 수 있다. 또한, 발광 소자(741b)에 있어서, 전계 발광층(731)으로부터 발해진 광의 광로 길이는, 도전막(745b)과 캐소드(732)의 거리에 의해 조절할 수 있다.

[0169] 본 발명의 일 형태에서는, 발광 소자(741r)와, 발광 소자(741g)와, 발광 소자(741b)에 각각 대응하는 광의 파장에 맞추어, 상기 광로 길이를 조정함으로써, 전계 발광층(731)으로부터 발해진 광을 상기 각 발광 소자내에 있어서 공진시키는, 마이크로 캐비티 구조로 해도 좋다. 예를 들면, 도 10의 경우, 도전막(745r), 도전막(745g), 또는 도전막(745b)과, 캐소드(732) 사이의 거리를 L, 전계 발광층(731)의 굴절율을 n, 공진시키고 싶은 광의 파장을 λ 로 하면, 거리(L)와 굴절율(n)의 곱이, 파장(λ)의 $(2N-1)/4$ 배(N은 자연수)가 되도록 하면 좋다.

[0170] 상기 마이크로 캐비티 구조를, 본 발명의 일 형태에 따른 발광 장치에 채용함으로써, 발광 소자(741r)로부터 발해지는 광에 있어서, 적색에 대응한 파장을 갖는 광의 강도가, 공진에 의해 향상된다. 따라서, 착색층(743r)을 통과시켜 얻어지는 적색의 광의 색 순도 및 휘도가 높아진다. 또한, 발광 소자(741g)로부터 발해지는 광에 있어서, 녹색에 대응한 파장을 갖는 광의 강도가, 공진에 의해 향상된다. 따라서, 착색층(743g)을 통과시켜 얻어지는 녹색의 광의 색 순도 및 휘도가 높아진다. 또한, 발광 소자(741b)로부터 발해지는 광에 있어서, 청색에 대응한 파장을 갖는 광의 강도가, 공진에 의해 향상된다. 따라서, 착색층(743b)을 통과시켜 얻어지는 청색의 광의 색 순도 및 휘도가 높아진다.

[0171] 또한, 도 10에서는, 적색, 녹색, 청색의 3색에 대응하는 화소를 사용하는 구성에 관해서 도시하였지만, 본 발명의 일 형태에서는, 상기 구성으로 한정되지 않는다. 본 발명의 일 형태에서 사용하는 색의 조합은, 예를 들면, 적색, 녹색, 청색, 황색의 4색, 또는, 시안, 마젠타, 옐로우의 3색을 사용하고 있어도 좋다. 또는, 상기 색의 조합은, 옐은 색의 적색, 녹색, 및 청색, 및 짙은 색의 적색, 녹색, 및 청색의 6색을 사용하고 있어도 좋다. 또는, 상기 색의 조합은, 적색, 녹색, 청색, 시안, 마젠타, 옐로우의 6색을 사용하고 있어도 좋다.

[0172] 또한, 예를 들면, 적색, 녹색, 및 청색의 화소를 사용하여 표현할 수 있는 색은, 색도도상의 각각의 발광색에 대응하는 3점이 그리는 삼각형의 내측에 나타내어지는 색으로 한정된다. 따라서, 적색, 녹색, 청색, 황색의 화소를 사용한 경우와 같이, 색도도상의 상기 삼각형의 외측에 발광색이 존재하는 발광 소자를 별도로 가함으로써, 상기 발광 장치에 있어서 표현할 수 있는 색역을 확대하여 색재현성을 풍부하게 할 수 있다.

[0173] 또한, 도 10에서는, 발광 소자(741r), 발광 소자(741g), 발광 소자(741b) 중, 광의 파장(λ)이 가장 짧은 발광 소자(741b)에 있어서, 가시광의 반사율이 높은 도전막(745b)을 애노드로서 사용하고, 다른 발광 소자(741r), 발

광 소자(741g)에 있어서는, 막 두께가 서로 상이한 도전막(746r) 및 도전막(746g)을 사용함으로써, 광로 길이를 조정하고 있다. 본 발명의 일 형태에서는, 파장(λ)이 가장 짧은 발광 소자(741b)에 있어서도, 가시광의 반사율이 높은 도전막(745b) 위에, 도전막(746r) 및 도전막(746g)과 같은, 가시광의 투과율이 높은 도전막을 형성하고 있어도 좋다. 다만, 도 10에 도시하는 바와 같이, 파장(λ)이 가장 짧은 발광 소자(741b)에 있어서, 가시광의 반사율이 높은 도전막(745b)으로 애노드를 구성하는 경우, 모든 발광 소자에 있어서, 애노드에 가시광의 투과율이 높은 도전막을 사용하는 경우보다도, 애노드의 제작 공정이 간소화되기 때문에, 바람직하다.

[0174] 또한, 가시광의 반사율이 높은 도전막(745b)은, 가시광의 투과율이 높은 도전막(746r) 및 도전막(746g)에 비해, 일함수가 작은 경우가 많다. 따라서, 광의 파장(λ)이 가장 짧은 발광 소자(741b)에서는, 발광 소자(741r), 발광 소자(741g)에 비해, 애노드(715b)로부터 전계 발광층(731)으로의 정공 주입이 행해지기 어렵기 때문에, 발광 효율이 낮은 경향이 있다. 그래서, 본 발명의 일 형태에서는, 광의 파장(λ)이 가장 짧은 발광 소자(741b)에 있어서, 전계 발광층(731) 중, 가시광의 반사율이 높은 도전막(745b)과 접하는 층에 있어서, 정공 수송성이 높은 물질에, 상기 정공 수송성이 높은 물질에 대해 역셉터성(전자 수용성)을 나타내는 물질을 함유시킨 복합 재료를 사용하는 것이 바람직하다. 상기 복합 재료를, 애노드(715b)에 접하여 형성함으로써, 애노드(715b)로부터 전계 발광층(731)으로의 정공 주입이 행해지기 쉬워져 발광 소자(741b)의 발광 효율을 높일 수 있다.

[0175] 역셉터성을 나타내는 물질로서는, 7,7,8,8-테트라시아노-2,3,5,6-테트라플루오로퀴노디메탄(약칭: F₄-TCNQ), 클로라닐 등을 들 수 있다. 또한, 전이 금속 산화물을 들 수 있다. 또한, 원소주기표에 있어서의 제 4 족 내지 제 8 족에 속하는 금속 산화물을 들 수 있다. 구체적으로는, 산화바나듐, 산화니오븀, 산화탄탈, 산화크롬, 산화몰리브덴, 산화텅스텐, 산화망간, 산화레늄은 역셉터성이 높기 때문에 바람직하다. 이 중에서도 특히, 산화몰리브덴은 대기 중에서도 안정적이며, 흡습성이 낮고, 취급하기 쉽기 때문에 바람직하다.

[0176] 복합 재료에 사용하는 정공 수송성이 높은 물질로서는, 방향족 아민 화합물, 카르바졸 유도체, 방향족 탄화수소, 고분자 화합물(올리고머, 덴드리머, 중합체 등) 등, 다양한 화합물을 사용할 수 있다. 또한, 복합 재료에 사용하는 유기 화합물로서는, 정공 수송성이 높은 유기 화합물인 것이 바람직하다. 구체적으로는, 10⁶ cm²/Vs 이상의 정공 이동도를 갖는 물질인 것이 바람직하다. 단, 전자보다도 정공의 수송성이 높은 물질이면, 이들 이외의 것을 사용해도 좋다.

[0177] 또한, 가시광의 반사율이 높은 도전막(745r), 도전막(745g), 도전막(745b)으로서, 예를 들면, 알루미늄, 은, 또는 이들 금속 재료를 함유하는 합금 등을, 단층으로, 또는 적층함으로써, 형성할 수 있다. 또한, 도전막(745r), 도전막(745g), 도전막(745b)을, 가시광의 반사율이 높은 도전막과, 막 두께가 얇은 도전막(바람직하게는 20nm 이하, 더욱 바람직하게는 10nm 이하)을 적층시켜 형성해도 좋다. 예를 들면, 가시광의 반사율이 높은 도전막 위에, 얇은 티타늄막이나 몰리브덴막을 적층하여, 도전막(745b)을 형성함으로써, 가시광의 반사율이 높은 도전막(알루미늄, 알루미늄을 함유하는 합금, 또는 은 등)의 표면에 산화막이 형성되는 것을 방지할 수 있다.

[0178] 또한, 가시광의 투과율이 높은 도전막(746r) 및 도전막(746g)에는, 예를 들면, 산화인듐, 산화주석, 산화아연, 인듐주석 산화물, 인듐아연 산화물 등을 사용할 수 있다.

[0179] 또한, 캐소드(732)는, 예를 들면, 광을 투과할 정도의 얇은 도전막(바람직하게는 20nm 이하, 더욱 바람직하게는 10nm 이하)과, 도전성의 금속 산화물로 구성된 도전막을 적층함으로써, 형성할 수 있다. 광을 투과할 정도의 얇은 도전막은, 은, 마그네슘, 또는 이들의 금속 재료를 함유하는 합금 등을, 단층으로, 또는 적층하여 형성할 수 있다. 도전성의 금속 산화물로서는, 산화인듐, 산화주석, 산화아연, 인듐주석 산화물, 인듐아연 산화물, 또는 이들의 금속 산화물 재료에 산화실리콘을 함유시킨 것을 사용할 수 있다.

[0180] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.

[0181] (실시형태 3)

[0182] 본 실시형태에서는, 본 발명의 발광 장치의 구체적인 구성의 일례에 관해서 설명한다. 도 11에, 본 실시형태에 있어서의 발광 장치의 블록도를, 일례로서 나타낸다. 또한, 도 11에 도시하는 블록도에서는, 발광 장치 내의 회로를 기능별로 분류하고, 서로 독립된 블록으로서 나타내고 있지만, 실제 회로는 기능별로 완전히 구분하기 어려우며, 하나의 회로가 복수의 기능에 관련되는 경우도 있을 수 있다.

[0183] 도 11에 도시하는 발광 장치는, 화소를 복수 갖는 화소부(500)와, 각 화소를 라인별로 선택하는 주사선 구동 회

로(510)와, 선택된 라인의 화소로의 화상 신호의 입력을 제어하는 신호선 구동 회로(520)를 가진다.

- [0184] 화소부(500)의 구성으로서는, 예를 들면 상기 실시형태 1에 나타내는 발광 장치에 있어서의 화소부의 구성을 적용할 수 있다.
- [0185] 신호선 구동 회로(520)는, 시프트 레지스터(521), 제 1 기억 회로(522), 제 2 기억 회로(523), DA 변환 회로(524)를 가지고 있다. 시프트 레지스터(521)에는, 클럭 신호(S-CLK), 스타트 펄스 신호(S-SP)가 입력된다. 시프트 레지스터(521)는 이들 클럭 신호(S-CLK) 및 스타트 펄스 신호(S-SP)에 따라, 펄스가 순차 시프트하는 타이밍 신호를 생성하고, 제 1 기억 회로(522)로 출력한다. 타이밍 신호의 펄스가 출현하는 순서는, 주사 방향 전환 신호에 따라서 전환하도록 해도 좋다.
- [0186] 제 1 기억 회로(522)에 타이밍 신호가 입력되면, 상기 타이밍 신호의 펄스에 따라, 화상 신호가 순차적으로 제 1 기억 회로(522)에 기록되고, 유지된다. 또한, 제 1 기억 회로(522)가 갖는 복수의 기억 회로에 순차적으로 화상 신호를 기록해도 좋지만, 제 1 기억 회로(522)가 갖는 복수의 기억 회로를 몇개의 그룹으로 나누고, 상기 그룹별로 병행하여 화상 신호를 입력하는, 소위 분할 구동을 행해도 좋다.
- [0187] 제 1 기억 회로(522)의 모든 기억 회로로의, 화상 신호의 기록이 대충 종료될 때까지의 시간을, 라인 기간이라고 부른다. 실제로는, 상기 라인 기간에 수평 귀선 시간이 가해진 기간을 라인 기간에 포함하는 경우가 있다.
- [0188] 1라인 기간이 종료되면, 제 2 기억 회로(523)에 입력되는 래치 신호(S-LS)의 펄스에 따라, 제 1 기억 회로(522)에 유지되어 있는 화상 신호가, 제 2 기억 회로(523)에 일제히 기록되고, 유지된다. 화상 신호를 제 2 기억 회로(523)로 송출을 끝낸 제 1 기억 회로(522)에는, 다시 시프트 레지스터(521)로부터의 타이밍 신호에 따라, 다음 화상 신호의 기록이 순차적으로 행해진다. 이 2사이클째의 1라인 기간 중에는, 제 2 기억 회로(523)에 기록되고, 유지되어 있는 화상 신호가, DA 변환 회로(524)에 입력된다.
- [0189] 그리고 DA 변환 회로(524)는, 입력된 디지털의 화상 신호를 아날로그의 화상 신호로 변환하고, 신호선을 통하여 화소부(500) 내의 각 화소에 입력한다.
- [0190] 또한, 신호선 구동 회로(520)는, 시프트 레지스터(521) 대신에, 펄스가 순차 시프트하는 신호를 출력할 수 있는 다른 회로를 사용해도 좋다.
- [0191] 또한, 도 11에서는, DA 변환 회로(524)의 후단에 화소부(500)가 직접 접속되어 있지만, 본 발명은 이 구성으로 한정되지 않는다. 화소부(500)의 전단에, DA 변환 회로(524)로부터 출력된 화상 신호에 신호 처리를 가하는 회로를 형성할 수 있다. 신호 처리를 가하는 회로의 일례로서, 예를 들면 버퍼, 레벨 시프터 등을 들 수 있다.
- [0192] 다음에, 주사선 구동 회로(510)의 동작에 관해서 설명한다. 주사선 구동 회로(510)는 펄스가 순차 시프트하는 선택 신호를 생성하고, 상기 선택 신호를 복수의 주사선에 입력함으로써, 화소를 라인별로 선택한다. 선택 신호에 의해 화소가 선택되면, 각각 게이트가 주사선의 하나에 전기적으로 접속된 복수의 트랜지스터가 적절히 온 상태 또는 오프 상태가 되고, 각 신호 또는 전원 전위의 공급이 이루어진다.
- [0193] 또한, 화소부(500), 주사선 구동 회로(510), 신호선 구동 회로(520)는, 동일한 기판에 형성할 수 있지만, 어느 하나를 상이한 기판에 형성할 수도 있다.
- [0194] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0195] (실시형태 4)
- [0196] 본 실시형태에서는, 본 발명의 발광 장치의 구체적인 구성의 일례에 관해서 설명한다. 도 12에, 본 실시형태에 있어서의 발광 장치의 블록도를, 일례로서 나타낸다. 또한, 도 12에 도시하는 블록도에서는, 발광 장치 내의 회로를 기능별로 분류하고, 서로 독립된 블록으로서 나타내고 있지만, 실제 회로는 기능별로 완전히 구분하기 어려우며, 하나의 회로가 복수의 기능에 관련되는 경우도 있을 수 있다.
- [0197] 도 12에 도시하는 본 발명의 발광 장치는, 복수의 화소를 갖는 화소부(600)와, 복수의 화소를 라인별로 선택하는 주사선 구동 회로(610)와, 선택된 라인 내의 화소로의 화상 신호의 입력을 제어하는 신호선 구동 회로(620)를 가진다.
- [0198] 화소부(600)의 구성으로서는, 예를 들면 상기 실시형태 1에 나타내는 발광 장치에 있어서의 화소부의 구성을 적

용할 수 있다.

- [0199] 신호선 구동 회로(620)는, 시프트 레지스터(621)와, 샘플링 회로(622)와, 아날로그 신호를 기억할 수 있는 기억 회로(623)를 적어도 가진다. 시프트 레지스터(621)에 클럭 신호(S-CLK)와, 스타트 펄스 신호(S-SP)가 입력된다. 시프트 레지스터(621)는 이들 클럭 신호(S-CLK) 및 스타트 펄스 신호(S-SP)에 따라, 펄스가 순차 시프트하는 타이밍 신호를 생성하고, 샘플링 회로(622)에 입력한다. 샘플링 회로(622)에서는, 입력된 타이밍 신호에 따라, 신호선 구동 회로(620)에 입력된 1라인 기간분의 아날로그의 화상 신호를 샘플링한다. 그리고 1라인 기간분의 화상 신호가 모두 샘플링되면, 샘플링된 화상 신호는 래치 신호(S-LS)에 따라 일제히 기억 회로(623)로 출력되고, 유지된다. 기억 회로(623)에 유지되는 화상 신호는, 신호선을 통하여 화소부(600)에 입력된다.
- [0200] 또한 본 실시형태에서는, 샘플링 회로(622)에 있어서 1라인 기간분의 화상 신호를 모두 샘플링한 후에, 일제히 하단의 기억 회로(623)에 샘플링된 화상 신호를 입력하는 경우를 예로 들어 설명하지만, 본 발명은 이 구성에 한정되지 않는다. 샘플링 회로(622)에 있어서 각 화소에 대응하는 화상 신호를 샘플링하면, 1라인 기간을 기다리지 않고, 그 때마다 하단의 기억 회로(623)에 샘플링된 화상 신호를 입력해도 좋다.
- [0201] 또한 화상 신호의 샘플링은 대응하는 화소별로 순차적으로 행해도 좋고, 1라인 내의 화소를 몇개의 그룹으로 나누고, 각 그룹에 대응하는 화소별로 병행하여서 행해도 좋다.
- [0202] 또한 도 12에서는 기억 회로(623)의 후단에 직접 화소부(600)가 접속되어 있지만, 본 발명은 이 구성에 한정되지 않는다. 화소부(600)의 전단에, 기억 회로(623)로부터 출력된 아날로그의 화상 신호에 신호 처리를 가하는 회로를 형성할 수 있다. 신호 처리를 가하는 회로의 일례로서, 예를 들면 파형을 정형할 수 있는 버퍼 등을 들 수 있다.
- [0203] 그리고, 기억 회로(623)로부터 화소부(600)에 화상 신호가 입력되는 것과 병행하여, 샘플링 회로(622)는 다음 라인 기간에 대응하는 화상 신호를 다시 샘플링할 수 있다.
- [0204] 다음에, 주사선 구동 회로(610)의 동작에 관해서 설명한다. 주사선 구동 회로(610)는 펄스가 순차 시프트하는 선택 신호를 생성하고, 상기 선택 신호를 복수의 주사선에 입력함으로써, 화소를 라인별로 선택한다. 선택 신호에 의해 화소가 선택되면, 게이트의 각각이 주사선의 하나에 전기적으로 접속된 복수의 트랜지스터가 적절한 온 상태 또는 오프 상태가 되고, 각 신호 또는 전원 전위의 공급이 이루어진다.
- [0205] 또한, 화소부(600), 주사선 구동 회로(610), 신호선 구동 회로(620)는, 동일한 기판에 형성할 수 있지만, 어느 하나를 상이한 기판에 형성할 수도 있다.
- [0206] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0207] (실시형태 5)
- [0208] 도 13은, 본 발명의 일 형태에 따른 발광 장치의 사시도의 일례이다. 도 13에서는, 상기 실시형태에 있어서의 발광 장치를 표시부에 사용한 경우의, 발광 장치를 예시하고 있다.
- [0209] 도 13에 도시하는 발광 장치는, 표시부(1601)와, 회로 기판(1602)과, 접속부(1603)를 가지고 있다.
- [0210] 회로 기판(1602)에는, 화상 처리부가 설치되어 있고, 접속부(1603)를 통하여 각종 신호나 전원 전위가 표시부(1601)에 입력된다. 접속부(1603)에는, FPC(Flexible Printed Circuit) 등을 사용할 수 있다. 또한, 접속부(1603)에 COF 테이프를 사용하는 경우, 화상 처리부의 일부의 회로, 또는 표시부(1601)가 갖는 구동 회로의 일부 등을 별도 준비한 칩에 형성해 두고, COF(Chip On Film)법을 사용하여 상기 칩을 COF 테이프에 접속해 두어도 좋다.
- [0211] 본 실시형태는, 상기 실시형태와 조합하여 실시하는 것이 가능하다.
- [0212] (실시형태 6)
- [0213] 산화물 반도체에 한하지 않고, 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는, 다양한 이유에 의해 본래의 이동도보다도 낮아진다. 이동도를 저하시키는 요인으로서의 반도체 내부의 결함이나 반도체와 절연막 계면의 결함이 있는데, Levinson 모델을 사용하면, 반도체 내부에 결함이 없는 것으로 가정한 경우의 전계 효과 이동도를 이론적으로 도출할 수 있다. 그래서, 본 실시형태에서는, 반도체 내부에 결함이 없는 이상적인 산화물 반도체의 전계 효과 이동도를 이론적으로 도출하는 동시에, 이러한 산화물 반도체를 사용하여 미세한

트랜지스터를 제작한 경우의 특성의 계산 결과를 나타낸다.

[0214] 반도체 본래의 이동도를 μ_0 , 측정되는 전계 효과 이동도를 μ 으로 하고, 반도체 중에 어떠한 포텐셜 장벽(입계 등)이 존재하는 것으로 가정하면, 이하의 식으로 표현할 수 있다.

수학식 4

[0215]
$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0216] 여기에서, E는 포텐셜 장벽의 높이이며, k가 볼츠만 상수, T는 절대 온도이다. 또한, 포텐셜 장벽이 결함에 유래하는 것으로 가정하면, Levinson 모델에서는, 이하의 식으로 나타내진다.

수학식 5

[0217]
$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

[0218] 여기에서, e는 전기 소량(elementary charge), N은 채널 내의 단위 면적당 평균 결함 밀도, ϵ 는 반도체의 유전율, n은 단위 면적당 채널에 포함되는 캐리어수, C_{ox} 는 단위 면적당 용량, V_g 은 게이트 전압, t는 채널의 두께이다. 또한, 두께 30nm 이하의 반도체층이면, 채널의 두께는 반도체층의 두께와 동일해도 지장이 없다. 선형 영역에 있어서의 드레인 전류(I_d)는, 이하의 식이 된다.

수학식 6

[0219]
$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0220] 여기에서, L은 채널 길이, W는 채널 폭이며, 여기에서는, L=W=10 μ m이다. 또한, V_d 는 드레인 전압이다. 상기 식의 양변을 V_g 로 나누고, 다시 양변의 대수를 취하면, 이하와 같이 된다.

수학식 7

[0221]
$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

[0222] 수학식 7의 우변은 V_g 의 함수이다. 이 식으로부터 알 수 있는 바와 같이, 세로축을 $\ln(I_d/V_g)$, 가로축을 $1/V_g$ 로 하는 직선의 경사로부터의 결함 밀도(N)가 구해진다. 즉, 트랜지스터의 I_d - V_g 특성으로부터, 결함 밀도를 평가할 수 있다. 산화물 반도체로서는, 인듐(In), 주석(Sn), 아연(Zn)의 비율이, In:Sn:Zn=1:1:1인 것에서는 결함 밀도(N)는 $1 \times 10^{12}/\text{cm}^2$ 정도이다.

[0223] 이와 같이 하여 구한 결함 밀도 등을 바탕으로 수학식 4 및 수학식 5로부터 $\mu_0=120\text{cm}^2/\text{Vs}$ 가 도출된다. 결함이 있는 In-Sn-Zn계 산화물에서 측정되는 이동도는 $35\text{cm}^2/\text{Vs}$ 정도이다. 그러나, 반도체 내부 및 반도체와 절연막 계면의 결함이 없는 산화물 반도체의 이동도(μ_0)는 $120\text{cm}^2/\text{Vs}$ 가 될 것으로 예상할 수 있다.

[0224] 단, 반도체 내부에 결함이 없어도, 채널과 게이트 절연물 계면에서의 산란에 의해 트랜지스터의 수송 특성은 영향을 받는다. 즉, 게이트 절연물 계면에서 x만큼 떨어진 장소에 있어서의 이동도(μ_1)는, 이하의 식으로 표기된다.

수학식 8

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

- [0225]
- [0226] 여기에서, D는 게이트 방향의 전계, B, G는 상수이다. B 및 G는, 실제의 측정 결과로부터 구할 수 있고, 상기의 측정 결과로부터는 $B=4.75 \times 10^7$ cm/s, $G=10$ nm(계면 산란이 미치는 깊이)이다. D가 증가하면(즉, 게이트 전압이 높아지면) 수학식 8의 제 2 항이 증가하기 때문에, 이동도(μ_1)는 저하되는 것을 알 수 있다.
- [0227] 반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 사용한 트랜지스터의 이동도(μ_2)를 계산한 결과를 도 18에 도시한다. 또한, 계산에는 시놉시스사 제조의 디바이스 시뮬레이션 소프트웨어, Sentaurus Device를 사용하고, 산화물 반도체의 밴드 갭, 전자 친화력, 비유전율, 두께를 각각, 2.8전자볼트, 4.7전자볼트, 15, 15nm으로 하였다. 이들 값은, 스퍼터링법에 의해 형성된 박막을 측정하여 얻어진 것이다.
- [0228] 또한, 게이트, 소스, 드레인의 일함수를 각각, 5.5전자볼트, 4.6전자볼트, 4.6전자볼트로 하였다. 또한, 게이트 절연물의 두께는 100nm, 비유전율은 4.1로 하였다. 채널 길이 및 채널 폭은 모두 10 μ m, 드레인 전압(V_d)은 0.1V이다.
- [0229] 도 18에서 도시되는 바와 같이, 게이트 전압 1V강에서 이동도 100cm²/Vs 이상의 피크를 나타내지만, 게이트 전압이 더욱 높아지게 되면, 계면 산란이 커지고, 이동도가 저하된다. 또한, 계면 산란을 저감시키기 위해서는, 반도체층 표면을 원자 레벨로 평탄하게 하는 것(Atomic Layer Flatness)이 바람직하다.
- [0230] 이러한 이동도를 갖는 산화물 반도체를 사용하여 미세한 트랜지스터를 제작한 경우의 특성을 계산한 결과를 도 19 내지 도 21에 도시한다. 또한, 계산에 사용한 트랜지스터의 단면 구조를 도 22에 도시한다. 도 22에 도시하는 트랜지스터는 산화물 반도체층에 n⁺의 도전형을 나타내는 반도체 영역(8103a) 및 반도체 영역(8103c)을 가진다. 반도체 영역(8103a) 및 반도체 영역(8103c)의 저항율은 2×10^{-3} Ω cm으로 한다.
- [0231] 도 22a에 도시하는 트랜지스터는, 하지 절연물(8101)과, 하지 절연물(8101)에 매립되도록 형성된 산화알루미늄으로 이루어지는 매립 절연물(8102) 위에 형성된다. 트랜지스터는 반도체 영역(8103a), 반도체 영역(8103c)과, 이들 사이에 개재되어 있고, 채널 형성 영역이 되는 진성의 반도체 영역(8103b)과, 게이트(8105)를 가진다. 게이트(8105)의 폭을 33nm으로 한다.
- [0232] 게이트(8105)와 반도체 영역(8103b) 사이에는, 게이트 절연물(8104)을 가지며, 또한, 게이트(8105)의 양측면에는 측벽 절연물(8106a) 및 측벽 절연물(8106b), 게이트(8105)의 상부에는, 게이트(8105)와 다른 배선의 단락을 방지하기 위한 절연물(8107)을 가진다. 측벽 절연물의 폭은 5nm으로 한다. 또한, 반도체 영역(8103a) 및 반도체 영역(8103c)에 접하고, 소스(8108a) 및 드레인(8108b)을 가진다. 또한, 이 트랜지스터에 있어서의 채널 폭을 40nm으로 한다.
- [0233] 도 22b에 도시하는 트랜지스터는, 하지 절연물(8101)과, 산화알루미늄으로 이루어지는 매립 절연물(8102) 위에 형성되며, 반도체 영역(8103a), 반도체 영역(8103c)과, 이들 사이에 개재된 진성의 반도체 영역(8103b)과, 폭 33nm의 게이트(8105)와 게이트 절연물(8104)과 측벽 절연물(8106a) 및 측벽 절연물(8106b)과 절연물(8107)과 소스(8108a) 및 드레인(8108b)을 갖는 점에서 도 22a에 도시하는 트랜지스터와 동일하다.
- [0234] 도 22a에 도시하는 트랜지스터와 도 22b에 도시하는 트랜지스터의 차이점은, 측벽 절연물(8106a) 및 측벽 절연물(8106b) 아래의 반도체 영역의 도전형이다. 도 22a에 도시하는 트랜지스터에서는, 측벽 절연물(8106a) 및 측벽 절연물(8106b) 아래의 반도체 영역은 n⁺의 도전형을 나타내는 반도체 영역(8103a) 및 반도체 영역(8103c)이지만, 도 22b에 도시하는 트랜지스터에서는, 진성의 반도체 영역(8103b)이다. 즉, 반도체 영역(8103a)(반도체 영역(8103c))과 게이트(8105)가 Loff만큼 중첩되지 않는 영역이 형성되어 있다. 이 영역을 오프셋 영역이라고 하고, 그 폭(Loff)을 오프셋 길이라고 한다. 도면으로부터 명백한 바와 같이, 오프셋 길이는, 측벽 절연물(8106a)(측벽 절연물(8106b))의 폭과 동일하다.
- [0235] 기타 계산에 사용하는 파라미터는 상기한 바와 같다. 계산에는 시놉시스사 제조의 디바이스 시뮬레이션 소프트웨어, Sentaurus Device를 사용하였다. 도 19는, 도 22a에 도시되는 구조의 트랜지스터의 드레인 전류(I_d ,

실선) 및 이동도(μ , 점선)의 게이트 전압(V_g , 게이트와 소스의 전위차) 의존성을 나타낸다. 드레인 전류(I_d)는, 드레인 전압(드레인과 소스의 전위차)을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다.

[0236] 도 19a는 게이트 절연막의 두께를 15nm으로 한 것이며, 도 19b는 10nm으로 한 것이며, 도 19c는 5nm으로 한 것이다. 게이트 절연막이 얇아질수록, 특히 오프 상태에서의 드레인 전류(I_d)(오프 전류)가 현저하게 저하된다. 한편, 이동도(μ)의 피크값이나 온 상태에서의 드레인 전류(I_d)(온 전류)에는 눈에 띄는 변화가 없다. 게이트 전압 1V 전후에서, 10 μ A를 초과하는 것이 나타났다.

[0237] 도 20은, 도 22b에 도시되는 구조의 트랜지스터에서, 오프셋 길이(Loff)를 5nm으로 한 것의 드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압(V_g) 의존성을 나타낸다. 드레인 전류(I_d)는, 드레인 전압을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 20a는 게이트 절연막의 두께를 15nm으로 한 것이며, 도 20b는 10nm으로 한 것이며, 도 20c는 5nm으로 한 것이다.

[0238] 또한, 도 21은, 도 22b에 도시되는 구조의 트랜지스터에서, 오프셋 길이(Loff)를 15nm으로 한 것의 드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압 의존성을 도시한다. 드레인 전류(I_d)는, 드레인 전압을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 21a는 게이트 절연막의 두께를 15nm으로 한 것이며, 도 21b는 10nm으로 한 것이며, 도 21c는 5nm으로 한 것이다.

[0239] 모두 게이트 절연막이 얇아질수록, 오프 전류가 현저하게 저하되는 한편, 이동도(μ)의 피크값이나 온 전류에는 눈에 띄는 변화가 없다.

[0240] 또한, 이동도(μ)의 피크는, 도 19에서는 80cm²/Vs 정도이지만, 도 20에서는 60cm²/Vs 정도, 도 21에서는 40cm²/Vs 정도로, 오프셋 길이(Loff)가 증가할수록 저하된다. 또한, 오프 전류도 같은 경향이 있다. 한편, 온 전류는 오프셋 길이(Loff)의 증가에 따라 감소되지만, 오프 전류의 저하에 비하면 훨씬 완만하다. 또한, 모두 게이트 전압 1V 전후에서, 10 μ A를 초과하는 것이 나타났다.

[0241] (실시형태 7)

[0242] In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터는, 상기 산화물 반도체를 형성할 때에 기판을 가열하여 성막하는 것, 또는 산화물 반도체막을 형성한 후에 열처리를 행함으로써 양호한 특성을 얻을 수 있다. 또한, 주성분이란 조성비로 5atomic% 이상 함유되는 원소를 말한다. 그래서, 본 실시형태에서는, 산화물 반도체막의 성막후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시킨 경우를 도 23 내지 도 29를 사용하여 설명한다.

[0243] In, Sn, Zn을 주성분으로 하는 산화물 반도체막의 성막후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시키는 것이 가능해진다. 또한, 트랜지스터의 임계값 전압을 플러스 시프트시켜 노멀리 · 오프화시키는 것이 가능해진다.

[0244] 예를 들면, 도 23a 내지 도 23c는, In, Sn, Zn을 주성분으로 하고, 채널 길이(L)가 3 μ m, 채널 폭(W)이 10 μ m인 산화물 반도체막과, 두께 100nm의 게이트 절연막을 사용한 트랜지스터의 특성이다. 또한, V_d 는 10V로 하였다.

[0245] 도 23a는 기판을 의도적으로 가열하지 않고 스퍼터링법으로 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성했을 때의 트랜지스터 특성이다. 이 때 전계 효과 이동도는 18.8cm²/Vsec가 얻어지고 있다. 한편, 기판을 의도적으로 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성하면 전계 효과 이동도를 향상시키는 것이 가능해진다. 도 23b는 기판을 200 $^{\circ}$ C로 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성했을 때의 트랜지스터 특성을 나타내는데, 전계 효과 이동도는 32.2cm²/Vsec가 얻어지고 있다.

[0246] 전계 효과 이동도는, In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성한 후에 열처리를 함으로써, 더욱 높일 수 있다. 도 23c는, In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 200 $^{\circ}$ C에서 스퍼터링 성막한 후, 650 $^{\circ}$ C에서 열처리를 했을 때의 트랜지스터 특성을 나타낸다. 이 때 전계 효과 이동도는 34.5cm²/Vsec가 얻어지고 있다.

[0247] 기판을 의도적으로 가열함으로써 스퍼터링 성막 중의 수분이 산화물 반도체막 중에 도입되는 것을 저감시키는 효과를 기대할 수 있다. 또한, 성막후에 열처리를 함으로써, 산화물 반도체막으로부터 수소나 하이드록실기

또는 수분을 방출시켜 제거할 수 있고, 상기와 같이 전계 효과 이동도를 향상시킬 수 있다. 이러한 전계 효과 이동도의 향상은, 탈수화·탈수소화에 의한 불순물의 제거뿐만 아니라, 고밀도화에 의해 원자간 거리가 짧아지기 때문이라고도 추정된다. 또한, 산화물 반도체로부터 불순물을 제거하여 고순도화함으로써 결정화를 도모할 수 있다. 이와 같이 고순도화된 비단결정 산화물 반도체는, 이상적으로는 100cm²/Vsec을 초과하는 전계 효과 이동도를 실현하는 것도 가능하게 될 것으로 추정된다.

- [0248] In, Sn, Zn을 주성분으로 하는 산화물 반도체에 산소 이온을 주입하고, 열처리에 의해 상기 산화물 반도체에 함유되는 수소나 하이드록실기 또는 수분을 방출시키고, 그 열처리와 동시에 또는 그 후의 열처리에 의해 산화물 반도체를 결정화시켜도 좋다. 이러한 결정화 또는 재결정의 처리에 의해 결정성이 양호한 비단결정 산화물 반도체를 얻을 수 있다.
- [0249] 기판을 의도적으로 가열하여 성막하는 것 및/또는 성막후에 열처리하는 것의 효과는, 전계 효과 이동도의 향상뿐만 아니라, 트랜지스터의 노멀리·오프화를 도모하는 것에도 기여하고 있다. 기판을 의도적으로 가열하지 않고 형성된 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 채널 형성 영역으로 한 트랜지스터는, 임계값 전압이 마이너스 시프트해 버리는 경향이 있다. 그러나, 기판을 의도적으로 가열하여 형성된 산화물 반도체막을 사용한 경우, 이 임계값 전압의 마이너스 시프트화는 해소된다. 즉, 임계값 전압은 트랜지스터가 노멀리·오프가 되는 방향으로 이동하고, 이러한 경향은 도 23a와 도 23b의 대비로부터도 확인할 수 있다.
- [0250] 또한, 임계값 전압은 In, Sn 및 Zn의 비율을 바꿈으로써도 제어하는 것이 가능하며, 조성비로서 In:Sn:Zn=2:1:3으로 함으로써 트랜지스터의 노멀리·오프화를 기대할 수 있다. 또한, 타깃의 조성비를 In:Sn:Zn=2:1:3으로 함으로써 결정성이 높은 산화물 반도체막을 얻을 수 있다.
- [0251] 의도적인 기판 가열 온도 또는 열처리 온도는, 150℃ 이상, 바람직하게는 200℃ 이상, 보다 바람직하게는 400℃ 이상이며, 보다 고온으로 성막 또는 열처리함으로써 트랜지스터의 노멀리·오프화를 도모하는 것이 가능해진다.
- [0252] 또한, 의도적으로 기판을 가열한 성막 및/또는 성막후에 열처리를 함으로써, 게이트 바이어스·스트레스에 대한 안정성을 높일 수 있다. 예를 들면, 2MV/cm, 150℃, 1시간의 인가 조건에 있어서, 드리프트가 각각 ±1.5V 미만, 바람직하게는 1.0V 미만을 얻을 수 있다.
- [0253] 실제로, 산화물 반도체막 성막후에 가열 처리를 행하지 않은 시료 1과, 650℃의 가열 처리를 행한 시료 2의 트랜지스터에 대해 BT 시험을 행하였다.
- [0254] 우선 기판 온도를 25℃로 하고, V_d를 10V로 하고, 트랜지스터의 V_g-I_d 특성의 측정을 행하였다. 다음에, 기판 온도를 150℃로 하고, V_d를 0.1V로 하였다. 다음에, 게이트 절연막에 인가되는 전계 강도가 2MV/cm가 되도록 V_g로서 20V를 인가하고, 그대로 1시간 동안 유지하였다. 다음에, V_g를 0V로 하였다. 다음에, 기판 온도를 25℃로 하고, V_d를 10V로 하고, 트랜지스터의 V_g-I_d 측정을 행하였다. 이것을 플러스 BT 시험이라고 부른다.
- [0255] 마찬가지로, 우선 기판 온도를 25℃로 하고, V_d를 10V로 하고, 트랜지스터의 V_g-I_d 특성의 측정을 행하였다. 다음에, 기판 온도를 150℃로 하고, V_d를 0.1V로 하였다. 다음에, 게이트 절연막에 인가되는 전계 강도가 -2MV/cm이 되도록 V_g에 -20V를 인가하고, 그대로 1시간 동안 유지하였다. 다음에, V_g를 0V로 하였다. 다음에, 기판 온도를 25℃로 하고, V_d를 10V로 하고, 트랜지스터의 V_g-I_d 측정을 행하였다. 이것을 마이너스 BT 시험이라고 부른다.
- [0256] 시료 1의 플러스 BT 시험의 결과를 도 24a에, 마이너스 BT 시험의 결과를 도 24b에 도시한다. 또한, 시료 2의 플러스 BT 시험의 결과를 도 25a에, 마이너스 BT 시험의 결과를 도 25b에 도시한다.
- [0257] 시료 1의 플러스 BT 시험 및 마이너스 BT 시험에 의한 임계값 전압의 변동은, 각각 1.80V 및 -0.42V이었다. 또한, 시료 2의 플러스 BT 시험 및 마이너스 BT 시험에 의한 임계값 전압의 변동은, 각각 0.79V 및 0.76V이었다. 시료 1 및 시료 2 모두, BT 시험 전후에 있어서의 임계값 전압의 변동이 작고, 신뢰성이 높은 것을 알 수 있다.
- [0258] 열처리는 산소 분위기 중에서 행할 수 있지만, 우선 질소 또는 불활성 가스, 또는 감압하에서 열처리를 행한 후 산소를 함유하는 분위기 중에서 열처리를 행해도 좋다. 처음에 탈수화·탈수소화를 행한 후 산소를 산화물 반도체에 가함으로써, 열처리의 효과를 보다 높일 수 있다. 또한, 나중에 산소를 가하기 위해서는, 산소 이온을

전계에서 가속하여 산화물 반도체막에 주입하는 방법을 적용해도 좋다.

- [0259] 산화물 반도체층 및 적층되는 막과의 계면에는, 산소 결손에 의한 결함이 생성되기 쉽지만, 이러한 열처리에 의해 산화물 반도체 중에 산소를 과잉으로 함유시킴으로써, 정상적으로 생성되는 산소 결손을 과잉 산소에 의해 보상하는 것이 가능해진다. 과잉 산소는 주로 격자간에 존재하는 산소이며, 그 산소 농도는 $1 \times 10^{16}/\text{cm}^3$ 이상 $2 \times 10^{20}/\text{cm}^3$ 이하로 하면, 결정에 변형 등을 주지 않고 산화물 반도체중에 함유시킬 수 있다.
- [0260] 또한, 열처리에 의해 산화물 반도체에 결정이 적어도 일부에 포함되도록 함으로써, 보다 안정된 산화물 반도체막을 얻을 수 있다. 예를 들면, 조성비 In:Sn:Zn=1:1:1의 타깃을 사용하고, 기판을 의도적으로 가열하지 않고 스퍼터링 성막한 산화물 반도체막은, X선 회절(XRD: X-Ray Diffraction)에서 할로 패턴(halo pattern)이 관측된다. 이 성막된 산화물 반도체막을 열처리함으로써 결정화시킬 수 있다. 열처리 온도는 임의적이지만, 예를 들면, 650℃의 열처리를 행함으로써, X선 회절에 의해 명확한 회절 피크를 관측할 수 있다.
- [0261] 실제로, In-Sn-Zn-O막의 XRD 분석을 행하였다. XRD 분석에는, Bruker AXS사 제조의 X선 회절 장치 D8 ADVANCE를 사용하고, Out-of-Plane법으로 측정하였다.
- [0262] XRD 분석을 행한 시료로서, 시료 A 및 시료 B를 준비하였다. 이하에 시료 A 및 시료 B의 제작 방법을 설명한다.
- [0263] 탈수소화 처리 완료된 석영 기판 위에 In-Sn-Zn-O막을 100nm의 두께로 성막하였다.
- [0264] In-Sn-Zn-O막은, 스퍼터링 장치를 사용하고, 산소 분위기에서 전력을 100W(DC)로 하여 성막하였다. 타깃은, In:Sn:Zn=1:1:1[원자수비]의 In-Sn-Zn-O 타깃을 사용하였다. 또한, 성막시의 기판 가열 온도는 200℃로 하였다. 이와 같이 하여 제작한 시료를 시료 A로 하였다.
- [0265] 다음에, 시료 A와 같은 방법으로 제작한 시료에 대해 가열 처리를 650℃의 온도로 행하였다. 가열 처리는, 처음에 질소 분위기에서 1시간의 가열 처리를 행하고, 온도를 낮추지 않고 산소 분위기에서 다시 1시간의 가열 처리를 행하고 있다. 이와 같이 하여 제작한 시료를 시료 B로 하였다.
- [0266] 도 28에 시료 A 및 시료 B의 XRD 스펙트럼을 도시한다. 시료 A에서는, 결정 유래의 피크가 관측되지 않았지만, 시료 B에서는, 2θ이 35deg 근방 및 37deg 내지 38deg에 결정 유래의 피크가 관측되었다.
- [0267] 이와 같이, In, Sn, Zn을 주성분으로 하는 산화물 반도체는 성막시에 의도적으로 가열하는 것 및/또는 성막후에 열처리함으로써 트랜지스터의 특성을 향상시킬 수 있다.
- [0268] 이 기판 가열이나 열처리는, 산화물 반도체에 있어서 악성 불순물인 수소나 하이드록실기를 막 중에 함유시키지 않도록 하는 것, 또는 막 중에서 제거하는 작용이 있다. 즉, 산화물 반도체 중에서 도너 불순물이 되는 수소를 제거함으로써 고순도화를 도모할 수 있고, 그것에 의해서 트랜지스터의 노멀리·오프화를 도모할 수 있고, 산화물 반도체가 고순도화됨으로써 오프 전류를 1aA/μm 이하로 할 수 있다. 여기에서, 상기 오프 전류값의 단위는, 채널 폭 1μm당 전류값을 나타낸다.
- [0269] 구체적으로는, 도 29에 도시하는 바와 같이, 기판 온도가 125℃인 경우에는 1aA/μm(1×10^{-18} A/μm) 이하, 85℃인 경우에는 100zA/μm(1×10^{-19} A/μm) 이하, 실온(27℃)의 경우에는 1zA/μm(1×10^{-21} A/μm) 이하로 할 수 있다. 바람직하게는, 125℃에 있어서 0.1aA/μm(1×10^{-19} A/μm) 이하로, 85℃에 있어서 10zA/μm(1×10^{-20} A/μm) 이하로, 실온에 있어서 0.1zA/μm(1×10^{-22} A/μm) 이하로 할 수 있다.
- [0270] 무엇보다, 산화물 반도체막의 성막시에 수소나 수분이 막중에 혼입되지 않도록, 성막실 외부로부터의 리크나 성막실 내의 내벽으로부터의 탈가스를 충분히 억제하여 스퍼터링 가스의 고순도화를 도모하는 것이 바람직하다. 예를 들면, 스퍼터링 가스는 수분이 막 중에 함유되지 않도록 노점 -70℃ 이하인 가스를 사용하는 것이 바람직하다. 또한, 타깃 그 자체에 수소나 수분 등의 불순물이 함유되어 있지 않도록, 고순도화된 타깃을 사용하는 것이 바람직하다. In, Sn, Zn을 주성분으로 하는 산화물 반도체는 열처리에 의해 막중의 수분을 제거할 수 있지만, In, Ga, Zn을 주성분으로 하는 산화물 반도체와 비교하여 수분의 방출 온도가 높기 때문에, 바람직하게는 처음부터 수분이 함유되지 않는 막을 형성해 두는 것이 바람직하다.
- [0271] 또한, 산화물 반도체막 성막후에 650℃의 가열 처리를 행한 시료의 트랜지스터에 있어서, 기판 온도와 전기적 특성의 관계에 관해서 평가하였다.

- [0272] 측정에 사용한 트랜지스터는, 채널 길이(L)가 3 μ m, 채널 폭(W)이 10 μ m, Lov가 한쪽 3 μ m(합계 6 μ m), dW가 0 μ m이다. 또한, V_d는 10V로 하였다. 또한, 기판 온도는 -40 $^{\circ}$ C, -25 $^{\circ}$ C, 25 $^{\circ}$ C, 75 $^{\circ}$ C, 125 $^{\circ}$ C 및 150 $^{\circ}$ C에서 행하였다. 여기에서, 트랜지스터에 있어서, 게이트 전극과 한 쌍의 전극의 중첩되는 폭을 Lov라고 부르고, 산화물 반도체막에 대해 한 쌍의 전극이 튀어 나오는 것을 dW라고 부른다.
- [0273] 도 26에, I_d(실선) 및 전계 효과 이동도(점선)의 V_g 의존성을 도시한다. 또한, 도 27a에 기판 온도와 임계값 전압의 관계를, 도 27b에 기판 온도와 전계 효과 이동도의 관계를 도시한다.
- [0274] 도 27a로부터, 기판 온도가 높을수록 임계값 전압은 낮아지는 것을 알 수 있다. 또한, 그 범위는 -40 $^{\circ}$ C 내지 150 $^{\circ}$ C에서 1.09V 내지 -0.23V이었다.
- [0275] 또한, 도 27b로부터, 기판 온도가 높을수록 전계 효과 이동도가 낮아지는 것을 알 수 있다. 또한, 그 범위는 -40 $^{\circ}$ C 내지 150 $^{\circ}$ C에서 36cm²/Vs 내지 32cm²/Vs이었다. 따라서, 상기의 온도 범위에 있어서 전기적 특성의 변동이 작은 것을 알 수 있다.
- [0276] 상기와 같은 In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터에 의하면, 오프 전류를 1aA/ μ m 이하로 유지하면서, 전계 효과 이동도를 30cm²/Vsec 이상, 바람직하게는 40cm²/Vsec 이상, 보다 바람직하게는 60cm²/Vsec 이상으로 하고, LSI에서 요구되는 온 전류의 값을 충족시킬 수 있다. 예를 들면, L/W=33nm/40nm의 FET에서, 게이트 전압 2.7V, 드레인 전압 1.0V일 때 12 μ A 이상의 온 전류를 흘려보낼 수 있다. 또한 트랜지스터의 동작에 요구되는 온도 범위에 있어서도, 충분한 전기적 특성을 확보할 수 있다. 이러한 특성이면, Si 반도체로 만들어지는 집적 회로 중에 산화물 반도체로 형성되는 트랜지스터를 혼재해도, 동작 속도를 희생시키지 않고 새로운 기능을 갖는 집적 회로를 실현할 수 있다.
- [0277] (실시예 1)
- [0278] 본 실시예에서는, In-Sn-Zn-O막을 산화물 반도체막에 사용한 트랜지스터의 일례에 관해서, 도 30 등을 사용하여 설명한다.
- [0279] 도 30은, 코플레이너형인 톱 게이트·톱 콘택트 구조의 트랜지스터의 상면도 및 단면도이다. 도 30a에 트랜지스터의 상면도를 도시한다. 또한, 도 30b에 도 30a의 일점 쇄선 A-B에 대응하는 단면 A-B를 도시한다.
- [0280] 도 30b에 도시하는 트랜지스터는, 기판(2100)과, 기판(2100) 위에 형성된 하지 절연막(2102)과, 하지 절연막(2102)의 주변에 형성된 보호 절연막(2104)과, 하지 절연막(2102) 및 보호 절연막(2104) 위에 형성된 고저항 영역(2106a) 및 저저항 영역(2106b)을 갖는 산화물 반도체막(2106)과, 산화물 반도체막(2106) 위에 형성된 게이트 절연막(2108)과, 게이트 절연막(2108)을 개재하여 산화물 반도체막(2106)과 중첩되어 형성된 게이트 전극(2110)과, 게이트 전극(2110)의 측면에 접하여 형성된 측벽 절연막(2112)과, 적어도 저저항 영역(2106b)과 접하여 형성된 한 쌍의 전극(2114)과, 적어도 산화물 반도체막(2106), 게이트 전극(2110) 및 한 쌍의 전극(2114)을 덮고 형성된 층간 절연막(2116)과, 층간 절연막(2116)에 형성된 개구부를 통하여 적어도 한 쌍의 전극(2114)의 한 쪽과 접속하여 형성된 배선(2118)을 가진다.
- [0281] 또한, 도시하지 않지만, 층간 절연막(2116) 및 배선(2118)을 덮고 형성된 보호막을 가지고 있어도 상관없다. 상기 보호막을 형성함으로써, 층간 절연막(2116)의 표면 전도에 기인하여 발생하는 미소 리크 전류를 저감시킬 수 있어 트랜지스터의 오프 전류를 저감시킬 수 있다.
- [0282] (실시예 2)
- [0283] 본 실시예에서는, 상기와는 상이한 In-Sn-Zn-O막을 산화물 반도체막에 사용한 트랜지스터의 다른 일례에 관해서 나타낸다.
- [0284] 도 31은, 본 실시예에서 제작한 트랜지스터의 구조를 도시하는 상면도 및 단면도이다. 도 31a는 트랜지스터의 상면도이다. 또한, 도 31b는 도 31a의 일점 쇄선 A-B에 대응하는 단면도이다.
- [0285] 도 31b에 도시하는 트랜지스터는, 기판(3600)과, 기판(3600) 위에 형성된 하지 절연막(3602)과, 하지 절연막(3602) 위에 형성된 산화물 반도체막(3606)과, 산화물 반도체막(3606)과 접하는 한 쌍의 전극(3614)과, 산화물 반도체막(3606) 및 한 쌍의 전극(3614) 위에 형성된 게이트 절연막(3608)과, 게이트 절연막(3608)을 개재하여 산화물 반도체막(3606)과 중첩되어 형성된 게이트 전극(3610)과, 게이트 절연막(3608) 및 게이트 전극(3610)을 덮고 형성된 층간 절연막(3616)과, 층간 절연막(3616)에 형성된 개구부를 통하여 한 쌍의 전극(3614)과 접속하

는 배선(3618)과, 층간 절연막(3616) 및 배선(3618)을 덮고 형성된 보호막(3620)을 가진다.

[0286] 기판(3600)으로서는 유리 기판을, 하지 절연막(3602)으로서는 산화실리콘막을, 산화물 반도체막(3606)으로서는 In-Sn-Zn-0막을, 한 쌍의 전극(3614)으로서는 텅스텐막을, 게이트 절연막(3608)으로서는 산화실리콘막을, 게이트 전극(3610)으로서는 질화탄탈막과 텅스텐막의 적층 구조를, 층간 절연막(3616)으로서는 산화질화실리콘막과 폴리이미드막의 적층 구조를, 배선(3618)으로서는 티타늄막, 알루미늄막, 티타늄막이 이 순으로 형성된 적층 구조를, 보호막(3620)으로서는 폴리이미드막을, 각각 사용하였다.

[0287] 또한, 도 31a에 도시하는 구조의 트랜지스터에 있어서, 게이트 전극(3610)과 한 쌍의 전극(3614)의 중첩되는 폭을 Lov라고 부른다. 마찬가지로, 산화물 반도체막(3606)에 대해 한 쌍의 전극(3614)이 튀어 나오는 것을 dW라고 부른다.

[0288] (실시예 3)

[0289] 본 발명의 일 형태에 따른 발광 장치는, 화상 발광 장치, 노트북 PC, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 밖에, 본 발명의 일 형태에 따른 발광 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 14에 도시한다.

[0290] 도 14a는 휴대형 게임기이며, 하우징(5001), 하우징(5002), 화상 표시부(5003), 화상 표시부(5004), 마이크로폰(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008) 등을 가진다. 본 발명의 일 형태에 따른 발광 장치를, 화상 표시부(5003) 또는 화상 표시부(5004)에 사용할 수 있다. 화상 표시부(5003) 또는 화상 표시부(5004)에 본 발명의 일 형태에 따른 발광 장치를 사용함으로써, 고화질의 휴대형 게임기를 제공할 수 있다. 또한, 도 14a에 도시한 휴대형 게임기는, 2개의 화상 표시부(5003)와 화상 표시부(5004)를 가지고 있지만, 휴대형 게임기가 갖는 화상 표시부의 수는, 이것에 한정되지 않는다.

[0291] 도 14b는 노트북형 PC이며, 하우징(5201), 화상 표시부(5202), 키보드(5203), 포인팅 디바이스(5204) 등을 가진다. 본 발명의 일 형태에 따른 발광 장치는, 화상 표시부(5202)에 사용할 수 있다. 화상 표시부(5202)에 본 발명의 일 형태에 따른 발광 장치를 사용함으로써, 고화질의 노트북형 PC를 제공할 수 있다.

[0292] 도 14c는 휴대 정보 단말이며, 하우징(5401), 화상 표시부(5402), 조작 키(5403) 등을 가진다. 본 발명의 일 형태에 따른 발광 장치는, 화상 표시부(5402)에 사용할 수 있다. 화상 표시부(5402)에 본 발명의 일 형태에 따른 발광 장치를 사용함으로써, 고화질의 휴대 정보 단말을 제공할 수 있다.

[0293] 이상과 같이, 본 발명의 적용 범위는 매우 넓어 모든 분야의 전자 기기에 사용하는 것이 가능하다.

[0294] 본 실시예는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

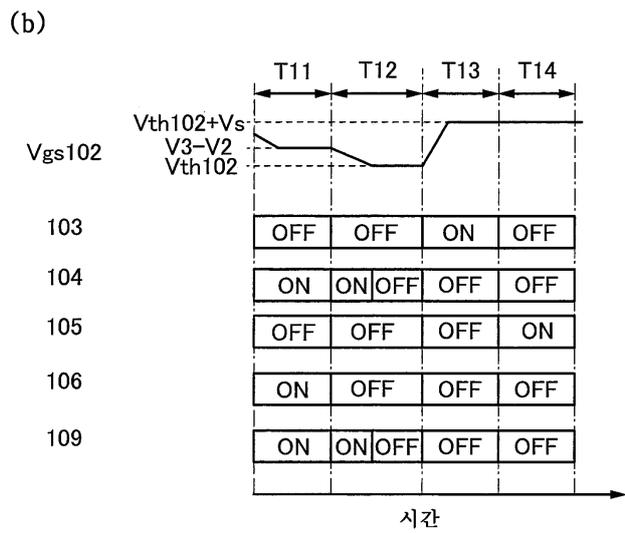
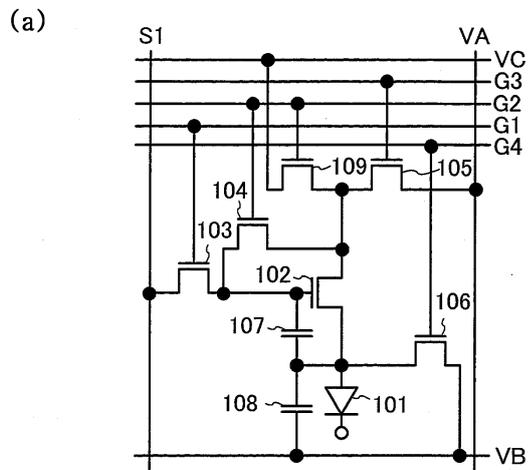
[0295]	101; 발광 소자	102; 트랜지스터
	103; 트랜지스터	104; 트랜지스터
	105; 트랜지스터	106; 트랜지스터
	107; 용량 소자	108; 용량 소자
	109; 트랜지스터	140b; 화소
	140g; 화소	140r; 화소
	500; 화소부	510; 주사선 구동 회로
	520; 신호선 구동 회로	521; 시프트 레지스터
	522; 기억 회로	523; 기억 회로
	524; DA 변환 회로	600; 화소부

610; 주사선 구동 회로	620; 신호선 구동 회로
621; 시프트 레지스터	622; 샘플링 회로
623; 기억 회로	715b; 애노드
715g; 애노드	715r; 애노드
730; 격벽	731; 전계 발광층
732; 캐소드	740; 기관
741b; 발광 소자	741g; 발광 소자
741r; 발광 소자	742; 기관
743b; 착색층	743g; 착색층
743r; 착색층	744; 오버코트
745b; 도전막	745g; 도전막
745r; 도전막	746g; 도전막
746r; 도전막	750; 절연막
800; 기관	801; 도전막
802; 게이트 절연막	803; 반도체층
804; 도전막	805; 도전막
806; 도전막	807; 반도체층
808; 도전막	809; 도전막
810; 도전막	811; 반도체층
812; 도전막	813; 반도체층
814; 도전막	815; 도전막
816; 반도체층	817; 도전막
818; 도전막	819; 도전막
820; 반도체층	821; 도전막
822; 도전막	823; 절연막
824; 절연막	825; 도전막
826; 콘택트홀	827; 절연막
828; 전계 발광층	829; 도전막
900; 기관	901; 도전막
902; 게이트 절연막	903; 반도체층
904; 도전막	905; 도전막
906; 도전막	907; 반도체층
908; 도전막	909; 도전막
910; 도전막	911; 도전막
912; 도전막	913; 반도체층
914; 도전막	915; 도전막

916; 반도체층	917; 도전막
918; 반도체층	919; 도전막
921; 도전막	922; 도전막
923; 절연막	925; 도전막
926; 콘택트홀	927; 절연막
928; 전계 발광층	929; 도전막
930; 도전막	1601; 표시부
1602; 회로 기관	1603; 접속부
2100; 기관	2102; 하지 절연막
2104; 보호 절연막	2106a; 고저항 영역
2106b; 저저항 영역	2106; 산화물 반도체막
2108; 게이트 절연막	2110; 게이트 전극
2112; 측벽 절연막	2114; 한쌍의 전극
2116; 층간 절연막	2118; 배선
3600; 기관	3602; 하지 절연막
3606; 산화물 반도체막	3608; 게이트 절연막
3610; 게이트 전극	3614; 한쌍의 전극
3616; 층간 절연막	3618; 배선
3620; 보호막	5001; 하우징
5002; 하우징	5003; 화상 표시부
5004; 화상 표시부	5005; 마이크로폰
5006; 스피커	5007; 조작 키
5008; 스타일러스	5201; 하우징
5202; 화상 표시부	5203; 키보드
5204; 포인팅 디바이스	5401; 하우징
5402; 화상 표시부	5403; 조작 키
8101; 하지 절연물	8102; 매립 절연물
8103a; 반도체 영역	8103b; 반도체 영역
8103c; 반도체 영역	8104; 게이트 절연물
8105; 게이트	8106a; 측벽 절연물
8106b; 측벽 절연물	8107; 절연물
8108a; 소스	8108b; 드레인

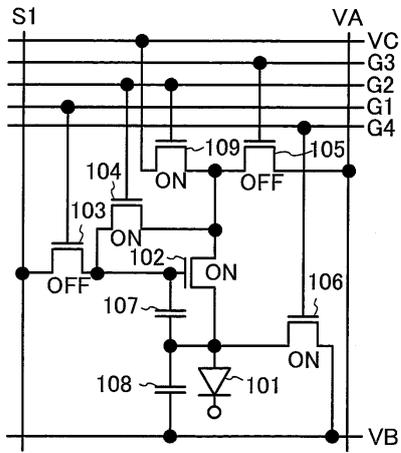
도면

도면1



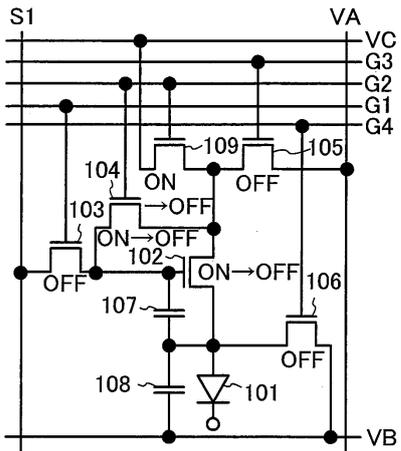
도면2

(a) T11



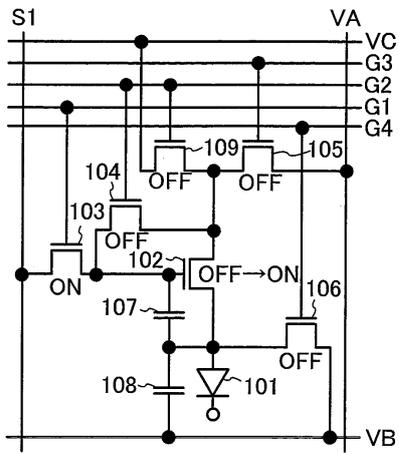
(b)

T12



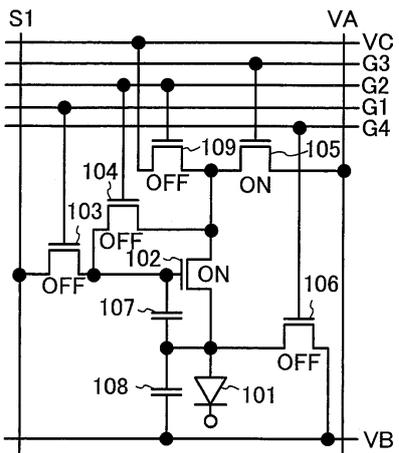
도면3

(a) T13

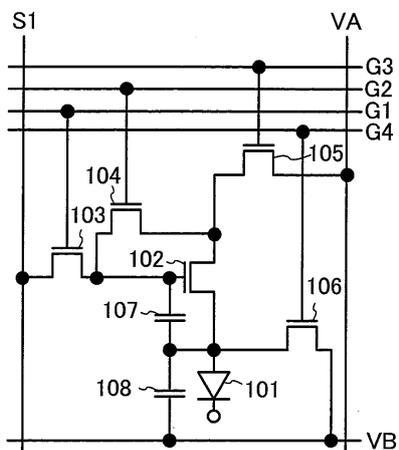


(b)

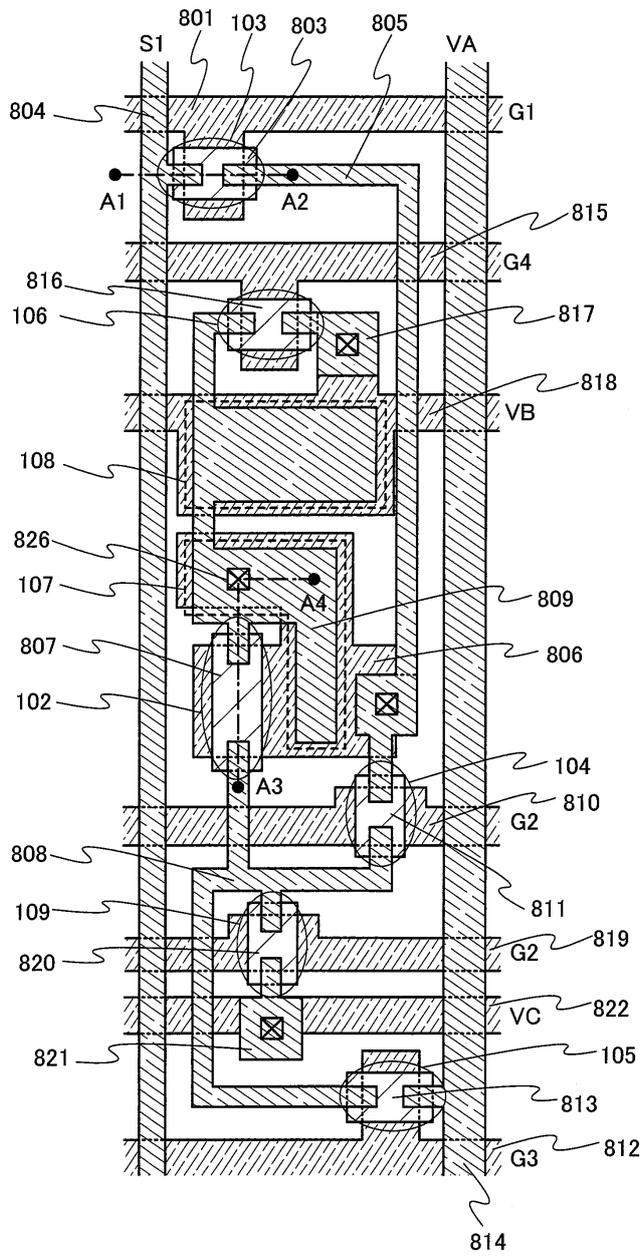
T14



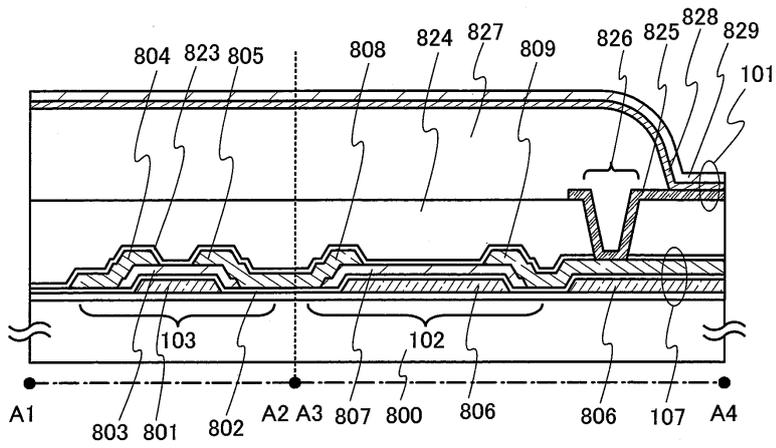
도면4



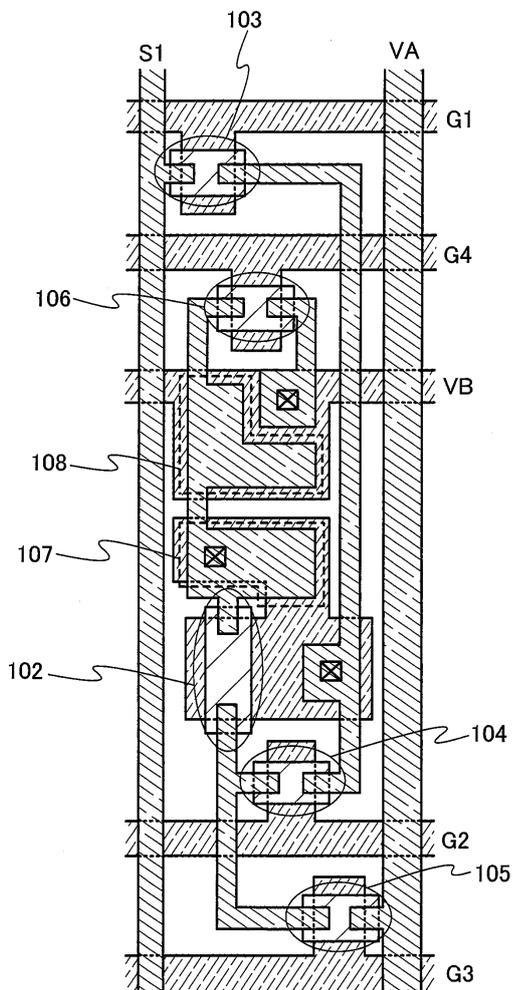
도면5



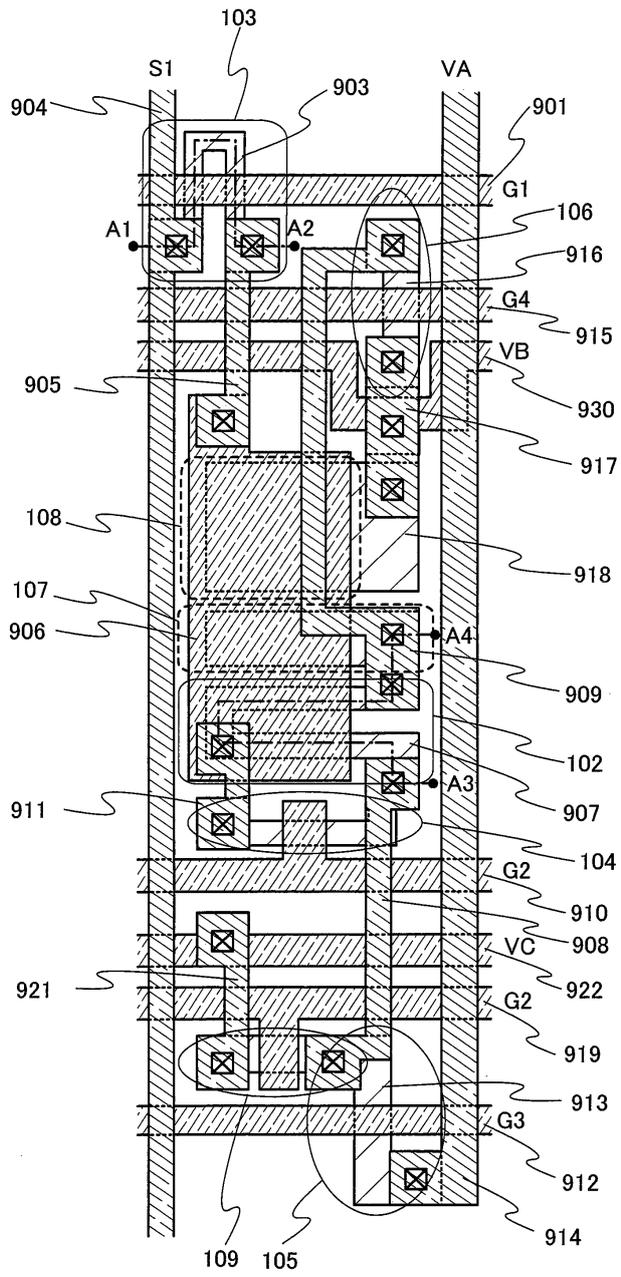
도면6



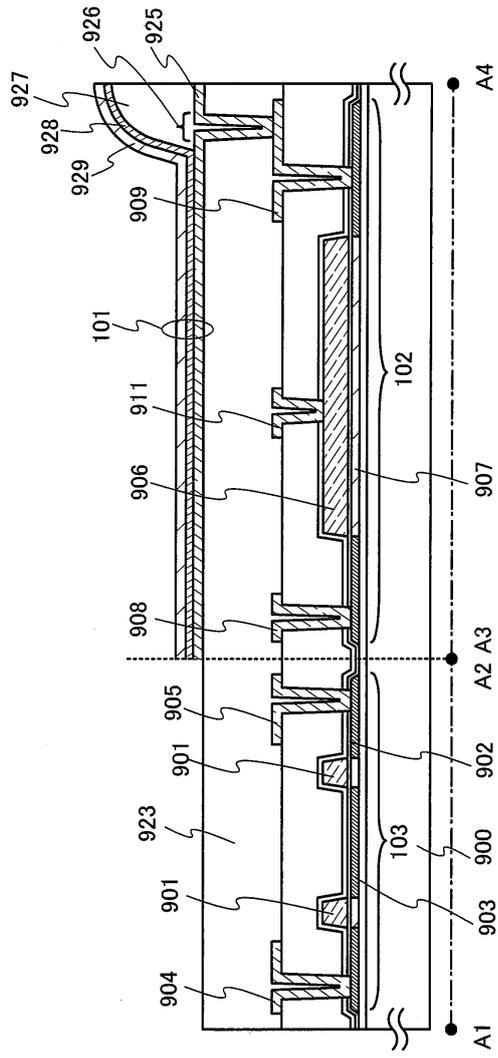
도면7



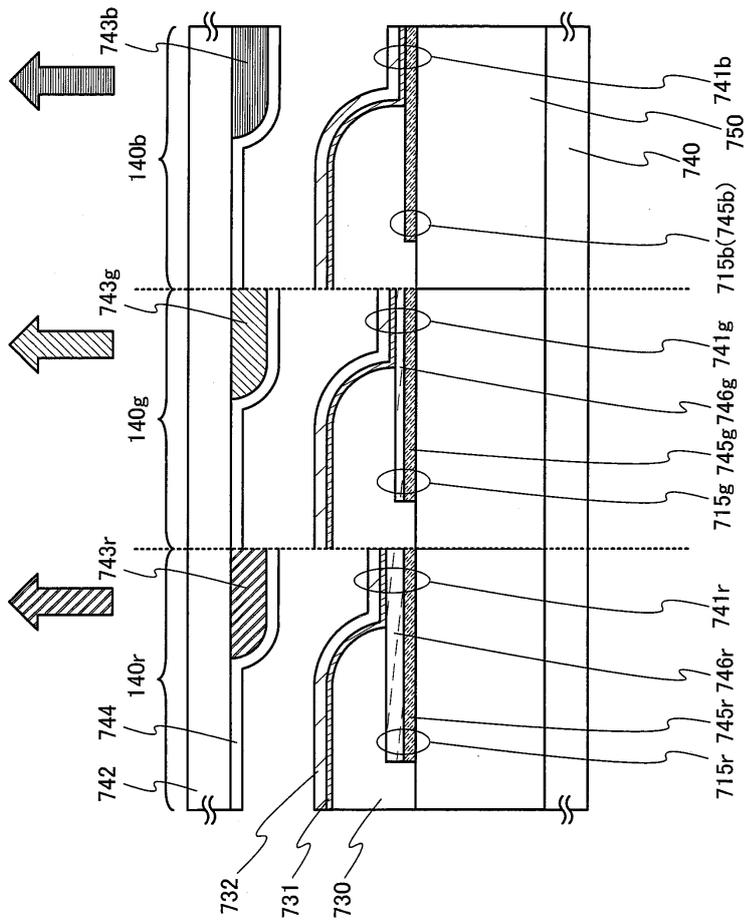
도면8



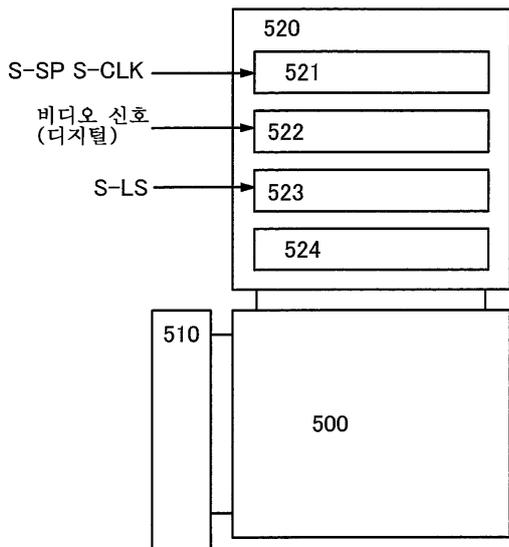
도면9



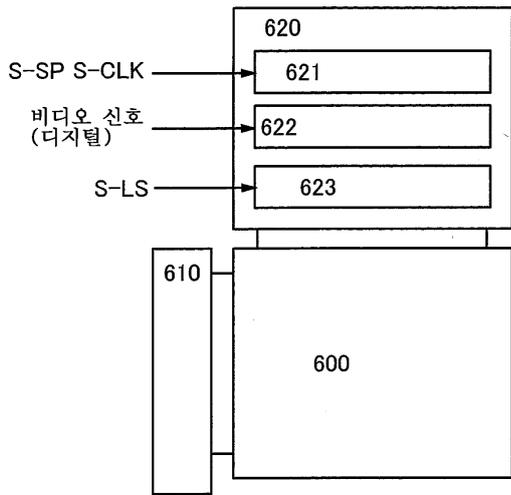
도면10



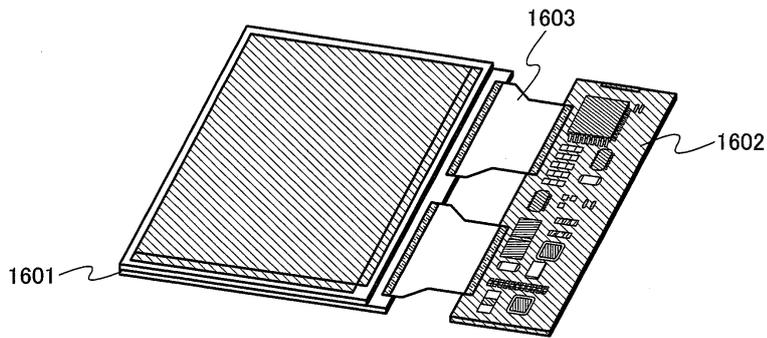
도면11



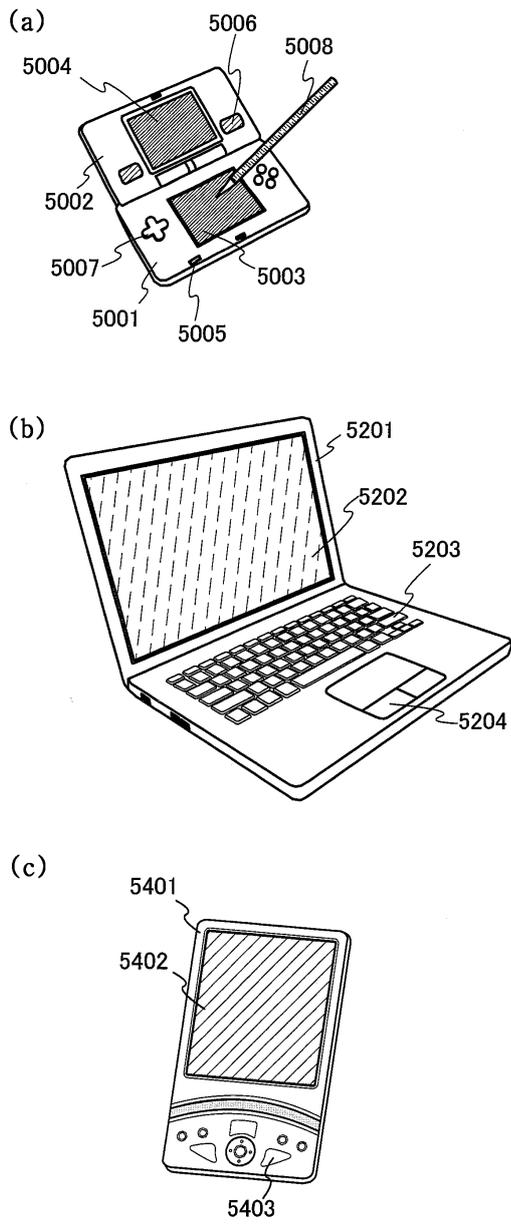
도면12



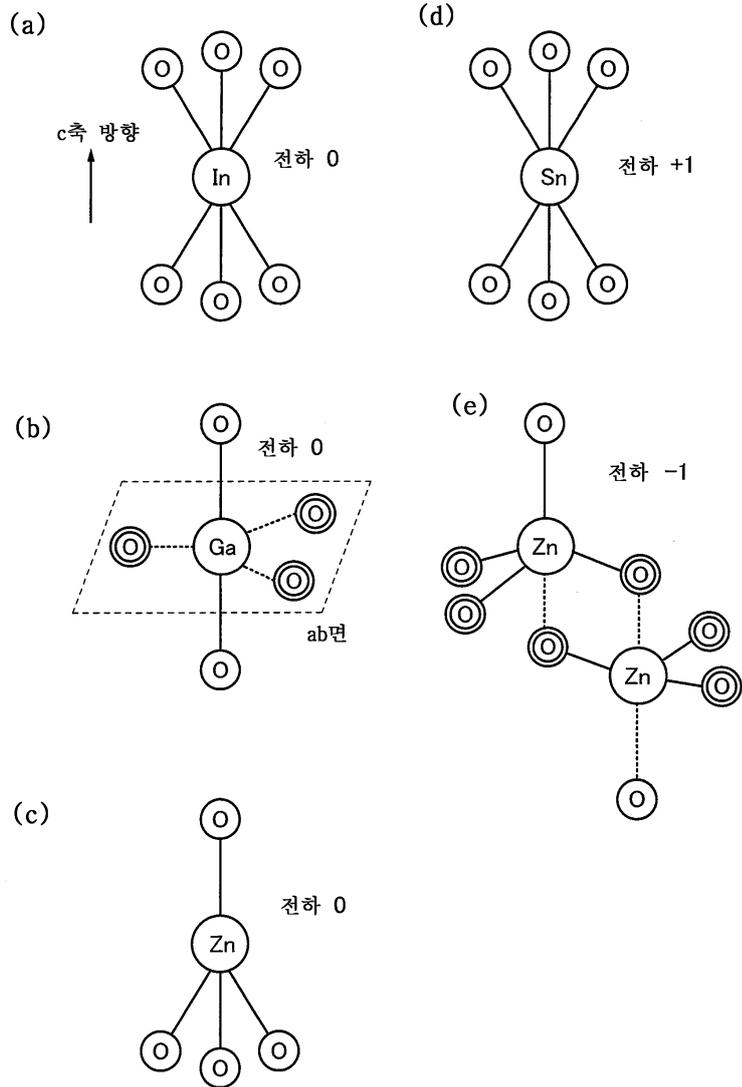
도면13



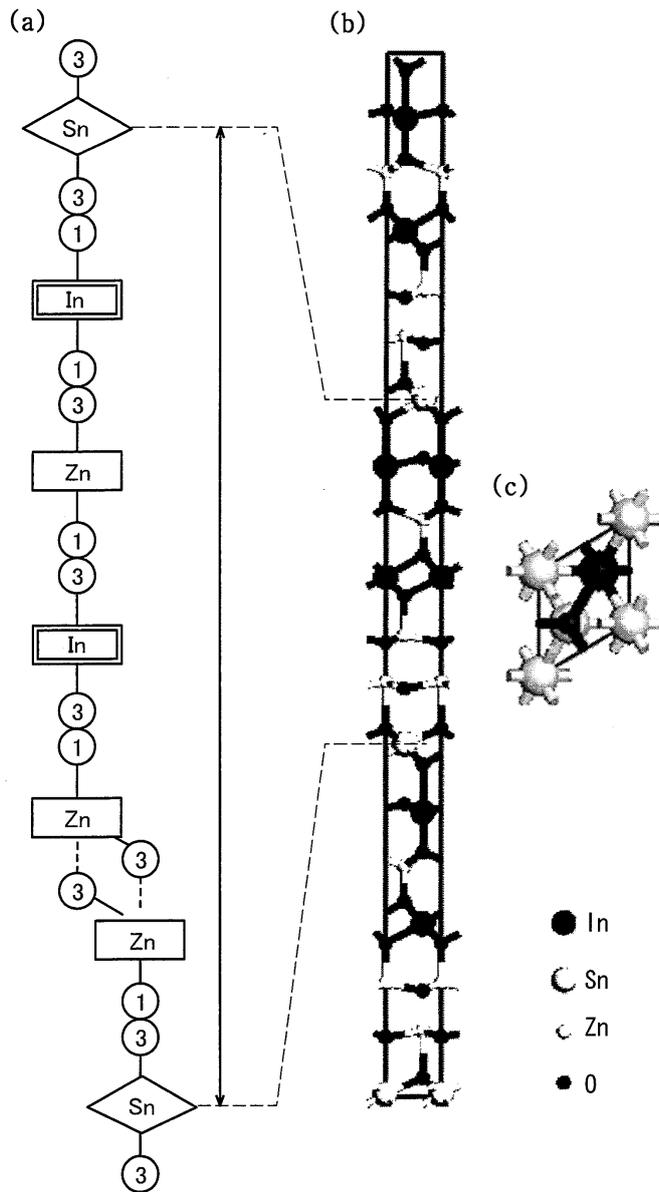
도면14



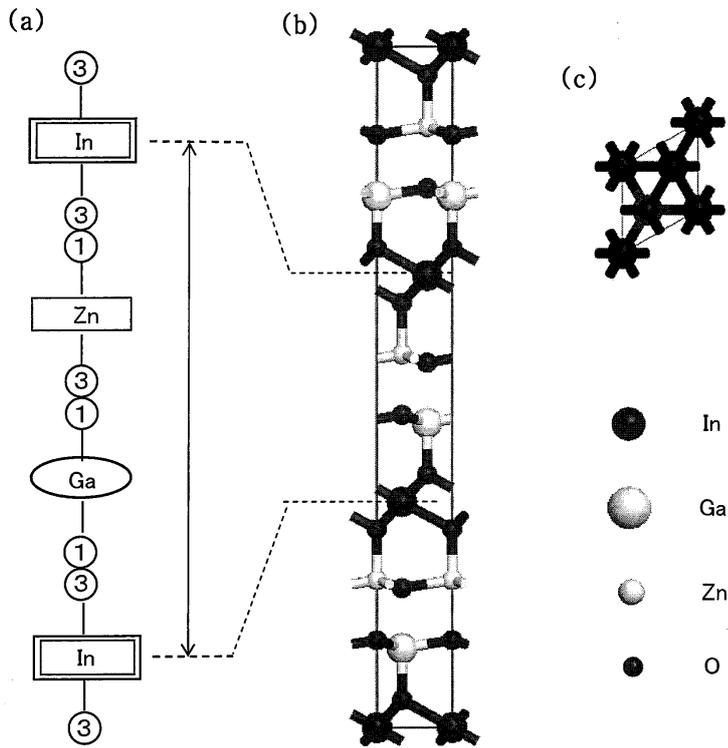
도면15



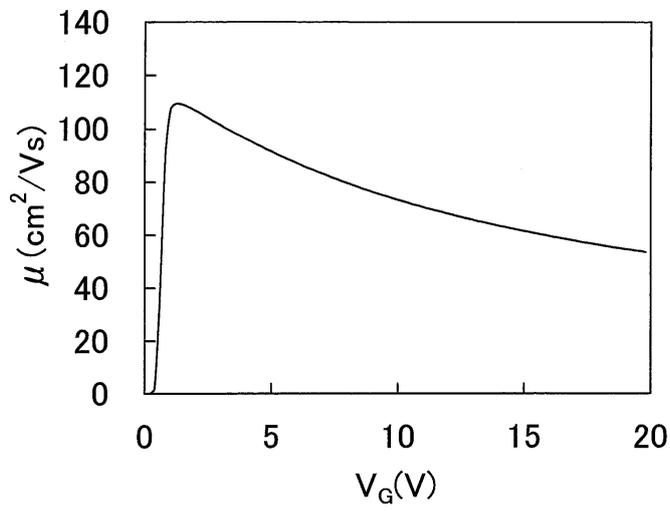
도면16



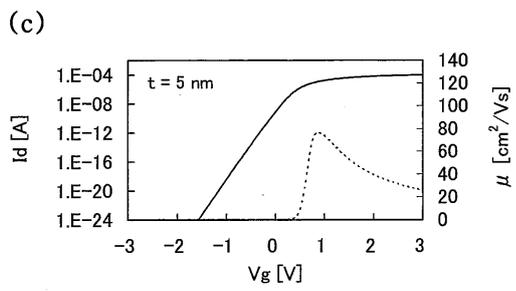
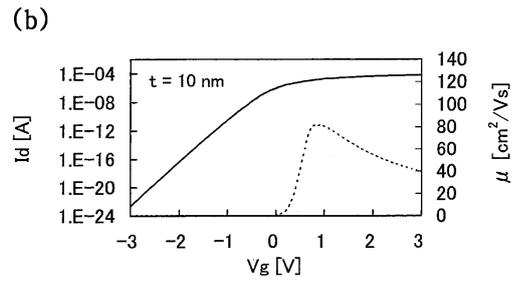
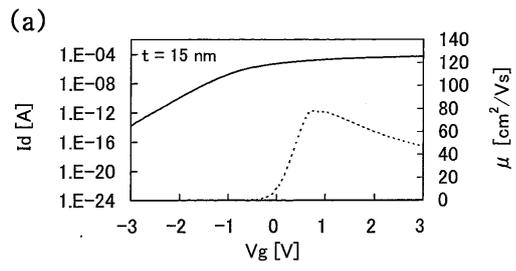
도면17



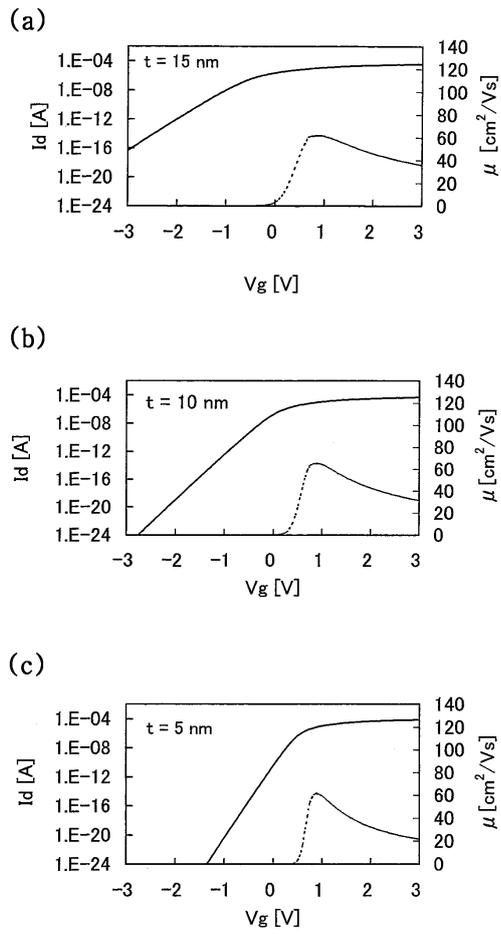
도면18



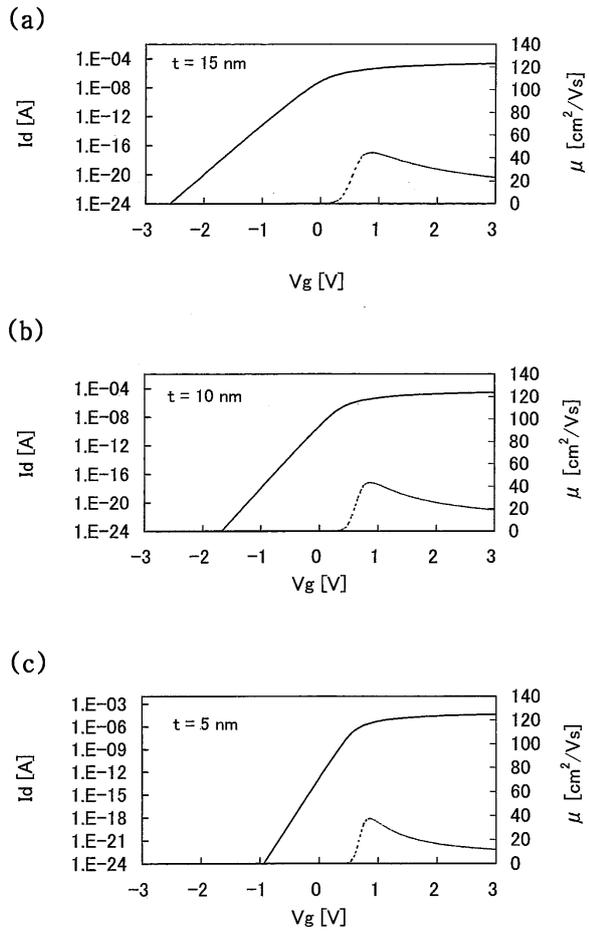
도면19



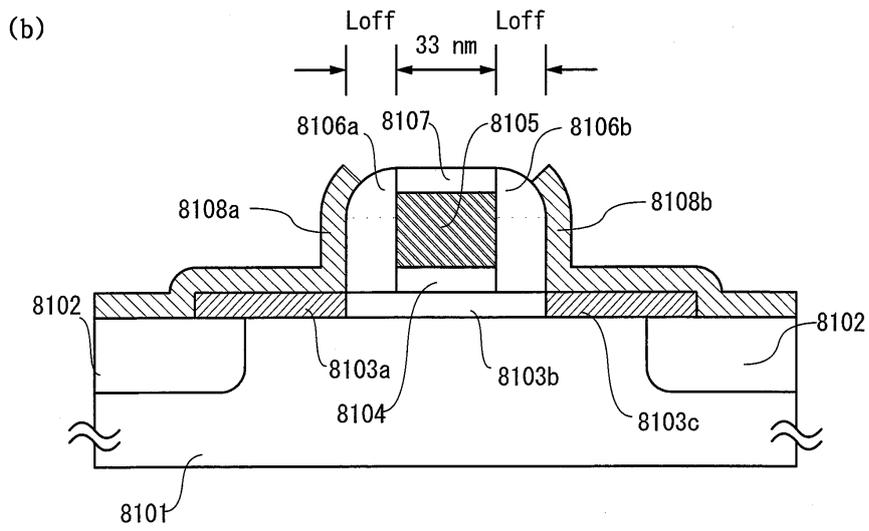
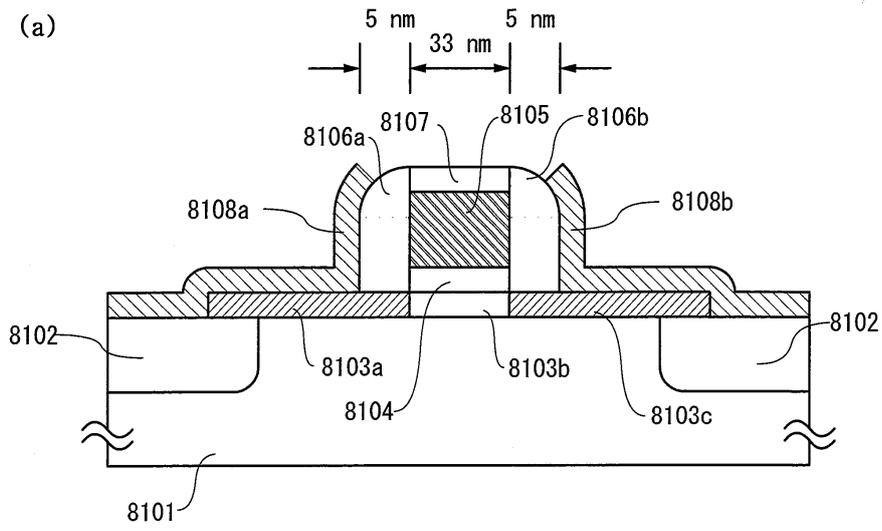
도면20



도면21

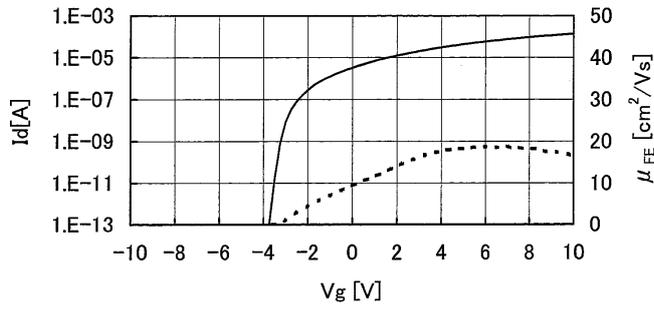


도면22

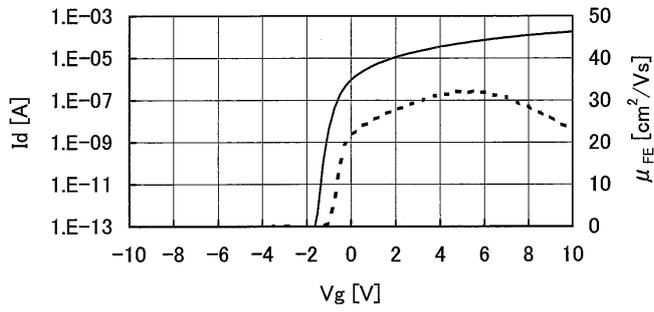


도면23

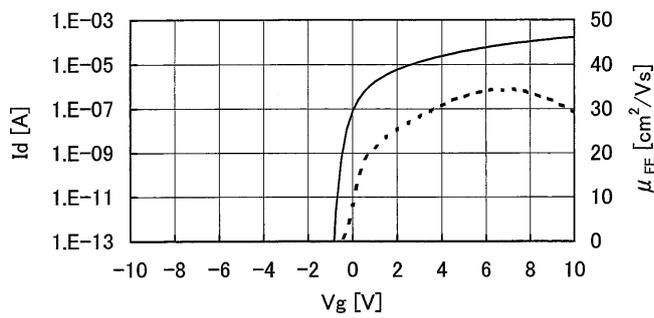
(a)



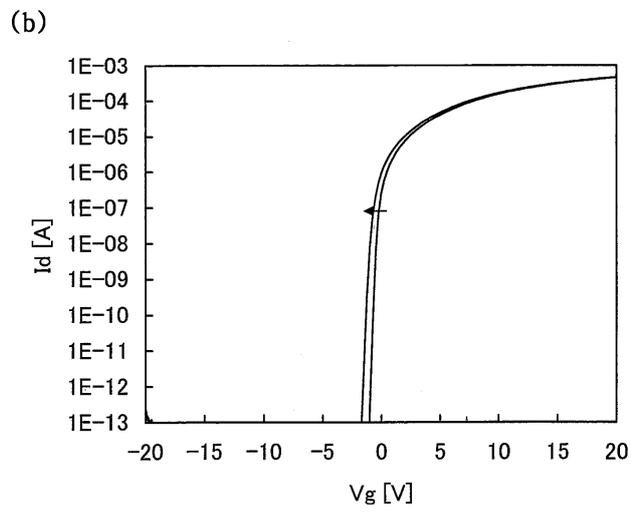
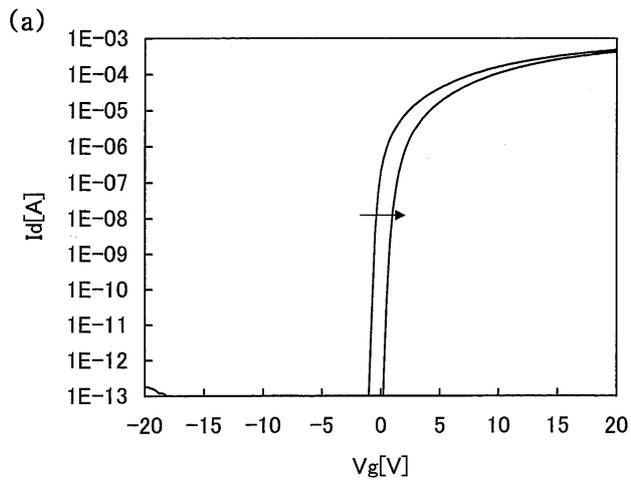
(b)



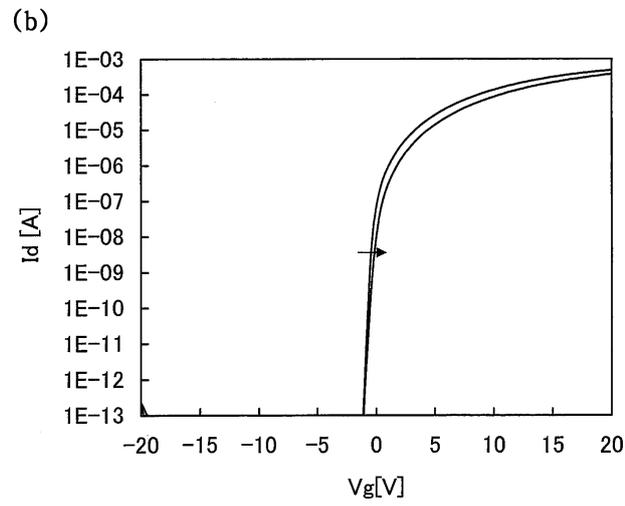
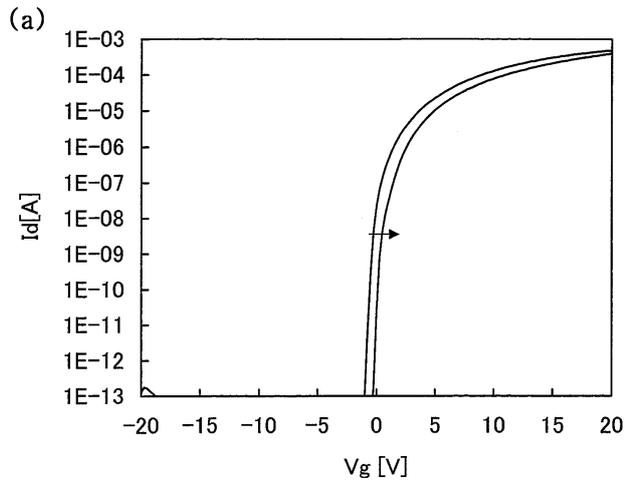
(c)



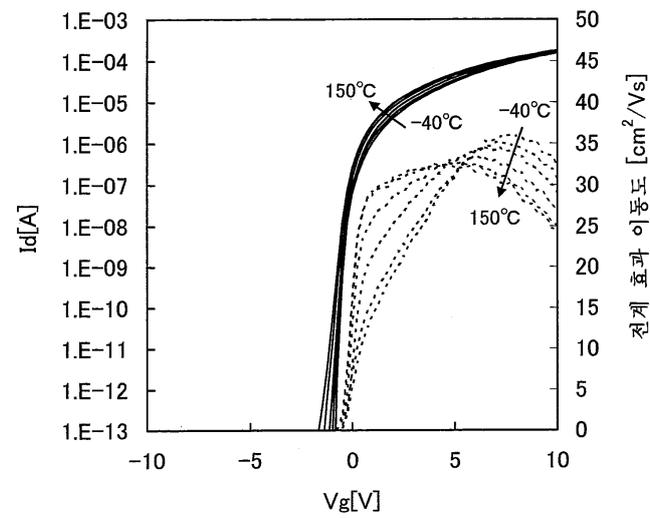
도면24



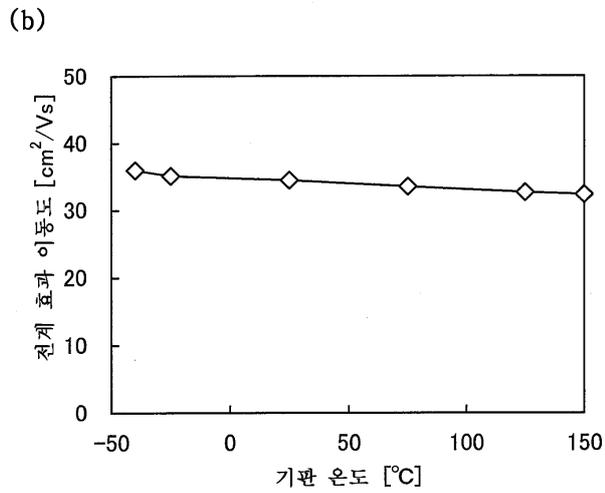
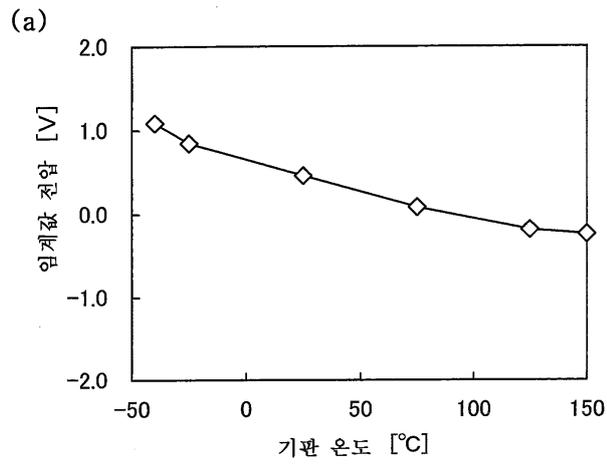
도면25



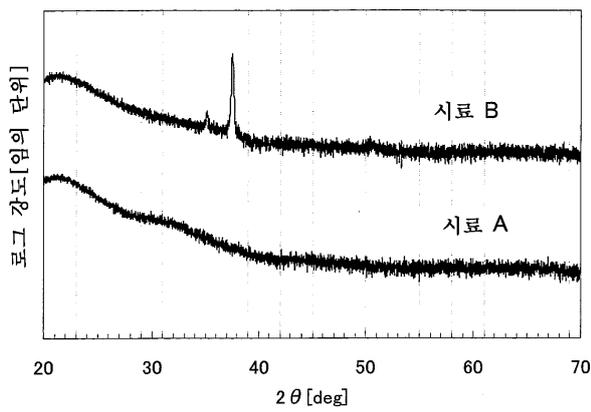
도면26



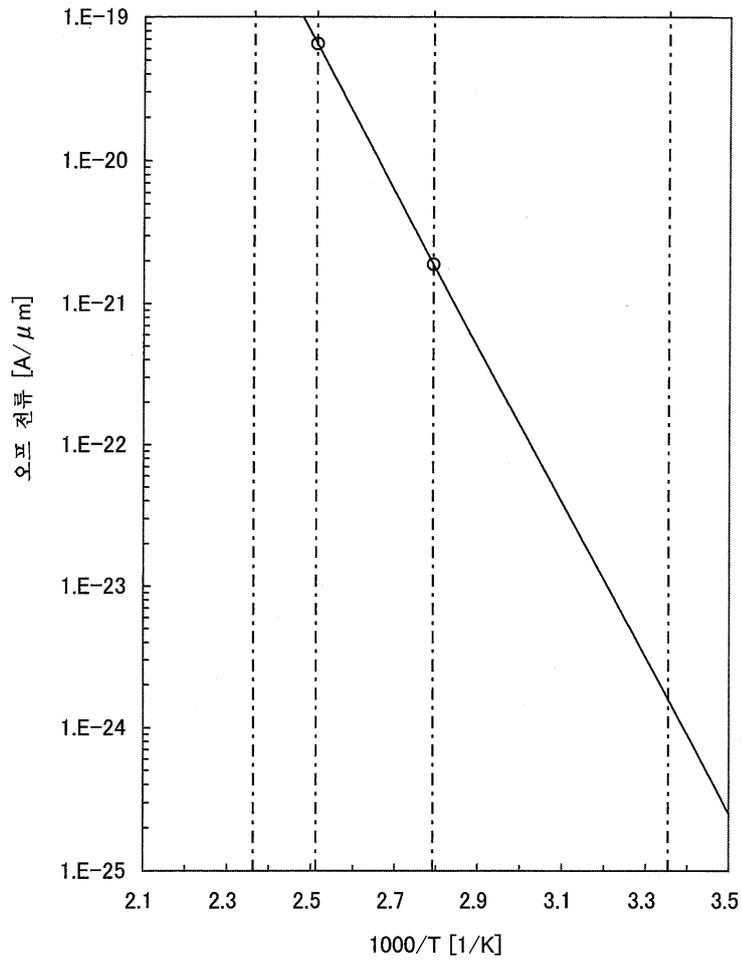
도면27



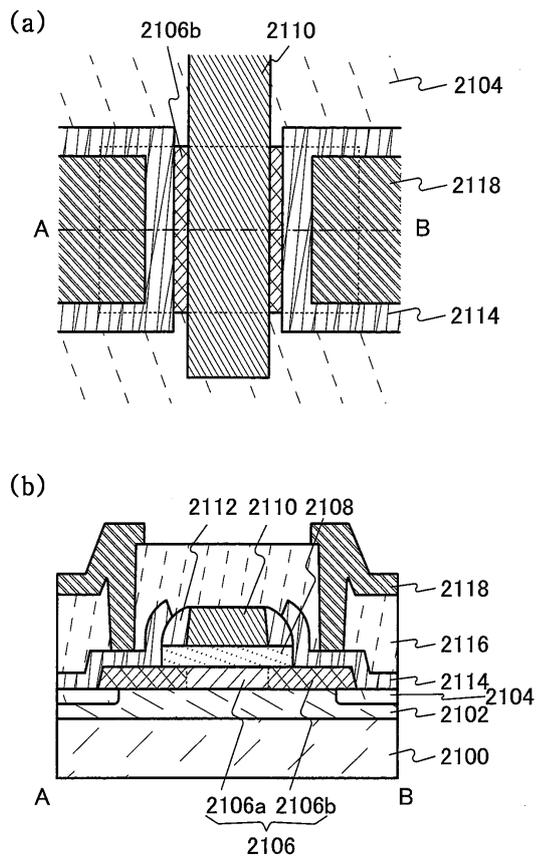
도면28



도면29



도면30



도면31

