

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 21/321

H01L 21/3205 H01L 21/324



# [12] 发明专利申请公开说明书

[21] 申请号 02127247.6

[43] 公开日 2003 年 2 月 5 日

[11] 公开号 CN 1395299A

[22] 申请日 2002.6.28 [21] 申请号 02127247.6

[30] 优先权

[32] 2001.6.28 [33] KR [31] 37355/2001

[71] 申请人 东部电子株式会社

地址 韩国汉城市

[72] 发明人 郑炳贤 金炯润

[74] 专利代理机构 北京市柳沈律师事务所

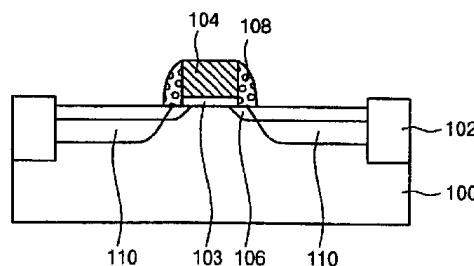
代理人 范明娥 张平元

权利要求书 2 页 说明书 5 页 附图 4 页

[54] 发明名称 半导体元件的硅化物膜的形成方法

[57] 摘要

本发明提供半导体元件的硅化物膜的形成方法。本发明由以下步骤构成：在半导体衬底上部形成多晶硅层组成的栅电极；以及在其侧壁上形成间隔层，在栅电极的两侧衬底内注入杂质而形成源/漏区域后，在构成物的整个面上以整体淀积来淀积 Ti 层的一部分，在用 Ar 或 N<sub>2</sub> 气进行等离子体处理使产生内部缺陷，在淀积其余厚度的 Ti 层和 TiN 层后，实施热处理，在栅电极及源/漏区域上部形成 Ti 硅化物膜，从而即使栅电极的线宽度减小，本发明也可以获得稳定且电阻小的 C54 相的 Ti 硅化物膜。



ISSN 1008-4274

骤。

10. 如权利要求9所述的半导体元件的硅化物膜的形成方法，其特征在于，所述下部和上部金属层是Ti。

5 11. 如权利要求9所述的半导体元件的硅化物膜的形成方法，其特征在于，所述下部金属层有50Å~200Å的厚度。

12. 如权利要求9所述的半导体元件的硅化物膜的形成方法，其特征在于，所述上部金属层有100Å~300Å的厚度。

10 13. 如权利要求9所述的半导体元件的硅化物膜的形成方法，其特征在于，所述等离子体处理是向反应室中流动10~40sccm的Ar或N<sub>2</sub>气，使反应室的温度维持在300°C~400°C的状态下进行。

14. 如权利要求9所述的半导体元件的硅化物膜的形成方法，其特征在于，所述1次热处理温度为650°C~750°C，2次热处理温度为750°C~850°C。

1. 一种半导体元件的硅化物膜的形成方法，其特征在于包括：  
在半导体衬底的表面上淀积下部金属层后实施等离子体处理的步骤；以  
5 及  
在所述等离子体处理过的下部金属层上淀积上部金属层后实施热处理  
工序，在所述半导体衬底的表面上形成硅化物膜的步骤。
2. 如权利要求 1 所述的半导体元件的硅化物膜的形成方法，其特征在  
于，所述下部和上部金属层是 Ti。
- 10 3. 如权利要求 1 所述的半导体元件的硅化物膜的形成方法，其特征在  
于，所述下部金属层有 50Å~200Å 的厚度。
4. 如权利要求 1 所述的半导体元件的硅化物膜的形成方法，其特征在  
于，所述上部金属层有 100Å~300Å 的厚度。
5. 如权利要求 1 所述的半导体元件的硅化物膜的形成方法，其特征在  
15 于，所述等离子体处理是在向反应室中流动 10~40sccm 的 Ar 或 N<sub>2</sub> 气，使反  
应室的温度维持在 300°C~400°C 的状态下进行。
6. 一种半导体元件的硅化物膜的形成方法，其特征在于，所述热处理由  
1 次热处理和 2 次热处理构成。
7. 如权利要求 6 所述的半导体元件的硅化物膜的形成方法，其特征在  
20 于，所述 1 次热处理温度为 650°C~750°C，2 次热处理温度为  
750°C~850°C。
8. 如权利要求 1 所述的半导体元件的硅化物膜的形成方法，其特征在  
于，还包括在所述半导体衬底上形成源/漏区域和栅电极的步骤。
9. 一种半导体元件的硅化物膜的形成方法，其特征在于包括：  
25 在半导体衬底上形成栅电极的步骤；  
在所述栅电极的侧壁上形成间隔层的步骤；  
在所述栅电极的两侧的衬底内形成源/漏区域的步骤；  
在所述构成物的整个面上淀积下部金属层后实施等离子体处理的步  
骤；以及  
30 在所述等离子体处理过的下部金属层的上部淀积上部金属层，实施 1 次  
热处理和 2 次热处理工序，在所述栅电极及源/漏的上面形成硅化物膜的步

## 半导体元件的硅化物膜的形成方法

## 5 技术领域

本发明涉及半导体元件的制造方法，更详细地说，涉及在高集成半导体元件中形成均匀的电阻小的硅化物膜的半导体元件的制造方法。

## 背景技术

10 一般地，在半导体元件的制造工序中，为了减小半导体元件表面的表面电阻而进行硅化物工序。例如，为了减少 MOS 型晶体管的 RC 延迟时间，在晶体管的栅电极、源/漏区域的表面上追加硅化物膜。

应用于半导体元件的硅化物有具有代表性的钨硅化物( $WSi_2$ )、钛硅化物( $TiSi_2$ )、及钴硅化物( $CoSi_2$ )等。其中，钛硅化物(以下称为 Ti 硅化物)在高集成化产生的信号处理的速度改善方面被频繁地使用在结(junction)部位等。

15 下面参照附图说明现有技术的半导体元件的硅化物膜的制造方法。

图 1 至图 3 是依次示出现有技术的半导体元件的硅化物膜的制造方法的工序顺序图。

如图 1 所示，现有技术的半导体元件的硅化物膜的制造方法在硅衬底 10 上形成场氧化膜 12 来区分元件的有源区和非有源区。

20 然后，在硅衬底 10 的有源区中依次淀积栅氧化膜 13 和掺杂多晶硅层，对它进行构图来形成栅电极 14。

接着，在衬底的源/漏区域中离子注入低浓度的杂质而形成 LDD(Lightly Doped Drain：轻掺杂漏区)区域 16 后，在栅电极 14 的侧面用硅氧化膜( $SiO_2$ )或氮化硅膜( $Si_3N_4$ )形成间隔层(spacer，18)。

25 然后，在形成了间隔层 18 的结果物中离子注入高浓度的杂质而形成源/漏区域 20。

然后，如图 2 所示，在所述结果物的整个面上淀积作为金属的 Ti 层 22 和 TiN 层 24 后，实施作为热处理工序的 RTP(Rapid Thermal Process：快速热处理)。

30 这样，如图 3 所示，通过所述 RTP，栅电极 14 的上部和源/漏区域 20

的硅与 Ti 层 22 及 TiN 层 24 进行硅化物反应，在各自的表面上形成 Ti 硅化物膜(TiSix，26)。

接着，通过除去未发生硅化物反应的区域的 Ti 层 22 和 TiN 层 24，使栅电极 14 和源/漏区域 20 的各 Ti 硅化物膜 26a、26b 不相互连结。

5 如上那样，现有技术通过栅电极 14 的上部的 Ti 硅化物膜 26a 和源/漏区域 20 表面的 Ti 硅化物膜 26b，可以降低各自的表面电阻。由此，在与栅电极 14、源/漏区域 20 接触的布线的制造工序时可降低接触电阻。

10 但是，根据半导体元件的高集成化的设计规则，在减少栅电极的线宽度的情况下，难以进行均匀的硅化物膜的制造。这是因为在不稳定的硅化物形态的 C49 相的相转移形成时，稳定的硅化物形态的 C54 相因栅电极线宽度的缩小而在 C49 中几乎没有 C54 的核生成的席位，在一个核生成的席位中粗大的 C54 相不均匀，形成不连续的 Ti 硅化物膜。

15 因此，现有技术的硅化物制造方法在元件的高集成化产生的设计限制下，栅电极的线宽度急剧地减少而形成不均匀的硅化物膜，所以在栅电极和源/漏区域中产生硅化物电阻的增加和漏泄电流，造成局部元件的不良。

### 发明内容

20 因此，本发明为了解决上述现有技术中的问题而研究出的发明，其目的在于提供一种半导体元件的硅化物膜的形成方法，该方法在后续热处理的工序时可以确保均匀的硅化物膜。

为了实现上述目的，本发明的半导体元件的硅化物膜的形成方法的特征在于包括：在半导体衬底的表面上淀积下部金属层后实施等离子体处理的步骤；以及在所述等离子体处理过的下部金属层上淀积上部金属层后实施热处理工序，在所述半导体衬底的表面上形成硅化物膜的步骤。

25 此外，本发明的半导体元件的硅化物膜的形成方法的特征在于包括：在半导体衬底的上部形成没有多晶硅层的栅电极的步骤；在所述栅电极的侧壁上形成用绝缘物质构成的间隔层的步骤；在所述栅电极的两侧的衬底内形成注入了杂质的源/漏区域的步骤；在所述构成物的整个面上淀积下部金属层后用 Ar 或 N<sub>2</sub> 气实施等离子体处理的步骤；以及在下部金属层的上部淀积上部金属层，实施热处理，除去不与硅反应的金属层，在栅电极及源/漏的上面形成硅化物膜的步骤。

30

以上的本发明的目的、其他特征及长处从参照以下对本发明的优选实施例的说明中将变得明确。

#### 附图说明

5 图1是顺序示出现有技术的半导体元件的硅化物膜的制造方法的工序剖面图。

图2同样是顺序示出现有技术的半导体元件的硅化物膜的制造方法的工序剖面图。

10 图3同样是顺序示出现有技术的半导体元件的硅化物膜的制造方法的工序剖面图。

图4是顺序示出本发明的半导体元件的硅化物膜的制造方法的工序剖面图。

图5同样是顺序示出本发明的半导体元件的硅化物膜的制造方法的工序剖面图。

15 图6同样是顺序示出本发明的半导体元件的硅化物膜的制造方法的工序剖面图。

图7同样是顺序示出本发明的半导体元件的硅化物膜的制造方法的工序剖面图。

20 图8同样是顺序示出本发明的半导体元件的硅化物膜的制造方法的工序剖面图。

#### 具体实施方式

以下，参照附图详细说明本发明的半导体元件的硅化物膜的形成方法的优选实施例。

25 图4至图8是顺序示出本发明的半导体元件的硅化物膜的形成方法的工序剖面图。

如图4所示，本发明的硅化物膜的形成方法，首先在硅衬底100上形成场氧化膜102而区分为元件的有源区和非有源区。

30 然后，在衬底100的有源区形成栅氧化膜103后，淀积掺杂多晶硅层，对它进行构图而形成栅电极104。

接着，在衬底的源/漏区域中离子注入低浓度的杂质，形成LDD区域106

后，在栅电极 104 的侧面用硅氧化膜( $\text{SiO}_2$ )或氮化硅膜( $\text{Si}_2\text{N}_4$ )形成间隔层 108。

然后，在形成了间隔层 108 的产物中离子注入高浓度的杂质来形成源/漏区域 110。

5 接着，如图 5 所示，在所述构成物的整个面上淀积作为下部金属层的 Ti 层 112。此时，下部 Ti 层 112 的厚度必需淀积，为整体 Ti 层的一部分的  $50\text{\AA}\sim 200\text{\AA}$ 。

10 然后，在 RF 反应室中连续地放入 Ar 或  $\text{N}_2$  气后，在等离子体状态下激励气体，注入到下部 Ti 层 112。此时，Ar 或  $\text{N}_2$  气以  $10\text{sccm}\sim 40\text{sccm}$  流动，反应室的温度维持在  $300^\circ\text{C}\sim 400^\circ\text{C}$ ，使 Ar 或  $\text{N}_2$  成分扩散到下部 Ti 层 112。这样等离子体处理过的下部 Ti 层 112，因这些气体成分的侵入而产生内部缺陷。

通过这样的缺陷，在以后的硅化物工序时使稳定并且电阻小的 C54 相更多地核生成，可以获得均匀的硅化物膜。

15 接着，如图 6 所示，在下部 Ti 层 112 的上部再次淀积作为上部金属层 114 的 Ti。此时，上部 Ti 层 114 必需整体淀积，Ti 层的其余部分具有  $100\text{\AA}\sim 300\text{\AA}$  的厚度。

然后，如图 7 所示，在上部 Ti 层 114 的上部淀积 TiN 层 116 后，实施 RTP 工序来产生硅化物反应。

20 接着，如图 8 所示，通过所述 RTP，栅电极 104 的上部、源/漏区域 100 的硅、下/上部 Ti 层 112、114 及 TiN 层 116 进行硅化物反应，在各自的表面上形成 Ti 硅化物膜( $\text{TiSi}_x$ ，118)。

25 然后，通过除去未发生硅化物反应的区域的下/上部 Ti 层 112、114 及 TiN 层 116，使栅电极 104 和源/漏区域 110 的各 Ti 硅化物膜 118a、118b 不相互连结。

30 更详细地说，在  $650^\circ\text{C}\sim 750^\circ\text{C}$  下进行 1 次 RTP 来形成 Ti 硅化物膜 ( $\text{TiSi}_x$ ，118)。此时，通过在等离子体处理时有内部缺陷的下部 Ti 层 112，可容易地形成初期不稳定的 C49 相而减小晶粒的尺寸。对这样的晶粒小的 C49 相的 Ti 硅化物膜 118 以  $750^\circ\text{C}\sim 850^\circ\text{C}$  并再次用高温实施 2 次 RTP。于是，在 C49 相多的晶粒边界使稳定且电阻小的 C54 相进行核生成，可均匀连续地形成 C54 相的 Ti 硅化物膜 118。

### 发明的效果

如上所述，根据本发明的半导体元件的硅化物膜的形成方法，分2次淀积硅化物的Ti层，但通过在RF等离子体状态下激励Ar或N<sub>2</sub>气并注入到最初淀积过的Ti层，在后续的热处理工序时可以确保均匀的硅化物膜。

因此，在高集成的半导体元件中，即使栅电极的线宽度小，但本发明通过将稳定且电阻小的C54相的Ti硅化物膜均匀连续地在栅电极和源/漏区域中形成，可以提高半导体元件的电气特性及收率。

以上通过实施例详细说明了本发明，但本发明不限于实施例，只要是具有本发明所属领域的普通知识的人员，在不脱离本发明的思想和精神的范围内，当然可以修正或变更本发明。



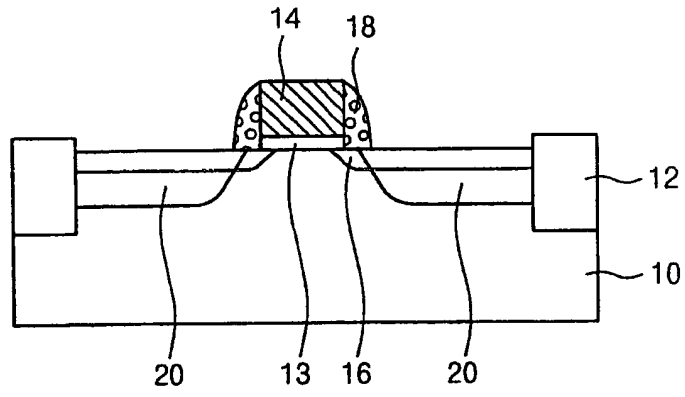


图 1

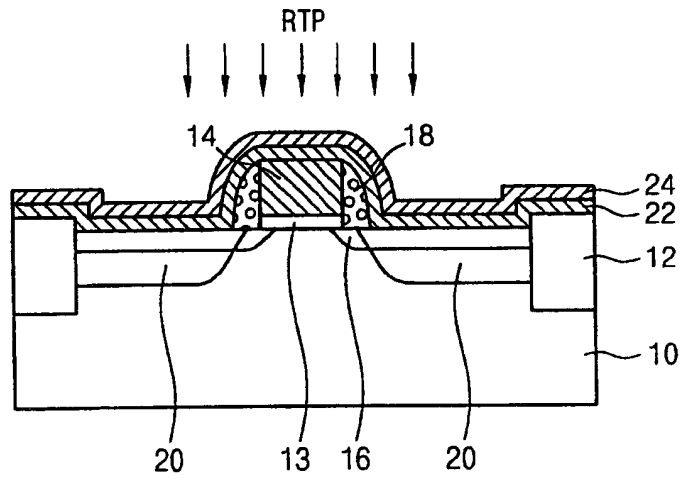


图 2

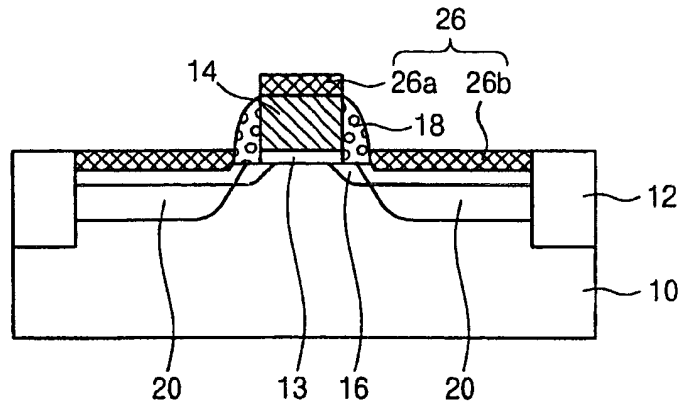


图 3

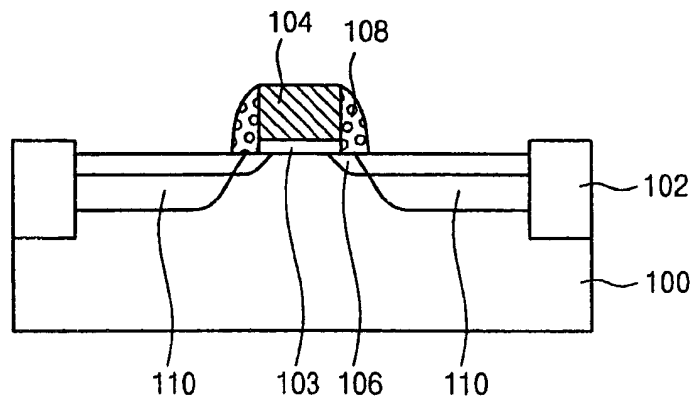


图 4

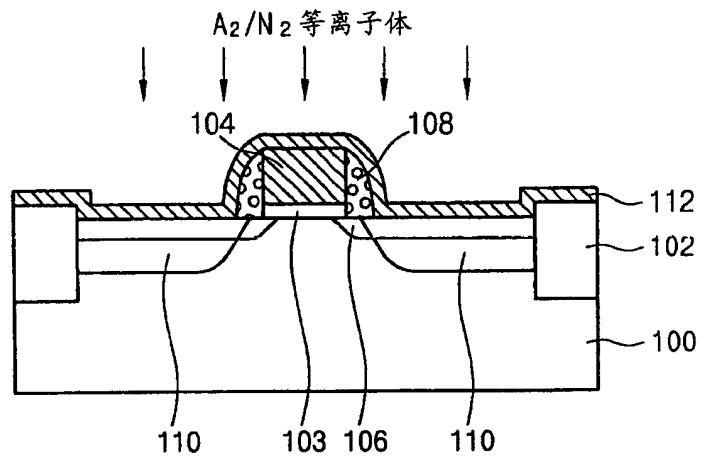


图 5

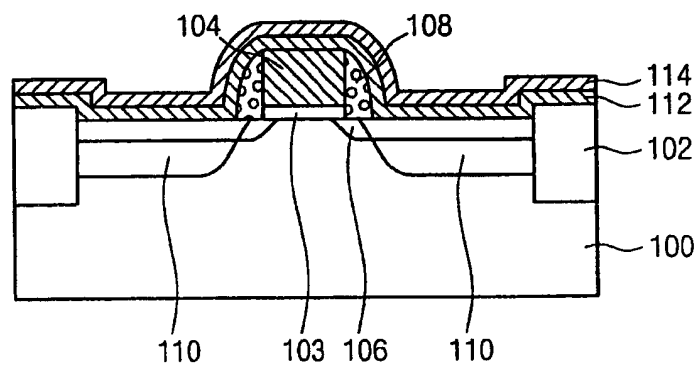


图 6

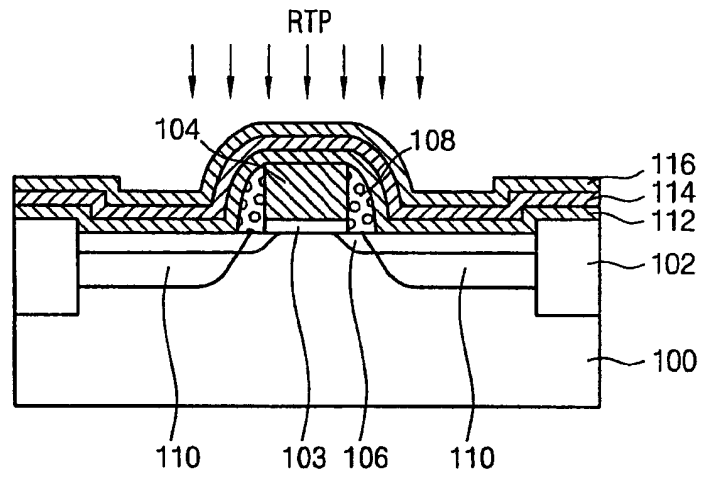


图 7

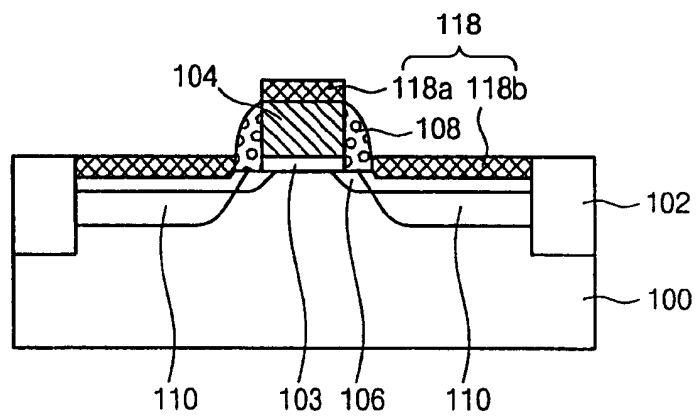


图 8