

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-140817

(P2008-140817A)

(43) 公開日 平成20年6月19日(2008.6.19)

(51) Int.Cl.  
H01L 29/78 (2006.01)

F I  
H01L 29/78 301D

テーマコード(参考)  
5F140

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2006-323001 (P2006-323001)  
(22) 出願日 平成18年11月30日(2006.11.30)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100092820  
弁理士 伊丹 勝  
(74) 代理人 100106389  
弁理士 田村 和彦  
(72) 発明者 鈴木 史人  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
(72) 発明者 遠藤 幸一  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
Fターム(参考) 5F140 AA18 AC21 BA01 BB13 BH15  
BH17 BH30 BH34 BH43 BH47  
BK13 CB01 CB08 CD02

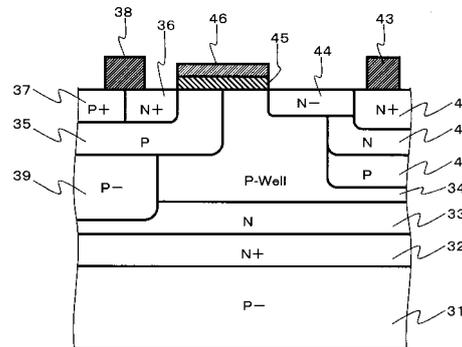
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置におけるパンチスルーを防ぐ。

【解決手段】第2導電型の半導体基板上に形成された第1導電型の第1の半導体層と、第1の半導体層よりも不純物濃度の低い第1導電型の第2の半導体層と、第2導電型の第3の半導体層と、第2導電型のベース領域と、第1導電型のソース領域と、第1導電型の第1のドレイン領域と、第1導電型のLDD領域と、第1導電型の第2のドレイン領域と、第2導電型の第3のドレイン領域と、ゲート酸化膜を介し形成されたゲート電極と、前記ソース領域の表面に形成されたソース電極と、前記第1ドレイン領域の表面に形成されたドレイン電極を備えたことを特徴とする半導体装置を提供することにより上記課題を解決する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

第 2 導電型の半導体基板上に形成された第 1 導電型の第 1 の半導体層と、  
 前記第 1 の半導体層上に形成された前記第 1 の半導体層よりも不純物濃度の低い第 1 導電型の第 2 の半導体層と、  
 前記第 2 の半導体層上に形成された第 2 導電型の第 3 の半導体層と、  
 前記第 3 の半導体層の表面に形成された第 2 導電型のベース領域と、  
 前記ベース領域内に形成された第 1 導電型のソース領域と、  
 前記第 3 の半導体層の表面に前記ベース領域から離れて形成された第 1 導電型の第 1 のドレイン領域と、  
 前記第 1 のソース領域と前記第 1 のドレイン領域の間に、前記第 1 のドレイン領域に隣接して形成され、前記第 1 のドレイン領域における不純物濃度よりも低い濃度の第 1 導電型の LDD 領域と、  
 前記第 3 の半導体層における前記第 1 のドレイン領域と前記第 2 の半導体層との間に、前記第 1 のドレイン領域に隣接して形成された第 1 導電型の第 2 のドレイン領域と、  
 前記第 3 の半導体層における前記第 2 のドレイン領域と前記第 2 の半導体層との間に、前記第 2 のドレイン領域に隣接して形成された第 2 導電型の第 3 のドレイン領域と、  
 前記ソース領域と前記第 1 のドレイン領域との間で、前記第 3 の半導体層及び前記ベース領域上にゲート酸化膜を介し形成されたゲート電極と、  
 前記ソース領域の表面に形成されたソース電極と、  
 前記第 1 ドレイン領域の表面に形成されたドレイン電極と、  
 を備えたことを特徴とする半導体装置。

10

20

## 【請求項 2】

第 2 導電型の半導体基板上に形成された第 2 導電型の第 1 の半導体層と、  
 前記第 1 の半導体層上に形成された前記第 1 の半導体層よりも不純物濃度の低い第 1 導電型の第 2 の半導体層と、  
 前記第 2 の半導体層上に形成された第 2 導電型の第 3 の半導体層と、  
 前記第 3 の半導体層の表面に形成された第 2 導電型のベース領域と、  
 前記ベース領域内に形成された第 1 導電型のソース領域と、  
 前記第 3 の半導体層の表面に前記ベース領域から離れて形成された第 1 導電型の第 1 のドレイン領域と、  
 前記第 1 のソース領域と前記第 1 のドレイン領域の間に、前記第 1 のドレイン領域に隣接して形成され、前記第 1 のドレイン領域における不純物濃度よりも低い濃度の第 1 導電型の LDD 領域と、  
 前記第 3 の半導体層における前記第 1 のドレイン領域と前記第 2 の半導体層との間に、前記第 1 のドレイン領域に隣接して形成された第 1 導電型の第 2 のドレイン領域と、  
 前記第 3 の半導体層における前記第 2 のドレイン領域と前記第 2 の半導体層との間に、前記第 2 のドレイン領域に隣接して形成された第 2 導電型の第 3 のドレイン領域と、  
 前記ソース領域と前記第 1 のドレイン領域との間で、前記第 3 の半導体層及び前記ベース領域上にゲート酸化膜を介し形成されたゲート電極と、  
 前記ソース領域の表面に形成されたソース電極と、  
 前記第 1 ドレイン領域の表面に形成されたドレイン電極と、  
 を備えたことを特徴とする半導体装置。

30

40

## 【請求項 3】

前記第 2 のドレイン領域における不純物濃度が、前記第 1 のドレイン領域における不純物濃度よりも低く、かつ、前記第 3 の半導体層における不純物濃度よりも高いものであって、  
 前記第 3 のドレイン領域における不純物濃度が、前記第 1 のドレイン領域における不純物濃度よりも低く、かつ、前記第 3 の半導体層における不純物濃度よりも高いことを特徴とする請求項 1 又は 2 に記載の半導体装置。

50

## 【請求項 4】

前記第 3 のドレイン領域が、前記第 2 の半導体領域に隣接していることを特徴とする請求項 1 から 3 のいずれかに記載の半導体装置。

## 【請求項 5】

前記第 3 のドレイン領域が、前記第 1 の半導体領域に隣接していることを特徴とする請求項 1 から 4 のいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に関するものであり、特に、パンチスルーを防止した構成の半導体装置の技術分野に関するものである。 10

## 【背景技術】

## 【0002】

MOS 構造の高耐圧デバイスより構成されるパワー IC 等のパワーデバイスは、高電圧、高電流用として広く用いられている。このようなものとして、特許文献 1 に開示されているような横型 MOS (LDMOS) がある。

## 【0003】

ところで、MOS 構造の FET では、高集積化に伴う微細化により、ショートチャネル効果等によるソース・ドレイン間のリーク現象が顕著となる。このソース・ドレイン間のリーク現象は、ソース・ドレイン間に高電界に電圧が印加されるパワーデバイスにおいては、特に問題となる。 20

【特許文献 1】特開 2001-320047 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

本発明は、高電圧が印加されるパワーデバイスにおいて、パンチスルーの発生を防止した構成の半導体装置を提供するものである。

## 【課題を解決するための手段】

## 【0005】

本発明の一態様に係る半導体装置は、第 2 導電型の半導体基板上に形成された第 1 導電型の第 1 の半導体層と、前記第 1 の半導体層上に形成された前記第 1 の半導体層よりも不純物濃度の低い第 1 導電型の第 2 の半導体層と、前記第 2 の半導体層上に形成された第 2 導電型の第 3 の半導体層と、前記第 3 の半導体層の表面に形成された第 2 導電型のベース領域と、前記ベース領域内に形成された第 1 導電型のソース領域と、前記第 3 の半導体層の表面に前記ベース領域から離れて形成された第 1 導電型の第 1 のドレイン領域と、前記第 1 のソース領域と前記第 1 のドレイン領域の間に、前記第 1 のドレイン領域に隣接して形成され、前記第 1 のドレイン領域における不純物濃度よりも低い濃度の第 1 導電型の LDD 領域と、前記第 3 の半導体層における前記第 1 のドレイン領域と前記第 2 の半導体層との間に、前記第 1 のドレイン領域に隣接して形成された第 1 導電型の第 2 のドレイン領域と、前記第 3 の半導体層における前記第 2 のドレイン領域と前記第 2 の半導体層との間に、前記第 2 のドレイン領域に隣接して形成された第 2 導電型の第 3 のドレイン領域と、前記ソース領域と前記第 1 のドレイン領域との間で、前記第 3 の半導体層及び前記ベース領域上にゲート酸化膜を介し形成されたゲート電極と、前記ソース領域の表面に形成されたソース電極と、前記第 1 ドレイン領域の表面に形成されたドレイン電極と、を備えたことを特徴とする。 30 40

## 【0006】

また、本発明の一態様に係る半導体装置は、第 2 導電型の半導体基板上に形成された第 2 導電型の第 1 の半導体層と、前記第 1 の半導体層上に形成された前記第 1 の半導体層よりも不純物濃度の低い第 1 導電型の第 2 の半導体層と、前記第 2 の半導体層上に形成された第 2 導電型の第 3 の半導体層と、前記第 3 の半導体層の表面に形成された第 2 導電型の 50

ベース領域と、前記ベース領域内に形成された第1導電型のソース領域と、前記第3の半導体層の表面に前記ベース領域から離れて形成された第1導電型の第1のドレイン領域と、前記第1のソース領域と前記第1のドレイン領域の間に、前記第1のドレイン領域に隣接して形成され、前記第1のドレイン領域における不純物濃度よりも低い濃度の第1導電型のLDD領域と、前記第3の半導体層における前記第1のドレイン領域と前記第2の半導体層との間に、前記第1のドレイン領域に隣接して形成された第1導電型の第2のドレイン領域と、前記第3の半導体層における前記第2のドレイン領域と前記第2の半導体層との間に、前記第2のドレイン領域に隣接して形成された第2導電型の第3のドレイン領域と、前記ソース領域と前記第1のドレイン領域との間で、前記第3の半導体層及び前記ベース領域上にゲート酸化膜を介し形成されたゲート電極と、前記ソース領域の表面に形成されたソース電極と、前記第1ドレイン領域の表面に形成されたドレイン電極と、を備えたことを特徴とする。

10

【発明の効果】

【0007】

本発明によれば、ソース・ドレイン間において高電圧が印加された場合であってもパンチスルーが発生しないため、ソース・ドレイン間におけるリーク電流の発生を抑制することができる。

【発明を実施するための最良の形態】

【0008】

〔本発明に至る経緯〕

20

図1に、高耐圧用デバイスであるLDMOS(Lateral Double Diffusion MOS-FET)の構成を示す。

【0009】

このLDMOSは、B(ボロン)等がドーブされたP型の半導体基板であるシリコン基板11上に、シリコンにP(リン)等がドーブされた埋め込み層であるN+型の半導体層12が形成され、更にその上に、シリコンにP等がドーブされたN型の半導体層13が形成され、更にその上に、シリコンにB等がドーブされたP-WellとなるP型の半導体層14が形成されている。

【0010】

P-WellとなるP型の半導体層14において、ソースが形成される領域には、P型のベース領域15が形成され、そのP型のベース領域15の表面には、N+型ソース領域16と、P+型ソース領域17が形成され、N+型ソース領域16とP+型ソース領域17との表面上に、ソース電極18が形成されている。また、ベース領域15とN型の半導体層13との間に、ベース領域15とN型のシリコン半導体層13に隣接して、P-型拡散領域19が形成される。

30

【0011】

一方、P-WellとなるP型のシリコン半導体層14において、ドレインが形成される領域には、N+型のドレイン領域20が形成され、ドレイン領域20の表面にはドレイン電極21が形成される。ドレイン領域20とベース領域15の間には、ドレイン領域20に隣接して、N-型のLDD(Lightly Doped Drain)領域22が形成されている。更に、ソース電極18とドレイン電極21との間のベース領域15及びP-Wellとなる半導体層14上には、ゲート酸化膜23を介しゲート電極24が形成された構造のものである。

40

【0012】

発明者は、この構造のLDMOSにおいて、ソース電極18とゲート電極24を短絡(ショート)させ接地(GND)し0[V]とした状態で、N+型の半導体層12における埋め込み層電位 $V_u$ と、ドレイン電極21におけるブレークダウン、即ち、パンチスルーを開始するドレイン電圧 $V_b$ との関係を調べた。この結果を図2に示す。半導体層12において埋め込み層電圧 $V_u$ が0[V]の場合では、ドレイン電圧 $V_b$ は10[V]程度でブレークダウンが発生してしまう。ドレイン電圧が35[V]以上であってもブレークダ

50

ウンが発生しないためには、半導体層 12 において埋め込み層電位  $V_u$  を 1.5 [V] 以上にすることが必要である。このため不純物のドーピング量を調整等することにより、埋め込み層電位  $V_u$  を調整した場合、シリコン基板 11 や、埋め込み層である N+ 型の半導体層 12 において、容量が高くなり周波数特性が低下し、高速スイッチングを行うことができず、又、誤動作も多くなってしまふ。

【0013】

以上より、発明者は、ブレークダウンはドレイン電極 21 と接触しているドレイン領域 20 と埋め込み層である N+ 型の半導体層 12 の間で生じること、周波数特性を低下させない等のためには、埋め込み層である N+ 型の半導体層の電位を調節した構造は適さないという知見を得た。

10

【0014】

本発明は、上記実験の結果により得られた知見に基づくものである。

【0015】

〔第 1 の実施の形態〕

本発明における一実施の形態を以下に記載する。

【0016】

図 3 に示すように、本実施の形態は、B (ボロン) 等がドーピングされた P- 型の半導体基板であるシリコン基板 31 上に、シリコンに P (リン) 等がドーピングされた第 1 の半導体層となる埋め込み層である N+ 型の半導体層 32 が形成され、更にその上に、シリコンに P 等がドーピングされた第 2 の半導体層である N 型の半導体層 33 が形成され、更にその上に、シリコンに B 等がドーピングされた P-Well となる第 3 の半導体層である P 型の半導体層 34 が形成されている。尚、第 2 の半導体層である N 型の半導体層 33 にドーピングされる不純物である P 等の濃度は、第 1 の半導体層となる埋め込み層である N+ 型の半導体層 32 にドーピングされる P 等の濃度よりも低い値である。

20

【0017】

P-Well となる P 型の半導体層 34 において、ソースが形成される領域には、P 型のベース領域 35 が形成され、その P 型のベース領域 35 の表面には、N+ 型ソース領域 36 と、P+ 型ソース領域 37 が形成され、N+ 型ソース領域 36 と P+ 型ソース領域 37 との表面上にソース電極 38 が形成されている。また、ベース領域 35 と第 2 の半導体層である N 型の半導体層 33 との間に、ベース領域 35 と N 型のシリコン半導体層 33 に隣接して、P- 型拡散領域 39 が形成される。

30

【0018】

一方、P-Well となる P 型のシリコン半導体層 34 のドレインの形成される部分には、深いところ、即ち、基板表面から離れたところより順に、P 型の第 3 のドレイン領域 40 が形成され、次に、N 型の第 2 のドレイン領域 41 が形成され、次に、表面となる部分に N+ 型の第 1 のドレイン領域 42 が形成され、第 1 のドレイン領域 42 の表面にはドレイン電極 43 が形成される。第 1 のドレイン領域 42 とベース領域 35 の間には、第 1 のドレイン領域 42 に隣接して、N- 型の LDD (Lightly Doped Drain) 領域 44 が形成されている。更に、ソース電極 38 とドレイン電極 43 との間における、ベース領域 35 及び第 3 の半導体層である P-Well となる半導体層 34 上には、ゲート酸化膜 45 を介しゲート電極 46 が形成されている。

40

【0019】

本実施の形態では、ドレイン電極 43 に接する N+ 型の第 1 のドレイン領域 42 を形成し、更に、第 1 のドレイン領域 42 に接する N 型の第 2 のドレイン領域 41 を形成し、更に、第 2 のドレイン領域 41 に接する P 型の第 3 のドレイン領域 40 を形成したものである。

【0020】

この構成により、ドレイン電極 43 とソース電極 38 との間に電界を印加した場合、第 2 のドレイン領域 41 と第 3 のドレイン領域 40 により形成される空乏層において耐圧を高めることができ、第 1 のドレイン領域 42 と埋め込み層である N+ 型半導体層 32 の間

50

におけるパンチスルーの発生を防止することができる。

【0021】

具体的には、第2の半導体層であるN+型の半導体層32においては、Pが $1 \times 10^{13}$  [ /  $\text{cm}^2$  ] 以上注入されており、第3の半導体層であるP型の半導体層33においては、Bが $1 \times 10^{13}$  [ /  $\text{cm}^2$  ] 以下注入されており、第1のドレイン領域42においては、Pが $1 \times 10^{14}$  [ /  $\text{cm}^2$  ] 以上注入されている。

【0022】

LDD領域44では、Pが $1 \times 10^{11} \sim 1 \times 10^{13}$  [ /  $\text{cm}^2$  ] 注入されており、第2のドレイン領域41では、Pが $1 \times 10^{12} \sim 1 \times 10^{14}$  [ /  $\text{cm}^2$  ] 注入されており、第3のドレイン領域40では、Bが $1 \times 10^{12} \sim 1 \times 10^{14}$  [ /  $\text{cm}^2$  ] 注入されている。

10

【0023】

従って、第2のドレイン領域41における不純物濃度は、第1のドレイン領域42における不純物濃度よりも低い値であり、第3の半導体層であるP型の半導体層33における不純物濃度よりも高い値である。

【0024】

また、第3のドレイン領域40における不純物濃度は、第1のドレイン領域42における不純物濃度よりも低い値であり、第3の半導体層であるP型の半導体層33における不純物濃度よりも高い値である。

【0025】

更に、LDD領域44における不純物濃度は、第1のドレイン領域42における不純物濃度よりも低い値である。

20

【0026】

このような注入量で、第2のドレイン領域41と第3のドレイン領域40における各々の不純物を注入することにより、第1のドレイン領域42と第1の半導体層であるN+半導体層32との間のパンチスルーを防止することができる。

【0027】

次に、本実施の形態における半導体装置の製造方法について説明する。

【0028】

本実施の形態における半導体装置は、B（ボロン）等がドーブされたP-型の半導体基板であるシリコン基板31の表面より、イオン注入によりSb（アンチモン）をドーブし第1の半導体層となる埋め込み層であるN+型の半導体層32を形成し、更にその上に、シリコンのエピタキシャル成長により第2の半導体層であるP等をドーブしたN型の半導体層33を形成する。

30

【0029】

この後、フォトリソグラフィによりマスクとなるレジストを形成し、レジストの形成されていない所定の領域にイオン注入を行うことにより各々の領域を形成する。

【0030】

具体的には、半導体層33においてP-Wellとなる部分にB等のイオン注入を行うことにより、第3の半導体層であるP型の半導体層34を形成する。

40

【0031】

この後、第3の半導体層であるP型の半導体層34においてソースの形成される部分にB等のイオン注入を行うことにより、P-型拡散領域39を形成する。

【0032】

この後、第3の半導体層であるP型の半導体層34においてドレインの形成される部分にB等のイオン注入を行い、第3のドレイン領域40を形成し、次に、P等のイオン注入を行い、第2のドレイン領域41を形成する。

【0033】

この後、不図示のフィールド酸化膜を形成する。尚、前記の第3のドレイン領域40及び第2のドレイン領域41の形成のための各々の不純物イオンのイオン注入は、フィール

50

ド酸化膜の形成直後に行ってもよい。

【0034】

この後、P型の半導体層34においてソースの形成される部分及びゲートの一部が形成される部分にB等のイオン注入を行い、ベース領域35を形成し、次に、ゲート酸化膜45を形成し、次に、ソースの形成される部分及びドレインの形成される部分にP等のイオン注入を行い、N+型ソース領域36及びN+ドレイン領域42を形成し、次に、ベース層35においてソースの形成される部分にB等のイオン注入によりP+型ソース領域37を形成し、更に、P型の半導体層34のゲートとドレインの間となる部分にP等のイオン注入を行い、LDD領域44を形成する。

【0035】

この後、第1のドレイン領域42の表面にドレイン電極43、N+型ソース領域36及びP+型ソース領域37の表面上にソース電極38、ゲート酸化膜45を介しゲート電極46を形成する。これにより、本実施の形態の半導体装置が完成する。

【0036】

尚、図3では、第3のドレイン領域40が、第3の半導体層であるP型の半導体層34内に形成される構成の半導体装置を示したが、第3のドレイン領域40を深くすることにより、よりパンチスルーに強い構成となる。具体的には、図4に示すように、第2の半導体層であるN型の半導体層33に接するように、第3のドレイン領域40'が形成される構成や、図5に示すように、第1の半導体層となる埋め込み層であるN+型の半導体層32に接するように、第3のドレイン領域40''が形成される構成であってもよい。この構成により、更にパンチスルーに強い半導体装置となる。

【0037】

〔第2の実施の形態〕

次に、本発明における第2の実施の形態を以下に記載する。

【0038】

図6に示すように、本実施の形態は、B(ボロン)等がドーブされたP-型の半導体基板であるシリコン基板51上に、シリコンにB等がドーブされた第1の半導体層となる埋め込み層であるP+型の半導体層52が形成され、更にその上に、シリコンにP(リン)等がドーブされた第2の半導体層であるN型の半導体層53が形成され、更にその上に、シリコンにB等がドーブされたP-Wellとなる第3の半導体層であるP型の半導体層54が形成されている。

【0039】

P-WellとなるP型の半導体層54において、ソースが形成される領域には、P型のベース領域55が形成され、そのP型のベース領域55の表面には、N+型ソース領域56とP+型ソース領域57が形成され、N+型ソース領域56とP+型ソース領域57との表面上にソース電極58が形成されている。また、ベース領域55と第2の半導体層であるN型の半導体層53との間に、ベース領域55とN型のシリコン半導体層53に隣接して、P-型拡散領域59が形成される。

【0040】

一方、P-WellとなるP型のシリコン半導体層54のドレインの形成される部分には、深いところ、即ち、基板表面から離れたところより順に、P型の第3のドレイン領域60が形成され、次に、N型の第2のドレイン領域61が形成され、次に、表面となる部分にN+型の第1のドレイン領域62が形成され、第1のドレイン領域62の表面にはドレイン電極63が形成される。第1のドレイン領域62とベース領域55の間には、第1のドレイン領域62に隣接して、N-型のLDD(Lightly Doped Drain)領域64が形成されている。更に、ソース電極58とドレイン電極63との間における、ベース領域55及び第3の半導体層であるP-Wellとなる半導体層54上には、ゲート酸化膜65を介しゲート電極66が形成されている。

【0041】

本実施の形態では、ドレイン電極63に接するN+型の第1のドレイン領域62を形成

10

20

30

40

50

し、更に、第1のドレイン領域62に接するN型の第2のドレイン領域61を形成し、更に、第2のドレイン領域61に接するP型の第3のドレイン領域60を形成したものである。

【0042】

この構成により、ドレイン電極63とソース電極58との間に電界を印加した場合、第2のドレイン領域61と第3のドレイン領域60により形成される空乏層において耐圧を高めることができ、第1のドレイン領域62と埋め込み層であるN+型半導体層52の間におけるパンチスルーの発生を防止することができる。

【0043】

具体的には、第2の半導体層であるN+型の半導体層52においては、Pが $1 \times 10^{13}$  [ / cm<sup>2</sup> ] 以上注入されており、第3の半導体層であるP型の半導体層53においては、Bが $1 \times 10^{13}$  [ / cm<sup>2</sup> ] 以下注入されており、第1のドレイン領域62においては、Pが $1 \times 10^{14}$  [ / cm<sup>2</sup> ] 以上注入されている。

10

【0044】

LDD領域64では、Pが $1 \times 10^{11} \sim 1 \times 10^{13}$  [ / cm<sup>2</sup> ] 注入されており、第2のドレイン領域61では、Pが $1 \times 10^{12} \sim 1 \times 10^{14}$  [ / cm<sup>2</sup> ] 注入されており、第3のドレイン領域60では、Bが $1 \times 10^{12} \sim 1 \times 10^{14}$  [ / cm<sup>2</sup> ] 注入されている。

【0045】

従って、第2のドレイン領域61における不純物濃度は、第1のドレイン領域62における不純物濃度よりも低い値であり、第3の半導体層であるP型の半導体層53における不純物濃度よりも高い値である。

20

【0046】

また、第3のドレイン領域60における不純物濃度は、第1のドレイン領域62における不純物濃度よりも低い値であり、第3の半導体層であるP型の半導体層53における不純物濃度よりも高い値である。

【0047】

更に、LDD領域64における不純物濃度は、第1のドレイン領域62における不純物濃度よりも低い値である。

【0048】

このような注入量で、第2のドレイン領域61と第3のドレイン領域60における各々の不純物を注入することにより、第1のドレイン領域62と第1の半導体層であるN+半導体層52との間のパンチスルーを防止することができる。

30

【0049】

尚、図6では、第3のドレイン領域60が、第3の半導体層であるP型の半導体層54内に形成される構成の半導体装置を示したが、第3のドレイン領域60を深くすることにより、よりパンチスルーに強い構成となる。具体的には、図7に示すように、第2の半導体層であるN型の半導体層53に接するように、第3のドレイン領域60'が形成される構成や、図8に示すように、第1の半導体層となる埋め込み層であるP+型の半導体層52に接するように、第3のドレイン領域60''が形成される構成であってもよい。この構成により、更にパンチスルーに強い半導体装置となる。

40

【0050】

以上、実施の形態において本発明における半導体装置について詳細に説明したが、本発明は上記実施の形態に限定されるものではなく、これ以外の形態をとることが可能である。

【図面の簡単な説明】

【0051】

【図1】本実施の形態を説明するための半導体装置の断面図

【図2】図1に示した半導体装置におけるブレイクダウン特性図

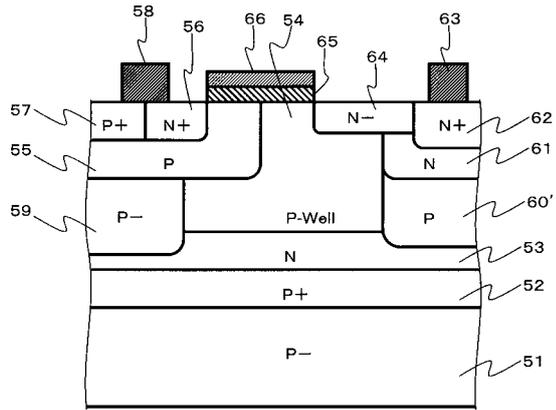
【図3】第1の実施の形態における半導体装置の断面図

50





【 図 7 】



【 図 8 】

