

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4095016号  
(P4095016)

(45) 発行日 平成20年6月4日(2008.6.4)

(24) 登録日 平成20年3月14日(2008.3.14)

| (51) Int.Cl. |                |                  | F I  |       |   |
|--------------|----------------|------------------|------|-------|---|
| <b>H03L</b>  | <b>7/081</b>   | <b>(2006.01)</b> | H03L | 7/08  | J |
| <b>H03L</b>  | <b>7/08</b>    | <b>(2006.01)</b> | H03L | 7/08  | H |
| <b>H03K</b>  | <b>5/00</b>    | <b>(2006.01)</b> | H03K | 5/00  | M |
| <b>G01R</b>  | <b>31/3183</b> | <b>(2006.01)</b> | G01R | 31/28 | Q |

請求項の数 26 (全 20 頁)

|           |                               |           |  |
|-----------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2003-399603 (P2003-399603)  | (73) 特許権者 | 390005175<br>株式会社アドバンテスト<br>東京都練馬区旭町1丁目32番1号 |
| (22) 出願日  | 平成15年11月28日(2003.11.28)       | (74) 代理人  | 100104156<br>弁理士 龍華 明裕                       |
| (65) 公開番号 | 特開2005-167317 (P2005-167317A) | (72) 発明者  | 渡邊 大輔<br>東京都練馬区旭町1丁目32番1号 株式<br>会社アドバンテスト内   |
| (43) 公開日  | 平成17年6月23日(2005.6.23)         | (72) 発明者  | 岡安 俊幸<br>東京都練馬区旭町1丁目32番1号 株式<br>会社アドバンテスト内   |
| 審査請求日     | 平成18年10月20日(2006.10.20)       | 審査官       | 甲斐 哲雄  |

最終頁に続く

(54) 【発明の名称】 発振器、周波数逡倍器、及び試験装置

(57) 【特許請求の範囲】

【請求項1】

所望の周波数の発振信号を生成する発振器であって、  
 予め定められた周波数の基準信号を生成する基準発振部と、  
 前記基準信号を受け取り、受け取った前記基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第1可変遅延回路と、

前記基準発振部が生成した前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、

前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、前記複数の第1可変遅延回路の遅延量を制御する遅延量制御部と、

それぞれの前記第1可変遅延回路に入力される入力信号を論理演算することにより、それぞれの前記入力信号におけるエッジを合成した前記発振信号を生成する周波数加算回路と  
 を備え、

前記発振器は、前記基準信号の周波数のk倍(但しkは2以上の整数)の周波数を有する前記発振信号を生成するものであって、

前記第1可変遅延回路は、2k個縦続接続され、前記基準信号の周期の1/2k倍と略等しい遅延量がそれぞれ設定され、

前記周波数加算回路は、前記複数の第1可変遅延回路に入力されるそれぞれの前記入力

信号の立ち上がりエッジに基づいて、前記発振信号の立ち上がりエッジ及び立ち下がりエッジを生成し、

前記複数の第1可変遅延回路の最終段から出力される前記遅延信号を受け取り、受け取った前記遅延信号を前記第1可変遅延回路と略同一の遅延量で順次遅延させて出力する、  
縦続接続された複数の第2可変遅延回路と、

前記複数の第1可変遅延回路及び前記複数の第2可変遅延回路において、同一の段に設けられた前記第1可変遅延回路及び前記第2可変遅延回路にそれぞれ入力される前記入力信号の電圧レベルを加算して前記周波数加算回路に供給する、前記複数の第1可変遅延回路及び前記複数の第2可変遅延回路の各段毎に設けられた複数の電圧加算回路と  
を更に備える発振器。

10

**【請求項2】**

所望の周波数の発振信号を生成する発振器であって、

予め定められた周波数の基準信号を生成する基準発振部と、

前記基準信号を受け取り、受け取った前記基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第1可変遅延回路と、

前記基準発振部が生成した前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、

前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、前記複数の第1可変遅延回路の遅延量を制御する遅延量制御部と、

20

それぞれの前記第1可変遅延回路に入力される入力信号を論理演算することにより、それぞれの前記入力信号におけるエッジを合成した前記発振信号を生成する周波数加算回路と  
を備え、

前記発振器は、前記基準信号の周波数の $k$ 倍（但し $k$ は2以上の整数）の周波数を有する前記発振信号を生成するものであって、

前記第1可変遅延回路は、 $2k$ 個縦続接続され、前記基準信号の周期の $1/2k$ 倍と略等しい遅延量がそれぞれ設定され、

前記周波数加算回路は、前記複数の第1可変遅延回路に入力されるそれぞれの前記入力信号の立ち上がりエッジに基づいて、前記発振信号の立ち上がりエッジ及び立ち下がりエッジを生成し、

30

前記周波数加算回路は、

前記複数の第1可変遅延回路のうち偶数段に設けられた前記第1可変遅延回路に対応して設けられ、前記発振信号の波形のうちHレベルを示す部分を生成するための複数のHレベル生成部と、

前記複数の第1可変遅延回路のうち奇数段に設けられた前記第1可変遅延回路に対応して設けられ、前記発振信号の波形のうちLレベルを示す部分を生成するための複数のLレベル生成部と

を有し、

それぞれの前記Hレベル生成部は、対応する前記第1可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積がH論理の場合に、前記発振信号のHレベルの電圧を出力し、

40

それぞれの前記Lレベル生成部は、対応する前記第1可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積がH論理の場合に、前記発振信号のLレベルの電圧を出力し、

前記周波数加算回路は、前記複数のHレベル生成部及び前記複数のLレベル生成部が出力する信号の和を、前記発振信号として出力する  
発振器。

50

## 【請求項3】

所望の周波数の発振信号を生成する発振器であって、  
予め定められた周波数の基準信号を生成する基準発振部と、  
前記基準信号を受け取り、受け取った前記基準信号を略同一の遅延量で順次遅延させて  
出力する、縦続接続された複数の第1可変遅延回路と、  
前記基準発振部が生成した前記基準信号の位相と、前記複数の第1可変遅延回路の最終  
段から出力される遅延信号の位相とを比較する位相比較部と、  
前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号  
の位相とが略等しくなるように、前記複数の第1可変遅延回路の遅延量を制御する遅延量  
制御部と、  
それぞれの前記第1可変遅延回路に入力される入力信号を論理演算することにより、そ  
れぞれの前記入力信号におけるエッジを合成した前記発振信号を生成する周波数加算回路  
と  
を備え、  
前記周波数加算回路は、前記複数の第1可変遅延回路に入力されるそれぞれの前記入力  
信号の立ち上がりエッジに基づいて、前記発振信号の立ち上がりエッジ及び立ち下がりエ  
ッジを生成し、  
前記周波数加算回路は、  
前記複数の第1可変遅延回路に対応して設けられ、前記発振信号の波形のうちHレベル  
を示す部分を生成するための複数のHレベル生成部と、前記発振信号の波形のうちLレ  
ベルを示す部分を生成するための複数のLレベル生成部と  
を有し、  
それぞれの前記Hレベル生成部は、対応する前記第1可変遅延回路に入力される入力信  
号と、当該入力信号に対して更に遅延された他の入力信号との論理積を演算し、算出した  
論理積がH論理の場合に前記発振信号のHレベルの電圧を出力し、  
それぞれの前記Lレベル生成部は、対応する前記第1可変遅延回路に入力される入力信  
号と、当該入力信号に対して更に遅延された他の入力信号との論理積を演算し、算出した  
論理積がH論理の場合に、前記発振信号のLレベルの電圧を出力し、  
前記周波数加算回路は、前記複数のHレベル生成部及び前記複数のLレベル生成部が  
出力する信号の和を、前記発振信号として出力する  
 発振器。

10

20

30

## 【請求項4】

前記複数の第1可変遅延回路に入力される複数の前記入力信号のうち、位相間隔が略等しい複数の前記入力信号を選択し、選択した前記入力信号を前記周波数加算回路に供給することにより、前記位相間隔に応じた周波数を有する前記発振信号を生成させる選択部を更に備える請求項1乃至3のいずれかに記載の発振器。

## 【請求項5】

前記複数の第1可変遅延回路が出力する複数の前記入力信号のうち、任意の複数の前記入力信号を選択し、選択した前記入力信号を前記周波数加算回路に供給することにより、任意のパターンを有する前記発振信号を生成させる選択部を更に備える請求項1乃至3のいずれかに記載の発振器。

40

## 【請求項6】

前記周波数加算回路が生成した前記発振信号の周波数成分から、前記複数の入力信号のスキューにより生じるスプリアス成分を除去するフィルタを更に備える請求項1乃至3のいずれかに記載の発振器。

## 【請求項7】

前記複数の第1可変遅延回路の最終段から出力される前記遅延信号を受け取り、受け取った前記遅延信号を前記第1可変遅延回路と略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第2可変遅延回路と、

前記複数の第1可変遅延回路及び前記複数の第2可変遅延回路において、同一の段に設

50

けられた前記第 1 可変遅延回路及び前記第 2 可変遅延回路にそれぞれ入力される前記入力信号の電圧レベルを加算して前記周波数加算回路に供給する、前記複数の第 1 可変遅延回路及び前記複数の第 2 可変遅延回路の各段毎に設けられた複数の電圧加算回路とを更に備える請求項 2 または 3 に記載の発振器。

【請求項 8】

前記周波数加算回路は、

前記複数の第 1 可変遅延回路のうち偶数段に設けられた前記第 1 可変遅延回路に対応して設けられ、前記発振信号の波形のうち H レベルを示す部分を生成するための複数の H レベル生成部と、

前記複数の第 1 可変遅延回路のうち奇数段に設けられた前記第 1 可変遅延回路に対応して設けられ、前記発振信号の波形のうち L レベルを示す部分を生成するための複数の L レベル生成部と

を有し、

それぞれの前記 H レベル生成部は、対応する前記第 1 可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第 1 可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積が H 論理の場合に、前記発振信号の H レベルの電圧を出力し、

それぞれの前記 L レベル生成部は、対応する前記第 1 可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第 1 可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積が H 論理の場合に、前記発振信号の L レベルの電圧を出力し、

前記周波数加算回路は、前記複数の H レベル生成部及び前記複数の L レベル生成部が出力する信号の和を、前記発振信号として出力する請求項 1 に記載の発振器。

【請求項 9】

前記基準発振部は、水晶発振器である請求項 1 乃至 3 のいずれかに記載の発振器。

【請求項 10】

与えられる基準信号の周波数の  $k$  倍（但し  $k$  は 2 以上の整数）の周波数を有する発振信号を出力する周波数逡倍器であって、

前記基準信号を受け取り、受け取った前記基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第 1 可変遅延回路と、

前記基準信号の位相と、前記複数の第 1 可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、

前記基準信号の位相と、前記複数の第 1 可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、前記複数の第 1 可変遅延回路の遅延量を制御する遅延量制御部と、

それぞれの前記第 1 可変遅延回路に入力される入力信号を論理演算することにより、それぞれの前記入力信号におけるエッジを合成した前記発振信号を生成する周波数加算回路と

を備え、

前記第 1 可変遅延回路は、 $2k$  個縦続接続され、前記基準信号の周期の  $1 / 2k$  倍と略等しい遅延量がそれぞれ設定され、

前記周波数加算回路は、前記複数の第 1 可変遅延回路に入力されるそれぞれの前記入力信号の立ち上がりエッジに基づいて、前記発振信号の立ち上がりエッジ及び立ち下がりエッジを生成し、

前記複数の第 1 可変遅延回路の最終段から出力される前記遅延信号を受け取り、受け取った前記遅延信号を前記第 1 可変遅延回路と略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第 2 可変遅延回路と、

前記複数の第 1 可変遅延回路及び前記複数の第 2 可変遅延回路において、同一の段に設けられた前記第 1 可変遅延回路及び前記第 2 可変遅延回路にそれぞれ入力される前記入力

10

20

30

40

50

信号の電圧レベルを加算して前記周波数加算回路に供給する、前記複数の第1可変遅延回路及び前記複数の第2可変遅延回路の各段毎に設けられた複数の電圧加算回路とを更に備える周波数逡倍器。

【請求項11】

与えられる基準信号の周波数のk倍（但しkは2以上の整数）の周波数を有する発振信号を出力する周波数逡倍器であって、

前記基準信号を受け取り、受け取った前記基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第1可変遅延回路と、

前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、

前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、前記複数の第1可変遅延回路の遅延量を制御する遅延量制御部と、

それぞれの前記第1可変遅延回路に入力される入力信号を論理演算することにより、それぞれの前記入力信号におけるエッジを合成した前記発振信号を生成する周波数加算回路と

を備え、

前記第1可変遅延回路は、2k個縦続接続され、前記基準信号の周期の1/2k倍と略等しい遅延量がそれぞれ設定され、

前記周波数加算回路は、前記複数の第1可変遅延回路に入力されるそれぞれの前記入力信号の立ち上がりエッジに基づいて、前記発振信号の立ち上がりエッジ及び立ち下がりエッジを生成し、

前記周波数加算回路は、

前記複数の第1可変遅延回路のうち偶数段に設けられた前記第1可変遅延回路に対応して設けられ、前記発振信号の波形のうちHレベルを示す部分を生成するための複数のHレベル生成部と、

前記複数の第1可変遅延回路のうち奇数段に設けられた前記第1可変遅延回路に対応して設けられ、前記発振信号の波形のうちLレベルを示す部分を生成するための複数のLレベル生成部と

を有し、

それぞれの前記Hレベル生成部は、対応する前記第1可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積がH論理の場合に、前記発振信号のHレベルの電圧を出力し、

それぞれの前記Lレベル生成部は、対応する前記第1可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積がH論理の場合に、前記発振信号のLレベルの電圧を出力し、

前記周波数加算回路は、前記複数のHレベル生成部及び前記複数のLレベル生成部が出力する信号の和を、前記発振信号として出力する周波数逡倍器。

【請求項12】

与えられる基準信号の周波数のk倍（但しkは2以上の整数）の周波数を有する発振信号を出力する周波数逡倍器であって、

前記基準信号を受け取り、受け取った前記基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第1可変遅延回路と、

前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、

前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、前記複数の第1可変遅延回路の遅延量を制御する遅延量

10

20

30

40

50

制御部と、

それぞれの前記第 1 可変遅延回路に入力される入力信号を論理演算することにより、それぞれの前記入力信号におけるエッジを合成した前記発振信号を生成する周波数加算回路と  
を備え、

前記周波数加算回路は、前記複数の第 1 可変遅延回路に入力されるそれぞれの前記入力信号の立ち上がりエッジに基づいて、前記発振信号の立ち上がりエッジ及び立ち下がりエッジを生成し、

前記周波数加算回路は、

前記複数の第 1 可変遅延回路に対応して設けられ、前記発振信号の波形のうち H レベルを示す部分を生成するための複数の H レベル生成部と、前記発振信号の波形のうち L レベルを示す部分を生成するための複数の L レベル生成部と  
を有し、

それぞれの前記 H レベル生成部は、対応する前記第 1 可変遅延回路に入力される入力信号と、当該入力信号に対して更に遅延された他の入力信号との論理積を演算し、算出した論理積が H 論理の場合に前記発振信号の H レベルの電圧を出力し、

それぞれの前記 L レベル生成部は、対応する前記第 1 可変遅延回路に入力される入力信号と、当該入力信号に対して更に遅延された他の入力信号との論理積を演算し、算出した論理積が H 論理の場合に、前記発振信号の L レベルの電圧を出力し、

前記周波数加算回路は、前記複数の H レベル生成部及び前記複数の L レベル生成部が出力する信号の和を、前記発振信号として出力する  
周波数通倍器。

【請求項 13】

前記複数の第 1 可変遅延回路に入力される複数の前記入力信号のうち、位相間隔が略等しい複数の前記入力信号を選択し、選択した前記入力信号を前記周波数加算回路に供給することにより、前記位相間隔に応じた周波数を有する前記発振信号を生成させる選択部を更に備える請求項 10 乃至 12 のいずれかに記載の周波数通倍器。

【請求項 14】

前記複数の第 1 可変遅延回路が出力する複数の前記入力信号のうち、任意の複数の前記入力信号を選択し、選択した前記入力信号を前記周波数加算回路に供給することにより、任意のパターンを有する前記発振信号を生成させる選択部を更に備える請求項 10 乃至 12 のいずれかに記載の周波数通倍器。

【請求項 15】

前記周波数加算回路が生成した前記発振信号の周波数成分から、前記複数の入力信号のスキューにより生じるスプリアス成分を除去するフィルタを更に備える請求項 10 乃至 12 のいずれかに記載の周波数通倍器。

【請求項 16】

前記複数の第 1 可変遅延回路の最終段から出力される前記遅延信号を受け取り、受けとった前記遅延信号を前記第 1 可変遅延回路と略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第 2 可変遅延回路と、

前記複数の第 1 可変遅延回路及び前記複数の第 2 可変遅延回路において、同一の段に設けられた前記第 1 可変遅延回路及び前記第 2 可変遅延回路にそれぞれ入力される前記入力信号の電圧レベルを加算して前記周波数加算回路に供給する、前記複数の第 1 可変遅延回路及び前記複数の第 2 可変遅延回路の各段毎に設けられた複数の電圧加算回路と  
を更に備える請求項 11 または 12 に記載の周波数通倍器。

【請求項 17】

前記周波数加算回路は、

前記複数の第 1 可変遅延回路のうち偶数段に設けられた前記第 1 可変遅延回路に対応して設けられ、前記発振信号の波形のうち H レベルを示す部分を生成するための複数の H レベル生成部と、

10

20

30

40

50

前記複数の第1可変遅延回路のうち奇数段に設けられた前記第1可変遅延回路に対応して設けられ、前記発振信号の波形のうちLレベルを示す部分を生成するための複数のLレベル生成部と  
を有し、

それぞれの前記Hレベル生成部は、対応する前記第1可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積がH論理の場合に、前記発振信号のHレベルの電圧を出力し、

それぞれの前記Lレベル生成部は、対応する前記第1可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積がH論理の場合に、前記発振信号のLレベルの電圧を出力し、

前記周波数加算回路は、前記複数のHレベル生成部及び前記複数のLレベル生成部が出力する信号の和を、前記発振信号として出力する

請求項10に記載の周波数逡倍器。

【請求項18】

電子デバイスを試験する試験装置であって、

前記電子デバイスを試験するための試験パターンを生成するパターン発生器と、

前記試験パターンを整形して前記電子デバイスに供給する波形整形器と、

前記波形整形器が前記試験パターンを供給するタイミングを制御するための、所望の周波数を有するクロック信号を生成するタイミング発生器と、

前記電子デバイスが出力する出力信号と、前記試験パターンに基づく期待値信号とを比較して、前記電子デバイスの良否を判定する判定器と  
を備え、

前記タイミング発生器は、

予め定められた周波数の基準信号を生成する基準発振部と、

前記基準信号を受け取り、受け取った前記基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第1可変遅延回路と、

前記基準発振部が生成した前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、

前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、前記複数の第1可変遅延回路の遅延量を制御する遅延量制御部と、

それぞれの前記第1可変遅延回路に入力される入力信号を論理演算することにより、それぞれの前記入力信号におけるエッジを合成した前記クロック信号を生成する周波数加算回路と

を有し、

前記タイミング発生器は、前記基準信号の周波数のk倍(但しkは2以上の整数)の周波数を有する前記クロック信号を生成するものであって、

前記第1可変遅延回路は、2k個縦続接続され、前記基準信号の周期の1/2k倍と略等しい遅延量がそれぞれ設定され、

前記周波数加算回路は、前記複数の第1可変遅延回路に入力されるそれぞれの前記入力信号の立ち上がりエッジに基づいて、前記クロック信号の立ち上がりエッジ及び立ち下がりエッジを生成し、

前記タイミング発生器は、

前記複数の第1可変遅延回路の最終段から出力される前記遅延信号を受け取り、受け取った前記遅延信号を前記第1可変遅延回路と略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第2可変遅延回路と、

前記複数の第1可変遅延回路及び前記複数の第2可変遅延回路において、同一の段に設けられた前記第1可変遅延回路及び前記第2可変遅延回路にそれぞれ入力される前記入力

10

20

30

40

50

信号の電圧レベルを加算して前記周波数加算回路に供給する、前記複数の第1可変遅延回路及び前記複数の第2可変遅延回路の各段毎に設けられた複数の電圧加算回路と  
を更に有する  
 試験装置。

【請求項19】

電子デバイスを試験する試験装置であって、  
 前記電子デバイスを試験するための試験パターンを生成するパターン発生器と、  
 前記試験パターンを整形して前記電子デバイスに供給する波形整形器と、  
 前記波形整形器が前記試験パターンを供給するタイミングを制御するための、所望の周波数を有するクロック信号を生成するタイミング発生器と、  
 前記電子デバイスが出力する出力信号と、前記試験パターンに基づく期待値信号とを比較して、前記電子デバイスの良否を判定する判定器と  
 を備え、

前記タイミング発生器は、  
 予め定められた周波数の基準信号を生成する基準発振部と、  
 前記基準信号を受け取り、受け取った前記基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第1可変遅延回路と、

前記基準発振部が生成した前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、

前記基準信号の位相と、前記複数の第1可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、前記複数の第1可変遅延回路の遅延量を制御する遅延量制御部と、

それぞれの前記第1可変遅延回路に入力される入力信号を論理演算することにより、それぞれの前記入力信号におけるエッジを合成した前記クロック信号を生成する周波数加算回路と

を有し、

前記タイミング発生器は、前記基準信号の周波数のk倍（但しkは2以上の整数）の周波数を有する前記クロック信号を生成するものであって、

前記第1可変遅延回路は、2k個縦続接続され、前記基準信号の周期の1/2k倍と略等しい遅延量がそれぞれ設定され、

前記周波数加算回路は、前記複数の第1可変遅延回路に入力されるそれぞれの前記入力信号の立ち上がりエッジに基づいて、前記クロック信号の立ち上がりエッジ及び立ち下がりエッジを生成し、

前記周波数加算回路は、

前記複数の第1可変遅延回路のうち偶数段に設けられた前記第1可変遅延回路に対応して設けられ、前記クロック信号の波形のうちHレベルを示す部分を生成するための複数のHレベル生成部と、

前記複数の第1可変遅延回路のうち奇数段に設けられた前記第1可変遅延回路に対応して設けられ、前記クロック信号の波形のうちLレベルを示す部分を生成するための複数のLレベル生成部と

を有し、

それぞれの前記Hレベル生成部は、対応する前記第1可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積がH論理の場合に、前記クロック信号のHレベルの電圧を出力し、

それぞれの前記Lレベル生成部は、対応する前記第1可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積がH論理の場合に、前記クロック信号のLレベルの電圧を出力し、

前記周波数加算回路は、前記複数のHレベル生成部及び前記複数のLレベル生成部が出

10

20

30

40

50



力する信号の和を、前記クロック信号として出力する試験装置。

【請求項 2 0】

電子デバイスを試験する試験装置であって、  
前記電子デバイスを試験するための試験パターンを生成するパターン発生器と、  
前記試験パターンを整形して前記電子デバイスに供給する波形整形器と、  
前記波形整形器が前記試験パターンを供給するタイミングを制御するための、所望の周波数を有するクロック信号を生成するタイミング発生器と、  
前記電子デバイスが出力する出力信号と、前記試験パターンに基づく期待値信号とを比較して、前記電子デバイスの良否を判定する判定器と

10

を備え、  
前記タイミング発生器は、  
予め定められた周波数の基準信号を生成する基準発振部と、  
前記基準信号を受け取り、受け取った前記基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第 1 可変遅延回路と、  
前記基準発振部が生成した前記基準信号の位相と、前記複数の第 1 可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、  
前記基準信号の位相と、前記複数の第 1 可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、前記複数の第 1 可変遅延回路の遅延量を制御する遅延量制御部と、

20

それぞれの前記第 1 可変遅延回路に入力される入力信号を論理演算することにより、それぞれの前記入力信号におけるエッジを合成した前記クロック信号を生成する周波数加算回路と  
を有し、

前記周波数加算回路は、前記複数の第 1 可変遅延回路に入力されるそれぞれの前記入力信号の立ち上がりエッジに基づいて、前記クロック信号の立ち上がりエッジ及び立ち下がりエッジを生成し、

前記周波数加算回路は、

前記複数の第 1 可変遅延回路に対応して設けられ、前記クロック信号の波形のうち H レベルを示す部分を生成するための複数の H レベル生成部と、前記クロック信号の波形のうち L レベルを示す部分を生成するための複数の L レベル生成部と  
を有し、

30

それぞれの前記 H レベル生成部は、対応する前記第 1 可変遅延回路に入力される入力信号と、当該入力信号に対して更に遅延された他の入力信号との論理積を演算し、算出した論理積が H 論理の場合に前記クロック信号の H レベルの電圧を出力し、

それぞれの前記 L レベル生成部は、対応する前記第 1 可変遅延回路に入力される入力信号と、当該入力信号に対して更に遅延された他の入力信号との論理積を演算し、算出した論理積が H 論理の場合に、前記クロック信号の L レベルの電圧を出力し、

前記周波数加算回路は、前記複数の H レベル生成部及び前記複数の L レベル生成部が出力する信号の和を、前記クロック信号として出力する試験装置。

40

【請求項 2 1】

前記複数の第 1 可変遅延回路に入力される複数の前記入力信号のうち、位相間隔が略等しい複数の前記入力信号を選択し、選択した前記入力信号を前記周波数加算回路に供給することにより、前記位相間隔に応じた周波数を有する前記クロック信号を生成させる選択部を更に備える請求項 1 8 乃至 2 0 のいずれかに記載の試験装置。

【請求項 2 2】

前記複数の第 1 可変遅延回路が出力する複数の前記入力信号のうち、任意の複数の前記入力信号を選択し、選択した前記入力信号を前記周波数加算回路に供給することにより、任意のパターンを有する前記クロック信号を生成させる選択部を更に備える請求項 1 8 乃至

50

至 20 のいずれかに記載の試験装置。

【請求項 23】

前記周波数加算回路が生成した前記クロック信号の周波数成分から、前記複数の入力信号のスキューにより生じるスプリアス成分を除去するフィルタを更に備える請求項 18 乃至 20 のいずれかに記載の試験装置。

【請求項 24】

前記複数の第 1 可変遅延回路の最終段から出力される前記遅延信号を受け取り、受けとった前記遅延信号を前記第 1 可変遅延回路と略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第 2 可変遅延回路と、

前記複数の第 1 可変遅延回路及び前記複数の第 2 可変遅延回路において、同一の段に設けられた前記第 1 可変遅延回路及び前記第 2 可変遅延回路にそれぞれ入力される前記入力信号の電圧レベルを加算して前記周波数加算回路に供給する、前記複数の第 1 可変遅延回路及び前記複数の第 2 可変遅延回路の各段毎に設けられた複数の電圧加算回路とを更に備える請求項 19 または 20 に記載の試験装置。

【請求項 25】

前記周波数加算回路は、

前記複数の第 1 可変遅延回路のうち偶数段に設けられた前記第 1 可変遅延回路に対応して設けられ、前記クロック信号の波形のうち H レベルを示す部分を生成するための複数の H レベル生成部と、

前記複数の第 1 可変遅延回路のうち奇数段に設けられた前記第 1 可変遅延回路に対応して設けられ、前記クロック信号の波形のうち L レベルを示す部分を生成するための複数の L レベル生成部と

を有し、

それぞれの前記 H レベル生成部は、対応する前記第 1 可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第 1 可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積が H 論理の場合に、前記クロック信号の H レベルの電圧を出力し、

それぞれの前記 L レベル生成部は、対応する前記第 1 可変遅延回路に入力される入力信号と、当該入力信号に対して前記基準信号の半周期に前記第 1 可変遅延回路一個分の遅延量を加えた時間だけ遅延された前記入力信号との論理積を演算し、算出した論理積が H 論理の場合に、前記クロック信号の L レベルの電圧を出力し、

前記周波数加算回路は、前記複数の H レベル生成部及び前記複数の L レベル生成部が出力する信号の和を、前記クロック信号として出力する

請求項 18 に記載の試験装置。

【請求項 26】

前記基準発振部は、水晶発振器である請求項 18 乃至 20 のいずれかに記載の試験装置

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、所望の周波数の発振クロックを生成する発振器、与えられる基準信号の周波数を逡倍する周波数逡倍器、及び電子デバイスを試験するための試験装置に関する。

【背景技術】

【0002】

近年、例えば高速通信に用いる搬送波やクロック信号等の高周波化が著しい。このような高周波信号を用いて高精度な動作を保証するためには、信号に生じるスプリアスや位相雑音を低減する必要がある。従来、このような高周波信号を、PLL (Phase Lock Loop) を用いて生成している。

【0003】

関連する特許文献等は現在認識していないため、その記載を省略する。

10

20

30

40

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

PLLは、電圧制御発振器(VCO)を用いて高周波信号を生成するが、VCOのQ値を高めるためには、高度な技術と幾度にもわたる試行設計が不可欠であり、開発コストが高くなってしまふ。また、PLLは雑音に対する感度が高いため、チップ内雑音、基板カップリング雑音の影響を受けやすく、それらからのアイソレーションも困難である。

## 【0005】

また、PLLをオンチップで実装する場合には、素子バラツキにより平均的にQ値の高いVCOを設計することは困難である。また、VCOにLCタンク回路方式を用いている場合には、誘導素子と容量素子の配置面積が極めて大きくなり、ロジック回路等の他の回路の使用領域を圧迫してしまふ。

10

## 【課題を解決するための手段】

## 【0006】

上記課題を解決するために、本発明の第1の形態においては、所望の周波数の発振信号を生成する発振器であって、予め定められた周波数の基準信号を生成する基準発振部と、基準信号を受け取り、受け取った基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第1可変遅延回路と、基準発振部が生成した基準信号の位相と、複数の第1可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、基準信号の位相と、複数の第1可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、複数の第1可変遅延回路の遅延量を制御する遅延量制御部と、それぞれの第1可変遅延回路に入力される入力信号を論理演算することにより、それぞれの入力信号におけるエッジを合成した発振信号を生成する周波数加算回路とを備える発振器を提供する。

20

## 【0007】

発振器は、基準信号の周波数のk倍(但しkは2以上の整数)の周波数を有する発振信号を生成するものであって、第1可変遅延回路は、2k個縦続接続され、基準信号の周期の1/2k倍と略等しい遅延量がそれぞれ設定され、周波数加算回路は、複数の第1可変遅延回路に入力されるそれぞれの入力信号の立ち上がりエッジに基づいて、発振信号の立ち上がりエッジ及び立ち下がりエッジを生成してよい。

30

## 【0008】

発振器は、複数の第1可変遅延回路に入力される複数の入力信号のうち、位相間隔が略等しい複数の入力信号を選択し、選択した入力信号を周波数加算回路に供給することにより、位相間隔に応じた周波数を有する発振信号を生成させる選択部を更に備えてよい。また、複数の第1可変遅延回路が出力する複数の入力信号のうち、任意の複数の入力信号を選択し、選択した入力信号を周波数加算回路に供給することにより、任意のパターンを有する発振信号を生成させる選択部を更に備えてもよい。

## 【0009】

発振器は、周波数加算回路が生成した発振信号の周波数成分から、複数の入力信号のスキューにより生じるスプリアス成分を除去するフィルタを更に備えてよい。また、発振器は、複数の第1可変遅延回路の最終段から出力される遅延信号を受け取り、受けとった遅延信号を第1可変遅延回路と略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第2可変遅延回路と、複数の第1可変遅延回路及び複数の第2可変遅延回路において、同一の段に設けられた第1可変遅延回路及び第2可変遅延回路にそれぞれ入力される入力信号の電圧レベルを加算して周波数加算回路に供給する、複数の第1可変遅延回路及び複数の第2可変遅延回路の各段毎に設けられた複数の電圧加算回路とを更に備えてよい。

40

## 【0010】

周波数加算回路は、複数の第1可変遅延回路のうち偶数段に設けられた第1可変遅延回路に対応して設けられ、発振信号の波形のうちHレベルを示す部分を生成するための複数

50

のHレベル生成部と、複数の第1可変遅延回路のうち奇数段に設けられた第1可変遅延回路に対応して設けられ、発振信号の波形のうちLレベルを示す部分を生成するための複数のLレベル生成部とを有し、それぞれのHレベル生成部は、対応する第1可変遅延回路に入力される入力信号と、当該入力信号に対して基準信号の半周期に第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された入力信号との論理積を演算し、算出した論理積がH論理の場合に、発振信号のHレベルの電圧を出力し、それぞれのLレベル生成部は、対応する第2可変遅延回路に入力される入力信号と、当該入力信号に対して基準信号の半周期に第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された入力信号との論理積を演算し、算出した論理積がH論理の場合に、発振信号のLレベルの電圧を出力し、周波数加算回路は、複数のHレベル生成部及び複数のLレベル生成部が出力する信号の和を、発振信号として出力してよい。また、基準発振部は、水晶発振器であってよい。

10

#### 【0011】

本発明の第2の形態においては、与えられる基準信号の周波数を逡倍した発振信号を出力する周波数逡倍器であって、基準信号を受け取り、受け取った基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第1可変遅延回路と、基準発振部が生成した基準信号の位相と、複数の第1可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、基準信号の位相と、複数の第1可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、複数の第1可変遅延回路の遅延量を制御する遅延量制御部と、それぞれの第1可変遅延回路に入力される入力信号を論理演算することにより、それぞれの入力信号におけるエッジを合成した発振信号を生成する周波数加算回路とを備える周波数逡倍器を提供する。

20

#### 【0012】

本発明の第3の形態においては、電子デバイスを試験する試験装置であって、電子デバイスを試験するための試験パターンを生成するパターン発生器と、試験パターンを整形して電子デバイスに供給する波形整形器と、波形整形器が試験パターンを供給するタイミングを制御するための、所望の周波数を有するクロック信号を生成するタイミング発生器と、電子デバイスが出力する出力信号と、試験パターンに基づく期待値信号とを比較して、電子デバイスの良否を判定する判定器とを備え、タイミング発生器は、予め定められた周波数の基準信号を生成する基準発振部と、基準信号を受け取り、受け取った基準信号を略同一の遅延量で順次遅延させて出力する、縦続接続された複数の第1可変遅延回路と、基準発振部が生成した基準信号の位相と、複数の第1可変遅延回路の最終段から出力される遅延信号の位相とを比較する位相比較部と、基準信号の位相と、複数の第1可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなるように、複数の第1可変遅延回路の遅延量を制御する遅延量制御部と、それぞれの第1可変遅延回路に入力される入力信号を論理演算することにより、それぞれの入力信号におけるエッジを合成したクロック信号を生成する周波数加算回路とを有する試験装置を提供する。

30

#### 【0013】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

#### 【発明の効果】

40

#### 【0014】

本発明によれば、雑音の少ない発振信号を容易に生成することができる。

#### 【発明を実施するための最良の形態】

#### 【0015】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

#### 【0016】

図1は、本発明の実施形態に係る発振器100の構成の一例を示す図である。本例における発振器100は、DLL(Delay Lock Loop)を用いて所望の周波数の発振信号を生

50

成する。発振器 100 は、基準発振部 10、及び周波数通倍器 12 を備える。基準発振部 10 は、予め定められた周波数の基準信号を生成する。基準発振部 10 は、例えば水晶発振器であってよい。

【0017】

周波数通倍器 12 は、与えられる基準信号の周波数を通倍した発振信号を出力する。周波数通倍器 12 は、遅延部 20、選択部 30、フィルタ 40、位相比較部 42、ループフィルタ 44、遅延量制御部 46、及び周波数加算回路 50 を備える。

【0018】

遅延部 20 は、縦続接続された複数の第 1 可変遅延回路 (22 - 0 ~ 22 - N、以下 22 と総称する) を有する。複数の第 1 可変遅延回路 22 は、基準信号を受け取り、受け取った基準信号をそれぞれ略同一の遅延量で順次遅延させて出力する。

10

【0019】

位相比較部 42 は、基準発振部 10 が生成した基準信号の位相と、複数の第 1 可変遅延回路 22 の最終段から出力される遅延信号の位相とを比較し、位相差に応じた電圧をループフィルタ 44 を介して遅延量制御部 46 に出力する。

【0020】

遅延量制御部 46 は、位相比較部 42 から受け取った電圧に基づいて、複数の第 1 可変遅延回路 22 の遅延量を制御する。このとき、遅延量制御部 46 は、基準信号の位相と、複数の第 1 可変遅延回路の最終段から出力される遅延信号の位相とが略等しくなり、且つそれぞれの第 1 可変遅延回路 22 における遅延量が同一となるように、それぞれの第 1 可変遅延回路の遅延量を制御する。

20

【0021】

すなわち、それぞれの第 1 可変遅延回路 22 には、図 2 に示すように、位相が一定量ずつずれた入力信号 0 ~ N が入力される。周波数加算回路 50 は、それぞれの第 1 可変遅延回路 22 に入力される入力信号 0 ~ N を論理演算することにより、それぞれの入力信号におけるエッジを合成した発振信号を生成する。本例における周波数加算回路 50 は、それぞれの入力信号の立ち上がりエッジに基づいて、発振信号の立ち上がりエッジ及び立ち下がりエッジを生成する。

【0022】

例えば、基準信号の周波数の  $k$  倍 (但し  $k$  は 2 以上の整数) の周波数を有する発振信号を生成する場合、第 1 可変遅延回路 22 は、 $2k$  個縦続接続されることが好ましい。この場合遅延量制御部 46 は、 $2k$  個縦続接続された第 1 可変遅延回路 (22 - 0 ~ 22 -  $2k$ ) の遅延量を、基準信号の周期の  $1/2k$  倍と略等しい遅延量にそれぞれ設定する。このようにそれぞれの第 1 可変遅延回路 (22 - 0 ~ 22 - ( $2k - 1$ )) の遅延量を設定することにより、生成するべき発振信号のそれぞれの立ち上がりエッジ及び立ち下がりエッジのタイミングを示す複数の入力信号 0 ~  $2k - 1$  を生成することができる。周波数加算回路 50 は、複数の第 1 可変遅延回路 (22 - 0 ~ 22 - ( $2k - 1$ )) に入力されるそれぞれの入力信号 0 ~  $2k - 1$  の立ち上がりエッジに基づいて、発振信号の立ち上がりエッジ及び立ち下がりエッジを生成する。周波数加算回路 50 の構成については、図 3 において後述する。

30

40

【0023】

また、選択部 30 は、生成するべき発振信号の周波数に応じて、複数の入力信号 0 ~  $2k - 1$  から、位相間隔が略等しい複数の入力信号を選択し、選択した入力信号を周波数加算回路 50 に供給する。このような制御により、位相間隔に応じた周波数を有する発振信号を生成することができる。例えば、選択部 30 が、2 段毎の複数の第 1 可変遅延回路 22 - ( $2m - 1$ ) (但し  $m$  は、0 ~  $k$  の整数) に入力される入力信号  $2m - 1$  を選択することにより、基準信号の周波数の  $k/2$  倍の周波数の発振信号を生成することができる。つまり、選択部 30 が、2  $j$  段毎の複数の第 1 可変遅延回路 22 に入力される入力信号を選択することにより、基準信号の周波数の  $k \sim k/2j$  (但し  $j$  は整数) の周波数を有する発振信号を生成することができる。また、選択部 30 が、任意の複数の入力信号

50

を選択することにより、任意のパターンを有する発振信号を生成することもできる。選択部 30 の構成については、図 4 において後述する。

【 0 0 2 4 】

また、フィルタ 40 は、周波数加算回路 50 が生成した発振信号の周波数成分から、複数の入力信号のスキューにより生じるスプリアス成分を除去する。本例における発振器 100 は、DLL (Delay Lock Loop) を用いているため、発振信号の Q 値は、基準信号の Q 値と略等しくなり、VCO を用いる場合に比べ、発振信号の Q 値を向上させることができる。また、発振信号に生じるスプリアス成分は、第 1 可変遅延回路 22 の遅延量に応じて、中心周波数帯域から離散して生じるため、Q 値の低い簡易な構成のフィルタ 40 によって容易に除去することができる。

10

【 0 0 2 5 】

図 2 は、発振器 100 の動作の一例を示すタイミングチャートである。本例において発振器 100 は、基準信号の周波数の 4 倍の周波数を有する発振信号 (output) を生成する。前述したように、それぞれの第 1 可変遅延回路 22 には、基準信号の周期の  $1/8$  と略等しい遅延量が設定される。そして、周波数加算回路 50 は、それぞれの入力信号 0 ~ 7 のうち、偶数番目の入力信号 ( 0、 2、 4、 6 ) の立ち上がりエッジから、発振信号の立ち上がりエッジを生成し、奇数番目の入力信号 ( 1、 3、 5、 7 ) の立ち上がりエッジから、発振信号の立ち下がりエッジを生成する。

【 0 0 2 6 】

図 3 は、周波数加算回路 50 の構成の一例を示す。本例において周波数加算回路 50 は、複数の H レベル生成部 ( 52 - 0、 52 - 2、・・・、以下 52 と総称する )、及び複数の L レベル生成部 ( 53 - 1、 53 - 3、・・・、以下 53 と総称する ) を有する。

20

【 0 0 2 7 】

複数の H レベル生成部 52 は、複数の第 1 可変遅延回路 22 のうち偶数段に設けられた第 1 可変遅延回路 ( 22 - 0、 22 - 2、 22 - 4、・・・ ) に対応して設けられ、発振信号の波形のうち H レベルを示す部分 ( 山部分 ) を生成する。それぞれの H レベル生成部 52 は、少なくとも、対応する第 1 可変遅延回路 22 に入力される入力信号と、当該入力信号に対して基準信号の半周期から第 1 可変遅延回路一個分の遅延量を加えた時間だけ遅延された入力信号との論理積を演算し、算出した論理積が H 論理の場合に、発振信号の H レベルの電圧を出力する。

30

【 0 0 2 8 】

例えば、H レベル生成部 52 - 0 は、対応する入力信号 0 と、入力信号 0 に対して基準信号の半周期に第 1 可変遅延回路一個分の遅延量を加えた時間だけ遅延された入力信号 5 との論理積を演算する。ここで、例えば第 1 可変遅延回路 22 の最終段に入力される入力信号に対しては、遅延された入力信号は存在しないが、このような場合、当該入力信号を 1 周期前にずらした場合に、当該入力信号に対して基準信号の半周期に第 1 可変遅延回路一個分の遅延量を加えた時間だけ遅延された入力信号との論理積を演算する。即ち、当該入力信号に対して基準信号の半周期に第 1 可変遅延回路一個分の遅延量を加えた時間だけ遅延された入力信号とは、当該入力信号に対して基準信号の半周期に第 1 可変遅延回路一個分の遅延量を加えた時間だけ位相が遅れている入力信号と、当該入力信号に対して基準信号の半周期に第 1 可変遅延回路一個分の遅延量を減じた時間だけ位相が進んでいる入力信号とを含む。

40

【 0 0 2 9 】

本例において、H レベル生成部 52 は、複数のトランジスタ ( 54、 62 ) を有する。トランジスタ 62 には、対応する入力信号がゲート端子に与えられ、トランジスタ 54 には、当該入力信号に対して基準信号の半周期に第 1 可変遅延回路一個分の遅延量を加えた時間だけ遅延された入力信号がゲート端子に与えられる。それぞれのトランジスタは縦続接続され、トランジスタ 54 のソース端子に H レベルの電圧が与えられる。このような構成により、与えられる入力信号の論理積が H 論理である場合に、発振信号の H レベルの電圧を出力する。

50

## 【 0 0 3 0 】

また、複数のLレベル生成部53は、複数の第1可変遅延回路22のうち奇数段に設けられた第1可変遅延回路(22-1、22-3、22-5、・・・)に対応して設けられ、発振信号の波形のうちLレベルを示す部分(谷部分)を生成する。それぞれのHレベル生成部52は、少なくとも、対応する第1可変遅延回路22に入力される入力信号と、当該入力信号に対して基準信号の半周期から第1可変遅延回路一個分の遅延量を加えた時間だけ遅延された入力信号との論理積を演算し、算出した論理積がH論理の場合に、発振信号のLレベルの電圧を出力する。

## 【 0 0 3 1 】

Lレベル生成部53は、前述したHレベル生成部52と略同一の構成を有するが、Lレベル生成部53のトランジスタ54には、発振信号のLレベルの電圧が与えられる。そして、周波数加算回路50は、複数のHレベル生成部52及び複数のLレベル生成部53が出力する信号の和を、発振信号として出力する。このような構成により、発振信号のそれぞれの位相において、複数のHレベル生成部52及び複数のLレベル生成部53が算出する論理積は、いずれか一つのみがH論理となり、当該位相における発振信号の値は、H論理を算出したHレベル生成部52又はLレベル生成部53に与えられる電圧レベルによって決定される。本例における周波数加算回路50によれば、簡易な構成によって、発振信号を生成することができる。

## 【 0 0 3 2 】

図4は、選択部30の構成の一例を示す。本例において選択部30は、並列に設けられた複数の論理積回路(32-0~32-N、以下32と総称する)を有する。それぞれの論理積回路32は、複数の第1可変遅延回路22と対応して設けられ、対応する第1可変遅延回路22に入力される入力信号を受け取る。また、それぞれの論理積回路32には、それぞれ選択信号が与えられ、選択信号と入力信号との論理積を周波数加算回路50に出力する。即ち、それぞれの入力信号を周波数加算回路50に供給するか否かを、それぞれの選択信号により制御することができる。

## 【 0 0 3 3 】

図5は、発振器100が生成する発振信号のスペクトルの一例を示す。図5において横軸は発振信号の周波数を示し、縦軸はそれぞれの周波数におけるスペクトル強度を示す。図5に示すように、発振信号は、所定の中心周波数 $f_{osc}$ に、基準信号と略同一のQ値を有するスペクトルを有しており、中心周波数 $f_{osc}$ を中心として、 $f_{osc}/n$ 毎にスプリアス成分が生じる。

## 【 0 0 3 4 】

中心周波数 $f_{osc}$ におけるQ値は、水晶発振器が生成した基準信号のQ値と略等しいため、VCOを用いて発振信号を生成する場合に比べ、中心周波数 $f_{osc}$ におけるQ値を向上させることができる。また、スプリアス成分は、中心周波数 $f_{osc}$ から十分離れた位置に離散して現れるため、前述したように簡易なフィルタで容易に除去することができる。このため、発振器100は雑音を低減した発振信号を生成することができる。

## 【 0 0 3 5 】

図6は、遅延部20の構成の他の例を示す。本例における遅延部20は、図1に関連して説明した遅延部20の構成に加え、縦続接続された複数の第2可変遅延回路(24-0~24-N、以下24と総称する)、及び複数の電圧加算回路(26-0~26-N、以下26と総称する)を更に有する。

## 【 0 0 3 6 】

複数の第2可変遅延回路24は、複数の第1可変遅延回路22と同数縦続接続され、複数の第1可変遅延回路22の最終段から出力される遅延信号を、第1可変遅延回路22と略同一の遅延量で順次遅延させて位相比較部42に出力する。複数の第1可変遅延回路22及び複数の第2可変遅延回路24は、同一の特性を有することが好ましい。つまり、同一の遅延設定量に対し、同一の遅延量を生じることが好ましい。また、遅延量制御部46(図1参照)は、複数の第1可変遅延回路22及び複数の第2可変遅延回路24の遅延量

10

20

30

40

50

を同一の値に設定することが好ましい。

【0037】

それぞれの電圧加算回路26は、複数の第1可変遅延回路22及び複数の第2可変遅延回路24において、同一の段に設けられた第1可変遅延回路22及び第2可変遅延回路24にそれぞれ入力される入力信号の電圧レベルを加算して前記周波数加算回路に供給する。電圧加算回路26は、複数の第1可変遅延回路22及び複数の第2可変遅延回路24の各段毎に設けられる。このような構成により、複数の第1可変遅延回路22の素子パラツキにより生じるそれぞれの入力信号のスキューを平均化して低減することができる。

【0038】

それぞれの電圧加算回路26は、同一の段に設けられた第1可変遅延回路22及び第2可変遅延回路24の入力端子を接続することにより、それぞれの入力信号の電圧レベルを加算する構成であってよく、それぞれの入力信号の電圧レベルを加算するための回路を有する構成であってもよい。

【0039】

また、遅延部20が複数の第1可変遅延回路22及び複数の第2可変遅延回路24を有する場合について説明したが、図6に示すように、遅延部20は、複数の第1可変遅延回路22と同一の構成を有する更に多くの複数の可変遅延回路を有していてもよい。この場合、電圧加算回路26は、同一の段に設けられたそれぞれの可変遅延回路に入力される入力信号の電圧レベルを加算することにより、入力信号のスキューをより低減することができる。

【0040】

また、本例における発振器100は、発振信号の立ち上がりエッジ及び立ち下がりエッジをそれぞれ入力信号によって生成しているため、入力信号のスキューを低減することにより、立ち上がりエッジ及び立ち下がりエッジの両方におけるジッタを低減することができる。即ち、発振信号のDuty比を50%に精度よく制御することができる。

【0041】

図7は、電子デバイス150を試験するための試験装置200の構成の一例を示す。試験装置200は、パターン発生器110、波形整形器120、タイミング発生器130、及び判定器140を備える。

【0042】

パターン発生器110は、電子デバイス150を試験するための試験パターンを生成し、波形整形器120に供給する。また、パターン発生器110は、試験パターンに応じて電子デバイス150が出力するべき期待値信号を生成し、判定器140に供給する。

【0043】

波形整形器120は、試験パターンを整形して電子デバイス150に供給する。またタイミング発生器130は、波形整形器120が試験パターンを供給するタイミングを制御するための、所望の周波数を有するクロック信号を生成する。ここで、タイミング発生器130は、当該クロック信号を生成するために、図1から図6において説明した発振器100を有する。また、試験装置200は、試験装置200の各構成要素を動作させるための基準クロックを生成するために、図1から図6において説明した発振器100を備えて

【0044】

判定器140は、電子デバイス150が出力する出力信号と、試験パターンに基づく期待値信号とを比較して、電子デバイス150の良否を判定する。本例における試験装置200によれば、雑音の少ないクロックを用いて試験を行うことができるため、電子デバイス150の良否を精度よく判定することができる。

【0045】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発

10

20

30

40

50



明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【図面の簡単な説明】

【0046】

【図1】本発明の実施形態に係る発振器100の構成の一例を示す図である。

【図2】発振器100の動作の一例を示すタイミングチャートである。

【図3】周波数加算回路50の構成の一例を示す図である。

【図4】選択部30の構成の一例を示す図である。

【図5】発振器100が生成する発振信号のスペクトルの一例を示す図である。

【図6】遅延部20の構成の他の例を示す図である。

【図7】電子デバイス150を試験するための試験装置200の構成の一例を示す図である。

10

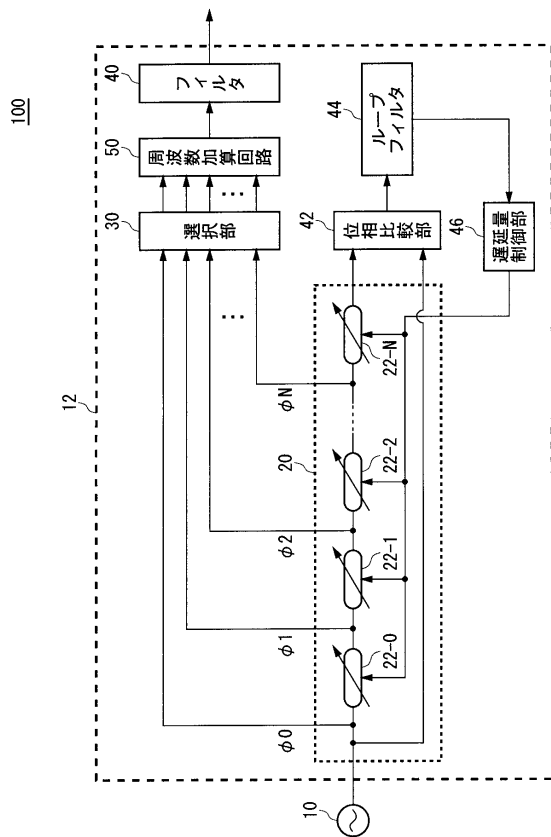
【符号の説明】

【0047】

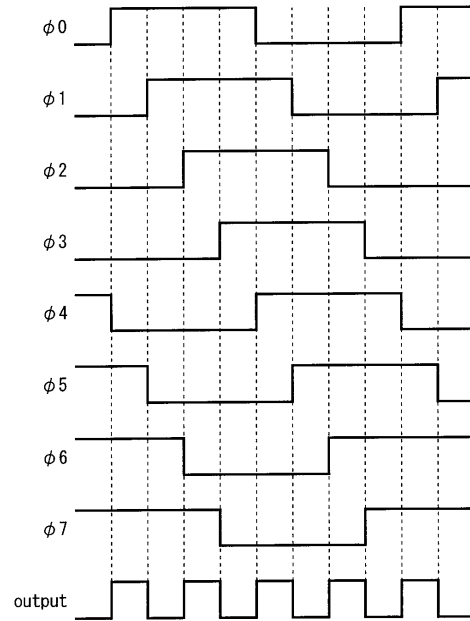
10・・・基準発振部、12・・・周波数通倍器、20・・・遅延部、22・・・第1可変遅延回路、24・・・第2可変遅延回路、26・・・電圧加算回路、30・・・選択部、32・・・論理積回路、40・・・フィルタ、42・・・位相比較部、44・・・ループフィルタ、46・・・遅延量制御部、50・・・周波数加算回路、52・・・Hレベル生成部、53・・・Lレベル生成部、54、62・・・トランジスタ、100・・・発振器、110・・・パターン発生器、120・・・波形整形器、130・・・タイミング発生器、140・・・判定器、150・・・電子デバイス、200・・・試験装置

20

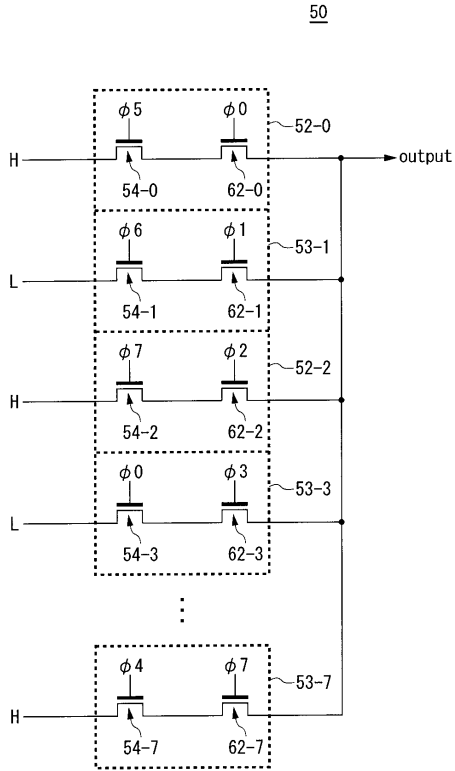
【図1】



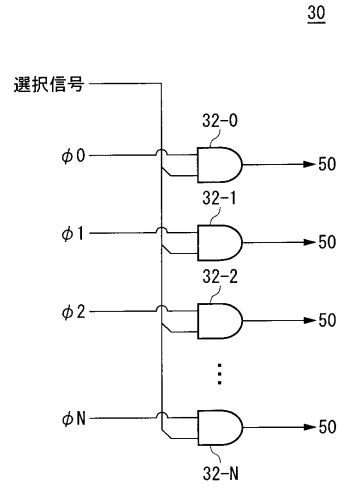
【図2】



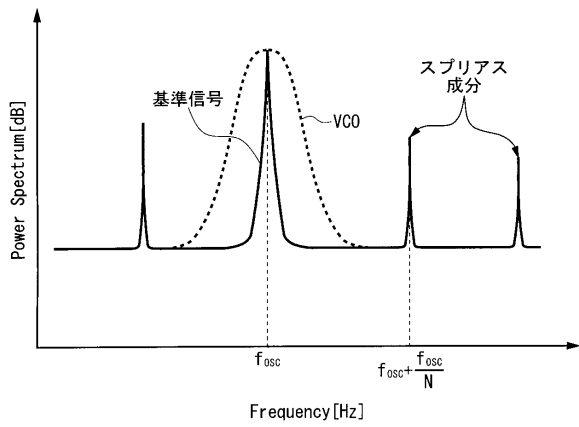
【 図 3 】



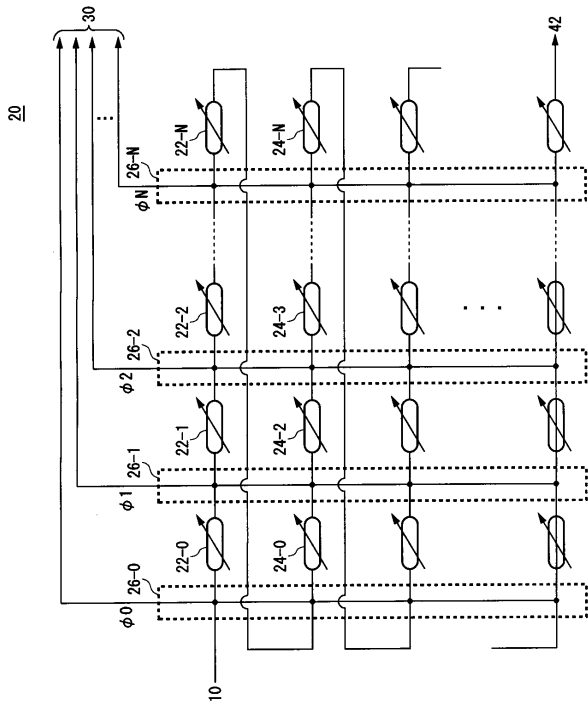
【 図 4 】



【 図 5 】

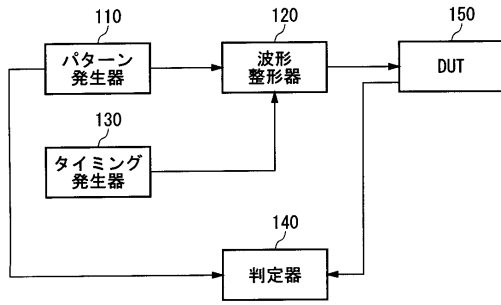


【 図 6 】



【図7】

200



---

フロントページの続き

(56)参考文献 特開2003-198340(JP,A)  
特開平11-163689(JP,A)  
特開平11-052029(JP,A)  
特開平05-273308(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/00 - 7/23  
H03K 5/00 - 5/26  
G01R 31/28 - 31/319