



(12)发明专利申请

(10)申请公布号 CN 107437561 A

(43)申请公布日 2017. 12. 05

(21)申请号 201710805103.9

H01L 21/28(2006.01)

(22)申请日 2016.01.12

H01L 21/336(2006.01)

(30)优先权数据

10-2015-0014418 2015.01.29 KR

(62)分案原申请数据

201610019041.4 2016.01.12

(71)申请人 三星电子株式会社

地址 韩国京畿道水原市

(72)发明人 金柱然

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 刘灿强 薛义丹

(51)Int.Cl.

H01L 29/49(2006.01)

H01L 29/51(2006.01)

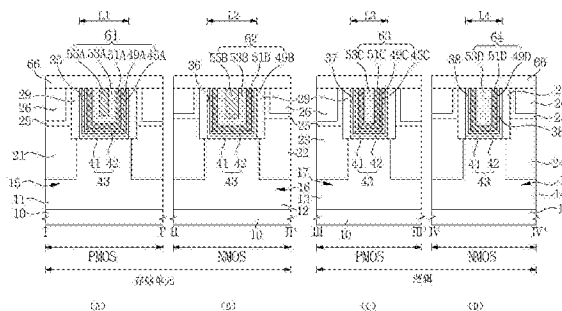
权利要求书2页 说明书15页 附图25页

(54)发明名称

具有功函数金属的半导体器件

(57)摘要

提供了具有功函数金属的半导体器件。在所述半导体器件中,第一活性区、第二活性区和第三活性区形成在基底上。第一栅电极形成在第一活性区上,第二栅电极形成在第二活性区上,第三栅电极形成在第三活性区上。第一栅电极具有第一P功函数金属层、第一覆盖层、第一阻挡金属层和第一导电层。第二栅电极具有第二覆盖层、第二N功函数金属层、第二阻挡金属层和第二导电层。第三栅电极具有第二P功函数金属层、第三覆盖层、第三N功函数金属层和第三阻挡金属层。第三栅电极不具有第一导电层和第二导电层。



1. 一种半导体器件,所述半导体器件包括:
 - 基底,具有存储单元区域和逻辑区域;
 - 第一活性区和第二活性区,位于基底上的存储单元区域中;
 - 第三活性区,位于基底上的逻辑区域中;
 - 绝缘层,位于基底上,所述绝缘层被构造为覆盖第一活性区、第二活性区和第三活性区;
 - 第一栅电极,被构造为覆盖第一活性区的侧表面并且与第一活性区交叉,所述第一栅电极包括,
 - 位于第一活性区中的第一P功函数金属层,
 - 位于第一P功函数金属层上的第一N功函数金属层,
 - 位于第一N功函数金属层上的第一阻挡金属层,以及
 - 位于第一阻挡金属层上的第一导电层,所述第一导电层由与第一阻挡金属层的材料不同的材料形成;
 - 第二栅电极,被构造为覆盖第二活性区的侧表面并且与第二活性区交叉,所述第二栅电极包括,
 - 位于第二活性区中的第二N功函数金属层,
 - 位于第二N功函数金属层上的第二阻挡金属层,以及
 - 位于第二阻挡金属层上的第二导电层,所述第二导电层由与第二阻挡金属层的材料不同的材料形成;以及
 - 第三栅电极,被构造为覆盖第三活性区的侧表面并且与第三活性区交叉,所述第三栅电极包括,
 - 位于第三活性区中的第二P功函数金属层,
 - 位于第二P功函数金属层上的第三N功函数金属层,以及
 - 位于第三N功函数金属层上的第三阻挡金属层。
2. 如权利要求1所述的半导体器件,其中,第一N功函数金属层、第二N功函数金属层和第三N功函数金属层比第一P功函数金属层和第二P功函数金属层厚。
3. 如权利要求1所述的半导体器件,其中,第三栅电极具有比第一栅电极和第二栅电极的宽度小的宽度。
4. 如权利要求1所述的半导体器件,其中,第一P功函数金属层和第二P功函数金属层包括氮化钛TiN。
5. 如权利要求3所述的半导体器件,其中,第三栅电极不具有第一导电层和第二导电层。
6. 一种半导体器件,所述半导体器件包括:
 - 基底,具有存储单元区域和逻辑区域;
 - 第一阱,位于基底上的存储单元区域中;
 - 第二阱,位于基底上的逻辑区域中;
 - 绝缘层,位于基底上,所述绝缘层被构造为覆盖第一阱和第二阱;
 - 第一金属结构,位于第一阱上并被构造为穿过绝缘层,第一金属结构包括多个第一金属层,所述多个第一金属层包括第一功函数金属;以及

第二金属结构,位于第二阱上并被构造为穿过绝缘层,第二金属结构具有与第一金属结构的宽度不同的宽度,第二金属结构包括多个第二金属层,所述多个第二金属层包括所述第一功函数金属。

7. 如权利要求6所述的半导体器件,其中,所述多个第一金属层包括,包括第二功函数金属的第一P功函数金属层,位于第一P功函数金属层上的包括第一功函数金属的第一N功函数金属层,位于第一N功函数金属层上的第一阻挡金属层,以及位于第一阻挡金属层上的第一导电层,所述第一导电层由与第一阻挡金属层的材料不同的材料形成,

其中,所述多个第二金属层包括,包括第二功函数金属的第二P功函数金属层,位于第二P功函数金属层上的包括第一功函数金属的第二N功函数金属层,以及位于第二N功函数金属层上的第二阻挡金属层。

8. 如权利要求7所述的半导体器件,其中,所述多个第二金属层不具有第一导电层。

具有功函数金属的半导体器件

[0001] 本申请是申请日为2016年1月12日,申请号为“201610019041.4”,发明名称为“具有功函数金属的半导体器件”的发明专利申请的分案申请。

技术领域

[0002] 发明构思的示例实施例涉及一种具有功函数金属的半导体器件。

背景技术

[0003] 由于需要高度集成的半导体器件,栅电极的宽度正在逐渐减小。形成在存储单元区域中的半导体器件会需要均匀的电特性,形成在逻辑区域中的半导体器件会需要高电流驱动能力。当在单个半导体芯片中形成用于实现均匀电特性的栅电极和用于实现高电流驱动能力的栅电极时,将面对多种困难。

发明内容

[0004] 发明构思的示例实施例提供了一种在简化工艺的同时具有改善的电特性的半导体器件。

[0005] 发明构思的示例实施例提供了一种在简化工艺的同时具有改善的电特性的形成半导体器件的方法。

[0006] 发明构思的技术目的不限于以上公开;基于下面的描述,对本领域的技术人员而言其它目的可以变得明了。

[0007] 根据发明构思的示例实施例,一种半导体器件包括:基底,具有存储单元区域和逻辑区域;第一活性区和第二活性区,在基底上的存储单元区域中;第三活性区,在基底上的逻辑区域中;绝缘层,在基底上并被构造为覆盖第一活性区、第二活性区和第三活性区;第一栅电极,被构造为穿过绝缘层,覆盖第一活性区的侧表面并且与第一活性区交叉;第二栅电极,被构造为穿过绝缘层,覆盖第二活性区的侧表面并且与第二活性区交叉;第三栅电极,被构造为穿过绝缘层,覆盖第三活性区的侧表面,与第三活性区交叉,具有比第一栅电极和第二栅电极的宽度小的宽度并且不具有第一导电层和第二导电层。第一栅电极包括在第一活性区中的第一P功函数金属层、在第一P功函数金属层上的第一覆盖层、在第一覆盖层上的第一N功函数金属层、在第一N功函数金属层上的第一阻挡金属层以及在第一阻挡金属层上并且具有与第一阻挡金属层的材料不同的材料的第一导电层。第二栅电极包括在第二活性区中的第二覆盖层、在第二覆盖层上的第二N功函数金属层、在第二N功函数金属层上的第二阻挡金属层以及第二阻挡金属层上并且具有与第二阻挡金属层的材料不同的材料的第二导电层。第三栅电极包括在第三活性区中的第二P功函数金属层、在第二P功函数金属层上的第三覆盖层、在第三覆盖层上的第三N功函数金属层以及第三N功函数金属层上的第三阻挡金属层。

[0008] 第一N功函数金属层、第二N功函数金属层和第三N功函数金属层可以比第一P功函数金属层和第二P功函数金属层厚。

- [0009] 第一阻挡金属层、第二阻挡金属层和第三阻挡金属层可以比第一N功函数金属层、第二N功函数金属层和第三N功函数金属层厚。
- [0010] 第一P功函数金属层和第二P功函数金属层可以包括氮化钛(TiN)。
- [0011] 第一覆盖层、第二覆盖层和第三覆盖层可以包括TiN。
- [0012] 第一N功函数金属层、第二N功函数金属层和第三N功函数金属层可以包括铝碳化钛(TiAlC)和铝钛(TiAl)中的一者。
- [0013] 第一阻挡金属层、第二阻挡金属层和第三阻挡金属层可以包括TiN。
- [0014] 第一导电层和第二导电层可以包括钨(W)。
- [0015] 所述半导体器件还可以包括位于第一活性区和第一栅电极之间、第二活性区和第二栅电极之间以及第三活性区和第三栅电极之间的栅极介电层,其中,栅极介电层的上表面与第一栅电极的上表面、第二栅电极的上表面和第三栅电极的上表面位于同一水平处。
- [0016] 第一P功函数金属层、第二覆盖层和第二P功函数金属层可以直接接触栅极介电层。
- [0017] 第二栅电极可以不具有第一P功函数金属层和第二P功函数金属层。
- [0018] 绝缘层的上表面、第一P功函数金属层的上表面、第二P功函数金属层的上表面、第一覆盖层的上表面、第二覆盖层的上表面、第三覆盖层的上表面、第一N功函数金属层的上表面、第二N功函数金属层的上表面、第三N功函数金属层的上表面、第一阻挡金属层的上表面、第二阻挡金属层的上表面、第三阻挡金属层的上表面、第一导电层的上表面和第二导电层的上表面可以位于同一水平处。
- [0019] 所述半导体器件还可以包括:第一源极/漏极,在第一活性区上并且具有邻近于第一栅电极的外侧壁的上部,所述上部的上表面处于比第一栅电极的下表面高的水平;第二源极/漏极,在第二活性区上并且具有邻近于第二栅电极的外侧壁的上部,所述上部的上表面处于比第二栅电极的下表面高的水平;第三源极/漏极,在第三活性区上并且具有邻近于第三栅电极的外侧壁的上部,所述上部的上表面处于比第三栅电极的下表面高的水平,其中,第二源极/漏极的上部的上表面位于与第一源极/漏极的上部的上表面和第三源极/漏极的上部的上表面不同的水平处。
- [0020] 第二源极/漏极的上部的上表面可以位于比第一源极/漏极的上部的上表面和第三源极/漏极的上部的上表面高的水平处。
- [0021] 第一源极/漏极和第三源极/漏极可以包括硅-锗(SiGe)。第二源极/漏极可以包括碳化硅(SiC)、硅(Si)和它们的组合中的一者。
- [0022] 所述半导体器件还可以包括在基底上的逻辑区域中的第四活性区以及被构造为穿过绝缘层、覆盖第四活性区的侧表面并且与第四活性区交叉的第四栅电极,第四栅电极具有比第一栅电极和第二栅电极的宽度小的宽度并且不具有第一导电层和第二导电层。第四栅电极可以包括在第四活性区中的第四覆盖层、在第四覆盖层上的第四N功函数金属层以及在第四N功函数金属层上的第四阻挡金属层。
- [0023] 第一栅电极可以包括围绕第一导电层的侧表面和底表面的第一阻挡金属层、围绕第一阻挡金属层的侧表面和底表面的第一N功函数金属层、围绕第一N功函数金属层的侧表面和底表面的第一覆盖层以及围绕第一覆盖层的侧表面和底表面的第一P功函数金属层。第二栅电极可以包括围绕第二导电层的侧表面和底表面的第二阻挡金属层、围绕第二阻挡

金属层的侧表面和底表面的第二N功函数金属层以及围绕第二N功函数金属层的侧表面和底表面的第二覆盖层。第三栅电极可以包括围绕第三阻挡金属层的侧表面和底表面的第三N功函数金属层、围绕第三N功函数金属层的侧表面和底表面的第三覆盖层以及围绕第三覆盖层的侧表面和底表面的第二P功函数金属层。

[0024] 根据发明构思的示例实施例,一种半导体器件包括:基底,具有存储单元区域和逻辑区域;第一活性区,在基底上的存储单元区域中;第二活性区,在基底上的逻辑区域中;绝缘层,在基底上,所述绝缘层被构造为覆盖第一活性区和第二活性区;第一栅电极,被构造为穿过绝缘层、覆盖第一活性区的侧表面并且与第一活性区交叉;第二栅电极,被构造为穿过绝缘层、覆盖第二活性区的侧表面并且与第二活性区交叉,所述第二栅电极具有比第一栅电极的宽度小的宽度并且不具有第一导电层。所述第一栅电极包括在第一活性区中的第一功函数金属层、在第一功函数金属层上的第一阻挡金属层和在第一阻挡金属层上的导电层,所述导电层具有与第一阻挡金属层的材料不同的材料。所述第二栅电极包括在第二活性区中的第二功函数金属层和在第二功函数金属层上的第二阻挡金属层。

[0025] 根据发明构思的示例实施例,一种半导体器件包括:基底,具有存储单元区域和逻辑区域;第一活性区和第二活性区,在基底上的存储单元区域中;第三活性区和第四活性区,在基底上的逻辑区域中;绝缘层,在基底上,所述绝缘层被构造为覆盖第一活性区至第四活性区;第一栅电极,被构造为穿过绝缘层、覆盖第一活性区的侧表面并且与第一活性区交叉;第二栅电极,被构造为穿过绝缘层、覆盖第二活性区的侧表面并且与第二活性区交叉;第三栅电极,被构造为穿过绝缘层、覆盖第三活性区的侧表面,与第三活性区交叉并且具有比第一栅电极和第二栅电极的宽度小的宽度;第四栅电极,被构造为穿过绝缘层,覆盖第四活性区的侧表面并且与第四活性区交叉,所述第四栅电极具有比第一栅电极和第二栅电极的宽度小的宽度并且不具有第一导电层和第二导电层。第一栅电极包括在第一活性区中的第一P功函数金属层、在第一P功函数金属层上的第一覆盖层、在第一覆盖层上的第一N功函数金属层、在第一N功函数金属层上的第一阻挡金属层以及在第一阻挡金属层上的第一导电层,所述第一导电层具有与第一阻挡金属层的材料不同的材料。第二栅电极包括在第二活性区中的第二覆盖层、在第二覆盖层上的第二N功函数金属层、在第二N功函数金属层上的第二阻挡金属层以及在第二阻挡金属层上的第二导电层,所述第二导电层具有与第二阻挡金属层的材料不同的材料。第三栅电极包括在第三活性区中的第二P功函数金属层、在第二P功函数金属层上的第三覆盖层、在第三覆盖层上的第三N功函数金属层以及在第三N功函数金属层上的第三阻挡金属层。第四栅电极包括:在第四活性区中的第四覆盖层、在第四覆盖层上的第四N功函数金属层、在第四N功函数金属层上的第四阻挡金属层以及在第四阻挡金属层上的第三导电层,所述第三导电层具有与第四阻挡金属层的材料不同的材料。

[0026] 根据发明构思的示例实施例,一种形成半导体器件的方法包括:准备具有存储单元区域和逻辑区域的基底;在基底上的存储单元区域中形成第一活性区和第二活性区;在基底上的逻辑区域中形成第三活性区;在基底上形成绝缘层以覆盖第一活性区、第二活性区和第三活性区;形成第一沟槽、第二沟槽和第三沟槽,第一沟槽被构造为穿过绝缘层并且与第一活性区交叉,第二沟槽被构造为穿过绝缘层并且与第二活性区交叉,第三沟槽被构造为穿过绝缘层并且与第三活性区交叉,所述第三沟槽的水平宽度小于第一沟槽和第二沟

槽的水平宽度;在第一沟槽的底表面和侧表面以及第三沟槽的底表面和侧表面上形成P功函数金属层;在第一沟槽的底表面和侧表面、第二沟槽的底表面和侧表面以及第三沟槽的底表面和侧表面上形成覆盖层,使得P功函数金属层保留在第一活性区和覆盖层之间以及第三活性区和覆盖层之间;在第一沟槽、第二沟槽和第三沟槽中的覆盖层上形成N功函数金属层;在第一沟槽、第二沟槽和第三沟槽中的N功函数金属层上形成阻挡金属层,所述阻挡金属层完全填充第三沟槽;在第一沟槽、第二沟槽和第三沟槽中的阻挡金属层上形成导电层,所述导电层具有与阻挡金属层的材料不同的材料。

[0027] N功函数金属层可以比P功函数金属层厚。

[0028] 阻挡金属层可以比N功函数金属层厚。

[0029] 可以在第一活性区和P功函数金属层之间、第二活性区和覆盖层之间以及第三活性区和P功函数金属层之间形成栅极介电层。

[0030] 覆盖层可以直接接触第二沟槽中的栅极介电层。P功函数金属层可以直接接触第一沟槽和第三沟槽中的栅极介电层。

[0031] 绝缘层的上表面、P功函数金属层的上表面、覆盖层的上表面、N功函数金属层的上表面、阻挡金属层的上表面和导电层的上表面可以位于同一水平处。

[0032] 所述方法还可以包括:在第一活性区上邻近于第一沟槽的外侧壁形成第一源极/漏极,使得第一源极/漏极的上部的上表面处于比P功函数金属层的下表面高的水平;在第二活性区上邻近于第二沟槽的外侧壁形成第二源极/漏极,使得第二源极/漏极的上部的上表面处于比覆盖层的下表面高的水平;在第三活性区上邻近于第三沟槽的外侧壁形成第三源极/漏极,使得第三源极/漏极的上部的上表面处于比P功函数金属层的下表面高的水平,其中,第二源极/漏极的上部的上表面可以位于与第一源极/漏极的上部的上表面和第三源极/漏极的上部的上表面不同的水平处。

[0033] 第二源极/漏极的上部的上表面可以位于比第一源极/漏极的上部的上表面和第三源极/漏极的上部的上表面高的水平处。

[0034] 根据发明构思的示例实施例,一种半导体器件包括:基底,具有存储单元区域和逻辑区域;第一阱,在基底上的存储单元区域中;第二阱,在基底上的逻辑区域中;绝缘层,在基底上并且被构造为覆盖第一阱和第二阱;第一金属结构,在第一阱上并被构造为穿过绝缘层,所述第一金属结构包括多个第一金属层,所述多个第一金属层包括功函数金属;第二金属结构,在第二阱上并被构造为穿过绝缘层,所述第二金属结构具有与第一金属结构的宽度不同的宽度,所述第二金属结构包括多个第二金属层,所述多个第二金属层包括所述功函数金属。

[0035] 第二金属结构的宽度可以小于第一金属结构的宽度。

[0036] 功函数金属可以是氮化钛(TiN)、铝碳化钛(TiAlC)和铝钛(TiAl)中的一者。

[0037] 所述半导体器件还可以包括位于第一阱和第一金属结构之间以及第二阱和第二金属结构之间的栅极介电层,其中,栅极介电层的上表面与第一金属结构的上表面和第二金属结构的上表面可以位于同一水平处。

[0038] 所述半导体器件还可以包括:在第一阱上的第一源极/漏极,所述第一源极/漏极具有邻近于第一金属结构的外侧壁的上部,所述上部的上表面处于比第一金属结构的下表面高的水平;在第二阱上的第二源极/漏极,所述第二源极/漏极具有邻近于第二金属结构

的外侧壁的上部,所述上部的上表面处于比第二金属结构的下表面高的水平,其中,第一源极/漏极和第二源极/漏极可以包括硅-锗(SiGe)。

[0039] 在详细描述和附图中包括其它实施例的细节。

附图说明

[0040] 通过如附图中示出的发明构思的示例实施例的更具体的描述,发明构思的前述及其它特征和优点将是清楚的,在附图中,同样的附图标记在不同的视图中始终指代相同的部件。附图未必按比例绘制,而将重点放在示出发明构思的原理。在附图中:

[0041] 图1是用于描述根据发明构思的示例实施例的半导体器件的剖视图;

[0042] 图2A至图2D是详细示出图1中的(A)部分至(D)部分的局部放大图;

[0043] 图3是用于描述根据发明构思的示例实施例的半导体器件的布局,图1中的(A)部分是沿图3的线I-I'截取的剖视图,图1中的(B)部分是沿图3的线II-II'截取的剖视图,图1中的(C)部分是沿图3的线III-III'截取的剖视图,图1中的(D)部分是沿图3的线IV-IV'截取的剖视图;

[0044] 图4是沿图3的线V-V'和线VI-VI'截取的剖视图;

[0045] 图5是沿图3的线VII-VII'和线VIII-VIII'截取的剖视图;

[0046] 图6是沿图3的线IX-IX'截取的剖视图;

[0047] 图7是沿图3的线X-X'截取的剖视图;

[0048] 图8是沿图3的线XI-XI'截取的剖视图;

[0049] 图9是沿图3的线XII-XII'截取的剖视图;

[0050] 图10至图15是用于描述根据发明构思的示例实施例的半导体器件的剖视图;

[0051] 图16至图27是用于描述根据发明构思的示例实施例的形成半导体器件的方法的沿图3的线I-I'、线II-II'、线III-III'和线IV-IV'截取的剖视图;

[0052] 图28至图29是根据发明构思的示例实施例的电子装置的系统框图。

具体实施方式

[0053] 参照附图和下面将要描述的一些实施例,发明构思的优点和特征及实现它们的方法将是明了的。然而,发明构思可以以各种不同的形式来实现,应被解释为不限于在此阐述的示例实施例,而仅受所附权利要求的限制。确切地说,提供这些实施例使得本公开是彻底的和完整的并把发明构思充分传达给本领域的技术人员。

[0054] 这里使用的术语仅出于描述具体示例实施例的目的,而不意在限制本发明构思。如这里所使用的,除非上下文另外清楚地指出,否则单数形式的“一”、“一个(种/者)”和“该(所述)”也意图包括复数形式。还将理解的是,术语“包括”和/或其变型用在本说明书中时,说明存在陈述的特征、整体、步骤、操作、元件和/或组件,但不排除存在或添加一个或多个其它特征、整体、步骤、操作、元件、组件和/或它们的组。

[0055] 将理解的是,当元件或层被称作“在”另一元件或层“上”、“连接到”或“结合到”另一元件或层时,该元件或层可以直接在另一元件或层上、直接连接到或结合到另一元件或层,或者可以存在中间元件或层。相反,当元件被称作“直接在”另一元件或层“上”、“直接连接到”或“直接结合到”另一元件或层时,不存在中间元件或层。如在此使用的,术语“和/或”

包括一个或多个相关列出项中的任意和全部组合。

[0056] 为了便于描述,这里可使用诸如“在……下面”、“在……下方”、“下面的”、“在……上方”和“上面的”等的空间相对术语来描述如附图中所示的一个元件或特征与其它元件或特征的关系。将理解的是,除附图中描述的方位之外,空间相对术语还意在包含装置在使用或操作中的不同方位。例如,如果附图中的装置被翻转,则描述为“在”其它元件或特征“下方”或“下面”的元件随后将被定位为“在”其它元件或特征“上方”。因此,术语“在……下方”可包括在……上方和在……下方的方位。可以将装置另外定位(旋转90度或在其它方位),并且可以相应地解释在此使用的空间相对描述语。

[0057] 将参照作为理想示例视图的剖视图和/或平面图来描述发明构思的示例实施例。为了有效描述附图中的技术内容,夸大了层和区域的厚度。实施例的形式可能因制造技术和/或公差而修改。因此,发明构思的示例实施例不意在局限于示出的特定形式,而是包括根据制造工艺产生的形式的修改。例如,以直角示出的蚀刻区域可以被倒圆或具有预定的或给定的曲率。因此,附图中所示的区域具有概述性质,这些区域的形状示出装置的区域特定形式并且不意在限制发明构思的范围。

[0058] 同样的标号始终表示同样的元件。因此,即使相同或相似的标号在对应的附图中既没有提到也没有描述,也可以参照其它附图来描述这些相同或相似的标号。另外,可以参照其它附图来描述没有被附图标记指示的元件。

[0059] 在此可以在相对意义上使用诸如“前侧”和“后侧”的术语,以有助于更容易理解发明构思。因此,“前侧”和“后侧”可以不指代任何特定的方向、位置或组件,而是可以可互换地使用。例如,“前侧”可以被解释为“后侧”,反之亦然。另外,“前侧”可以被表述为“第一侧”,而“后侧”可以被表述为“第二侧”,反之亦然。然而,“前侧”和“后侧”在同一示例实施例中不能互换使用。

[0060] 术语“附近”意图指两个或更多个组件之一位于某个其它组件的相对紧邻的范围内。例如,应该理解的是,在第一端在第一侧附近时,第一端会比第二端更靠近第一侧,或者与靠近于第二侧相比第一端会更靠近第一侧。

[0061] 图1是用于描述根据发明构思的示例实施例的半导体器件的剖视图。

[0062] 参照图1中的(A)部分至(D)部分,第一阱11、第二阱12、第三阱13、第四阱14、第一鳍状活性区15、第二鳍状活性区16、第三鳍状活性区17、第四鳍状活性区18、第一源极/漏极21、第二源极/漏极22、第三源极/漏极23、第四源极/漏极24、蚀刻停止层25、下绝缘层26、间隔件29、第一沟槽35、第二沟槽36、第三沟槽37、第四沟槽38、栅极介电层43、第一P功函数金属层45A、第二P功函数金属层45C、第一覆盖层49A、第二覆盖层49B、第三覆盖层49C、第四覆盖层49D、第一N功函数金属层51A、第二N功函数金属层51B、第三N功函数金属层51C、第四N功函数金属层51D、第一阻挡金属层53A、第二阻挡金属层53B、第三阻挡金属层53C、第四阻挡金属层53D、第一导电层55A、第二导电层55B和上绝缘层66可以形成在基底10上。

[0063] 第一P功函数金属层45A、第一覆盖层49A、第一N功函数金属层51A、第一阻挡金属层53A和第一导电层55A可以构成第一栅电极61。第二覆盖层49B、第二N功函数金属层51B、第二阻挡金属层53B和第二导电层55B可以构成第二栅电极62。第二P功函数金属层45C、第三覆盖层49C、第三N功函数金属层51C和第三阻挡金属层53C可以构成第三栅电极63。第四覆盖层49D、第四N功函数金属层51D和第四阻挡金属层53D可以构成第四栅电极64。

[0064] 基底10可以包括存储单元区域和逻辑区域。存储单元区域和逻辑区域中的每个可以包括PMOS区域和NMOS区域。栅极介电层43可以包括下栅极介电层41和上栅极介电层42。

[0065] 第一沟槽35可以具有第一宽度L1。第二沟槽36可以具有第二宽度L2。第三沟槽37可以具有第三宽度L3。第四沟槽38可以具有第四宽度L4。第三宽度L3可以小于第一宽度L1和第二宽度L2。第四宽度L4可以小于第一宽度L1和第二宽度L2。第二宽度L2可以基本上与第一宽度L1相同。第四宽度L4可以基本上与第三宽度L3相同。

[0066] 第一阱11、第一鳍状活性区15、第一源极/漏极21和第一沟槽35可以形成在存储单元区域的PMOS区域中。栅极介电层43和第一栅电极61可以形成在第一沟槽35中。栅极介电层43可以围绕第一栅电极61的侧表面和底部。上栅极介电层42可以直接接触第一P功函数金属层45A的底部和侧表面。第一P功函数金属层45A可以围绕第一覆盖层49A的侧表面和底部。第一覆盖层49A可以围绕第一N功函数金属层51A的侧表面和底部。第一N功函数金属层51A可以围绕第一阻挡金属层53A的侧表面和底部。第一阻挡金属层53A可以围绕第一导电层55A的侧表面和底部。第一导电层55A可以完全填充第一沟槽35。

[0067] 第二阱12、第二鳍状活性区16、第二源极/漏极22和第二沟槽36可以形成在存储单元区域的NMOS区域中。栅极介电层43和第二栅电极62可以形成在第二沟槽36中。栅极介电层43可以围绕第二栅电极62的侧表面和底部。上栅极介电层42可以直接接触第二覆盖层49B的底部和侧表面。第二覆盖层49B可以围绕第二N功函数金属层51B的侧表面和底部。第二N功函数金属层51B可以围绕第二阻挡金属层53B的侧表面和底部。第二阻挡金属层53B可以围绕第二导电层55B的侧表面和底部。第二导电层55B可以完全填充第二沟槽36。

[0068] 第三阱13、第三鳍状活性区17、第三源极/漏极23和第三沟槽37可以形成在逻辑区域的PMOS区域中。栅极介电层43和第三栅电极63可以形成在第三沟槽37中。栅极介电层43可以围绕第三栅电极63的侧表面和底部。上栅极介电层42可以直接接触第二P功函数金属层45C的底部和侧表面。第二P功函数金属层45C可以围绕第三覆盖层49C的侧表面和底部。第三覆盖层49C可以围绕第三N功函数金属层51C的侧表面和底部。第三N功函数金属层51C可以围绕第三阻挡金属层53C的侧表面和底部。第三阻挡金属层53C可以完全填充第三沟槽37。

[0069] 第四阱14、第四鳍状活性区18、第四源极/漏极24和第四沟槽38可以形成在逻辑区域的NMOS区域中。栅极介电层43和第四栅电极64可以形成在第四沟槽38中。栅极介电层43可以围绕第四栅电极64的侧表面和底部。上栅极介电层42可以直接接触第四覆盖层49D的底部和侧表面。第四覆盖层49D可以围绕第四N功函数金属层51D的侧表面和底部。第四N功函数金属层51D可以围绕第四阻挡金属层53D的侧表面和底部。第四阻挡金属层53D可以完全填充第四沟槽38。

[0070] 下绝缘层26、蚀刻停止层25、间隔件29、上栅极介电层42、第一P功函数金属层45A、第一覆盖层49A、第一N功函数金属层51A、第一阻挡金属层53A、第一导电层55A、第二覆盖层49B、第二N功函数金属层51B、第二阻挡金属层53B、第二导电层55B、第二P功函数金属层45C、第三覆盖层49C、第三N功函数金属层51C、第三阻挡金属层53C、第四覆盖层49D、第四N功函数金属层51D和第四阻挡金属层53D的上端可以形成为基本具有同一平面。

[0071] 第一P功函数金属层45A和第二P功函数金属层45C可以包括利用同一薄膜形成工艺同时形成的相同材料。第一覆盖层49A、第二覆盖层49B、第三覆盖层49C和第四覆盖层49D

可以包括利用同一薄膜形成工艺同时形成的相同材料。第一N功函数金属层51A、第二N功函数金属层51B、第三N功函数金属层51C和第四N功函数金属层51D可以包括利用同一薄膜形成工艺同时形成的相同材料。第一阻挡金属层53A、第二阻挡金属层53B、第三阻挡金属层53C和第四阻挡金属层53D可以包括利用同一薄膜形成工艺同时形成的相同材料。第一导电层55A和第二导电层55B可以包括利用同一薄膜形成工艺同时形成的相同材料。在第三沟槽37和第四沟槽38中不存在第一导电层55A和第二导电层55B。

[0072] 第一源极/漏极21可以形成在第一鳍状活性区15中。第一源极/漏极21可以在第一栅电极61外部对齐。第一源极/漏极21的上端可以突出到比第一栅电极61的下表面的相邻部分高的水平。第二源极/漏极22可以形成在第二鳍状活性区16中。第二源极/漏极22可以在第二栅电极62外部对齐。第二源极/漏极22的上端可以突出到比第二栅电极62的下表面的相邻部分高的水平。第二源极/漏极22的上端可以形成在比第一源极/漏极21的上端高的水平处。

[0073] 第三源极/漏极23可以形成在第三鳍状活性区17中。第三源极/漏极23可以在第三栅电极63外部对齐。第三源极/漏极23的上端可以突出到比第三栅电极63的下表面的相邻部分高的水平。第四源极/漏极24可以形成在第四鳍状活性区18中。第四源极/漏极24可以在第四栅电极64外部对齐。第四源极/漏极24的上端可以突出到比第四栅电极64的下表面的相邻部分高的水平。第四源极/漏极24的上端可以形成在比第三源极/漏极23的上端高的水平处。

[0074] 图2A至图2D是详细示出图1中的(A)部分至(D)部分的局部放大图。

[0075] 参照图2A至图2D,第一P功函数金属层45A和第二P功函数金属层45C中的每个可以具有第一厚度d1。第一覆盖层49A、第二覆盖层49B、第三覆盖层49C和第四覆盖层49D中的每个可以具有第二厚度d2。第一N功函数金属层51A、第二N功函数金属层51B、第三N功函数金属层51C和第四N功函数金属层51D中的每个可以具有第三厚度d3。第三厚度d3可以大于第一厚度d1。第三厚度d3可以大于第二厚度d2。第一阻挡金属层53A和第二阻挡金属层53B中的每个可以具有第四厚度d4。第四厚度d4可以大于第三厚度d3。

[0076] 图3是用于描述根据发明构思的示例实施例的半导体器件的布局。图1中的(A)部分是沿图3的线I-I'截取的剖视图,图1中的(B)部分是沿图3的线II-II'截取的剖视图,图1中的(C)部分是沿图3的线III-III'截取的剖视图,图1中的(D)部分是沿图3的线IV-IV'截取的剖视图。

[0077] 参照图3,基底10可以包括存储单元区域和逻辑区域。存储单元区域和逻辑区域中的每个可以包括PMOS区域和NMOS区域。

[0078] 第一阱11可以形成在基底10上的存储单元区域的PMOS区域中。第一鳍状活性区15可以形成在第一阱11上。第一鳍状活性区15可以彼此平行。第一沟槽35可以与第一鳍状活性区15交叉。第一沟槽35可以彼此平行。第一栅电极61可以形成在第一沟槽35中。第一栅电极61可以彼此平行。第一栅电极61可以与第一鳍状活性区15交叉。

[0079] 第二阱12可以形成在基底10上的存储单元区域的NMOS区域中。第二鳍状活性区16可以形成在第二阱12上。第二鳍状活性区16可以彼此平行。第二沟槽36可以与第二鳍状活性区16交叉。第二沟槽36可以彼此平行。第二栅电极62可以形成在第二沟槽36中。第二栅电极62可以彼此平行。第二栅电极62可以与第二鳍状活性区16交叉。

[0080] 第三阱13可以形成在基底10上的逻辑区域的PMOS区域中。第三鳍状活性区17可以形成在第三阱13上。第三鳍状活性区17可以彼此平行。第三沟槽37可以与第三鳍状活性区17交叉。第三沟槽37可以彼此平行。第三栅电极63可以形成在第三沟槽37中。第三栅电极63可以彼此平行。第三栅电极63可以与第三鳍状活性区17交叉。

[0081] 第四阱14可以形成在基底10上的逻辑区域的NMOS区域中。第四鳍状活性区18可以形成在第四阱14上。第四鳍状活性区18可以彼此平行。第四沟槽38可以与第四鳍状活性区18交叉。第四沟槽38可以彼此平行。第四栅电极64可以形成在第四沟槽38中。第四栅电极64可以彼此平行。第四栅电极64可以与第四鳍状活性区18交叉。

[0082] 图4是沿图3的线V-V'和线VI-VI'截取的剖视图,图5是沿图3的线VII-VII'和线VIII-VIII'截取的剖视图。

[0083] 参照图3、图4和图5,每个第一鳍状活性区15可以具有大于宽度的高度。第一鳍状活性区15的上端可以倒圆地形成。隔离层19可以形成在第一鳍状活性区15之间和第一鳍状活性区15的侧表面上。隔离层19的上端可以形成在比第一鳍状活性区15的上端低的水平处。第一栅电极61可以覆盖第一鳍状活性区15的上部和侧表面并在隔离层19上延伸。第一栅电极61可以在第一鳍状活性区15之间延伸。第一栅电极61的下端可以形成在比第一鳍状活性区15的上端低的水平处。隔离层19可以包括氧化硅、氮化硅、氮氧化硅或它们的组合。

[0084] 每个第二鳍状活性区16可以具有大于宽度的高度。第二鳍状活性区16的上端可以倒圆地形成。隔离层19可以形成在第二鳍状活性区16之间和第二鳍状活性区16的侧表面上。隔离层19的上端可以形成在比第二鳍状活性区16的上端低的水平处。第二栅电极62可以覆盖第二鳍状活性区16的上部和侧表面并在隔离层19上延伸。第二栅电极62可以在第二鳍状活性区16之间延伸。第二栅电极62的下端可以形成在比第二鳍状活性区16的上端低的水平处。

[0085] 每个第三鳍状活性区17可以具有大于宽度的高度。第三鳍状活性区17的上端可以倒圆地形成。隔离层19可以形成在第三鳍状活性区17之间和第三鳍状活性区17的侧表面上。隔离层19的上端可以形成在比第三鳍状活性区17的上端低的水平处。第三栅电极63可以覆盖第三鳍状活性区17的上部和侧表面并在隔离层19上延伸。第三栅电极63可以在第三鳍状活性区17之间延伸。第三栅电极63的下端可以形成在比第三鳍状活性区17的上端低的水平处。

[0086] 每个第四鳍状活性区18可以具有大于宽度的高度。第四鳍状活性区18的上端可以倒圆地形成。隔离层19可以形成在第四鳍状活性区18之间和第四鳍状活性区18的侧表面上。隔离层19的上端可以形成在比第四鳍状活性区18的上端低的水平处。第四栅电极64可以覆盖第四鳍状活性区18的上部和侧表面并在隔离层19上延伸。第四栅电极64可以在第四鳍状活性区18之间延伸。第四栅电极64的下端可以形成在比第四鳍状活性区18的上端低的水平处。

[0087] 图6是沿图3的线IX-IX'截取的剖视图。

[0088] 参照图3和图6,第一鳍状活性区15可以在第一阱11上由隔离层19限定。第一栅电极61可以与第一鳍状活性区15交叉并在隔离层19上延伸。第一源极/漏极21可以在第一栅电极61之间形成在第一鳍状活性区15上。第一源极/漏极21的底部可以形成在比第一鳍状活性区15的上端低的水平处。第一源极/漏极21的上端可以形成在比第一鳍状活性区15的

上端高的水平处。

[0089] 图7是沿图3的线X-X'截取的剖视图。

[0090] 参照图3和图7,第二鳍状活性区16可以在第二阱12上由隔离层19限定。第二栅电极62可以与第二鳍状活性区16交叉并在隔离层19上延伸。第二源极/漏极22可以在第二栅电极62之间形成在第二鳍状活性区16上。第二源极/漏极22的底部可以形成在比第二鳍状活性区16的上端低的水平处。第二源极/漏极22的上端可以形成在比第二鳍状活性区16的上端高的水平处。

[0091] 图8是沿图3的线XI-XI'截取的剖视图。

[0092] 参照图3和图8,第三鳍状活性区17可以在第三阱13上由隔离层19限定。第三栅电极63可以与第三鳍状活性区17交叉并在隔离层19上延伸。第三源极/漏极23可以在第三栅电极63之间形成在第三鳍状活性区17上。第三源极/漏极23的底部可以形成在比第三鳍状活性区17的上端低的水平处。第三源极/漏极23的上端可以形成在比第三鳍状活性区17的上端高的水平处。

[0093] 图9是沿图3的线XII-XII'截取的剖视图。

[0094] 参照图3和图9,第四鳍状活性区18可以在第四阱14上由隔离层19限定。第四栅电极64可以与第四鳍状活性区18交叉并在隔离层19上延伸。第四源极/漏极24可以在第四栅电极64之间形成在第四鳍状活性区18上。第四源极/漏极24的底部可以形成在比第四鳍状活性区18的上端低的水平处。第四源极/漏极24的上端可以形成在比第四鳍状活性区18的上端高的水平处。

[0095] 图10至图15是用于描述根据发明构思的示例实施例的半导体器件的剖视图。

[0096] 参照图10,第一源极/漏极21的侧表面可以具有倾斜的轮廓。蚀刻停止层25可以覆盖第一源极/漏极21和隔离层19。

[0097] 参照图11,第二源极/漏极22的侧表面可以具有倾斜的轮廓。蚀刻停止层25可以覆盖第二源极/漏极22和隔离层19。

[0098] 参照图12,第三源极/漏极23的侧表面可以具有倾斜的轮廓。蚀刻停止层25可以覆盖第三源极/漏极23和隔离层19。

[0099] 参照图13,第四源极/漏极24的侧表面可以具有倾斜的轮廓。蚀刻停止层25可以覆盖第四源极/漏极24和隔离层19。

[0100] 参照图14,第四栅电极64B可以包括第四覆盖层49D、第四N功函数金属层51D、第四阻挡金属层53D和第三导电层55D。第四阻挡金属层53D可以围绕第三导电层55D的侧表面和底部。第三导电层55D可以完全填充第四沟槽38。第三导电层55D可以包括与第一导电层55A和第二导电层55B利用同一薄膜形成工艺同时形成的相同材料。

[0101] 参照图15,第一栅电极61A可以包括第一P功函数金属层45A、第一阻挡金属层53A和第一导电层55A。第二栅电极62A可以包括第二N功函数金属层51B、第二阻挡金属层53B和第二导电层55B。第三栅电极63A可以包括第二P功函数金属层45C和第三阻挡金属层53C。第四栅电极64A可以包括第四N功函数金属层51D和第四阻挡金属层53D。第一P功函数金属层45A、第二N功函数金属层51B、第二P功函数金属层45C和第四N功函数金属层51D可以直接接触栅极介电层43。

[0102] 图16至图27是用于描述根据发明构思的示例实施例的形成半导体器件的方法的

沿图3的线I-I'、线II-II'、线III-III'和线IV-IV'截取的剖视图。

[0103] 参照图3和图16,可以在基底10上形成:第一阱11、第二阱12、第三阱13、第四阱14、第一鳍状活性区15、第二鳍状活性区16、第三鳍状活性区17、第四鳍状活性区18、第一源极/漏极21、第二源极/漏极22、第三源极/漏极23、第四源极/漏极24、蚀刻停止层25、下绝缘层26、间隔件29、缓冲层31、第一牺牲图案32A、第二牺牲图案32B、第三牺牲图案32C和第四牺牲图案32。基底10可以包括存储单元区域和逻辑区域。存储单元区域和逻辑区域中的每个可以包括PMOS区域和NMOS区域。

[0104] 基底10可以是半导体基底,例如,硅晶片或绝缘体上硅(SOI)晶片。例如,基底10可以是具有P型杂质的单晶硅晶片。第一阱11可以形成在基底10上的存储单元区域的PMOS区域中。例如,第一阱11可以包括具有N型杂质的单晶硅。第二阱12可以形成在基底10上的存储单元区域的NMOS区域中。例如,第二阱12可以包括具有P型杂质的单晶硅。第三阱13可以形成在基底10上的逻辑区域的PMOS区域中。例如,第三阱13可以包括具有N型杂质的单晶硅。第四阱14可以形成在基底10上的逻辑区域的NMOS区域中。例如,第四阱14可以包括具有P型杂质的单晶硅。在发明构思的示例实施例中,可以省略第二阱12和第四阱14。

[0105] 第一鳍状活性区15可以形成在第一阱11上。第一鳍状活性区15可以形成在存储单元区域的PMOS区域中。第一鳍状活性区15可以彼此平行。第一鳍状活性区15可以包括与第一阱11相同的材料。例如,第一鳍状活性区15可以包括具有N型杂质的单晶硅。第二鳍状活性区16可以形成在第二阱12上。第二鳍状活性区16可以形成在存储单元区域的NMOS区域中。第二鳍状活性区16可以彼此平行。第二鳍状活性区16可以包括与第二阱12相同的材料。例如,第二鳍状活性区16可以包括具有P型杂质的单晶硅。

[0106] 第三鳍状活性区17可以形成在第三阱13上。第三鳍状活性区17可以彼此平行。第三鳍状活性区17可以形成在逻辑区域的PMOS区域中。第三鳍状活性区17可以包括与第三阱13相同的材料。例如,第三鳍状活性区17可以包括具有N型杂质的单晶硅。第四鳍状活性区18可以形成在第四阱14上。第四鳍状活性区18可以形成在逻辑区域的NMOS区域中。第四鳍状活性区18可以彼此平行。第四鳍状活性区18可以包括与第四阱14相同的材料。例如,第四鳍状活性区18可以包括具有P型杂质的单晶硅。

[0107] 每个第一牺牲图案32A可以与第一鳍状活性区15交叉。每个第二牺牲图案32B可以与第二鳍状活性区16交叉。每个第三牺牲图案32C可以与第三鳍状活性区17交叉。每个第四牺牲图案32D可以与第四鳍状活性区18交叉。缓冲层31可以形成在第一牺牲图案32A和第一鳍状活性区15之间、第二牺牲图案32B和第二鳍状活性区16之间、第三牺牲图案32C和第三鳍状活性区17之间以及第四牺牲图案32D和第四鳍状活性区18之间。间隔件29可以形成在第一牺牲图案32A、第二牺牲图案32B、第三牺牲图案32C和第四牺牲图案32D的侧表面上。

[0108] 间隔件29和缓冲层31可以包括相对于第一鳍状活性区15、第二鳍状活性区16、第三鳍状活性区17和第四鳍状活性区18具有蚀刻选择性的材料。第一牺牲图案32A、第二牺牲图案32B、第三牺牲图案32C和第四牺牲图案32D可以包括相对于间隔件29具有蚀刻选择性的材料。例如,缓冲层31可以包括氧化硅。第一牺牲图案32A、第二牺牲图案32B、第三牺牲图案32C和第四牺牲图案32D可以包括多晶硅。间隔件29可以包括氮化硅。

[0109] 第一源极/漏极21可以形成在第一鳍状活性区15中。第一源极/漏极21可以在第一牺牲图案32A的外侧对齐。第一源极/漏极21的上端可以突出到比第一鳍状活性区15的上端

高的水平。第二源极/漏极22可以形成在第二鳍状活性区16中。第二源极/漏极22可以在第二牺牲图案32B的外侧对齐。第二源极/漏极22的上端可以突出到比第二鳍状活性区16的上端高的水平。第二源极/漏极22的上端可以形成在比第一源极/漏极21的上端高的水平处。

[0110] 第三源极/漏极23可以形成在第三鳍状活性区17中。第三源极/漏极23可以在第三牺牲图案32C的外侧对齐。第三源极/漏极23的上端可以突出到比第三鳍状活性区17的上端高的水平。第四源极/漏极24可以形成在第四鳍状活性区18中。第四源极/漏极24可以在第四牺牲图案32D的外侧对齐。第四源极/漏极24的上端可以突出到比第四鳍状活性区18的上端高的水平。第四源极/漏极24的上端可以形成在比第三源极/漏极23的上端高的水平处。

[0111] 第一源极/漏极21、第二源极/漏极22、第三源极/漏极23和第四源极/漏极24可以包括晶体生长材料。例如,第一源极/漏极21和第三源极/漏极23可以包括通过选择性外延生长(SEG)法形成的SiGe、Si或它们的组合。第一源极/漏极21和第三源极/漏极23可以包括P型杂质。第二源极/漏极22和第四源极/漏极24可以包括通过SEG法形成的SiC、Si或它们的组合。第二源极/漏极22和第四源极/漏极24可以包括N型杂质。

[0112] 蚀刻停止层25可以覆盖第一源极/漏极21、第二源极/漏极22、第三源极/漏极23和第四源极/漏极24。蚀刻停止层25可以覆盖间隔件29的侧表面。下绝缘层26可以覆盖蚀刻停止层25。蚀刻停止层25可以包括相对于下绝缘层26具有蚀刻选择性的材料。例如,下绝缘层26可以包括氧化硅,蚀刻停止层25可以包括氮化硅。

[0113] 下绝缘层26、蚀刻停止层25、间隔件29、第一牺牲图案32A、第二牺牲图案32B、第三牺牲图案32C和第四牺牲图案32D的上端可以基本暴露在同一平面上。

[0114] 在发明构思的示例实施例中,可以省略缓冲层31。在发明构思的示例实施例中,第一牺牲图案32A、第二牺牲图案32B、第三牺牲图案32C和第四牺牲图案32D可以包括多个不同的材料层。第一牺牲图案32A、第二牺牲图案32B、第三牺牲图案32C和第四牺牲图案32D可以均包括TiN层和形成在TiN层上的非晶硅层。

[0115] 参照图3和图17,可以通过去除第一牺牲图案32A、第二牺牲图案32B、第三牺牲图案32C、第四牺牲图案32D和缓冲层31来形成第一沟槽35、第二沟槽36、第三沟槽37和第四沟槽38。每个第一沟槽35可以具有第一宽度L1。每个第二沟槽36可以具有第二宽度L2。每个第三沟槽37可以具有第三宽度L3。每个第四沟槽38可以具有第四宽度L4。第三宽度L3可以小于第一宽度L1和第二宽度L2。第四宽度L4可以小于第一宽度L1和第二宽度L2。第二宽度L2可以基本上与第一宽度L1相同。第四宽度L4可以基本上与第三宽度L3相同。

[0116] 可以在第一沟槽35中暴露第一鳍状活性区15和间隔件29。可以在第二沟槽36中暴露第二鳍状活性区16和间隔件29。可以在第三沟槽37中暴露第三鳍状活性区17和间隔件29。可以在第四沟槽38中暴露第四鳍状活性区18和间隔件29。每个第一沟槽35可以与第一鳍状活性区15交叉。每个第二沟槽36可以与第二鳍状活性区16交叉。每个第三沟槽37可以与第三鳍状活性区17交叉。每个第四沟槽38可以与第四鳍状活性区18交叉。

[0117] 参照图3和图18,可以形成栅极介电层43。栅极介电层43可以包括下栅极介电层41和上栅极介电层42。下栅极介电层41可以包括由清洁工艺形成的化学氧化物。下栅极介电层41可以包括由H₂O₂和Si的反应形成的氧化硅。下栅极介电层41可以被称为界面氧化物。上栅极介电层42可以包括高k电介质。上栅极介电层42可以包括HfO、HfSiO或它们的组合。

[0118] 下栅极介电层41可以直接接触第一鳍状活性区15、第二鳍状活性区16、第三鳍状

活性区17和第四鳍状活性区18。上栅极介电层42可以形成在下栅极介电层41上。上栅极介电层42可以共形地覆盖第一沟槽35、第二沟槽36、第三沟槽37和第四沟槽38的内壁。上栅极介电层42可以覆盖下绝缘层26和蚀刻停止层25。

[0119] 在发明构思的示例实施例中,可以在形成第一牺牲图案32A、第二牺牲图案32B、第三牺牲图案32C、第四牺牲图案32D和缓冲层31之前形成栅极介电层43。下绝缘层26、蚀刻停止层25、间隔件29和栅极介电层43的上端可以基本暴露在同一平面上。

[0120] 在发明构思的示例实施例中,栅极介电层43可以在上栅极介电层42与下栅极介电层41之间或者在下栅极介电层41与第一鳍状活性区15、第二鳍状活性区16、第三鳍状活性区17和第四鳍状活性区18之间包括不同的层。例如,栅极介电层43可以在上栅极介电层42与下栅极介电层41之间或者在下栅极介电层41与第一鳍状活性区15、第二鳍状活性区16、第三鳍状活性区17和第四鳍状活性区18之间包括LaO层。

[0121] 参照图3和图19,可以形成P功函数金属层45。P功函数金属层45可以具有第一厚度 d_1 。P功函数金属层45可以直接接触栅极介电层43。P功函数金属层45可以共形地覆盖第一沟槽35、第二沟槽36、第三沟槽37和第四沟槽38的内壁。例如,P功函数金属层45可以包括厚度在1nm至2nm的范围内的TiN层。栅极介电层43可以接触P功函数金属层45的侧表面和底部。

[0122] 参照图3和图20,可以形成第一掩模图案47和第二掩模图案48。第二掩模图案48可以覆盖第一掩模图案47。例如,第二掩模图案48可以包括光致抗蚀剂,第一掩模图案47可以包括底部抗反射涂覆(BARC)层。

[0123] 可以由第一掩模图案47和第二掩模图案48覆盖存储单元区域的PMOS区域和逻辑区域的PMOS区域,并且可以暴露存储单元区域的NMOS区域和逻辑区域的NMOS区域。可以暴露形成在存储单元区域的NMOS区域和逻辑区域的NMOS区域中的P功函数金属层45。可以暴露形成在第二沟槽36和第四沟槽38中的P功函数金属层45。

[0124] 参照图3和图21,可以去除NMOS区域中的P功函数金属层45。栅极介电层43可以暴露在第二沟槽36和第四沟槽38中。P功函数金属层45可以保留在第一沟槽35和第三沟槽37中。

[0125] 参照图3和图22,可以去除第一掩模图案47和第二掩模图案48。P功函数金属层45可以暴露在第一沟槽35和第三沟槽37中。

[0126] 参照图3和图23,可以形成覆盖层49。覆盖层49可以具有第二厚度 d_2 。例如,覆盖层49可以包括厚度在1nm至2nm的范围内的TiN层。覆盖层49可以共形地覆盖第一沟槽35、第二沟槽36、第三沟槽37和第四沟槽38的内壁。覆盖层49可以直接接触包括在第一沟槽35和第三沟槽37中的P功函数金属层45。覆盖层49可以直接接触包括在第二沟槽36和第四沟槽38中的栅极介电层43。

[0127] 参照图3和图24,可以在覆盖层49上形成N功函数金属层51。N功函数金属层51可以具有第三厚度 d_3 。第三厚度 d_3 可以大于第一厚度 d_1 。第三厚度 d_3 可以大于第二厚度 d_2 。N功函数金属层51可以包括TiAlC、TiAl或它们的组合。例如,N功函数金属层51可以包括厚度在3nm至5nm的范围内的TiAlC层。

[0128] N功函数金属层51可以共形地覆盖第一沟槽35、第二沟槽36、第三沟槽37和第四沟槽38的内壁。N功函数金属层51可以直接接触覆盖层49。

[0129] 参照图3和图25,可以在N功函数金属层51上形成阻挡金属层53。阻挡金属层53可以具有第四厚度d4。第四厚度d4可以大于第三厚度d3。例如,阻挡金属层53可以包括厚度在5nm至7nm的范围内的TiN层。阻挡金属层53可以直接接触N功函数金属层51。阻挡金属层53可以共形地覆盖第一沟槽35和第二沟槽36的内壁。阻挡金属层53可以完全填充第三沟槽37和第四沟槽38的内部。

[0130] 参照图3和图26,可以在阻挡金属层53上形成导电层55。导电层55可以包括W、Al或者它们的组合。导电层55可以完全填充第一沟槽35和第二沟槽36的内部。

[0131] 参照图3和图27,可以通过将导电层55、阻挡金属层53,N功函数金属层51、覆盖层49和P功函数金属层45平坦化来形成第一P功函数金属层45A、第二P功函数金属层45C、第一覆盖层49A、第二覆盖层49B、第三覆盖层49C、第四覆盖层49D、第一N功函数金属层51A、第二N功函数金属层51B、第三N功函数金属层51C、第四N功函数金属层51D、第一阻挡金属层53A、第二阻挡金属层53B、第三阻挡金属层53C、第四阻挡金属层53D、第一导电层55A和第二导电层55B。栅极介电层43可以保留在第一沟槽35、第二沟槽36、第三沟槽37和第四沟槽38内。

[0132] 第一P功函数金属层45A、第一覆盖层49A、第一N功函数金属层51A、第一阻挡金属层53A和第一导电层55A可以构成第一栅电极61。第二覆盖层49B、第二N功函数金属层51B、第二阻挡金属层53B和第二导电层55B可以构成第二栅电极62。第二P功函数金属层45C、第三覆盖层49C、第三N功函数金属层51C和第三阻挡金属层53C可以构成第三栅电极63。第四覆盖层49D、第四N功函数金属层51D和第四阻挡金属层53D可以构成第四栅电极64。

[0133] 下绝缘层26、蚀刻停止层25、间隔件29、栅极介电层43、第一栅电极61、第二栅电极62、第三栅电极63和第四栅电极64的上端可以基本暴露在同一平面上。

[0134] 图28和图29是根据发明构思的示例实施例的电子装置的系统框图。

[0135] 参照图28,可以将与参照图1至图27描述的半导体器件类似的半导体器件应用于电子系统2100。电子系统2100可以包括主体2110、微处理器2120、电源2130、功能单元2140和显示控制器2150。主体2110可以是由印刷电路板(PCB)形成的母板。微处理器2120、电源2130、功能单元2140和显示控制器2150可以安装在主体2110上。显示器2160可以设置在主体2110内部或主体2110外部。例如,显示器2160可以设置在主体2110的表面上,进而可以显示被显示控制器2150处理的图像。

[0136] 电源2130可以从外部电源接收恒定电压,将电压分为各种电压电平并且将这些电压提供给微处理器2120、功能单元2140和/或显示控制器2150。微处理器2120可以从电源2130接收电压以控制功能单元2140和显示器2160。功能单元2140可以执行电子系统2100的各种功能。例如,当电子系统2100是智能电话时,功能单元2140可以包括执行移动电话功能(例如,拨号、将图像输出到显示器2160或通过外部设备2170通信而将声音输出到扬声器)的各种组件,当包括相机时,功能单元2140可以用作相机图像处理器。

[0137] 在发明构思的示例实施例中,当将电子系统2100连接到存储卡以扩展其容量时,功能单元2140可以是存储卡控制器。功能单元2140可以通过有线或无线通信单元2180与外部设备2170交换信号。此外,当电子系统2100需要通用串行总线(USB)以扩展其功能时,功能单元2140可以用作接口控制器。此外,功能单元2140可以包括大容量存储装置。

[0138] 可以将与参照图1至图27描述的半导体器件类似的半导体器件应用于功能单元2140或微处理器2120。

[0139] 参照图29,电子系统2400可以包括根据发明构思的各种示例实施例的半导体器件中的至少一种。可以将电子系统2400应用于移动装置或计算机。例如,电子系统2400可以包括存储系统2412、微处理器2414、RAM 2416、总线2420和用户接口2418。微处理器2414、存储系统2412和用户接口2418可以通过总线2420彼此连接。用户接口2418可以用于向电子系统2400输入数据或从电子系统2400输出数据。微处理器2414可以编程并控制电子系统2400。RAM 2416可以用作微处理器2414的操作内存。微处理器2414、RAM 2416和/或其它组件可以组装在单个封装件内。存储系统2412可以存储微处理器2414的操作代码、由微处理器2414处理的数据或从外部接收的数据。存储系统2412可以包括控制器和存储器。

[0140] 可以将与参照图1至图27描述的半导体器件类似的半导体器件应用于微处理器2414、RAM 2416或存储系统2412。

[0141] 根据发明构思的示例实施例,在存储单元区域中形成具有相对大的宽度的第一沟槽和第二沟槽,在逻辑区域中形成具有相对小的宽度的第三沟槽和第四沟槽。在第一沟槽和第二沟槽中将第一栅电极和第二栅电极形成为具有顺序堆叠的功函数金属层、阻挡层和导电层。在第三沟槽和第四沟槽中将第三栅电极和第四栅电极形成为具有顺序堆叠的功函数金属层和阻挡层。第一栅电极和第二栅电极能够有利于实现晶体管的均匀电特性。第三栅电极和第四栅电极能够有利于实现晶体管的高电流驱动能力。在简化工艺的同时,可以实现具有改善的电特性的半导体器件。

[0142] 虽然已经参照附图描述了一些示例实施例,但是本领域技术人员将容易理解的是,在不脱离发明构思的范围并且不改变必要的特征的情况下,在示例实施例中允许许多修改。因此,应仅以描述性的意义而非出于限制的目的来考虑上述示例实施例。

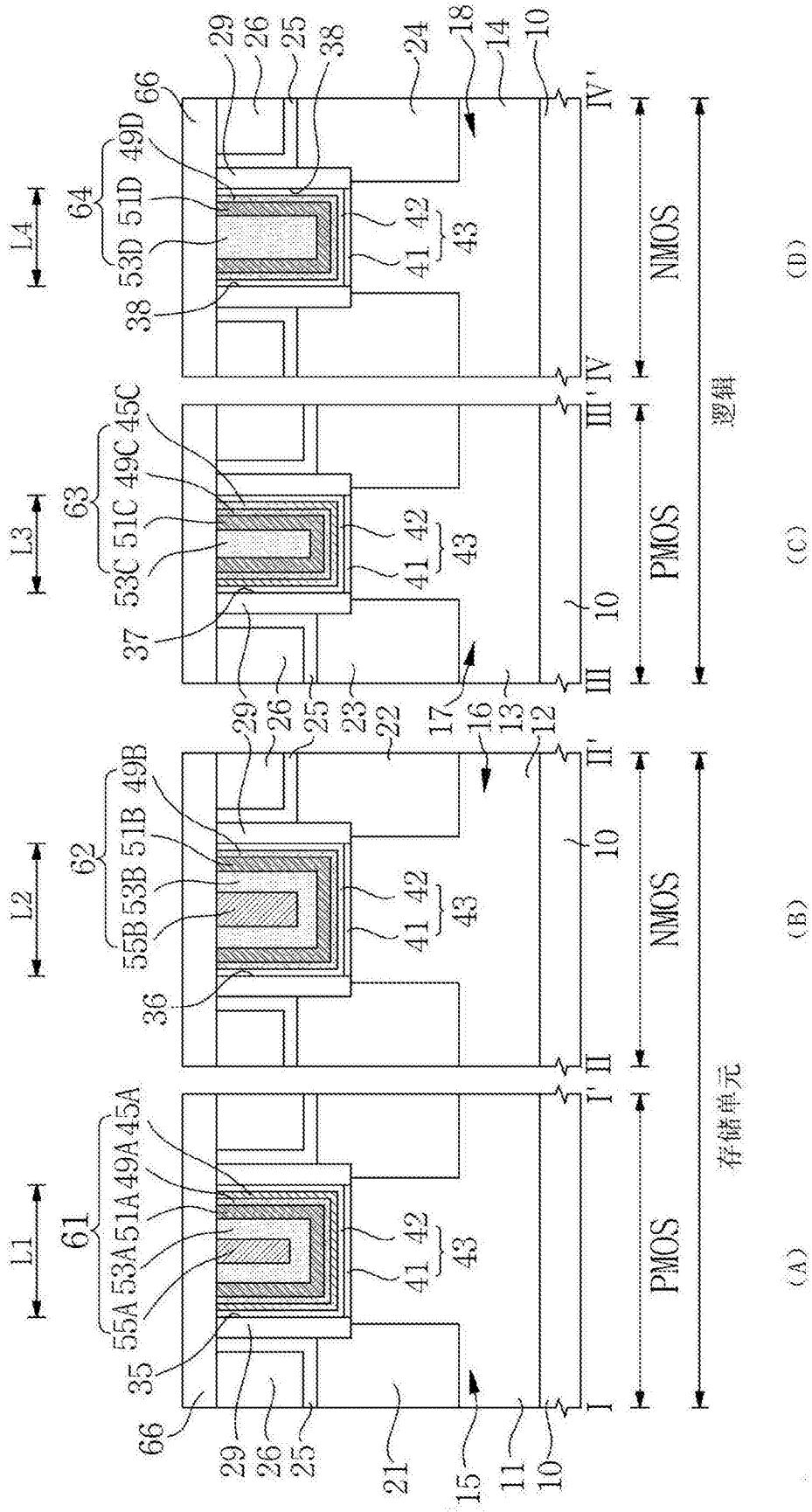


图1

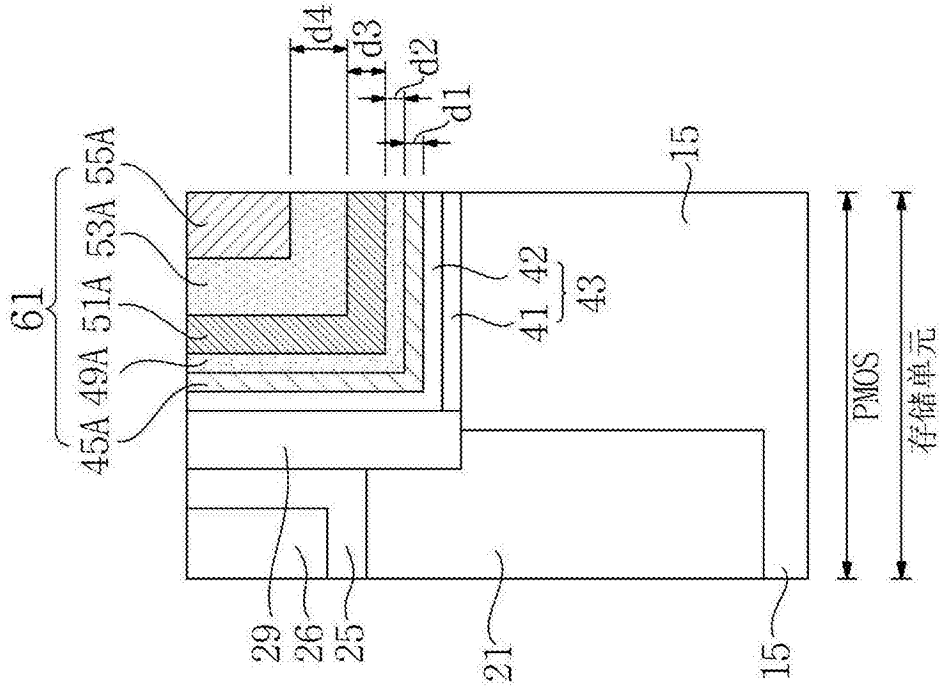


图2A

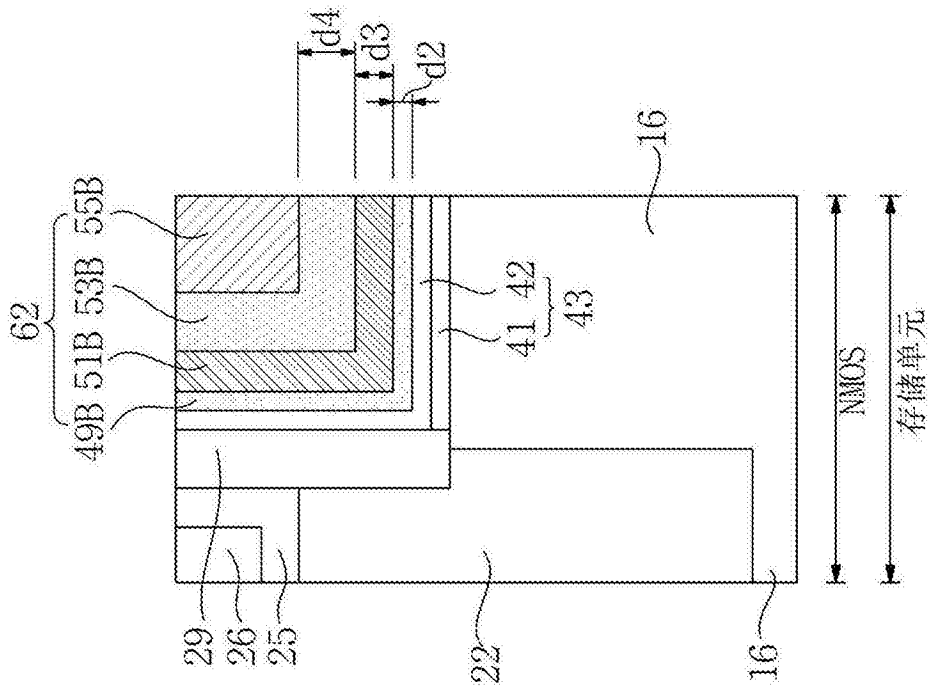


图2B

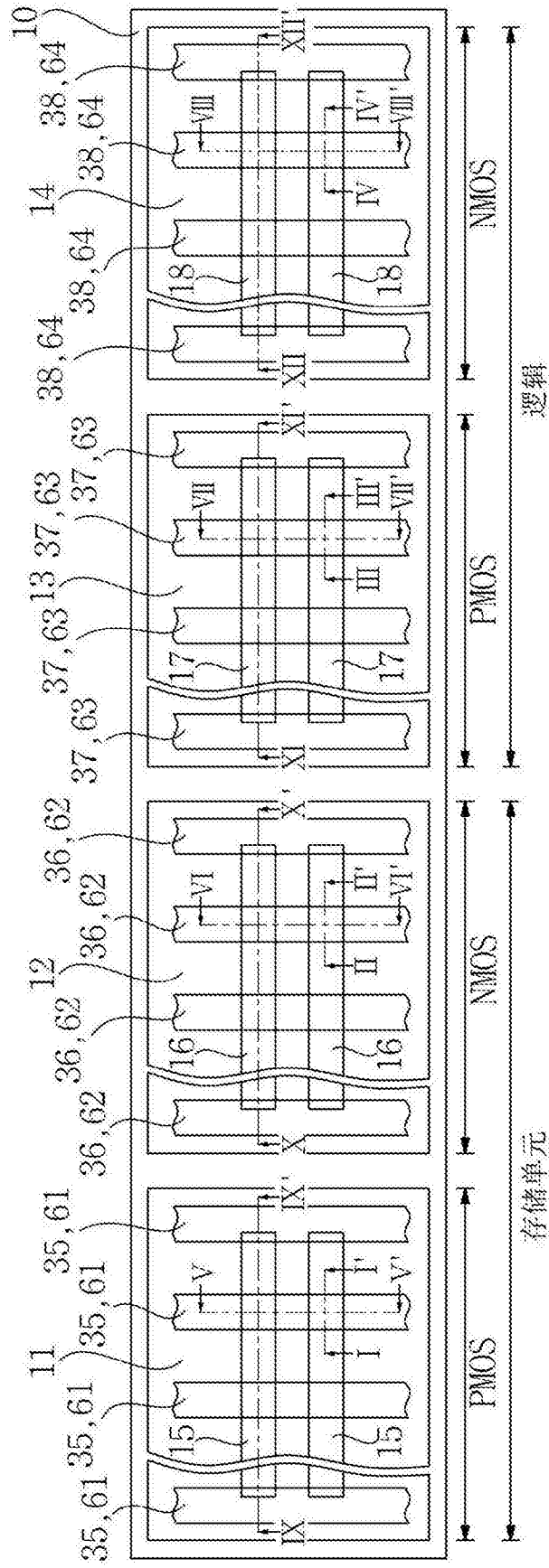


图3

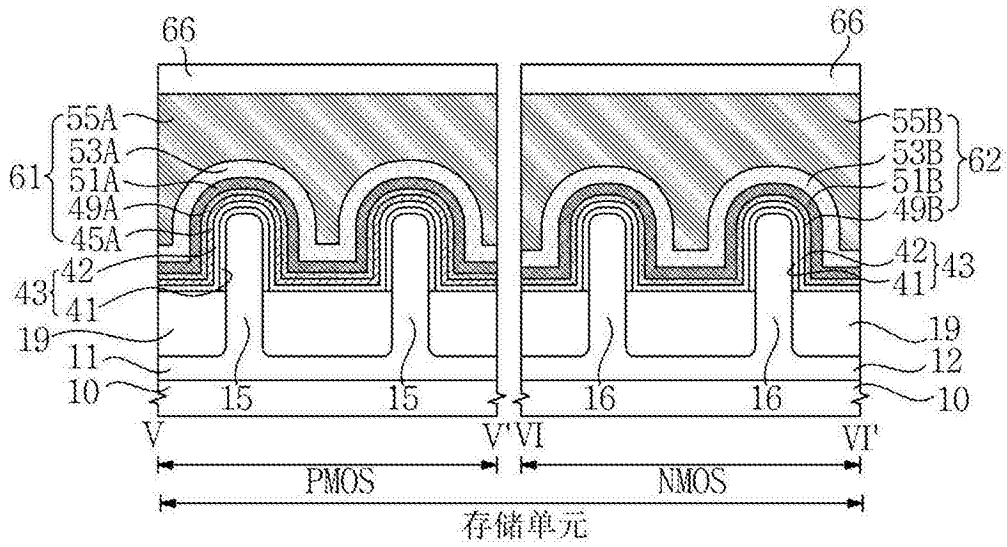


图4

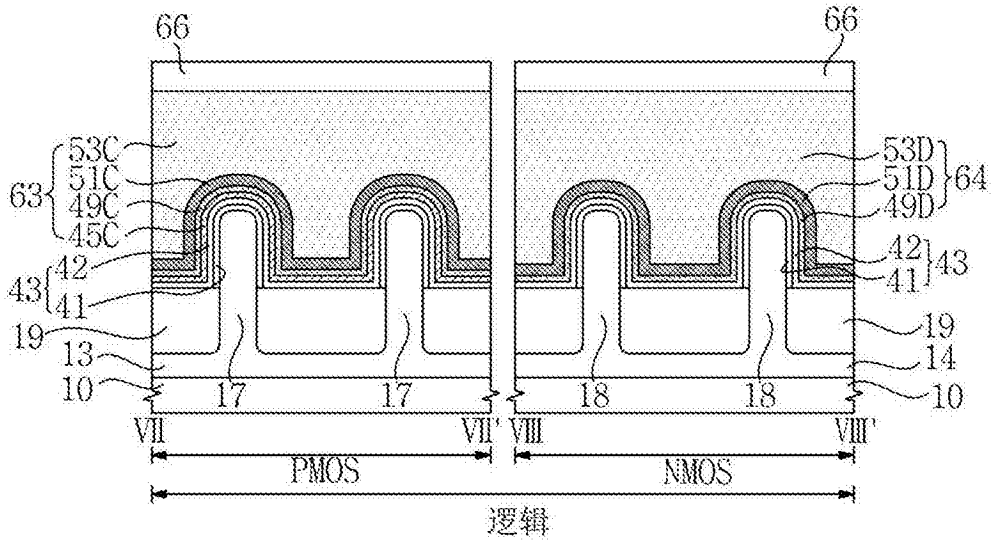


图5

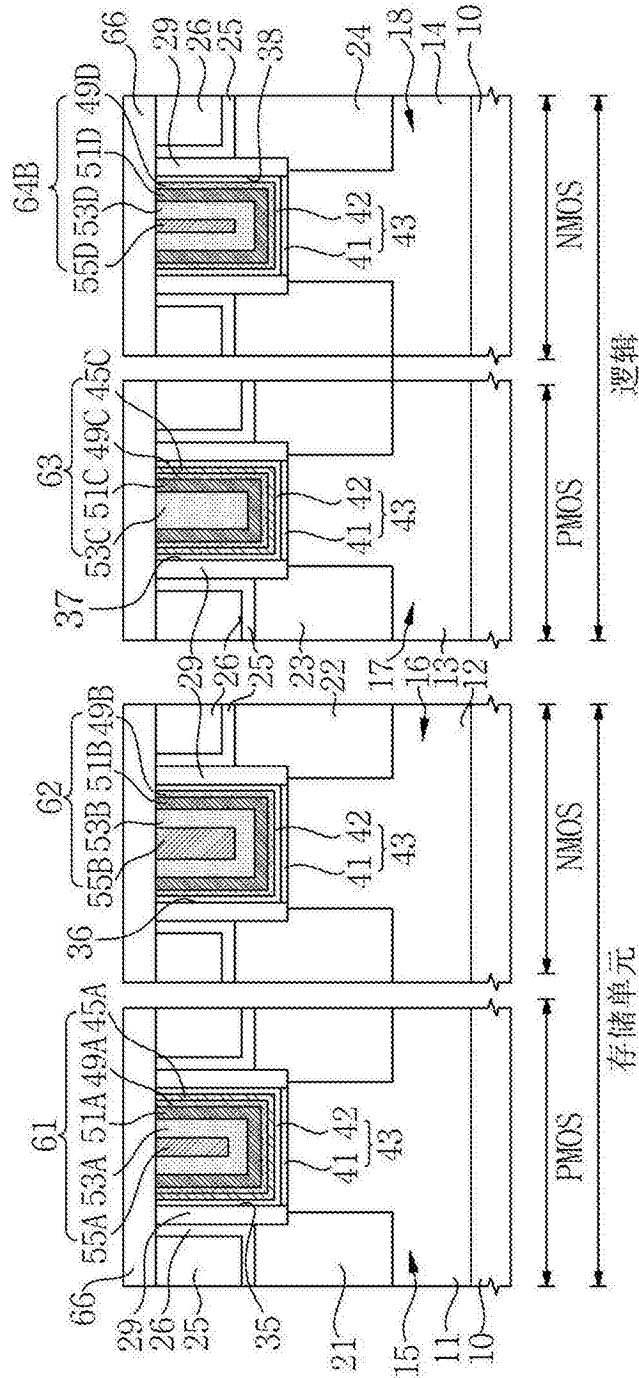


图14

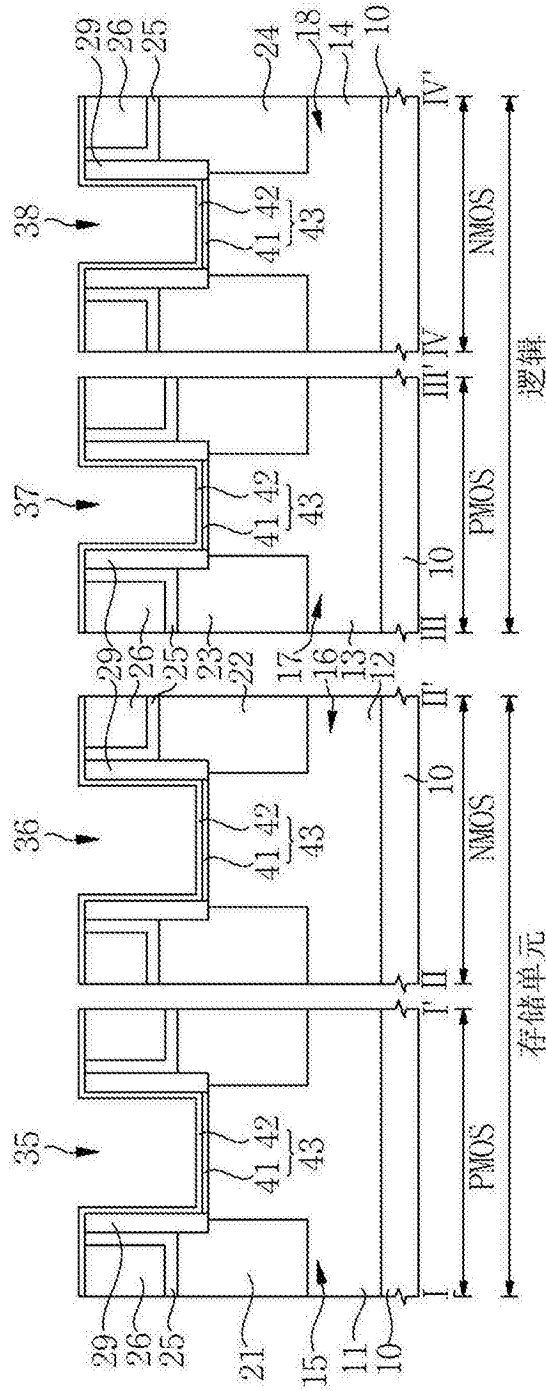


图18

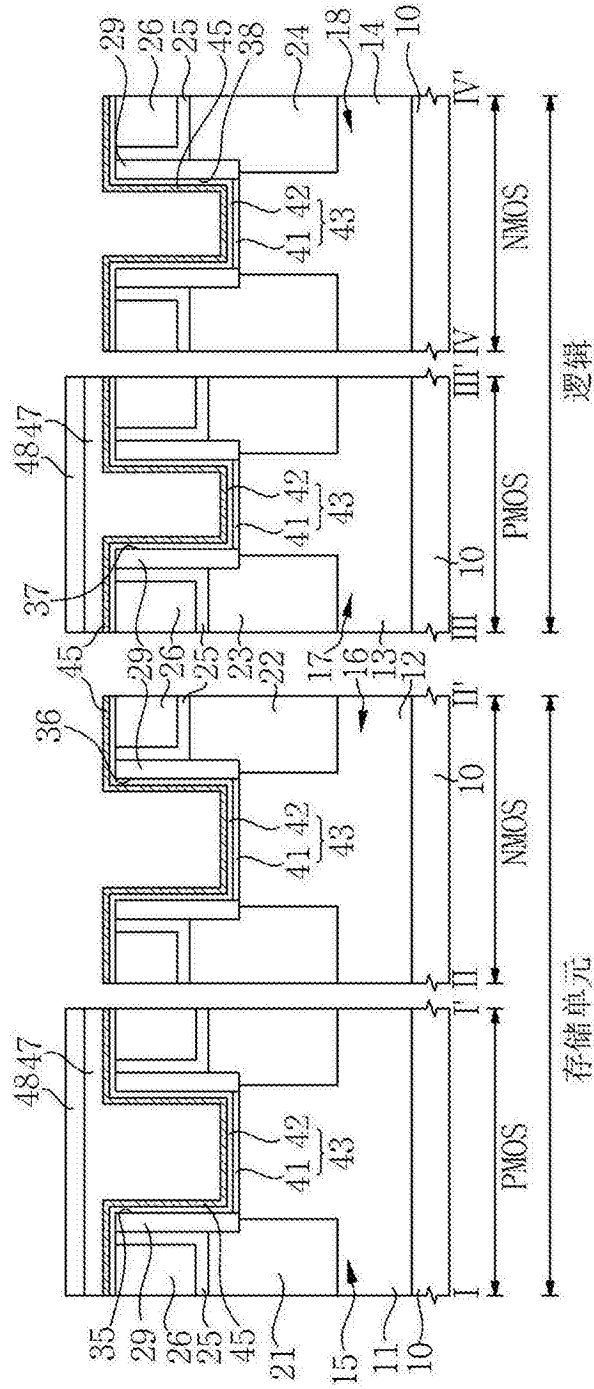


图20

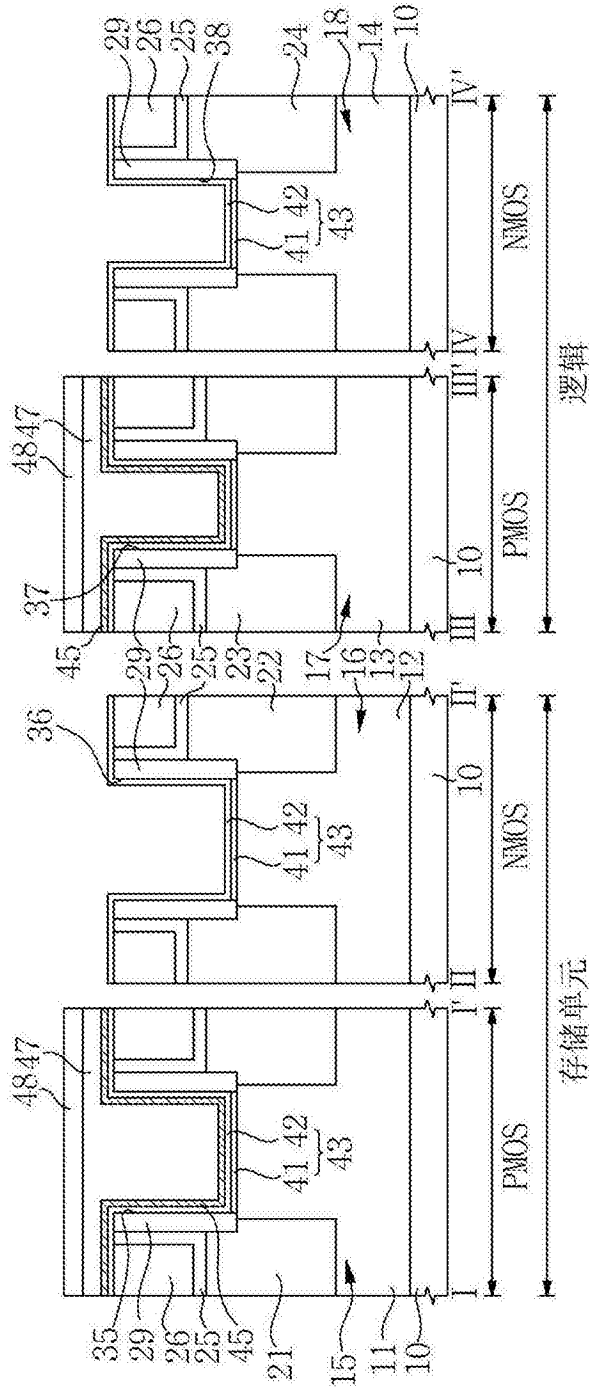


图21

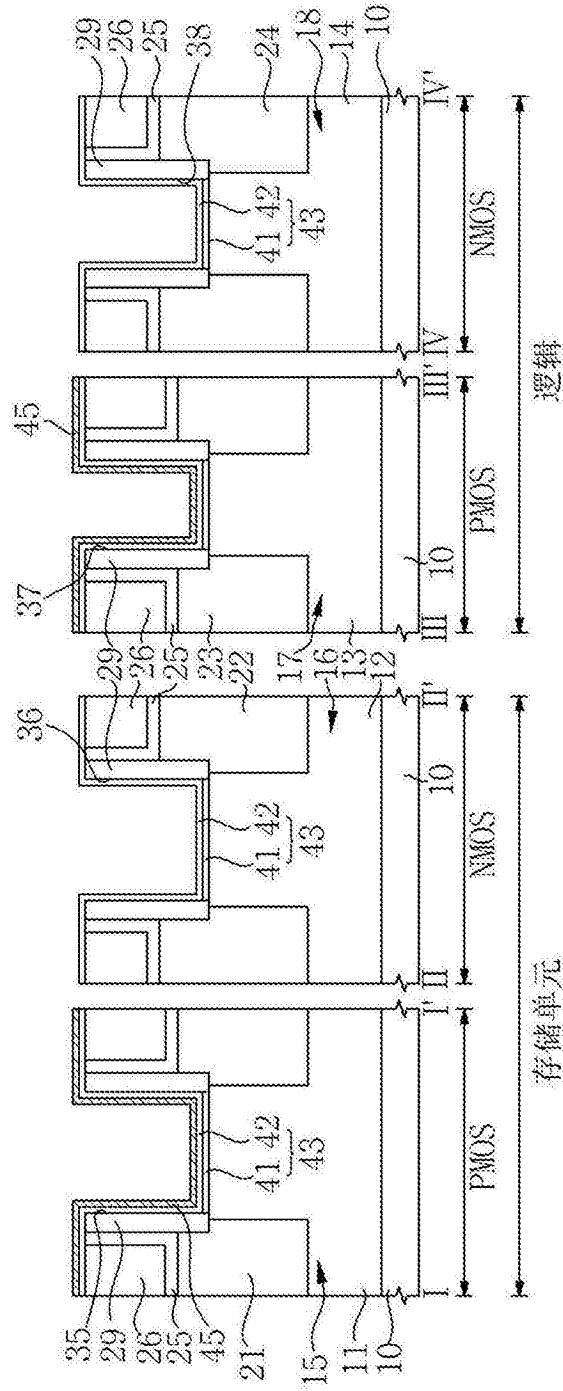


图22

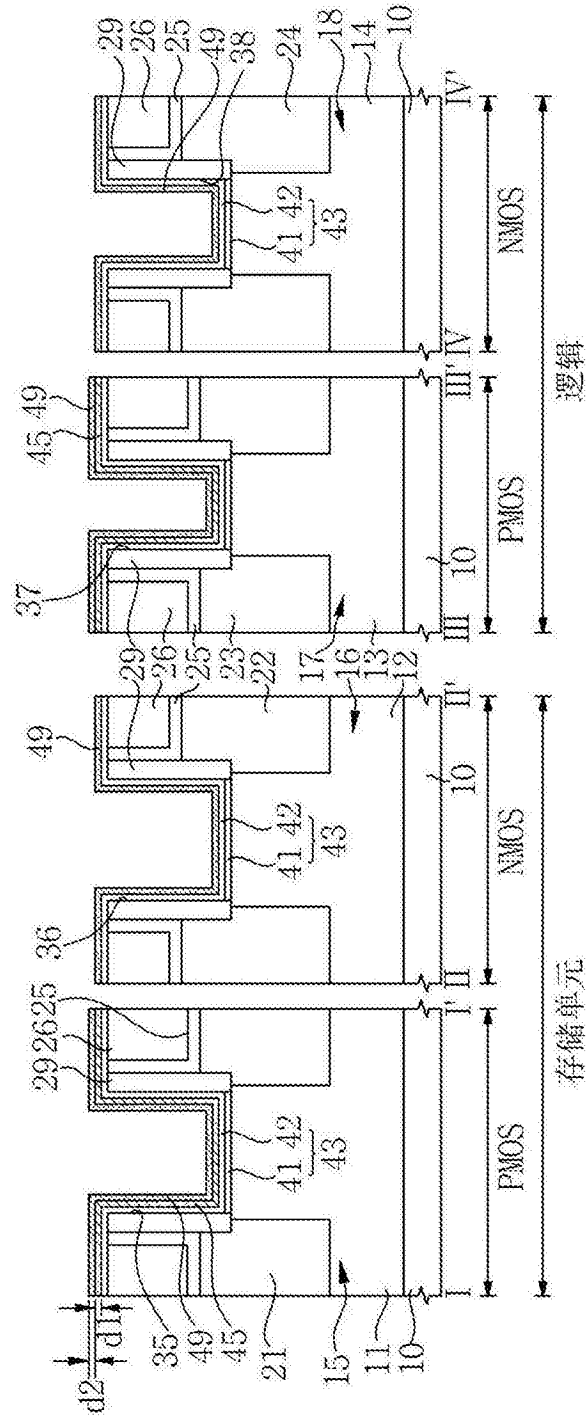


图23

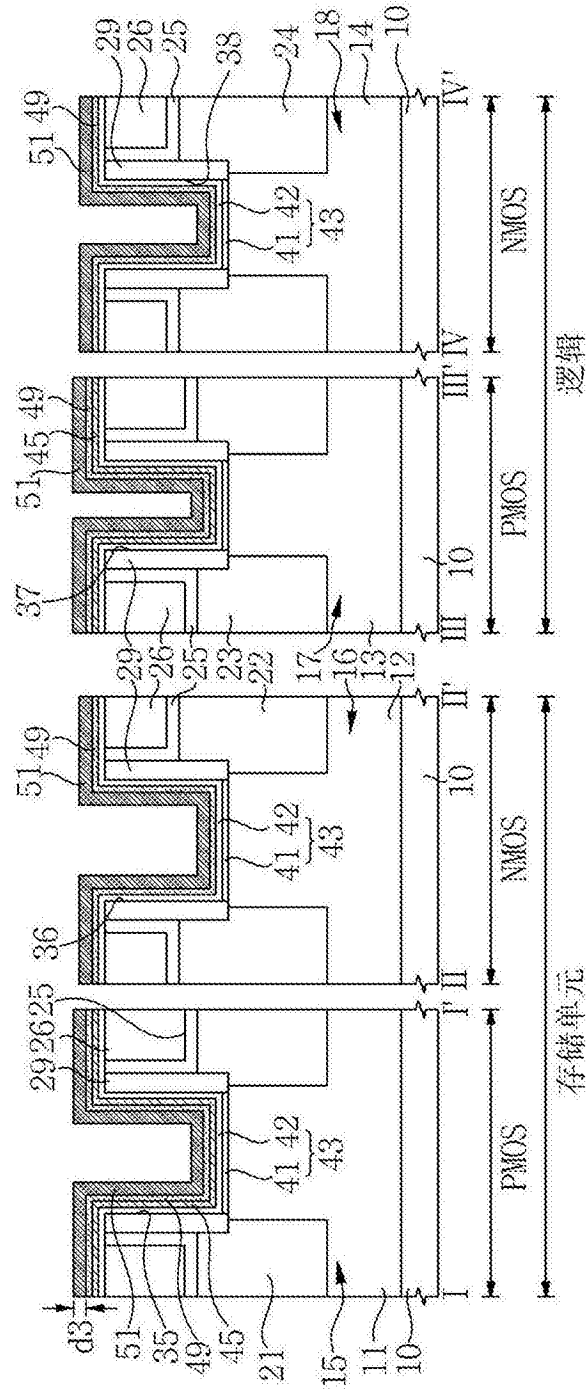


图24

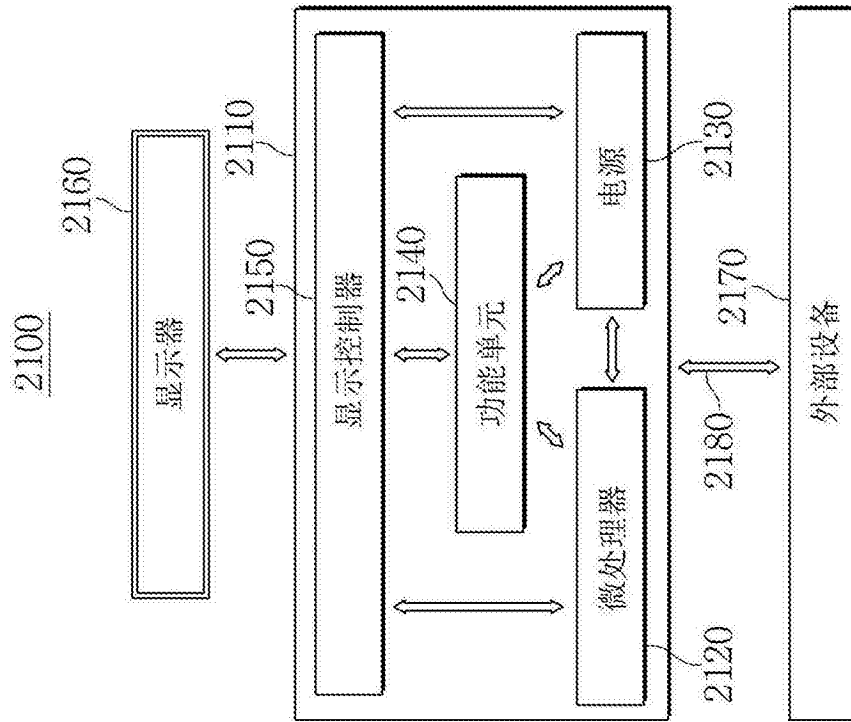


图28

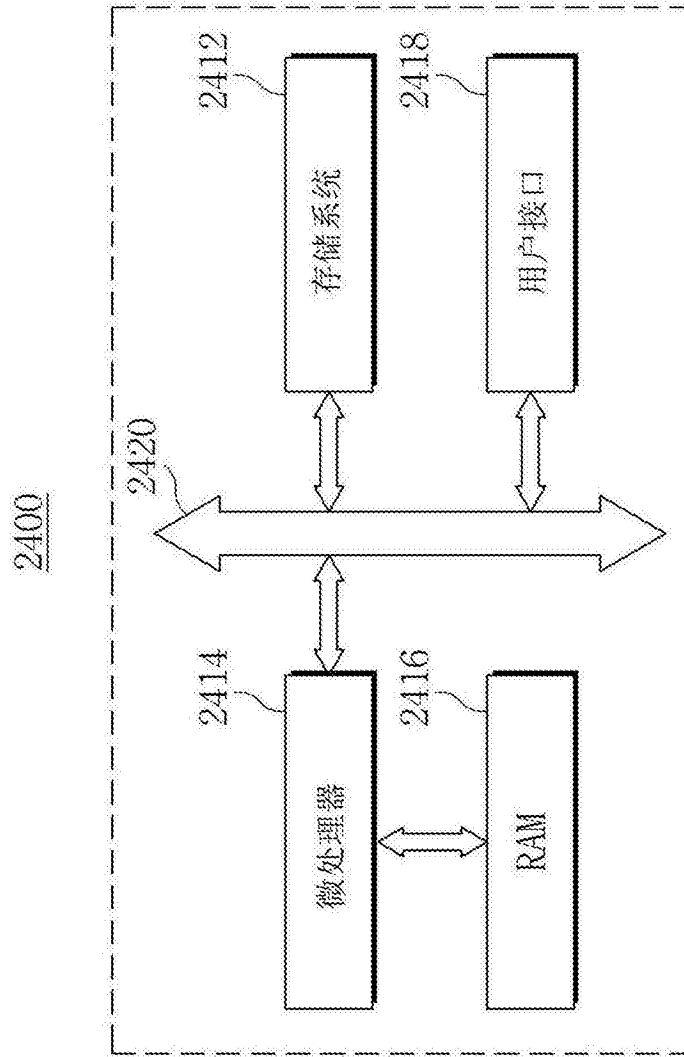


图29