



(12)发明专利申请

(10)申请公布号 CN 106656116 A

(43)申请公布日 2017. 05. 10

(21)申请号 201611226731.3

(22)申请日 2016.12.27

(71)申请人 上海交通大学

地址 200240 上海市闵行区东川路800号

(72)发明人 莫宁基 蒋剑飞 王琴 关宁
绳伟光 景乃锋 何卫锋 贺光辉
毛志刚

(74)专利代理机构 上海伯瑞杰知识产权代理有
限公司 31227

代理人 李庆

(51) Int. Cl.

H03K 5/13(2014.01)

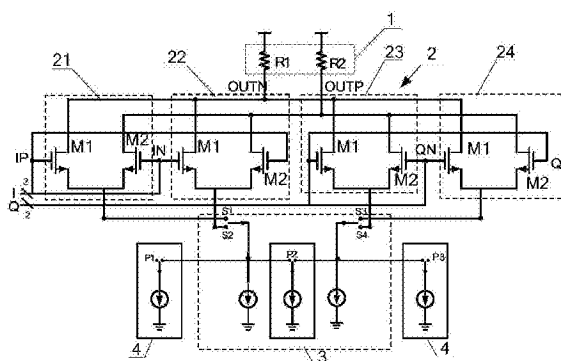
权利要求书2页 说明书7页 附图4页

(54)发明名称

高线性度的相位插值器

(57)摘要

本发明提供一种高线性度的相位插值器,包括:一负载电路,所述负载电路连接一等电位端;一差分对组,所述差分对组连接所述负载电路、一第一信号输入端、一第二信号输入端、一第三信号输入端和一第四信号输入端;一主电流源偏置阵列,所述主电流源偏置阵列连接所述差分对组、一象限控制信号输入端、一第一相位控制信号输入端和一第一偏置电压输入端;和两副电流源偏置阵列,两副电流源偏置阵列分别连接所述主电流源偏置阵列、一第二相位控制信号输入端和一第二偏置电压输入端。本发明的一种高线性度的相位插值器,可以获得高线性度的相位输出。



1. 一种高线性度的相位插值器,其特征在于,包括:

一负载电路,所述负载电路连接一等电位端;

一差分对组,所述差分对组连接所述负载电路、一第一信号输入端、一第二信号输入端、一第三信号输入端和一第四信号输入端;

一主电流源偏置阵列,所述主电流源偏置阵列连接所述差分对组、一象限控制信号输入端、一第一相位控制信号输入端和一第一偏置电压输入端;和

两副电流源偏置阵列,两副电流源偏置阵列分别连接所述主电流源偏置阵列、一第二相位控制信号输入端和一第二偏置电压输入端。

2. 根据权利要求1所述的高线性度的相位插值器,其特征在于,所述差分对组包括四个差分对,每一所述差分对包括一第一MOS管和一第二MOS管:所述第一MOS管的漏极连接所述差分对组的一第一输出端,各所述第二MOS管的漏极连接所述差分对组的一第二输出端;

一第一所述差分对的第一MOS管和一第二所述差分对的第二MOS管的栅极连接所述第一信号输入端;所述第一差分对的第二MOS管和所述第二差分对的第一MOS管的栅极连接所述第二信号输入端;

一第三所述差分对的第一MOS管和一第四所述差分对的第二MOS管的栅极连接所述第三信号输入端;所述第三差分对的第二MOS管和所述第四差分对的第一MOS管的栅极连接所述第四信号输入端;

所述第一差分对的所述第一MOS管和所述第二MOS管的源极连接所述主电流源偏置阵列的一第一连接端;所述第二差分对的所述第一MOS管和所述第二MOS管的源极连接所述主电流源偏置阵列的一第二连接端;所述第三差分对的所述第一MOS管和所述第二MOS管的源极连接所述主电流源偏置阵列的一第三连接端;所述第四差分对的所述第一MOS管和所述第二MOS管的源极连接所述主电流源偏置阵列的一第四连接端。

3. 根据权利要求2所述的高线性度的相位插值器,其特征在于,所述主电流源偏置阵列包括:

一第一开关管,所述第一开关管的漏极连接所述主电流源偏置阵列的第一连接端;

一第二开关管,所述第二开关管的源极连接所述主电流源偏置阵列的第二连接端;

一第三开关管,所述第三开关管的漏极连接所述主电流源偏置阵列的第三连接端;

一第四开关管,所述第四开关管的源极连接所述主电流源偏置阵列的第四连接端;

所述第一开关管、所述第二开关管、所述第三开关管和所述第四开关管的栅极连接所述象限控制信号输入端;

多个开关对,每一所述开关对包括一第三MOS管和一第四MOS管,所述第三MOS管和所述第四MOS管的栅极连接所述第一相位控制信号输入端;所述第四MOS管的源极连接所述第一开关管的源极和所述第二开关管的漏极;所述第三MOS管的漏极连接所述第三开关管的源极和所述第四开关管的漏极;

一第一电流源管,所述第一电流源管的漏极连接各所述第三MOS管的漏极,所述第一电流源管的栅极连接所述第一偏置电压输入端,所述第一电流源管的源极接地;

多个第二电流源管,每一所述开关对的所述第三MOS管的源极和所述第四MOS管的栅极一一对应地连接一所述第二电流源管的漏极;所述第二电流源管的栅极连接所述第一偏置电压输入端;所述第二电流源管的源极接地;和

一第三电流源管,所述第三电流源管的漏极连接各所述第四MOS管的源极,所述第三电流源管的栅极连接所述第一偏置电压输入端,所述第三电流源管的源极接地。

4.根据权利要求3所述的高线性度的相位插值器,其特征在于,所述副电流源偏置阵列包括:

多个第五MOS管,所述第五MOS管的栅极连接所述第二相位控制信号输入端;和

多个第四电流源管,每一所述第五MOS管的源极一一对应地连接一所述第四电流源管的漏极,所述第四电流源管的栅极连接所述第二偏置电压输入端;所述第四电流源管的源极接地;

一第一所述副电流源偏置阵列的所述第五MOS管的漏极连接所述第一开关管的源极和所述第二开关管的漏极;一第二所述副电流源偏置阵列的所述第五MOS管的漏极连接所述第三开关管的源极和所述第四开关管的漏极。

5.根据权利要求1~4任一项所述的高线性度的相位插值器,其特征在于,所述负载电路包括:一第一电阻和一第二电阻,所述第一电阻连接于所述等电位端与所述差分对组的第一输出端之间,所述第二电阻连接于所述等电位端与所述差分对组的第二输出端之间。

高线性度的相位插值器

技术领域

[0001] 本发明涉及相位插值器领域,尤其涉及一种高线性度的相位插值器。

背景技术

[0002] CDR(时钟数据恢复电路)是serders(串行器和解串器)接收端关键的部分,通常有两种结构,一类是基于锁相环PLL的CDR,其中还包含VCO模块(压控振荡器),电路需要消耗更大的芯片面积和功耗;另一类是基于DLL(延迟锁相环)的CDR,但DLL中的VCDL(压控延迟线)的电压控制相位的调节范围有限,存在最大和最小值,而serders的TX和RX(发送端和接收端)通常存在一定的频率不匹配,导致RX端的采样时钟和TX端的时钟的相位差随着时间而逐渐变大,所以RX需要一个相位在360度的范围内可调的时钟。而相位插值器就可以弥补DLL在相位调节方面的不足,可以使时钟产生360度范围的调节。

[0003] 通常,根据相位插值器中相位控制电路的设计,可以将相位插值器分为数字相位插值器和模拟相位插值器两种。其中数字相位插值器的数字控制电路较为复杂,且工作频率较低,相位的步长较大,但其面积小,功耗低;而模拟相位插值器的功耗相对较高,且电路输出效果受PVT(功率/电压/温度)影响较大。

[0004] 请参阅图1,一种典型的数字相位插值器,其包含四个差分对、十七个电流源和一个由多个MOS管组成的一组选择开关,其中两个固定电流源的大小为半个单位电流,分别连接到两组差分对通路中,另外十五组电流源为单位电流源,通过MOS管的开和端来控制电流源的连接位置。

[0005] 第一差分对的第一晶体管和第二差分对的第二晶体管的栅极输入共同连接到输入信号IP,第一差分对的第二晶体管和第二差分对的第一晶体管的栅极输入共同连接到输入信号IN,第三差分对的第一晶体管和第四差分对的第二晶体管的栅极输入共同连接到输入信号QP,第三差分对的第一晶体管和第四差分对的第二晶体管的栅极输入共同连接到输入信号QN;各差分对的第一MOS晶体管的漏端共同连接到负载电阻R1,并形成输出节点OUTN,各差分对的第二MOS管的漏端共同连接到负载电阻R2,并形成输出节点OUTP,其中R1和R2大小相等,并连接到电源电压VDD。相位插值器可从节点OUTN、OUTP输出具有期望相位的差分信号。第一和第二差分对的源端分别与一组MOS开关相连接,该组MOS开关的栅极由一组相位相反的控制信号控制,使MOS管的源端与尾电流源组的一个输出端相连通;第三和第四差分对的源端分别与另一组MOS开关相连接,该组MOS开关的栅极由另一组相位相反的控制信号控制,MOS管的源端与尾电流源组的另一个输出端相连通。通过两组相位相反的四个控制信号,可以控制尾电流源的流向任意一个差分对,从而可以在四个象限内产生期望相位的输出信号。

[0006] 差分输入信号IP、QP、IN、QN是具有接近正弦波形的四相信号,按照顺序具有90°相位差,且具有相同的幅度。假设差分输入信号IP、QP、IN、QN按顺序的相位角度分别为0°、90°、180°、270°。当象限控制信号使第一和第三差分对中有电流导通,则相位插值器工作在第一象限内;当象限控制信号使第二和第三差分对中有电流导通,则相位插值器工作在第二象限内。

二象限内；当象限控制信号使第二和第四差分对中有电流导通，则相位插值器工作在第三象限内；当象限控制信号使第一和第四差分对中有电流导通，则相位插值器工作在第四象限内。

[0007] 记尾电流源组与第一第二差分对的象限控制开关相连的节点为X，与第二第三差分对的象限控制相连的节点为Y。尾电流源组中两个固定大小为半个单位的电流源分别与节点X、Y相连接，其他十五个大小为一个单位的尾电流源则分别通过一组由相位调节信号控制的开关再分别与节点X、Y相连接，根据相位调节信号，控制尾电流流向节点X或Y，通过改变流向节点的电流源的个数，调节尾电流的大小，就可以在输出节点OUTN、OUTP得到预期的相位。由于可调尾电流源个数为十五，根据数量的大小，则流向节点X或Y的电流大小组合共有十六种，分别为(15.5,0.5) (14.5,1.5) ··· (3.5,12.5) (2.5,13.5) (1.5,14.5) (0.5,15.5)，因此可以在一个象限中产生十六中不同相位的输出信号。所以，根据象限调节信号和相位调节信号，就可以分别在第一象限、第二象限、第三象限、第四象限的0至360度的范围内生成期望相位的差分输出信号OUTP和OUTN。输出信号的具体相位点分布请参阅图2，相位点分布呈四边形所示。

[0008] 该现有电路结构的不利之处在于，由于相邻相位之间的电流的步长大小是一致的，从而形成了图2中所示的相位分布图，相邻相位点之间对应的相位角即为该相位点之间的相位步长，靠近坐标轴的输出相位步长明显要小于位于象限中部的相位步长，如此导致了输出相位之间的非线性。

发明内容

[0009] 针对上述现有技术中的不足，本发明提供一种高线性度的相位插值器，可以获得高线性度的相位输出。

[0010] 为了实现上述目的，本发明提供一种高线性度的相位插值器，包括：

[0011] 一负载电路，所述负载电路连接一等电位端；

[0012] 一差分对组，所述差分对组连接所述负载电路、一第一信号输入端、一第二信号输入端、一第三信号输入端和一第四信号输入端；

[0013] 一主电流源偏置阵列，所述主电流源偏置阵列连接所述差分对组、一象限控制信号输入端、一第一相位控制信号输入端和一第一偏置电压输入端；和

[0014] 两副电流源偏置阵列，两副电流源偏置阵列分别连接所述主电流源偏置阵列、一第二相位控制信号输入端和一第二偏置电压输入端。

[0015] 本发明的进一步改进在于，所述差分对组包括四个差分对，每一所述差分对包括一第一MOS管和一第二MOS管；所述第一MOS管的漏极连接所述差分对组的一第一输出端，各所述第二MOS管的漏极连接所述差分对组的一第二输出端；

[0016] 一第一所述差分对的第一MOS管和一第二所述差分对的第二MOS管的栅极连接所述第一信号输入端；所述第一差分对的第二MOS管和所述第二差分对的第一MOS管的栅极连接所述第二信号输入端；

[0017] 一第三所述差分对的第一MOS管和一第四所述差分对的第二MOS管的栅极连接所述第三信号输入端；所述第三差分对的第二MOS管和所述第四差分对的第一MOS管的栅极连接所述第四信号输入端；

[0018] 所述第一差分对的所述第一MOS管和所述第二MOS管的源极连接所述主电流源偏置阵列的第一第一连接端;所述第二差分对的所述第一MOS管和所述第二MOS管的源极连接所述主电流源偏置阵列的第二连接端;所述第三差分对的所述第一MOS管和所述第二MOS管的源极连接所述主电流源偏置阵列的第三连接端;所述第四差分对的所述第一MOS管和所述第二MOS管的源极连接所述主电流源偏置阵列的第四连接端。

[0019] 本发明的进一步改进在于,所述主电流源偏置阵列包括:

[0020] 一第一开关管,所述第一开关管的漏极连接所述主电流源偏置阵列的第一连接端;

[0021] 一第二开关管,所述第二开关管的源极连接所述主电流源偏置阵列的第二连接端;

[0022] 一第三开关管,所述第三开关管的漏极连接所述主电流源偏置阵列的第三连接端;

[0023] 一第四开关管,所述第四开关管的源极连接所述主电流源偏置阵列的第四连接端;

[0024] 所述第一开关管、所述第二开关管、所述第三开关管和所述第四开关管的栅极连接所述象限控制信号输入端;

[0025] 多个开关对,每一所述开关对包括一第三MOS管和一第四MOS管,所述第三MOS管和所述第四MOS管的栅极连接所述第一相位控制信号输入端;所述第四MOS管的源极连接所述第一开关管的源极和所述第二开关管的漏极;所述第三MOS管的漏极连接所述第三开关管的源极和所述第四开关管的漏极;

[0026] 一第一电流源管,所述第一电流源管的漏极连接各所述第三MOS管的漏极,所述第一电流源管的栅极连接所述第一偏置电压输入端,所述第一电流源管的源极接地;

[0027] 多个第二电流源管,每一所述开关对的所述第三MOS管的源极和所述第四MOS管的栅极一一对应地连接一所述第二电流源管的漏极;所述第二电流源管的栅极连接所述第一偏置电压输入端;所述第二电流源管的源极接地;和

[0028] 一第三电流源管,所述第三电流源管的漏极连接各所述第四MOS管的源极,所述第三电流源管的栅极连接所述第一偏置电压输入端,所述第三电流源管的源极接地。

[0029] 本发明的进一步改进在于,所述副电流源偏置阵列包括:

[0030] 多个第五MOS管,所述第五MOS管的栅极连接所述第二相位控制信号输入端;和

[0031] 多个第四电流源管,每一所述第五MOS管的源极一一对应地连接一所述第四电流源管的漏极,所述第四电流源管的栅极连接所述第二偏置电压输入端;所述第四电流源管的源极接地;

[0032] 一第一所述副电流源偏置阵列的所述第五MOS管的漏极连接所述第一开关管的源极和所述第二开关管的漏极;一第二所述副电流源偏置阵列的所述第五MOS管的漏极连接所述第三开关管的源极和所述第四开关管的漏极。

[0033] 本发明的进一步改进在于,所述负载电路包括:一第一电阻和一第二电阻,所述第一电阻连接于所述等电位端与所述差分对组的第一输出端之间,所述第二电阻连接于所述等电位端与所述差分对组的第二输出端之间。

[0034] 本发明由于采用了以上技术方案,使其具有以下有益效果:

[0035] 第一相位控制信号输入端用于接收一第一相位控制信号,第二相位控制信号输入端用于接收一第二相位控制信号,象限控制信号输入端用于接收一象限控制信号。通过调节第一相位控制信号、第二相位控制信号和象限控制信号控制每个差分对所分配到的电流大小,调节输入信号的权重值,最后电流在负载网络端相加,将得到预期相位的输出信号。副电流源偏置阵列的采用,对处于工作状态的差分对进行电流补偿,从而提高输出信号相位步长的线性度,输出信号的相位图随之逼近理想状态下的圆形。

附图说明

- [0036] 图1为一现有相位插值器的结构示意图;
- [0037] 图2为现有相位插值器的输出信号的相位图;
- [0038] 图3为本发明实施例的高线性度的相位插值器的结构示意图;
- [0039] 图4为本发明实施例的高线性度的相位插值器的主电流源偏置阵列的电路图;
- [0040] 图5为本发明实施例的高线性度的相位插值器的副电流源偏置阵列的电路图;
- [0041] 图6为现有相位插值器与本发明实施例的相位插值器的输出信号的相位对比图;
- [0042] 图7为现有相位插值器与本发明实施例的相位插值器的积分非线性趋势对比图。

具体实施方式

[0043] 下面根据附图3~图7,给出本发明的较佳实施例,并予以详细描述,使能更好地理解本发明的功能、特点。

[0044] 请参阅图3,本发明实施例的一种高线性度的相位插值器,包括:一负载电路1、一差分对组2、一主电流源偏置阵列3和两副电流源偏置阵列4。

[0045] 其中,负载电路1连接一等电位端。差分对组2连接负载电路1、一第一信号输入端IP、一第二信号输入端IN、一第三信号输入端QN和一第四信号输入端QP。主电流源偏置阵列3连接差分对组2。两副电流源偏置阵列4分别连接主电流源偏置阵列3。

[0046] 差分对组2包括四个差分对21、22、23、24,差分对21、22、23、24包括一第一MOS管M1和一第二MOS管M2;第一MOS管M1的漏极连接差分对组2的一第一输出端OUTN,各第二MOS管M2的漏极连接差分对组2的一第二输出端OUTP。一第一差分对21的第一MOS管M1和一第二差分对22的第二MOS管M2的栅极连接第一信号输入端IP;第一差分对21的第二MOS管M2和第二差分对22的第一MOS管M1的栅极连接第二信号输入端IN。一第三差分对23的第一MOS管M1和一第四差分对24的第二MOS管M2的栅极连接第三信号输入端QN;第三差分对23的第二MOS管M2和第四差分对24的第一MOS管M1的栅极连接第四信号输入端QP。

[0047] 负载电路1包括:一第一电阻R1和一第二电阻R2,第一电阻R1连接于等电位端与差分对组2的第一输出端OUTN之间,第二电阻连接于等电位端与差分对组2的第二输出端OUTP之间。

[0048] 本实施例中,第一信号输入端IP、第二信号输入端IN、第三信号输入端QN和第四信号输入端QP中每相邻的两输入的时钟信号的相位差为90度。

[0049] 请参阅图3和图4,主电流源偏置阵列3包括:一第一开关管S1、一第二开关管S2、一第三开关管S3、一第四开关管S4、十五个开关对31、一第一电流源管M3、十五个第二电流源管M4和一第三电流源管M5。

[0050] 主电流源偏置阵列3的一第一连接端IN1连接第一差分对21的第一MOS管M1和第二MOS管M2的源极；主电流源偏置阵列3的一第二连接端IN2连接第二差分对22的第一MOS管M1和第二MOS管M2的源极；主电流源偏置阵列3的一第三连接端IN3连接第三差分对23的第一MOS管M1和第二MOS管M2的源极；主电流源偏置阵列3的一第四连接端IN4连接第四差分对24的第一MOS管M1和第二MOS管M2的源极。

[0051] 其中，第一开关管S1的漏极连接主电流源偏置阵列3的第一连接端IN1。第二开关管S2的源极连接主电流源偏置阵列3的第二连接端IN2。第三开关管S3的漏极连接主电流源偏置阵列3的第三连接端IN3。第四开关管S4的源极连接主电流源偏置阵列3的第四连接端IN4。第一开关管S1、第二开关管S2、第三开关管S3和第四开关管S4的栅极连接象限控制信号输入端C1。每一开关对31包括一第三MOS管M6和一第四MOS管M7，第三MOS管M6和第四MOS管M7的栅极连接第一相位控制信号输入端C2；第四MOS管M7的源极连接第一开关管S1的源极、第二开关管S2的漏极、第三开关管S3的源极和第四开关管S4的漏极。第一电流源管M3的漏极连接各第三MOS管M6的漏极，第一电流源管M3的栅极连接第一偏置电压输入端Vctr11，第一电流源管M3的源极接地。每一开关对31的第三MOS管M6的源极和第四MOS管M7的栅极一一对应地连接一第二电流源管M4的漏极；第二电流源管M4的栅极连接第一偏置电压输入端Vctr11；第二电流源管M4的源极接地。第三电流源管M5的漏极连接各第四MOS管M7的源极，第三电流源管M5的栅极连接第一偏置电压输入端Vctr11，第三电流源管M5的源极接地。

[0052] 请参阅图3、图5，副电流源偏置阵列4包括：六个第五MOS管M8和六个第四电流源管M9。其中，第五MOS管M8的栅极连接第二相位控制信号输入端C3。每一第五MOS管M8的源极一一对应地连接一第四电流源管M9的漏极，第四电流源管M9的栅极连接第二偏置电压输入端Vctr12；第四电流源管M9的源极接地。一第一副电流源偏置阵列4的第五MOS管M8的漏极连接第一开关管S1的源极和第二开关管S2的漏极；一第二副电流源偏置阵列4的第五MOS管M8的漏极连接第三开关管S3的源极和第四开关管S4的漏极。

[0053] 请参阅图3、图4和图5，主电流源偏置阵列3和两副电流源偏置阵列4分别通过象限控制信号输入端C1接收的象限控制信号，第一相位控制信号输入端C2接收的第一相位控制信号和第二相位控制信号输入端C3接收的第二相位控制信号将电流分配到各相位差分对21、22、23、24，产生差分对21、22、23、24的偏置电流。通过调节输入信号的权重值，最后电流在负载网络端相加，将得到预期相位的输出信号。

[0054] 主电流源偏置阵列3中的十五个第二电流源管M4作为电流源可通过第一相位控制信号调节电流流向，第一电流源管M3和第三电流源管M5为固定流向；副电流源偏置阵列4中的六个第四电流源管M9均可通过第二相位控制信号调节电流流向。第一相位控制信号、第二相位控制信号和象限控制信号由外部数字控制电路中的译码器产生，同一象限中的电流组合与输出信号的相位一一对应。每个副电流源偏置阵列4包含六个大小为半个单位的第四电流源管M9，并将主电流源偏置阵列3中第一电流源管M3和第三电流源管M5改为大小为一个单位的电流源。

[0055] 副电流源偏置阵列4的采用，对处于工作状态的差分对21、22、23、24进行电流补偿，从而提高输出信号相位步长的线性度，输出信号的相位图随之逼近理想状态下的圆形。

[0056] 例如：假设第一信号输入端IP、第二信号输入端IN、第三信号输入端QN和第四信号输入端QP输入的时钟信号的相位依次为0度、90度、180度、270度。在每个象限中，主电流源

偏置阵列3可以产生不同16种不同的电流值组合,分别为(16,1) (15,2) ··· (3,14) (2,15) (1,16),从而对应着十六种不同的相位值;而副电流源偏置阵列4包含六个大小为半个单位的电流源,可以产生步长为0.5个单位,值从0到3变化的7种补偿电流。每一相位的补偿电流大小将根据理想状态下该相位所对应的电流值与电路只包含主电流源偏置阵列时的电流值的差而决定。例如,理想状态下,相位步长应为5.625度,本实施例输出相位的相位图对应的电流值图形5应呈圆形(请参阅图6,其中未改进的原相位点图形6,圆形黑线为理想相位点图形7)。此时,在第一象限中,第一个相位点的电流值组合为(15.9807,0.7851),其中15.9807为第一差分对21中的电流值,0.7851为第三差分对23中的电流值。而在未改进的电路中,当只有主电流源偏置阵列3存在的情况下,第一个相位点对应的电流值为(15.5,0.5),通过计算可知,第一差分对21的电流差值为0.4807,第三差分对23的电流差值为0.2851,根据此电流差值的绝对值大小,可以知道应该分别为第一差分对21与第二差分对22源极和第三差分对23与第四差分对24注入0.5个单位的补偿电流。由此,经过电路补偿后的电流值为(16,1)。其余各点的电流补偿值,也根据上述方法得到。最后,为了得到更高的线性度,需要进一步调整个别相位点的电流值;最终得到的各相位对应的电流值为(16,1) (16,2.5) (15.5,4) (15,5.5) (14.5,7) (13.5,8) (13,9.5) (12,11) (10.5,12) (9.5,13) (8,13.5) (7,14.5) (5.5,15) (4,15.5) (2.5,16) (1,16)。

[0057] 由上面的电流值可以看到,每个相位点至少需要0.5个单位的电流补偿,即工作电流的最小值为1个单位,因此主电流源阵列3中有两个电流源是固定流向的,每个副电流源偏置阵列4中只有6个电流源的第二电流源管M4需要第一相位控制信号。

[0058] 下以第一象限中的第一的相位插值点(16,1)为例,对本实施例的高线性度的相位插值器的补偿电流工作原理做说明。在第一差分对21的第一MOS管M1和第二MOS管M2的栅极分别输入时钟信号,在第三差分对23的第一MOS管M1和第二MOS管M2的栅极分别输入信号。在主电流源偏置阵列3中,象限控制信号输入端C1所接收的象限控制信号所控制的第一开关管S1和第三开关管S3将合上,而第二开关管S2和第四开关管S4断开;由第一相位控制信号控制的开关对31将分配16个单位的电流进入第一差分对21,1个单位的电流进入第三差分对23,即15个可控电流源即与第二电流源管M4所连接的第三MOS管M6断开,第四MOS管M7合上。在副电流源偏置阵列4中;第二相位控制信号则不需要分配补偿电流进入第一差分对21和第三差分对23,即副电流源偏置阵列4中6个第五MOS管M8将全部断开。最后,第一差分对21将分配到16个单位的电流,而第三差分对23将分配到1个单位电流。第一象限内其他相位点也根据上述原理通过调节相位控制信号获得。其它象限内的相位点则需要通过进一步调节象限控制限号选择电流流向不同的差分对获得,比如,第二象限对应第二差分对22和第三差分对23,第三象限对应第二差分对22和第四差分对24,第四象限对应第一差分对21和第四差分对24。

[0059] 所有的电流将在负载网络1端相加,输入时钟信号占输出信号的权重由流过差分对21、22、23、24的电流值所决定,从而在差分对组2的第一输出端OUTN和差分对组2的第二输出端OUTP得到预期的输出时钟信号。由于经过电流源补偿后,每个相位点对应得电流值对与理想状态下相位点所对应的电流值对更加接近,从而输出时钟信号的相位必然会与理想状态下的相位点更加接近,由此使相位插值器获得更高的线性度。

[0060] 另外,原相位点和改善后的相位点的积分非线性趋势图可参见图7,其中“*”点为

原相位点，“x”点为改善后的相位点。

[0061] 以上结合附图实施例对本发明进行了详细说明，本领域中普通技术人员可根据上述说明对本发明做出种种变化例。因而，实施例中的某些细节不应构成对本发明的限定，本发明将以所附权利要求书界定的范围作为本发明的保护范围。

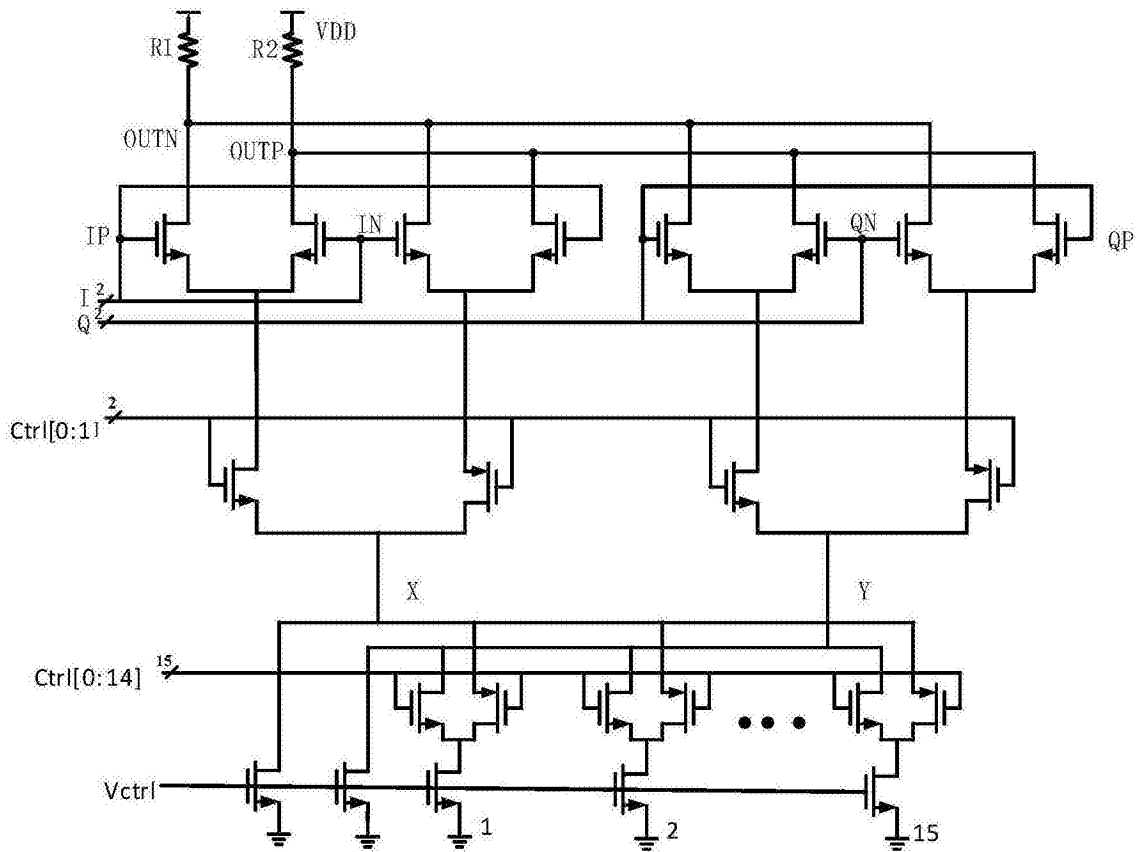


图1

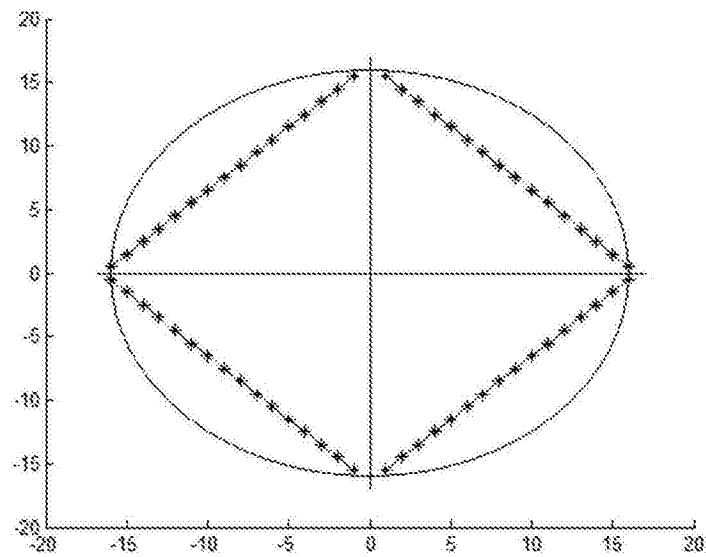


图2

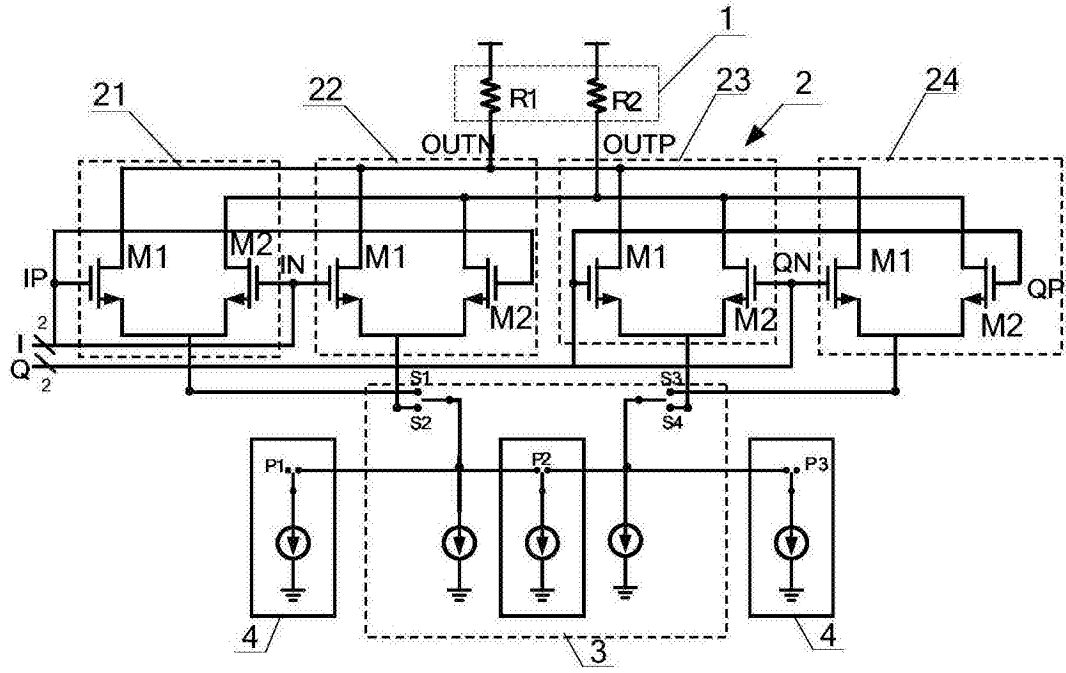


图3

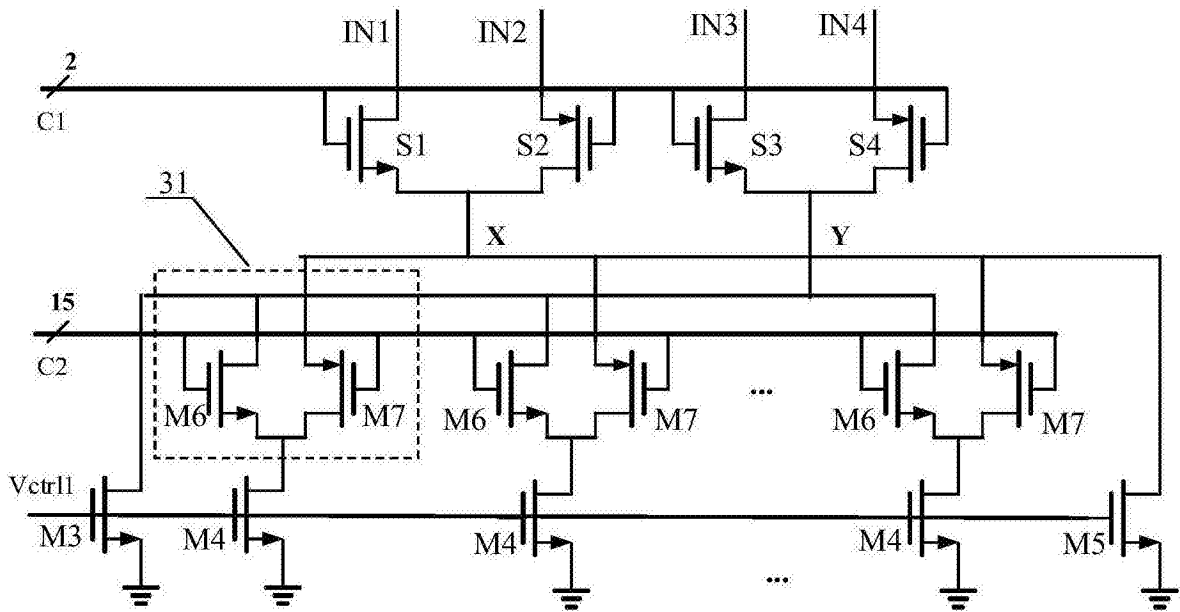


图4

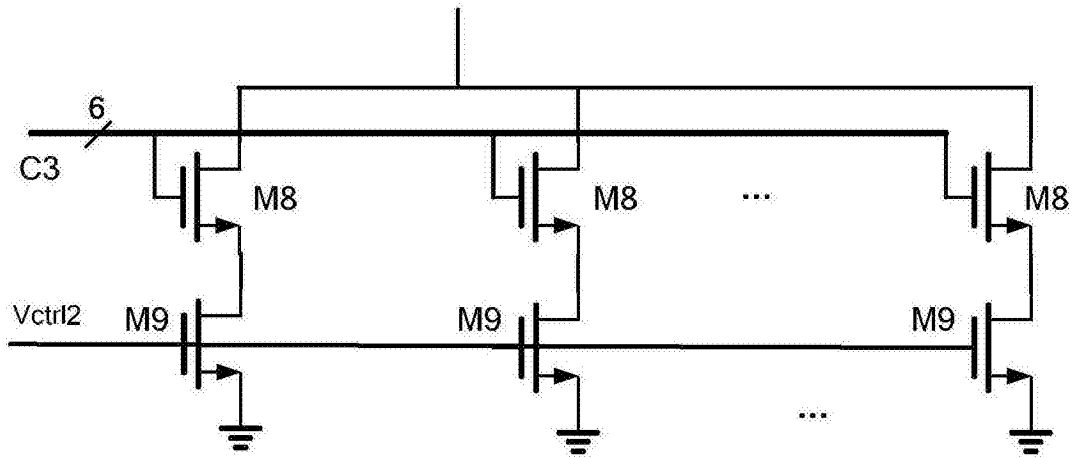


图5

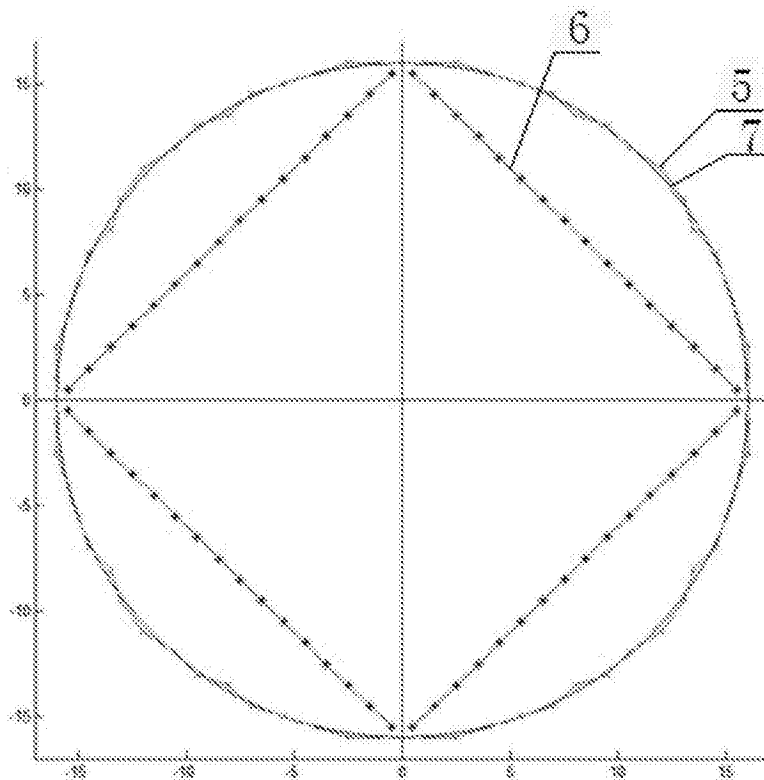


图6

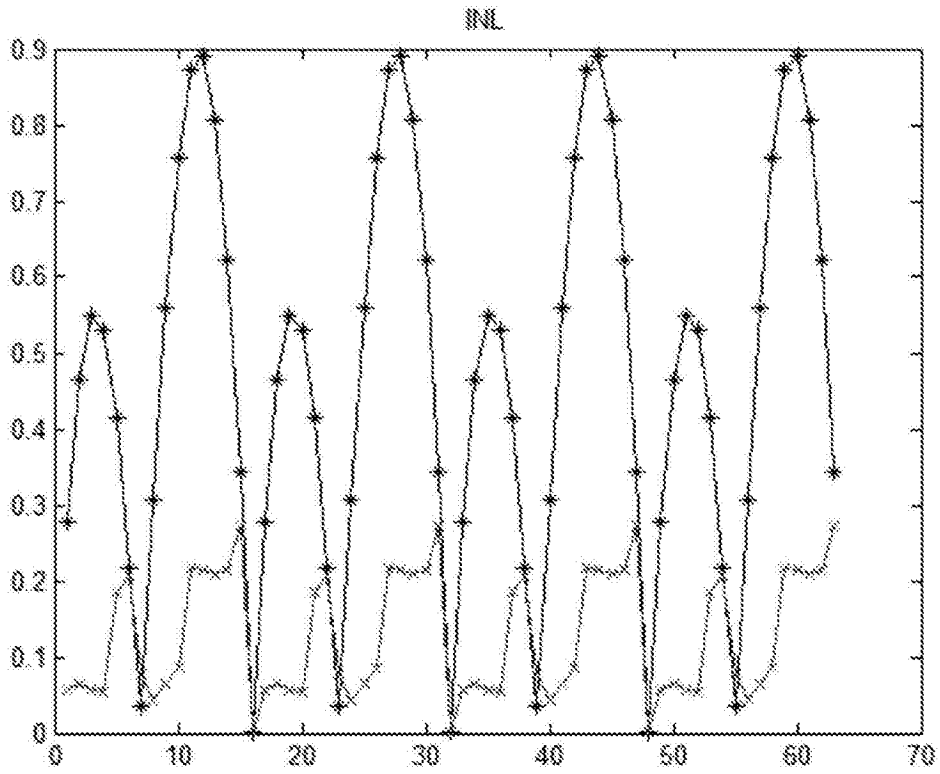


图7