

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3856901号
(P3856901)

(45) 発行日 平成18年12月13日(2006.12.13)

(24) 登録日 平成18年9月22日(2006.9.22)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
HO1L 29/786 (2006.01)	HO1L 29/78 612B

請求項の数 23 (全 15 頁)

<p>(21) 出願番号 特願平9-113549 (22) 出願日 平成9年4月15日(1997.4.15) (65) 公開番号 特開平10-288797 (43) 公開日 平成10年10月27日(1998.10.27) 審査請求日 平成16年4月8日(2004.4.8)</p>	<p>(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (74) 代理人 100103159 弁理士 加茂 裕邦 (72) 発明者 山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 大谷 久 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 小山 潤 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

薄膜トランジスタを有する周辺駆動回路と、画素電極を有する画素マトリクス回路を用いた表示装置であって、

前記周辺駆動回路は、

前記薄膜トランジスタの活性層、ゲイト絶縁膜、およびゲイト電極上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成され、前記活性層に接続された第1の電極および第2の電極と、

前記第1の電極および前記第2の電極上に形成された第2の絶縁膜と、

前記第2の絶縁膜上に形成され、前記薄膜トランジスタの上方を覆うシールドパターンと、

前記シールドパターンの上に形成された第3の絶縁膜と、
を有し、

前記第3の絶縁膜上に形成され、前記第1の電極に接続された前記周辺駆動回路と画素マトリクス回路とを接続する配線を有し、

前記画素電極および前記配線は、同一材料からなり、

前記画素電極が第3の絶縁膜上で且つ前記配線と同じ層に形成されていることを特徴とする表示装置。

【請求項2】

10

20

薄膜トランジスタを有する周辺駆動回路と、画素電極を有する画素マトリクス回路を用いた表示装置であって、

前記周辺駆動回路は、

前記薄膜トランジスタの活性層、ゲイト絶縁膜、およびゲイト電極上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成され、前記活性層に接続された第1の電極および第2の電極と、

前記第1の電極および前記第2の電極上に形成された窒化珪素膜と、

前記窒化珪素膜上に形成された第2の絶縁膜と、

前記第2の絶縁膜上に形成され、前記薄膜トランジスタの上方を覆うシールドパターンと、

前記シールドパターンの上に形成された第3の絶縁膜と、

を有し、

前記第3の絶縁膜上に形成され、前記第1の電極に接続された前記周辺駆動回路と画素マトリクス回路とを接続する配線を有し、

前記画素電極および前記配線は、同一材料からなり、

前記画素電極が第3の絶縁膜上で且つ前記配線と同じ層に形成されていることを特徴とする表示装置。

【請求項3】

薄膜トランジスタを有する周辺駆動回路と、画素電極を有する画素マトリクス回路を用いた表示装置であって、

前記周辺駆動回路は、

前記薄膜トランジスタの活性層、ゲイト絶縁膜、およびゲイト電極上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成され、前記活性層に接続された第1の電極および第2の電極と、

前記第1の電極および前記第2の電極上に形成された窒化珪素膜と、

前記窒化珪素膜上に形成された第2の絶縁膜と、

前記第2の絶縁膜上に形成され、前記薄膜トランジスタの上方を覆うシールドパターンと、

前記シールドパターンの上に形成された第3の絶縁膜と、

を有し、

前記第3の絶縁膜上に形成され、前記第1の電極に接続された前記周辺駆動回路と画素マトリクス回路とを接続する配線と、

前記配線の上方に形成されたシールド材とを有し、

前記画素電極および前記配線は、同一材料からなり、

前記画素電極が第3の絶縁膜上で且つ前記配線と同じ層に形成されていることを特徴とする表示装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記周辺駆動回路はCMOS回路を有することを特徴とする表示装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記画素電極及び前記配線は、アルミニウムからなることを特徴とする表示装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記第2の絶縁膜は、樹脂膜であることを特徴とする表示装置。

【請求項7】

請求項6において、

前記樹脂膜は、ポリイミド、ポリアミド、ポリイミドアミド、エポキシまたはアクリル

のいずれか一からなる樹脂膜であることを特徴とする表示装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、
前記ゲート電極は、シリコンを主成分とした材料、シリサイドまたは金属材料からなることを特徴とする表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、
前記シールドパターンはチタン膜からなることを特徴とする表示装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、
前記第 1 の電極および前記第 2 の電極は、アルミニウム膜と前記アルミニウム膜の上下に接して形成されたチタン膜との積層構造からなることを特徴とする表示装置。

10

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項において、
前記薄膜トランジスタは、トップゲイト型、ボトムゲイト型またはマルチゲイト型の薄膜トランジスタであることを特徴とする表示装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか一項において、
前記第 1 の絶縁膜は、酸化珪素膜であることを特徴とする表示装置。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一項において、
前記画素マトリクス回路と前記周辺駆動回路は同一基板上に形成されていることを特徴とする表示装置。

20

【請求項 14】

請求項 1 乃至請求項 13 のいずれか一項において、
前記画素マトリクス回路は N チャネル型薄膜トランジスタを有することを特徴とする表示装置。

【請求項 15】

請求項 1 乃至請求項 14 のいずれか一項において、
前記周辺駆動回路は、シフトレジスタ回路、バッファ回路、発振回路、画像情報を扱う回路またはメモリー回路のいずれか一を含むことを特徴とする表示装置。

30

【請求項 16】

請求項 1、2 及び 4 乃至 15 のいずれか一項に記載の表示装置は、
前記画素マトリクス回路の上方に液晶材料が配置され、前記周辺駆動回路の上方にシールド材が配置された液晶表示装置であることを特徴とする表示装置。

【請求項 17】

請求項 1 乃至請求項 16 のいずれか一項に記載の表示装置を備えたことを特徴とするビデオカメラ。

【請求項 18】

請求項 1 乃至請求項 16 のいずれか一項に記載の表示装置を備えたことを特徴とするデジタルスチルカメラ。

40

【請求項 19】

請求項 1 乃至請求項 16 のいずれか一項に記載の表示装置を備えたことを特徴とするヘッドマウントディスプレイ。

【請求項 20】

請求項 1 乃至請求項 16 のいずれか一項に記載の表示装置を備えたことを特徴とするカーナビゲーション。

【請求項 21】

請求項 1 乃至請求項 16 のいずれか一項に記載の表示装置を備えたことを特徴とするパーソナルコンピュータ。

50

【請求項 2 2】

請求項 1 乃至請求項 1 6 のいずれか一項に記載の表示装置を備えたことを特徴とする携帯情報端末。

【請求項 2 3】

請求項 1 乃至請求項 1 6 のいずれか一項に記載の表示装置を備えたことを特徴とするプロジェクション用液晶パネル。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本明細書で開示する発明は、周辺駆動回路を一体化した反射型の液晶表示装置の構成に関する。 10

【0002】**【従来の技術】**

TFT を各画素に配置したアクティブマトリクス回路と該回路を駆動する周辺駆動回路とを同一基板上に集積化した構造が知られている。この構成は、周辺駆動回路一体型のアクティブマトリクスディスプレイと称されている。

【0003】

これまでは、周辺駆動回路として、主にシフトレジスタに代表される回路とアクティブマトリクス回路に信号を供給するためのバンパー回路とで構成されるものが一般的であった。 20

【0004】

しかし、今後の技術トレンドとして、画像情報や各種タイミング信号等を扱える回路（従来は外付け IC で構成されていた）をも TFT でもって構成し、周辺駆動回路としてアクティブマトリクス回路と同一基板上に集積化する傾向が進むと考えられている。

【0005】

アクティブマトリクス回路は、基本的にソース線とゲート線とが格子状に配置され、その交差付近に TFT を配置する構造を有している。

【0006】

他方周辺駆動回路は、CMOS 回路を基本にするとはいえ、今後益々複雑な回路構成となることが予想される。 30

【0007】

このような構成においては、占有面積を小さくするためにも多層配線を用いることが必要とされる。

【0008】

しかし、多層配線を形成するために層を新たに形成することは、作製工程が複雑化する点で問題がある。

【0009】**【発明が解決しようとする課題】**

本明細書で開示する発明は、アクティブマトリクス回路と周辺駆動回路とを一体化構造において、周辺駆動回路に必要とされる多層配線をより簡便に実現する構成を提供することを課題とする。 40

【0010】**【課題を解決するための手段】**

本明細書で開示する発明は、反射型の液晶表示装置に着目したものである。反射型の液晶表示装置は、反射電極として金属電極が利用される。例えば、アルミニウムを主成分としたような材料が利用される。

【0011】

本明細書で開示する発明は、この反射電極の材質に着目したものである。即ち、画素電極を構成する材料でもって、画素電極の形成と同時に周辺駆動回路に配置される配線を構成する。 50

【 0 0 1 2 】

こうすることで、作製工程特に増やさずに（パターンは複雑化する）周辺駆動回路に必要なとされる多層配線を構成することができる。

【 0 0 1 3 】

反射電極は、アルミニウム等の低抵抗材料で構成することができるので、周辺駆動回路の配線を構成するには好適である。

【 0 0 1 4 】

なお、透過型の液晶表示装置においては、ITO等の比較的高抵抗を有する材料を画素電極に利用するので、本明細書で開示する発明を利用することは好ましくない。

【 0 0 1 5 】

また、本明細書における周辺駆動回路に範疇には、シフトレジスタ回路やバッファ回路等の直接アクティブマトリクス回路を駆動する回路以外に各種タイミング信号を発生する回路や画像情報を取り扱い回路、さらに各種メモリー回路や演算回路等が含まれる。

【 0 0 1 6 】

本明細書で開示する発明の一つは、

アクティブマトリクス回路と、

前記アクティブマトリクス回路を駆動する回路を少なくとも含んだ周辺回路と、

が同一基板上に薄膜トランジスタでもって構成された構造を有し、

前記アクティブマトリクス回路にはマトリクス状に配置された反射画素電極が配置され、

前記反射画素電極と同一の材料でもって前記周辺回路の配線が形成されていることを特徴とする。

【 0 0 1 7 】

上記構成において、アクティブマトリクス回路というのは、格子状に配置されたソース線とゲート線の交点付近にそれぞれ薄膜トランジスタを配置し、この薄膜トランジスタのドレインを画素電極に配置した構造を挙げることができる。

【 0 0 1 8 】

周辺回路としては、シフトレジスタ回路とアナログスイッチ、さらにバッファ等で構成される普通言われる周辺駆動回路、さらにそれに加えて発振回路や画像情報を扱う回路、メモリー回路等を備えた回路を挙げることができる。

【 0 0 1 9 】

今後の技術動向としては、上記周辺回路にさらに色々な機能を持たせたものが必要とされると考えられる。従って、本明細書における周辺回路には、単にアクティブマトリクス回路を駆動する回路のみではなく、システムオンパネルと称されるような多用な機能を有した回路をも含まれる。

【 0 0 2 0 】

薄膜トランジスタの形式としては、トップゲイト型、ボトムゲイト型、また等価的に多数のTFTを直列に接続したマルチゲイト型のもの等を利用することができる。

【 0 0 2 1 】

反射電極を構成する材料としては、アルミニウムに代表されるような高反射率を有し、しかも低抵抗を有する材料を用いることが好ましい。

【 0 0 2 2 】

例えば、VGA規格（640画素×480画素）の場合、水平走査側（ソース線側の周辺駆動回路側）の回路には、1秒間に60回画面を書き換えるとして、 $640 \times 480 \times 60 = 18.5\text{MHz}$ の動作速度が要求される。

【 0 0 2 3 】

また、XGA規格（1024画素×768画素）の場合は、 $1024 \times 768 \times 60 = 47\text{MHz}$ の動作速度が要求される。

【 0 0 2 4 】

このような場合は、周辺駆動回路を構成する配線には極力低抵抗なものを採用することが好ましい。よって、このような場合は、本明細書に開示する発明は極めて有用なものとな

10

20

30

40

50

る。

【0025】

反射画素電極と同一の材料でもって周辺回路の配線が形成されているというのは、図6にその具体的な例を示すように、画素電極141を構成する際に、同一材料でもって周辺回路の配線142を形成することをいう。

【0026】

これは、画素電極141を形成する際に、画素電極を構成する図示しない導電膜をパターンニングする際に、画素電極141のパターンと配線142のパターンとを同時に形成することによって実現される。

【0027】

同時に形成されたどうかは、断面の電子顕微鏡写真を撮影し、同一層上に画素電極と配線とは存在するかどうか、またその膜厚は同じかどうか、また不純物測定等によりそれらに材質が同じかどうかを計測することによって判断することができる。

【0028】

【発明の実施の形態】

図6に示すように反射型の液晶パネルにおいて、画素マトリクスに配置される反射電極141の形成と同時に周辺回路の配線142を形成する。

【0029】

こうすることで、周辺回路を構成する配線を別工程で設けることができ、作製工程と構成を簡略化することができる。

【0030】

さらにまた、反射電極は低抵抗を有する金属材料でもって構成することができるので、同時に形成される周辺駆動の配線も低抵抗なものとして形成することができる。

【0031】

【実施例】

〔実施例1〕

図1乃至図7に本実施例の作製工程の概略を示す。ここでは、反射型のアクティブマトリクス型の液晶表示装置において、画素マトリクス回路に配置されるNチャネル型のTFTと周辺駆動回路を構成するCMOS回路とを同時に作製する例を示す。

【0032】

まず図1に示すようにガラス基板（または石英基板）101を用意する。基板の平坦性が悪い場合は、その表面に酸化珪素膜や酸化窒化珪素膜を成膜しておくことが好ましい。

【0033】

基板としては、一般に絶縁表面を有する基板を利用することができる。絶縁表面を有する基板としては、ガラス基板、石英基板、ガラス基板や石英基板の表面に酸化珪素膜等の絶縁膜が成膜された基板、シリコンウエハー等の半導体基板の表面に酸化膜を成膜した基板等を挙げることができる。

【0034】

基板101を用意したら、その表面に減圧熱CVD法で図示しない非晶質珪素膜を50nmの厚さに成膜する。

【0035】

次に加熱処理により非晶質珪素膜を結晶化させ、結晶性珪素膜を得る。結晶化の方法としては、レーザー光の照射や強光の照射を利用してもよい。

【0036】

次に得られた結晶性珪素膜をパターンニングすることにより、102、103、104で示される島状のパターンを得る。この島状のパターンがTFTの活性層となる。

【0037】

ここで、102が画素マトリクス回路に配置されるNチャネル型TFT（NTFTと記す）の活性層となる。また、103が周辺駆動回路を構成するCMOS回路を構成するPチャネル型TFT（PTFTと記す）の活性層となる。また、104が周辺駆動回路を構

10

20

30

40

50

成するCMOS回路を構成するNチャネル型TFT（NTFTと記す）の活性層となる。

【0038】

こうして図1に示す状態を得る。次に図2に示すようにゲイト絶縁膜として酸化珪素膜105を100nmの厚さにプラズマCVD法でもって成膜する。

【0039】

さらにアルミニウム膜をスパッタ法でもって400nmの厚さに成膜し、さらにその膜をパターニングすることにより、106、107、108で示すパターンを形成する。このパターンが各TFTのゲイト電極（およびそこから延在したゲイト配線）となる。

【0040】

106、107、108で示すアルミニウムパターンを形成したら、その表面に陽極酸化膜109、110、111を60nmの厚さに成膜する。 10

【0041】

この陽極酸化膜は、各アルミニウムパターンを電氣的に絶縁保護し、また物理的に保護する機能を有している。

【0042】

次にPTFTの上部を図示しないレジストマスクで覆い、P（燐）イオンのドーピングをプラズマドーピング法でもって行う。

【0043】

P（燐）イオンのドーピングを行うことで、画素マトリクスに配置されるNTFTのソース領域112、チャネル領域113、ドレイン領域114が自己整合的に形成される。また、周辺駆動回路のCMOS回路を構成するNTFTのソース領域120、チャネル領域119、ドレイン領域118が自己整合的に形成される。 20

【0044】

次にPTFTの上部を覆ったレジストマスクを除去し、さらにNTFTの上部にレジストマスクを配置する。この状態でさらにB（ボロン）のドーピングをプラズマドーピング法でもって行う。

【0045】

この工程において、周辺駆動回路のCMOS回路を構成するPTFTのソース領域115、チャネル領域116、ドレイン領域117が自己整合的に形成される。

【0046】

ドーピングが終了したら、図示しないレジストマスクを除去する。そして、レーザー光の照射を行い、不純物がドーピングされた領域の結晶性の改善とドーパント元素の活性化とを行う。 30

【0047】

こうして図2に示す状態を得る。

【0048】

次に図3に示すように層間絶縁膜として酸化珪素膜121をプラズマCVD法により、500nmの厚さに成膜する。

【0049】

さらにコンタクトホール形成を行い、図示しないチタン膜とアルミニウム膜とチタン膜との積層膜をスパッタ法でもって成膜する。 40

【0050】

ここで、このチタン膜の膜厚は各100nm、アルミニウム膜の膜厚は400nmとする。チタン膜は、半導体や電極との電氣的なコンタクトを良好なものとするために機能する。

【0051】

次に上記チタン膜とアルミニウム膜とチタン膜との積層膜をパターニングすることにより、図3に示すような状態を得る。

【0052】

図3には、画素マトリクスに配置されるNTFTのソース電極を構成するチタン膜122 50

、アルミニウム膜 1 2 3、チタン膜 1 2 4 である積層膜パターンが示されている。

【 0 0 5 3 】

また、画素マトリクスに配置される N T F T のドレイン電極を構成するチタン膜 1 2 5、アルミニウム膜 1 2 6、チタン膜 1 2 7 である積層膜パターンが示されている。

【 0 0 5 4 】

また、C M O S 回路の P T F T のソース電極を構成するチタン膜 1 2 8、アルミニウム膜 1 2 9、チタン膜 1 3 0 である積層膜パターンが示されている。

【 0 0 5 5 】

また、C M O S 回路の P T F T のドレイン電極を構成するチタン膜 1 3 1、アルミニウム膜 1 3 2、チタン膜 1 3 3 である積層膜パターンが示されている。

10

【 0 0 5 6 】

また、C M O S 回路の N T F T のドレイン電極を構成するチタン膜 1 3 4、アルミニウム膜 1 3 5、チタン膜 1 3 6 である積層膜パターンが示されている。

【 0 0 5 7 】

C M O S 回路の N T F T のドレイン電極を構成するチタン膜 1 3 1、アルミニウム膜 1 3 2、チタン膜 1 3 3 である積層膜パターンが示されている。

【 0 0 5 8 】

こうして図 3 に示す状態を得る。

【 0 0 5 9 】

次に図 4 に示す窒化珪素膜 1 3 7 をプラズマ C V D 法でもって 5 0 n m の厚さに成膜する。

20

【 0 0 6 0 】

次に図示しないチタン膜をスパッタ法でもって 1 5 0 n m の厚さに成膜する。そしてこの膜をパターニングすることにより、補助容量用の電極パターン 1 3 8 を形成する。

【 0 0 6 1 】

補助容量は、チタン膜 1 2 2、アルミニウム膜 1 2 3、チタン膜 1 2 4 で構成される電極とチタン電極 1 3 8 との間に誘電体膜として窒化珪素膜 1 3 7 を挟んだものとして構成される。

【 0 0 6 2 】

ここで窒化珪素膜は誘電率が大きく、またその厚さを薄くできるので、大きな容量を稼ぐことができる。

30

【 0 0 6 3 】

プロジェクション用の液晶パネルのようにその大きさが 2 インチ対角以下というような小さなものとなる場合には、画素の面積も小さくなり、一般に補助容量を稼ぐことが困難になる。

【 0 0 6 4 】

しかし、本実施例に示すような構造で容量を形成することで上記困難性を解決することができる。

【 0 0 6 5 】

図 4 に示す状態を得たら、図 5 に示すように層間絶縁膜としてポリイミド樹脂膜 1 3 9 を成膜する。ポリイミド樹脂膜 1 3 9 の膜厚は、最大で 1 μ m となるよに調整する。

40

【 0 0 6 6 】

ポリイミド以外には、ポリアミド、ポリイミドアミド、エポキシ、アクリル等の樹脂を利用することができる。

【 0 0 6 7 】

次に 1 5 0 n m 厚のチタン膜をスパッタ法でもって成膜し、それをパターニングすることにより、図 5 の 1 4 0 で示されるパターンを形成する。このパターンは、その上方に形成される画素電極及び配線と、下方に配置される T F T や配線と、が互いに電氣的に干渉することを防ぐためのシールドパターンとして機能する。

【 0 0 6 8 】

50

また、このシールドパターン 140 の駆動回路上方の部分は、周辺駆動回路に対して光照射が行われないようにする遮光膜として機能する。

【0069】

こうして図 5 に示す状態を得る。次にシールドパターン 140 を覆って絶縁膜を形成した後に、コンタクトホールの形成を行い、画素電極となるアルミニウム膜を 350 nm の厚さにスパッタ法によって成膜する。

【0070】

そしてこのアルミニウム膜をパターンングすることにより、画素電極 141、周辺駆動回路と画素マトリクス T F T とを接続する配線 142 とを同時に形成する。(図 6)

【0071】

この配線 142 は、画素電極 141 を構成するアルミニウム膜を利用して構成されるので、独立した作製工程を採用する必要はない。即ち、この配線 142 を設けるために工程を増やす必要がない。

【0072】

図 6 に示す状態を得たら、図 7 に示すように配向膜として機能するポリイミド樹脂でなる配向膜 143 を 150 nm の厚さに成膜する。そして配向処理を施し T F T でなる回路が形成された一方の基板が完成する。

【0073】

図 7 に示す状態を得たら、他方のガラス基板(または石英基板)を用意し、図 7 に基板(T F T 基板と称する)と貼り合わせる。そして、2 枚の基板の隙間に液晶を充填し、図 8

【0074】

図 8 に示す液晶パネルにおいて、147 が対向基板(T F T 側基板に対しての対向基板)であり、146 が I T O で構成された対向電極(T F T 基板側に設けられた画素電極 141 に対向する電極)である。

【0075】

148 は封止材(シール材)であって、基板 147 と基板 101 とを貼り合わせる機能を有している。また、液晶材料が外部に漏れ出ないように封止する機能を有している。

【0076】

144 は液晶材料である。反射型の液晶パネルの場合は、複屈折モードでの表示が行われる。即ち、基板に平行な方向に配向した液晶分子層中を基板面に垂直な方向に進行する光の偏波面が垂直偏波 ~ 楕円偏波 ~ 円偏波 ~ 楕円偏波 ~ 水平偏波と変化する現象を利用して表示を行う。

【0077】

〔実施例 2〕

本実施例では、本発明を利用した液晶パネルを備えた装置の例を示す。このような装置としては、ビデオカメラ、デジタルスチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。

【0078】

図 9 (A) に示すのは、モバイルコンピュータであり、本体 2001、カメラ部 2002、受像部 2003、操作スイッチ 2004、反射型の液晶パネル 2005 で構成される。

【0079】

図 9 (B) はヘッドマウントディスプレイであり、本体 2101、反射型の液晶パネル 2102、バンド部 2103 で構成される。

【0080】

図 9 (C) はフロントプロジェクション型の液晶パネルである。この装置は、光源 2202 からの光を光学系 2204 で反射型の液晶表示装置 2203 に導き、反射型の液晶パネル 2203 で光学変調された画像を光学系 2204 で拡大してスクリーン 2205 に投影するものである。

10

20

30

40

50

【 0 0 8 1 】

この形式のプロジェクションは、本体 2 2 0 1 とは別にスクリーン 2 2 0 5 が必要となる。

【 0 0 8 2 】

図 9 (D) は携帯電話であり、本体 2 3 0 1、音声出力部 2 3 0 2、音声入力部 2 3 0 3、反射型の液晶パネル 2 3 0 4、操作スイッチ 2 3 0 5、アンテナ 2 3 0 6 で構成される。

【 0 0 8 3 】

図 9 (E) はビデオカメラであり、本体 2 4 0 1、反射型の液晶表示装置 2 4 0 2、音声入力部 2 4 0 3、操作スイッチ 2 4 0 4、バッテリー 2 4 0 5、受像部 2 4 0 6 で構成される。

10

【 0 0 8 4 】

図 9 (F) は、リアプロジェクション型と呼ばれる装置である。この装置は、光源 2 5 0 2 から発せられる光を偏光ビームスプリッタ 2 5 0 4 で反射型の液晶パネル 2 5 0 3 で光学変調し、それをリフレクター 2 5 0 5、2 5 0 6 で反射してスクリーン 2 5 0 7 に投影する。この形式の装置は、本体 2 5 0 1 にスクリーン 2 5 0 7 が配置されている。

【 0 0 8 5 】

〔実施例 3〕

本実施例は、実施例 1 に示す構成において、ゲイト電極としてシリコンを主成分とした材料を用いる場合の例である。

20

【 0 0 8 6 】

図 1 0 に本実施例の概略を示す。ここでは、ゲイト電極 1 0 0 1、1 0 0 2、1 0 0 3 として、一導電型を付与したシリコン材料を用いている。

【 0 0 8 7 】

ゲイト電極を構成する他の材料としては、各種シリサイドや金属材料を用いることができる。

【 0 0 8 8 】

【発明の効果】

本明細書で開示する発明を利用することで、アクティブマトリクス回路と周辺駆動回路とを一体化構造において、周辺駆動回路に必要とされる多層配線をより簡便に実現することができる。

30

【図面の簡単な説明】

【図 1】 液晶パネルの作製工程を示す断面図。

【図 2】 液晶パネルの作製工程を示す断面図。

【図 3】 液晶パネルの作製工程を示す断面図。

【図 4】 液晶パネルの作製工程を示す断面図。

【図 5】 液晶パネルの作製工程を示す断面図。

【図 6】 液晶パネルの作製工程を示す断面図。

【図 7】 液晶パネルの作製工程を示す断面図。

【図 8】 液晶パネルの作製工程を示す断面図。

40

【図 9】 発明を利用した液晶パネルを備えた装置の例を示す図。

【図 1 0】 他の実施例を示す図。

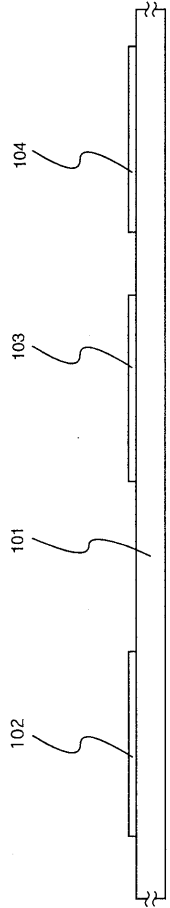
【符号の説明】

1 0 1	ガラス基板（または石英基板）
1 0 2	画素マトリクス回路に配置される N T F T の活性層
1 0 3	周辺駆動回路の配置される P T F T の活性層
1 0 4	周辺駆動回路の配置される N T F T の活性層
1 1 2	ドレイン領域
1 1 3	チャンネル領域
1 1 4	ソース領域

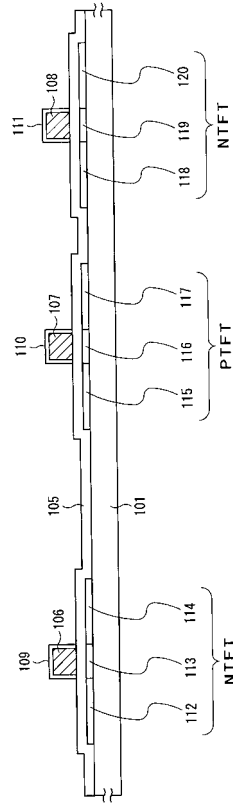
50

1 1 5	ソース領域	
1 1 6	チャンネル領域	
1 1 7	ドレイン領域	
1 1 8	ドレイン領域	
1 1 9	チャンネル領域	
1 2 0	ソース領域	
1 2 2	チタン膜	
1 2 3	アルミニウム膜	
1 2 4	チタン膜	
1 2 5	チタン膜	10
1 2 6	アルミニウム膜	
1 2 7	チタン膜	
1 2 8	チタン膜	
1 2 9	アルミニウム膜	
1 3 0	チタン膜	
1 3 1	チタン膜	
1 3 2	アルミニウム膜	
1 3 3	チタン膜	
1 3 4	チタン膜	
1 3 5	アルミニウム膜	20
1 3 6	チタン膜	
1 3 7	窒化珪素膜	
1 3 8	チタン膜	
1 3 9	ポリイミド樹脂膜	
1 4 0	チタン膜	
1 4 1	画素電極（アルミニウム膜）	
1 4 2	配線（アルミニウム配線）	
1 4 3	配向膜（ポリイミド樹脂膜）	
1 4 4	液晶材料	
1 4 5	配向膜（ポリイミド樹脂膜）	30
1 4 6	対向電極（ITO電極）	
1 4 7	対向ガラス基板	
1 4 8	封止材料	

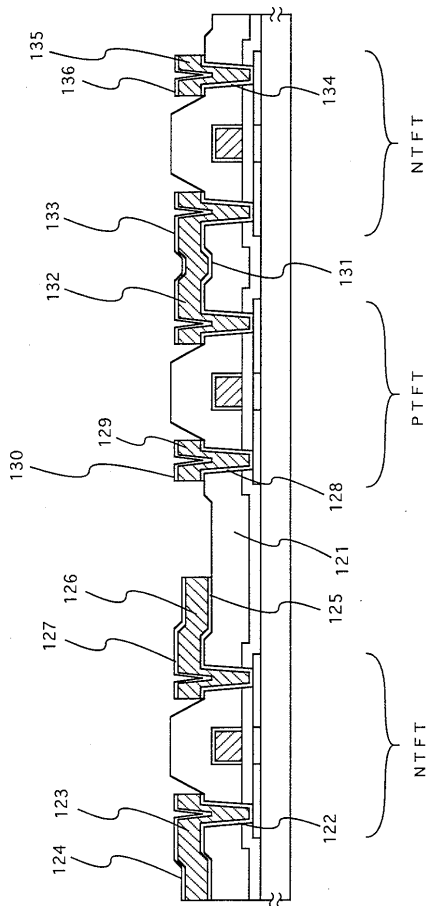
【 図 1 】



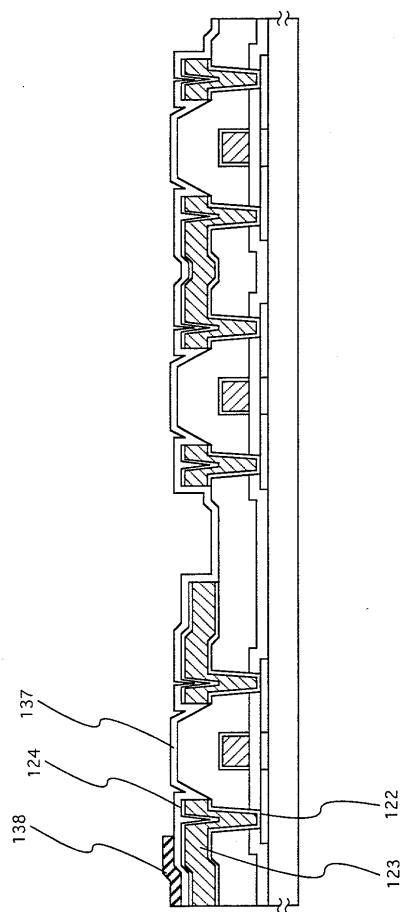
【 図 2 】



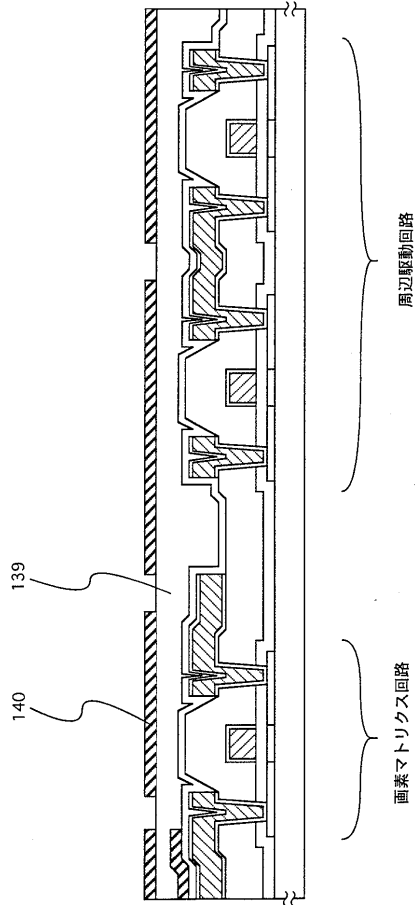
【 図 3 】



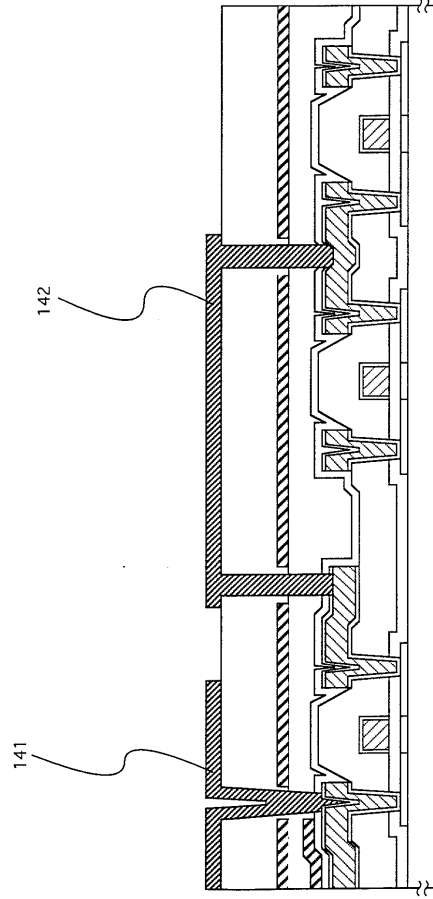
【 図 4 】



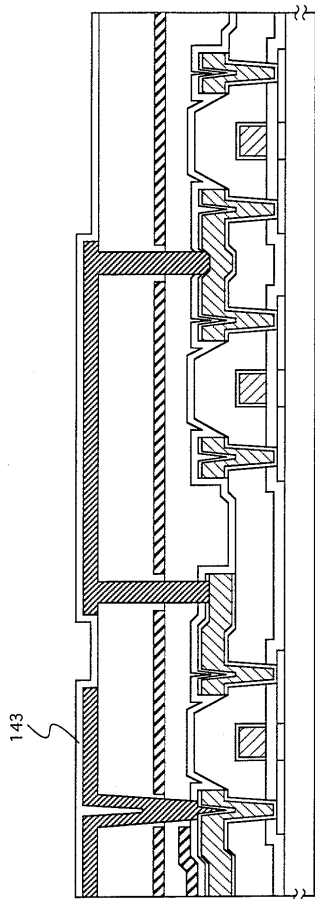
【図5】



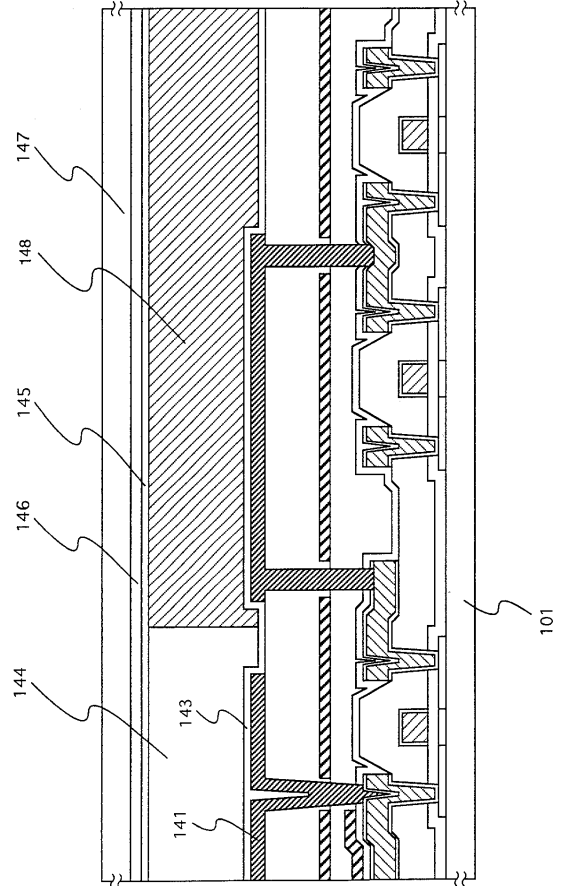
【図6】



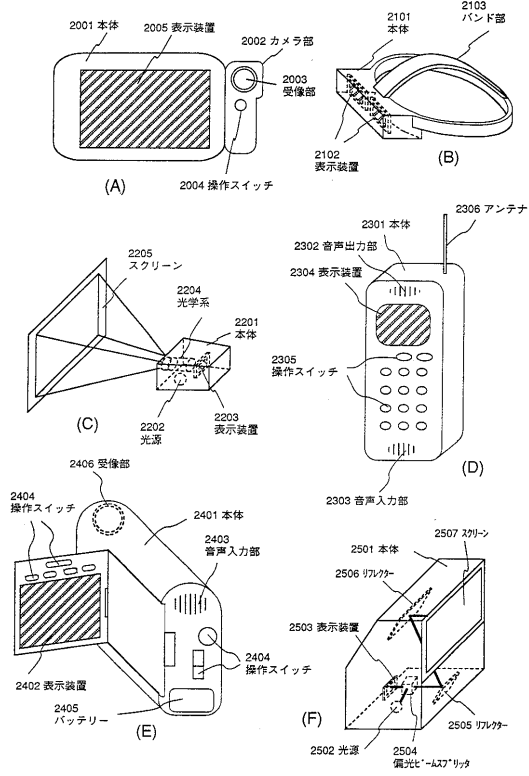
【図7】



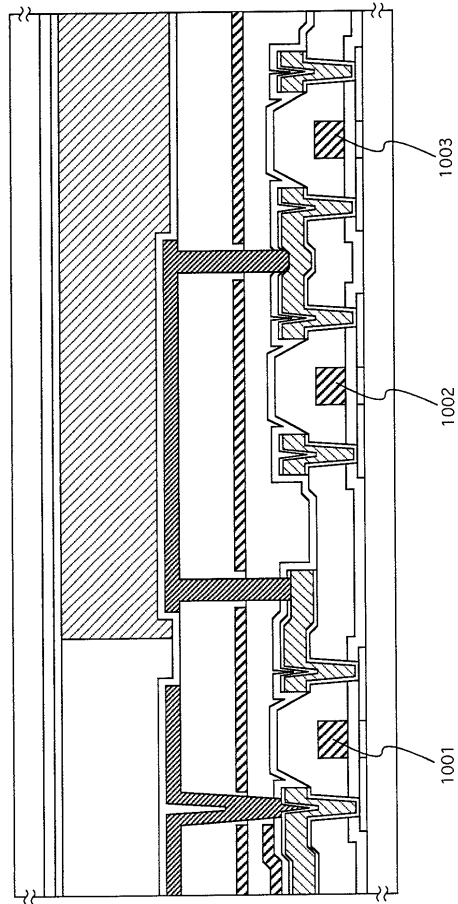
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 寺本 聡

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 山口 裕之

(56)参考文献 特開平07-234421(JP,A)

特開平04-295826(JP,A)

特開平05-150264(JP,A)

特開平09-080477(JP,A)

独国特許出願公開第19624916(DE,A1)

(58)調査した分野(Int.Cl.,DB名)

G02F 1/1368

G02F 1/1343