



(12) 发明专利

(10) 授权公告号 CN 102403316 B

(45) 授权公告日 2016.06.15

(21) 申请号 201110236686.0

H01L 29/06(2006.01)

(22) 申请日 2011.08.12

H01L 21/82(2006.01)

(30) 优先权数据

审查员 亢心洁

12/855,479 2010.08.12 US

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 保罗·W·桑德斯 韦恩·R·布格尔

翠·B·达奥 乔尔·E·基斯

迈克尔·F·彼得拉斯

罗伯特·A·普赖尔 任小伟

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 陆锦华 刘光明

(51) Int. Cl.

H01L 27/06(2006.01)

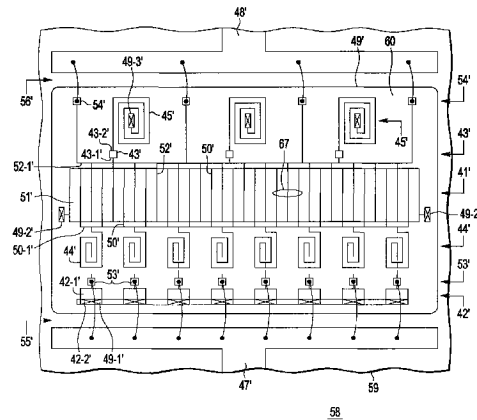
权利要求书3页 说明书13页 附图9页

(54) 发明名称

单片微波集成电路

(57) 摘要

本发明提供一种单片微波集成电路。将高电阻率(例如 $\geq 1000\text{hm-cm}$)半导体基板和较低电阻电感器用于IC,能够避免或减轻微波频率下操作时与单片集成电路(IC)的无源构件相关联的低Q。这消除了来自置于基板上的平面电感器和互连的显著的基板中电磁耦合损耗。有源晶体管接近前面地形成在基板中。平面电容器也形成在基板的前面上方。使用基板通孔,将晶体管、电容器和电感器的不同端子耦合到基板的背面上的地平面,以最小化寄生电阻。通过将平面电感器和重电流承载导体定位在可以使它们基本上更厚和具有更低电阻的、IC的外表面上来最小化与它们相关联的寄生电阻。结果得到之前无法获得的单片微波IC。



1. 一种单片微波集成电路,包括:

半导体基板,所述半导体基板具有等于或大于 1000hm-cm 的体电阻率,且具有前表面和背表面;

至少一个晶体管,所述至少一个晶体管在所述半导体基板中,且具有输入端子、输出端子、基准端子和源区;

介电层,所述介电层形成在所述前表面上方并且置于所述源区上;

至少一个电容器,所述至少一个电容器单片地形成在所述半导体基板上;

至少一个电感器,所述至少一个电感器单片地形成在所述半导体基板上;

平面互联,所述平面互联置于所述半导体基板上,耦合所述至少一个晶体管、电容器和电感器以形成单片集成电路;

第一导电基板通孔(TSV),所述第一导电基板通孔(TSV)延伸通过所述介电层并且通过所述半导体基板;以及

层间通孔,所述层间通孔形成在所述介电层中,所述第一导电TSV通过所述层间通孔电耦合到所述晶体管的所述源区。

2. 如权利要求1所述的单片微波集成电路,还包括:

其输入节点和其输出节点,所述输入节点及输出节点均通过所述半导体基板的前表面支撑;以及其基准节点,所述基准节点通过所述半导体基板的背表面支撑。

3. 如权利要求2所述的单片微波集成电路,还包括:

除了所述第一导电TSV之外的多个导电的基板通孔,所述多个导电的基板通孔将所述至少一个晶体管、所述至少一个电容器和所述至少一个电感器中的一个或多个耦合至所述基准节点。

4. 如权利要求3所述的单片微波集成电路,其中,

所述多个导电的基板通孔中的第一个将所述至少一个晶体管的基准端子耦合至所述基准节点。

5. 如权利要求3所述的单片微波集成电路,其中,

所述多个导电的基板通孔中的第二个将所述至少一个电容器的第一端子耦合至所述基准节点。

6. 如权利要求1所述的单片微波集成电路,其中,

所述至少一个电容器是平面电容器,以及其中所述至少一个电感器是平面电感器。

7. 如权利要求2所述的单片微波集成电路,其中,所述半导体基板还包括:

除了所述第一导电TSV之外的多个导电的基板通孔,所述多个导电的基板通孔中的每个具有耦合到所述基准节点的端子;

第一单片电容器和第二单片电容器,所述第一单片电容器和第二单片电容器形成在所述半导体基板的前表面上方,每个单片电容器具有第一和第二端子;

第一单片电感器和第二单片电感器,所述第一单片电感器和第二单片电感器形成在所述半导体基板的前表面上方,每个单片电感器具有第一和第二端子;

其中,所述第一单片电容器的第一端子耦合到所述第一单片电感器的第一端子,并且所述第一单片电容器的第二端子耦合到所述多个导电的基板通孔中的第一个,以及所述第一单片电感器的第二端子耦合到所述晶体管的输入端子;

其中,所述第二单片电容器和所述第二单片电感器串联耦合以形成组合,所述组合具有第一和第二端子;以及

其中,所述组合的第一端子耦合到所述至少一个晶体管的输出端子,并且所述组合的第二端子耦合到所述多个导电的基板通孔中的第二个。

8.如权利要求1所述的单片微波集成电路,其中,
所述至少一个电感器包括0.1-10微米厚的高导电性金属。

9.一种用于形成单片微波集成电路的方法,所述单片微波集成电路具有输入端子、输出端子和基准端子,所述方法包括:

提供在第一表面和最初的第二表面之间具有最初厚度的最初半导体基板,并且具有的体电阻率等于或大于1000hm-cm;

接近所述第一表面、在所述最初半导体基板中形成至少一个晶体管,所述至少一个晶体管具有输入端子、输出端子、基准端子和源区;

在所述第一表面上方形成介电层并且置于所述源区上;

形成一个或多个导体填充的基板通孔,所述一个或多个导体填充的基板通孔延伸通过所述介电层并且通过所述第一表面延伸到所述最初半导体基板中;

在所述介电层中形成层间通孔,所述基板通孔中的至少一个通过所述层间通孔电耦合到所述晶体管的所述源区;

在所述最初基板的第一表面上方形成一个或多个平面电容器,每个电容器具有第一和第二端子;

在所述最初基板的第一表面上方形成一个或多个平面电感器,其中所述一个或多个平面电容器的第一端子或第二端子耦合到所述一个或多个平面电感器的第一端子或第二端子,其中所述一个或多个平面电感器的其他端子耦合到所述基板通孔、耦合到所述晶体管的一个或多个端子或耦合到所述微波集成电路的一个或多个端子;

减少所述最初厚度,由此产生其上暴露所述基板通孔的内端部的减薄基板的新背表面;以及

将导体施加到所述减薄基板的新背表面,使得基板通孔的暴露内端部电连接到所述导体。

10.如权利要求9所述的方法,其中:

形成一个或多个平面电容器的步骤包括:在所述最初基板的第一表面上方形成第一和第二平面电容器,每个电容器具有第一和第二端子;以及

形成一个或多个平面电感器的步骤包括:在所述第一表面上方形成第一和第二平面电感器,每个电感器具有第一和第二端子;以及

其中,所述第一电容器的第一端子耦合到所述第一电感器的第一端子,并且所述第一电感器的第二端子耦合到晶体管输入;以及

其中,所述第二电容器的第一端子耦合到晶体管输出,并且所述第二电容器的第二端子耦合到所述第二电感器的第一端子;以及

其中,所述第一电容器的第二端子、所述第二电感器的第二端子和所述晶体管的基准端子耦合到所述导体填充的基板通孔中的至少一个。

11.如权利要求9所述的方法,其中,

所述最初基板具有的电阻率等于或大于1000hm-cm。

12. 如权利要求11所述的方法,其中,

所述最初基板具有的电阻率等于或大于5000hm-cm。

13. 如权利要求11所述的方法,其中,

所述最初基板具有的电阻率等于或大于10000hm-cm。

14. 如权利要求9所述的方法,其中,

形成一个或多个平面电感器的步骤包括使用铜、金、银或其组合形成所述电感器。

15. 如权利要求14所述的方法,其中,

铜、金、银或其组合至少为3微米厚。

16. 一种单片微波集成电路,所述单片微波集成电路具有电路输入端子、电路输出端子和电路基准端子,其包括:

半导体基板,所述半导体基板具有的体电阻率等于或大于1000hm-cm,并具有前表面和背表面,其中所述背表面在其上具有所述电路基准端子;

至少一个横向扩散金属氧化物半导体(LDMOS)晶体管,所述至少一个横向扩散金属氧化物半导体(LDMOS)晶体管形成在所述基板中并具有晶体管输入端子、晶体管输出端子、晶体管基准端子、源区、和与所述源区横向邻近的体接触区,其中所述晶体管基准端子耦合到所述电路基准端子;

第一介电层,所述第一介电层形成在所述前表面上方;

至少第一和第二单片平面电容器,所述至少第一和第二单片平面电容器置于所述前表面上;

至少第一和第二单片平面电感器,所述至少第一和第二单片平面电感器置于所述前表面上;以及

至少一个导电基板通孔,所述至少一个导电基板通孔电耦合到所述源区,并且通过所述半导体基板、通过所述至少一个LDMOS晶体管的所述体接触区、以及通过置于所述体接触区域上的所述第一介电层的区域而形成;

其中,所述第一电容器耦合在所述电路输入端子和所述电路基准端子之间,并且所述第一电感器耦合在所述电路输入端子和所述晶体管输入端子之间;以及

其中,所述第二电容器和所述第二电感器串联耦合以形成组合,并且所述组合的第一端子耦合到所述晶体管输出端子和所述电路输出端子,以及所述组合的第二端子耦合到所述电路基准端子。

17. 如权利要求16所述的电路,其中,

所述基板包括浮区硅。

18. 如权利要求16所述的电路,其中,

所述第一和第二电感器中的至少一个由高纯度铜来形成。

19. 如权利要求18所述的电路,其中,

所述高纯度铜具有至少0.5微米的厚度。

单片微波集成电路

发明领域

[0001] 本发明大体涉及一种半导体器件和电路以及用于制造该半导体器件和电路的方法,并且更具体地,涉及到适合于在非常高的频率、包括微波频率下操作的单片集成电路。

背景技术

[0002] 随着电子技术的发展,对于适合于在越来越高的频率、包括微波频率下操作的固态电路存在持续的需求。如本文中所使用的,术语“微波”指的是约800兆赫兹或以上的频率。已经产生了能够提供这种频率范围中的增益的各种晶体管结构。例如电感器和电容器的无源构件通常必须与这种固态放大器相组合以实现所需的电路功能,例如但是不意欲限于:功率放大器、调制器、过滤器、振荡器等。但是,由于所需的操作频率已经增加了,因此已经证实用于在共用基板上单片地形成这种有源和无源元件的常规方式实际上不适合于微波结构,并且目前为止满意的性能需要组装单独制造的无源和有源元件。由此,对于具有基本同时制造在共用单片基板上的无源和有源元件的单片集成电路存在持续的需求,其能够在微波频率下操作。

附图说明

[0003] 以下,将结合下面的附图来描述本发明,这里,相同附图标记表示相同元件,以及其中:

[0004] 图1是根据现有技术的绝缘栅场效应晶体管与电容器和电感器相组合以形成微波放大器的简化电气示意图;

[0005] 图2是根据现有技术的将图1的电路具体化的物理放大器结构的简化平面图;

[0006] 图3是根据本发明的实施例的绝缘栅场效应晶体管与电容器和电感器相组合以形成微波放大器的简化电气示意图;

[0007] 图4是根据本发明的另一实施例的将图3的电路具体化的物理放大器结构的简化平面图;

[0008] 图5是根据本发明的再一实施例的用于图3-4的放大器中的横向(双)扩散金属氧化物半导体(LDMOS)晶体管的简化横截面图;

[0009] 图6是根据本发明又一实施例的图4的一部分放大器结构的简化横截面图,其示出了如何以单片形式将低损耗电容提供在其中、耦合到用于形成低损耗电感或互联的导体作为同一单片结构的一部分;

[0010] 图7是根据本发明的又一实施例的图4的另一部分放大器结构的简化横截面图,其示出了如何以单片形式将另一低损耗电容提供在其中、耦合到用于形成低损耗电感或互联的导体作为同一单片结构的一部分;

[0011] 图8示出了根据本发明又一实施例的说明用于形成图4-7的部分或全部结构的方法的简化流程图;以及

[0012] 图9-11示出了根据本发明又一实施例的说明用于形成图4-7的部分或全部结构的

方法的简化流程图。

具体实施方式

[0013] 以下的详细描述实际上仅是示范性的且不限本发明或者本发明的应用和使用。而且,并不受到在前述技术领域、背景技术或者以下的详细描述中提出的任何所表达或暗示的理论限制。

[0014] 为了简化和明确说明,附图示出了构成和描述的一般方式且可以省略众所周知的特征和技术的细节,以避免不必要地混淆本发明。此外,在附图中的元件不一定按比例绘制。例如,图中一些元件或区域的尺寸相对于其他元件或区域的尺寸可以放大,以有助于促进对本发明实施例的理解。

[0015] 如果存在的话,则说明书和权利要求书中的术语“第一”、“第二”、“第三”、“第四”等可以用于区分相似元件和步骤且未必用于描述特定顺序或时间顺序。应理解,这样使用的术语在适当环境下可互换,例如以使得本文描述的本发明的实施例能够以所示顺序之外的顺序操作或者以本文中另外描述的顺序操作。而且,术语“包括”、“包含”、“具有”及其任何变形都覆盖非排他的包括,使得包括要素列表的工艺、方法、工件或者装置不必限于这些要素,而是可以包括没有明确列出的或者对该工艺、方法、工件或装置固有的其他要素。如本文中所使用的术语“耦合”被限定为以电或非电的方式直接或间接连接。如本文中所使用的,术语“基本的”、“基本上”意思是以实践方式足以实现所述目的,以及如果存在的话,较小的瑕疵对于所述目的并无重要影响。

[0016] 如本文中使用的,术语“半导体”和缩写“SC”意在包括任何半导体,不管是单晶、多晶或者非晶,且包括IV族半导体、非IV族半导体、化合物半导体以及有机和无机半导体。而且,术语“基板”和“半导体基板”和“SC基板”意在包括单晶结构、多晶结构、非晶结构、薄膜结构、叠层结构,作为实例且不意图限制为绝缘体上半导体(SOI)结构以及其组合。为了便于说明且不意图限制,本文中描述的半导体器件及其制作方法用于硅半导体,但是本领域技术人员将理解,也可使用其他半导体材料。此外,可以将各种器件类型和/或掺杂的SC区域标识为N型或P型,但这仅仅是为了便于描述且不意图限制,以及这种标识可以通过更一般的描述“第一导电类型”或者“第二、相反导电类型”代替,这里,第一类型是N或P型并且第二类型则是P或N型。

[0017] 为了便于解释而非限制,使用优选的横向(双)扩散金属氧化物半导体(LDMOS)有源器件来说明本发明的各实施例。但是,也可以采用很多其他有源器件类型且意图将其包括在本发明的范围内,如作为实例而不意图限制的双极型器件、结场效应器件、各种绝缘栅场效应器件、HBT等。如本文所使用的,广义解释术语金属氧化物半导体以及简称MOS。具体地,应当理解,其不是仅限于使用“金属”和“氧化物”的结构,而是可以采用包括“金属”的任意类型的导体以及包括“氧化物”的任意类型的电介质。术语“场效应晶体管”被缩写为“FET”,和术语“绝缘栅FET”被缩写为“IGFET”。

[0018] 图1示出了根据现有技术的与电容22、23和电感24、25相组合以形成具有输入端子27、输出端子28和基准端子或节点29的微波放大器26的IGFET 21的简化电气示意电路20。为了便于描述,端子或节点29也可以称作“地”(被缩写为“GND”),而不管是否提供了地连接。输入端子27通过连接35耦合到节点33。电容22具有耦合到节点33的第一电极22-1和耦

合到基准端子或节点29的第二电极22-2。电感24耦合在节点33和晶体管21的控制(例如“栅极”)端子30之间。晶体管21的共用(例如“源极”)端子31耦合到基准端子或节点29。晶体管21的输出(例如“漏极”)端子32耦合到节点34,其又经由连接36耦合到放大器26的输出端子28和经由连接37耦合到电感25的第一端子。电感25的第二端子耦合到电容23的第一端子23-1,其第二端子23-2耦合到基准端子或节点29。

[0019] 图2示出了根据现有技术的与图1的电路26相对应的物理放大器结构38的简化平面图。为了便于结构38和电路26之间的相关性,遵循如下习惯:利用在图1中用于元件的相同附图标记添加撇号(prime)“'”来识别在结构38中的相应元件,从而在物理元件与其在图1的电气示意图中的表示进行区分。将现有技术的放大器结构38组装在电路板39上的导电(例如金属)地平面29'上。地平面29'对应于图1的基准节点29。放大器结构38包括分离形成的元件,也就是电容器22'、放大半导体器件21'、电容器23'和提供电感24、25和连接35、36、37等的各种引线结合。与图1的电容22相对应的电容器22'具有耦合到地平面29'的下电极22-2'和可用作节点33的上电极22-1'。半导体器件21'(例如,LDMOS晶体管)对应于图1的有源器件21。图2中仅示意性说明了半导体器件21'的内部结构,且该内部结构例如可以包括多个并联耦合的源极、漏极和栅极区域,通过其中示出的多个矩形区域示意性表示。与图1的电容23相对应的电容器23'具有耦合到地平面29'的下电极23-2'和可耦合到引线结合25'的上电极23-1'。

[0020] 引线结合35'对应于输入端子27'和通过电容器22'的上电极22-1'形成的节点33'之间的连接35。引线结合24'在电容器22'的上端子22-1'和LDMOS晶体管21'的(一个或多个)输入(例如“栅极”)端子30'之间延伸且提供图1的电感24。引线结合25'在耦合到晶体管21'的(一个或多个)漏极端子32'的节点34'和电容23'的上电极23-1'之间延伸且提供图1的电感25。引线结合36'在耦合到晶体管21'的(一个或多个)漏极端子32'的节点34'和输出端子或总线28'之间延伸,且对应于图1的连接36。结构38说明了根据现有技术的图1的电路26的物理实施例。虽然结构38是有利的,但是其由分离制造的有源和无源组件(例如,晶体管21',电容器22',23和引线结合电感器24'和25')形成且不能实现制造的经济性、提高的可靠性以及性能等,希望从使用相关制造技术形成的整个单片结构获得这些。

[0021] 已经发现,其中,由于当例如电容器、电感器和互联的无源组件形成在共用SC基板上时与它们相关的品质(“Q”)因数劣化,导致现有技术结构和制造技术不能提供在微波频率下具有足够性能的电路26的单片实施。还发现,其中,由于形成在该SC基板表面上的单片平面电感器和其中或其上也形成了(一个或多个)有源器件的下层SC基板之间不利的相互作用,导致该Q因数劣化。由于这种平面电感器和互联的电磁(EM)场的明显渗透到基板中导致发生这种情况,并且仅添加或加厚在这种平面电感器和互联与下层SC基板之间的电介质层和/或在其间提供静电屏蔽不会减轻该问题。还发现,除了最小化寄生的基板电感耦合效应之外,最小化各引线、电感器和电容器以及地连接的电阻也很重要,由于它们也同样会不利地影响整体Q和电路性能。通过以下描述的实施例,最小化或避免与现有技术相关的这些和其他问题。

[0022] 图3示出了根据本发明的实施例的与电容42、43和电感44、45相组合以形成具有输入端子47、输出端子48和基准端子或节点49的微波放大器46的IGFET 41的简化电气示意图40。为了便于描述,端子或节点49也可称作“地”(缩写为“GND”),而不管是否提供了地连

接。输入端子47通过连接55耦合到节点53。电容42具有耦合到节点53的第一电极42-1以及耦合到基准端子或节点49的第二电极42-2。电感44耦合在节点53和晶体管41的控制(例如“栅极”)端子50之间。晶体管41的共用(例如“源极”)端子51耦合到基准端子或节点49。晶体管41的输出(例如“漏极”)端子52耦合到节点54,其又耦合到电容43的第一端子43-1且也经由连接56耦合到放大器46的输出端子48。电容43的第二端子43-2经由连接57被耦合到电感45的第一端子。电感45的第二端子耦合到基准端子或节点49。

[0023] 图4是根据本发明另一实施例的将图3的电路46具体化的物理放大器结构58的简化平面图。为了便于结构58和电路46的相关性,遵循如下习惯:利用在图3中用于元件的相同附图标记添加撇号(prime)“'”来识别在结构58中的相应元件,从而在物理元件与其在图3的电气示意图中的表示进行区分。图4的结构58借助于实例来说明单片基板60,在其中或其上形成了:(i)具有多个(例如16个)平行分段的示意性LDMOS晶体管41',(ii)多个(例如8个)电容器42',(iii)多个(例如3个)电容器43',(iv)多个(例如8个)电感器44',和(v)多个(例如3个)电感器45',在被组装到电路板或热沉59上之前,全部都形成在单片基板60上。图4的晶体管41'、电容器42'、43'和电感器44'、45'分别对应于图3的晶体管41、电容42、43和电感44、45。在晶体管41'的输入处基本平行地布置(例如8个)电容器42'和电感器44'的组合。在晶体管41'的输出处基本平行地布置(例如3个)电容器43'和电感器45'的组合。本领域技术人员将理解,晶体管41'的基本平行的耦合分段数和/或基本平行的耦合的电容器-电感器组合42'、44'和/或43'、45'的数目可以变化以实现不同功率处理能力或者电路性能或者制造便利或其他原因,且本文说明的特定图示仅是实例且不意图限制。

[0024] 图4的放大结构58与图2的放大结构38不同之处在于,其中,使得例如使用基本平面型集成电路处理技术制造在共用SC基板60上形成的无源和有源元件。本领域技术人员将理解,可以在该无源元件和下层SC基板60之间提供各种绝缘层,以及对各种元件“在基板60上”或“在SC基板上”或等价物的参考包括在该元件和下层SC基板60之间具有该绝缘层。作为一个单元将图4完成的基板60安装在下层电路板或热沉59上,而不是象图2中那样使得其无源和有源元件被分离制造且稍后被组装并电耦合在电路板39上的。图4的放大结构58包括其中已经包括了所期望的有源(例如晶体管41')和无源元件(例如电容器42'、43'和电感器44'和45')的单片基板60。本领域技术人员将理解,可以在基板60上或上方或者在整个基板60内部或部分地在基板60的内部和部分地在基板60上或上方根据(一个或多个)器件的属性来形成(一个或多个)有源器件(例如晶体管41')。因此,与本文关于(一个或多个)有源器件所使用的相同,术语“在基板60中”、“在SC基板中”和等价物意在包括所有这种变型。已经发现,其中,当SC基板60的体电阻率等于或大于预定水平时,实质上降低了寄生电感器-基板耦合,且电感器Q充分增加从而能够获得满意的电路性能,即使电感器的形式是由SC基板支撑的平面线圈也是如此。所期望的预定水平有效地等于或大于约1000hm-cm电阻率,合宜地等于或大于约5000hm-cm电阻率,更合宜地等于或大于约10000hm-cm电阻率,以及优选的浮动区材料具有约10000hm-cm或以上的电阻率。如本文所使用的,术语“体电阻率”涉及到基板60位于器件区域外部、例如位于晶体管41'及其相关的掺杂区域外部的那些部分。这是现有技术中未教导的结果。

[0025] 例如含有晶体管41'、平面电容器42'、43'和平面电感器44'、45'的单片基板60作为一个单元安装在下层电路板或者热沉59上,和其上的适当节点电耦合(例如,经由引线结

合55')到与图3的输入端子47相对应的输入总线47'并耦合(例如经由引线结合56')到与图3的输出端子48相对应的输出总线48'。如随后将通过结合图5至7更详细说明的,与图3的基准或地节点49相对应的基准或地平面49'位于一部分或全部基板60下方。期望将多个基板通孔(through-substrate-via, TSV)连接(例如,49-1', 49-2', 49-3'等)提供在基板60中,通向基准或地平面49'以最小化串联电阻,降低损耗并增强整体电路性能。该TSV连接的示范性细节在图5-6中说明。还将理解,仅在图4中示意性示出的晶体管结构41'可以包括很多并联的分段。例如,图4中示出了16个这种分段。在示范性的LDMOS晶体管41'的情况下,这些分段包括并联耦合到基准电极49'的多个源极区域51'、并联耦合到漏极总线52-1'的漏极区域52'以及并联耦合到栅极总线50-1'的居间栅极指状物50'。如图5中更详细说明的,使用图4中象征性地通过TSV 49-2'表示的各种TSV,晶体管41'的共用(例如,源极)区域51'在多个位置处耦合到基板60下方的地平面或基准电极49'。

[0026] 从输入总线47'(对应于图3的输入端子47)延伸到结合焊盘(例如,节点)53'的引线结合55'对应于图3的至节点53的连接55。(例如,平面)电容器42'的上端子42-1'耦合到节点53'且电容器42'的下端子42-2'经由TSV 49-1'耦合到基板60下方的地平面49'。与图3的电感44相对应的电感器(例如,平面线圈)44'具有耦合到节点53'的一个端子以及耦合到栅极总线50-1'的第二端子,所述栅极总线50-1'将示范性LDMOS晶体管41'的多个栅极50'绑在一起。

[0027] 与图3的电容43相对应的平面电容器43'例如具有耦合到漏极总线52-1'的上电极43-1'以及耦合到与图3的电感45相对应的平面电感器45'的第一引线的下电极43-2',或反之亦然。平面电感器45'的第二引线经由TSV 49-3'耦合到在全部或部分基板60下方的地平面49'。漏极总线52-1'也耦合到例如与图3的节点54相对应的结合焊盘54'。与图3的连接56相对应的引线结合56'将结合焊盘54'耦合到与图3的输出端子48相对应的输出总线48'。在图3-4中说明的布置中:(i)电容43(电容器43')和电感45(电感器45')串联耦合,(ii)电容电极43-1(电容器电极43-1')连接到节点54、54',以及(iii)电感45(电感器45')的引线连接到基准节点49(地平面49')。然而在其他实施例中,这些元件的顺序可以颠倒,使得虽然电容43(电容器43')和电感45(电感器45')仍串联耦合,但电感45(电感器45')的引线连接到节点54、54',以及电容43(电容器43')的引线连接到基准节点49(地平面49')。任一种结构都是有用的。

[0028] 其中,图4的放大结构58具有的优势在于可以单片(例如平面)形式提供各种无源和有源器件,且可以将其组装在电路板或热沉59上作为部分的单片单元60而不是被分离地制造并互联。这导致了几个有利结果。首先,与图2的电路26的布置相比,通过图4的布置,使得实施电路46所需的引线结合和相似连接的数目少得多。本领域众所周知的是,由于分离提供的互联数目降低,因此改善了整体可靠性。第二:使用基本平坦的集成电路处理技术在共用基板上制造无源和有源元件这两者的能力意味着能够避免组装各个无源和有源元件。众所周知的是,使得制造成本降低和整体性能提高。由此,图3-4中说明的布置使得可以利用这种技术并克服依靠独立制造和组装元件的现有技术的限制。

[0029] 图5示出了根据本发明再一实施例的通过用于图3-4的放大器结构中的横向(双)扩散金属氧化物半导体(LDMOS)晶体管41'的部分67的简化横截面图66。在优选的实施例中,部分67基本上关于部分67的中心线68横向对称,但是在其他实施例中,也可使用非对称

结构。虚线67-1指示部分67与其任一侧上基本相同部分相匹配的位置,以形成多分段LDMOS晶体管41'。图5描述了在基板减薄操作(稍后描述)之前具有最初厚度61-i和最初下表面62-i(虚线所示)的最初基板60-i,且其也示出了在其中去除了最初基板61-i的部分61-1的减薄操作之后具有厚度61和下表面62的随后的基板60。部分67包括具有电阻率有利地等于或大于约1000hm-cm电阻率、合宜地等于或大于约5000hm-cm电阻率、更合宜地等于或大于约10000hm-cm电阻率、以及优选采用至少约10000hm-cm电阻率的浮动区材料的(例如,P型)高电阻率SC基板60-i、60。基板60的最终厚度61有用地在约10至1000微米的范围内,合宜地在约25至500微米的范围内,以及期望在约50至150微米的范围内,约75微米是优选的,但是也可以使用更厚和更薄的基板。期望基板60的下表面62提供有例如为金(Au)的导体69,对应于图3的基准节点49和图4的地平面49'。也可使用除了Au之外的其他相对导电的材料用于导体69,这取决于选择用于组装基板60至电路板或热沉59的晶片附着方法。优选附着到热沉。导体69可以位于全部或部分基板60下方。在基板60的上表面63上的是几个电介质和导体的层以及区域,作为实例,“第一”电介质层81被“第一金属”层91部分地叠置,“第二”电介质层82部分上叠置有“第二金属”层92,“第三”电介质层83部分上叠置有“第三金属”层93以及“第四”电介质层84部分上叠置有“第四金属”层94。如本文所使用的,术语“金属”意在包括任意类型的相对导电材料(例如,层叠的导体结构、金属SC化合物、半金属等)且不仅限于简单的金属。图5中示出的结构是实例而非限制,且取决于被实施的具体电路,可以提供更多或更少的电介质-金属层组合。

[0030] 在对称结构中,优选将漏极70(例如N⁺)提供在基本位于部分67中心的中心线68周围且与表面63相邻,但是也可以使用其他位置和非对称结构。漏极区域70具有有用地至少约5E19cm⁻³、合宜地至少约1E20cm⁻³和优选地至少约3E20cm⁻³的掺杂浓度,但是也可以使用更高或更低的掺杂浓度。在对称结构中的横向毗邻漏极区域70是(例如,高电压N型(HVN))载流子漂移区71。载流子漂移区71具有有用地在约1E16cm⁻³至1E18cm⁻³范围内、合宜地在约7E16cm⁻³至1E17cm⁻³的范围内、以及优选地在约1E17cm⁻³至2E17cm⁻³的范围内的掺杂浓度,但是也可使用更高或更低的掺杂浓度。漂移区71的横向外部(例如,P型高电压(PHV))是在至少一部分栅电介质73和导电栅极74下方的沟道区72。沟道区72具有有用地在约1E17cm⁻³至2E18cm⁻³范围内、合宜地在约3E17cm⁻³至1E18cm⁻³的范围内、以及优选地在约5E17cm⁻³至9E17cm⁻³的范围内的掺杂浓度,但是也可以使用更高或更低的掺杂浓度。沟道区72的横向外部(例如,N⁺)是源极区76。源极区76具有有用地至少约5E19cm⁻³、合宜地至少约1E20cm⁻³、以及优选至少约3E20cm⁻³的掺杂浓度,但是也可以使用更高或更低的掺杂浓度。源极区76的横向外部(例如,P型)是体接触区77。体接触区77具有有用地在约1E18cm⁻³至1E20cm⁻³范围内、合宜地在约2E18cm⁻³至7E19cm⁻³的范围内、以及优选地在约5E18cm⁻³至5E19cm⁻³的范围内的掺杂浓度,但是也可以使用更高或更低的掺杂浓度。当栅极74适当偏置时,导电沟道75形成在源极区76和漏极区70之间。上述的示范性的导电类型适合于形成N沟道结构,但是本领域技术人员将理解也可以通过适当的互换各掺杂区的导电类型和适当修改栅极74上的偏置来形成P沟道结构。栅电介质73的厚度将取决于所期望的操作电压,但是在约10至1000纳米范围内的厚度是有利的,约100至500纳米是合宜的,以及约150至400纳米是优选的。WSi可用于栅极导体74,但是也可使用其他导电材料。本领域技术人员将理解,栅极导体74在图5的平面之前和/或之后的面中耦合到栅极接触50(见图4)和栅极总线50-1。

[0031] 在漏极区70上方并实现至漏极区70的欧姆接触的是导体78、例如硅化钴,但是也可以使用其他导体材料。在漏极接触区78上方并实现至漏极接触区78的欧姆接触的是通过第一电介质层81延伸的层间导电通孔90-1,以便将漏极接触区电耦合至第一金属91的部分91-1。在第一金属91的部分91-1上方并实现至第一金属91的部分91-1的欧姆接触的是通过第二电介质层82延伸的层间导电通孔90-2,以便将第一金属91的部分91-1电耦合至第二金属92的部分92-1。在第二金属92的部分92-1上方并实现至第二金属92的部分92-1的欧姆接触的是经由第三电介质层83延伸的层间导电通孔90-3,以便将第二金属92的部分92-1电耦合至第三金属93的部分93-1。将开口84-1提供在第四电介质层84中以便允许第四金属94实现至第三金属93的部分93-1的欧姆接触。虽然图5中说明的多层电介质金属布置是优选的,但是可以使用用于在漏极接触78和上层的金属导体94之间提供相对低电阻连接的任意装置。金属层91、92、93合宜地由铝-铜(A1-Cu)合金制成,例如并非限制为具有99.5%的A1和0.5%的Cu,且具有有用地约0.1至10微米、合宜地在约0.3至3微米的范围内、以及优选地在约0.5至0.7微米的范围内的厚度,但是也可以使用更薄或更厚的层以及其他导电材料。

[0032] 在源极区76和体接触区77上方并实现至源极区76和体接触区77的欧姆接触的是导体79、例如硅化钴,但是也可以使用其他导电材料。层间导电通孔90-4被提供成通过电介质层81延伸,以便将源极-体接触79欧姆耦合至第一金属层91的部分91-2,其又欧姆耦合到经由基板60延伸的基板通孔(TSV)98,以提供至基板60下方的地平面层69的比较低电阻的接触。钨(W)是用于TSV 98的导体的合适材料。在其他实施例中,可以省略提供在中间导体(例如,钨(W))和周围SC(例如,硅(Si))之间的TSV 98中的电介质衬里981。可以使用任一种布置。如上所述,“金属”层91、92、93合宜地为铝-铜(A1-Cu)合金,但是也可以使用其他相对导电的材料。层间通孔90-1、90-2、90-3、90-4合宜地也可以为钨(W),但是也可以使用其他导电材料。电介质层81、82、83、84合宜地为氧化硅或氮化硅或其组合物,但是也可以使用其他相对低泄漏的电介质材料。电介质层81、82、83、84有用地具有约0.1至10微米、合宜地在约0.5至5微米的范围内、以及优选在约1至1.5微米的范围内的厚度,但是也可以使用更薄或更厚的层。期望耦合到漏极接触78的导体94为铜(Cu)、金(Au)、银(Ag)或其组合物,或者为其他高导电性金属或合金,优选99%的纯Cu。导体94合宜地例如也用于形成图4的电感器45'和其他顶表面互联,特别是承载漏极电流的那些。鉴于此,期望其电阻低。因此,在优选实施例中,厚度有用地至少约1微米,合宜地至少约3微米,更合宜地至少约6微米,以及优选地至少约9微米。以另一种方式陈述,通常期望导体94(和导体94'、94'',随后将讨论)的厚度95是第一、第二或第三金属层91-93厚度的5至10倍,但是也可以使用其他厚度。考虑到例如用于形成电感器45'和其他(例如,漏极电流)互联例如引导至结合焊盘54'(见图4)的那些互联的、在基板60上可获得的表面积,期望选择导体84的宽度96以最小化导体94的电阻。

[0033] 图6示出根据本发明的再一实施例的图4的放大器结构58的部分67'的简化横截面图66',其示出了如何以单片形式将低损耗电容在其中提供在SC基板60上、耦合到在同一单片基板60上的用于形成低损耗电感和互联的导体。部分67'描述了如图5中所示的相同基板60,但是处于不同于晶体管41'的位置,例如在意图提供图4的电容42'或43'的位置。为了便于解释,借助于实例而非限制来描述具有耦合到地平面69(即,图3-4的基准节点49、49')的一个电极的电容器42'的横截面结构。在图6中使用与图5中相同的附图标记添加撇号(')或两个上撇号('')之后加上“-n”,这里n是不同于图5中所用的数字。例如这意在指示所示的

元件可以形成在与图5中的相应元件相同的层中或者同时形成,但是可以位于不同横向位置处且建立不同的互联。因此,图5关于各导体和电介质层或区域的成分和厚度的讨论通过引用结合于此。

[0034] 在图6的示范性结构67'中,使用“第二金属”层92的部分92-3作为电容器42'的下电极42-2'来形成电容器42'。将电介质层100提供在导体部分92-3上,并且与图4的上电极42-1'相对应的上电极102被提供成置于电介质层100上方。氧化硅和/或氮化硅和/或其组合物是适合用于电介质层100的材料的非限制性实例,但是也可以使用其他绝缘材料。电介质层100的厚度101将取决于期望的电容和需要由电容器42'支撑的电压。在很多应用中,厚度101有用地在约0.01至1微米的范围内,合宜地在约0.1至0.5微米的范围内,以及优选地在约0.15至0.25微米的范围内,但是也可以使用更薄或更厚的层。上电极102合宜地为TiN并具有有用地在约0.01至1微米的范围内、合宜地在约0.1至0.5微米的范围内、以及优选地在约0.15至0.25微米的范围内的厚度,但是也可以使用更薄或更厚的层或者其他导体。层间导电通孔90-2被提供成将由“第二金属”92的部分92-3提供的下电极42-2'耦合至“第一金属”91的部分91-3,其耦合到TSV 98',而TSV 98'又耦合到地平面或者在单片SC基板60的背表面62上的其他基准电势导体69。在其他实施例中,可以省略TSV 98'在此处通过基板60的电介质衬里981'。任一布置是有利的。层间导电通孔90-3将通过导体102提供的电容器42的上电极42-1'耦合至“第三金属”层93的部分93-3。在第四电介质层84中提供开口84-2,使得可以提供与图5的厚度95和宽度96的导体94相似的厚度95'和宽度96'的低电阻导体94',以例如将电容器42'耦合至图4的电感器44'和/或节点53'。上述布置允许通过最小化与其相关的电阻损耗和至其的连接以平面形式提供高品质(例如,高Q)电容。

[0035] 虽然图6示出了具有经由低电阻TSV耦合到基准电势的一个电极和耦合到非接地节点的另一个电极的电容器42',本领域技术人员将理解,通过省略将部分92-3耦合至束缚于TSV 98'的部分91-3的层间导电通孔90-2,可以提供具有耦合至非接地节点的两个电极的图4的电容器43'。这种布置在图7中示出,示出了其中示出电容器43'的部分67''的横截面66''。电容器43具有通过“第二金属”92的部分92-3、其上的电介质103(厚度与图6的电介质100相似)形成的下电极(例如,图4的43-2'),以及通过层间通孔90-31耦合到“第三金属”93的部分93-4的上电极(例如,图4的43-1')104,所述“第三金属”93的部分93-4又经由电介质层84中的开口84-3耦合到较重引线94''-1(与之前描述的引线94、94'相似)。但是,并非如图6中那样耦合到TSV98',而是“第二金属”层92的部分92-4经由层间通孔90-32耦合到“第三金属”层93的部分93-5以及经由电介质层84中的开口84-4耦合到较重引线94''-2。如通过裂缝106所示,较重引线94''-2关于引线94''-1可以处于任意距离和任意取向。由此,图7的布置可以用于实施例如串联耦合在图4中的漏极总线52-1'和平坦电感器45'之间的电容器43'',例如进行到漏极总线52-1'的引线94''-2和进行到平面电感器45'的引线94''-1,或者反之亦然,这取决于设计者的偏好。图7也示出了另一实施例,其中“第一金属”层91的部分91-4被提供在下方,并通过层间导电通孔90-2耦合到“第二金属”层92的部分92-4,以使得其与部分92-4电并联,从而降低电容器43''和引线94''-2之间的电阻。这降低了寄生电阻并有利于提供用于电容器43''和电感器45'的高Q值。

[0036] 图8示出了根据本发明再一实施例的说明用于形成图3-7的部分或全部电路和结构的方法300的简化流程图。本领域技术人员将理解,虽然方法300用于形成图3-7中示出的

全部或部分电路和结构,但是其也能够用于形成含有更多或更少的电容器、电感器和晶体管的其他电路和结构,且不仅限于实施图3的电路。在开始301之后,最初步骤302包括提供具有相对的第一和第二表面(63,62-i)的高(例如,优选 $\geq 1030\text{hm-com}$)电阻率SC基板。该基板被称作具有最初厚度61-i和最初下表面62-i的最初基板60-i(见图5),以区别于具有较小厚度61和下表面62的图4-7的最终基板60。基板60-i在开始制造时具有最初厚度,该最初厚度有用地在约500至1000微米的范围内,合宜地在约600至900微米的范围内,以及优选在约700至800微米的范围内,但是也可以使用更厚和更薄的基板。步骤303包括接近第一表面(例如,图4-7的表面63)在基板(例如,基板60-i)中形成具有输入(例如,栅极50,52',74)端子、输出(例如,漏极52,52',70,78)端子和基准或共用(例如,源极51,51',76,79)端子的晶体管(例如,晶体管41')。在步骤304中,形成一个或多个导体填充的基板通孔(例如,通孔49',98,98'),其经由第一表面(例如,表面63)延伸到最初的SC基板(例如,基板60-i)内。该基板通孔(例如,通孔49',98,98')的下表面982(见图5)最初埋入在最初基板内(例如,基板60-i),且尚未暴露。在步骤305中,一个或多个平面电容器(例如,电容器42',43')被提供在最初基板(例如,基板60-i)的第一表面(例如,表面63)上方,每个电容器具有第一和第二端子。在步骤306中,一个或多个平面电感器(例如,电感器44',45')被提供在第一表面(例如,表面63)上方,其中一个或多个平面电容器(42',43')的第一端子(例如,端子42-1',43-1')或第二端子(例如,端子42-2,43-2)被耦合到一个或多个平面电感器(44',45')的第一端子(例如,端子44-1',45-1')或第二端子(例如,端子44-2',45-2'),其另外的端子(例如,端子44-2',44-1')适于耦合到基板通孔(例如,基板通孔49',98,98'),耦合至晶体管的一个或多个端子(例如,晶体管41'的端子50',52'),或者耦合至其他节点(例如,节点53,54)。在随后的步骤307中,研磨、蚀刻和/或以另外方式研磨最初基板(例如,基板60-i)的下表面62-i(见图5)以去除最初基板厚度量61-1(见图5)并暴露出基板通孔(例如,通孔49,98,98')的下(内)端部(例如,端部982)。在步骤308中,将导体(例如,地平面导体49',69)施加到被减薄基板(例如,基板60)新暴露出的背表面(例如,面62),以使得基板通孔(例如,通孔49',98,98')电连接到地平面导体(例如,导体49',69)。然后,方法300基本推进至结束309。

[0037] 根据又一实施例,图4中示出的优选实施例可以在步骤305-306中通过以下步骤形成:(a)在最初基板60-i的第一表面(例如,表面63)上形成第一和第二平面电容器(例如,电容器42',43')的步骤305中,每个电容器具有第一和第二端子;(b)在步骤306中,在第一表面(例如,表面63)上方形成第一和第二平面电感器(例如,电感器44',45'),每个电感器具有第一和第二端子;(c)将第一电容器(例如,电容器42')的第一端子(例如,42-1')耦合至第一电感器(例如,电感器44')的第一端子,并将第一电感器的第二端子耦合至晶体管输入(例如,栅极50');(d)将第二电容器(例如,电容器43')的第一端子(例如,端子43-1')耦合至晶体管输出(例如,漏极52')和将第二电容器(例如,电容器43')的第二端子(例如,端子43-2')耦合至第二电感器(例如,电感器45')的第一端子;以及(e)将第一电容器(例如,电容器42')的第二端子(42-3')、第二电感器(例如,电感器45')的第二端子和晶体管(例如,晶体管41')的共用端子(例如,源极51')耦合至基板通孔(例如,基板通孔49',98,98')。

[0038] 图9-11示出了根据本发明又一实施例的用于形成图3-7的部分或全部电路和结构的方法400的简化流程图。本领域技术人员将理解,虽然方法400用于形成图3-7中示出的全部或部分电路和结构,但是其也能够用于形成含有更多或更少的电容器、电感器和晶体管

的其他电路和结构,且不仅限于实施图3的电路。为了便于说明,将方法400的流程图分成三部分,图9中的部分400-1,图10中的部分400-2和图11中的部分400-3。在开始401之后,实施最初步骤402,其中提供具有相对的第一和第二表面的高电阻率最初SC基板(例如,基板60-i,见图5和相关讨论)。该基板被称作最初基板60-i,具有最初厚度61-i和最初下表面62-i,以区别于具有较小厚度(例如,厚度61)和在减薄之后新暴露出的下表面62的图4-7的减薄的基板60,如结合图8描述的,该描述通过引用结合于此。在步骤403中,接近第一表面(例如,图4-7的表面63),在最初SC基板60-i中形成具有输入端子(例如,栅极50,50',74)、输出端子(例如,漏极52,52',70,78)和基准端子(例如,源极51,51',76,79)的一个或多个晶体管(例如,晶体管41,41',67)。在步骤404中,将至少第一电介质层(例如,层81)提供在第一表面(例如,表面63)上方。然后,以如通过第一路径405-1、406-1、406-3(优选的)所指定的任一顺序、或者以替选的第二路径405-2、406-2、405-3(也是有用的)来提供步骤405和406。在步骤405中,一个或多个导体填充的基板通孔(例如,通孔49,98,98')被形成经由第一表面(例如,表面63)延伸到最初SC基板60-i中且具有最初掩埋的内端部982(见图5)。在步骤406中,第一层间导电通孔(例如,通孔90-1,90-2,90-4)被形成、被耦合到端子(例如,晶体管41'的端子76,79,74,78)中的至少第一个(例如,端子76,79)。在步骤407中,将“第一金属”层(例如,层91)提供到第一电介质层(例如,层81)上方,且具有将第一端子(例如,端子76,79)耦合至基板通孔(例如,通孔49',98,98')的至少第一部分(例如,部分91-2)和通过第一层间通孔的另一部分(例如,90-1)被耦合到另一端子(例如,漏极端子78)的另一部分(例如,91-1)。步骤408中,第二电介质层(例如,层82)形成在“第一金属”层(例如,层91)上方。在步骤409中,第二层间导电通孔(例如,层间通孔90-2)被提供成至少耦合到“第一金属”(例如,层91)的另一部分(例如,部分91-1)并通过第二电介质层(例如,层82)延伸。在步骤410中,“第二金属”层(例如,层92)被形成为置于第二电介质层(例如,层82)上方并具有耦合到一些第二层间通孔(例如,通孔90-2)的第二部分(例如,部分92-1)。在步骤411中,将平面电容器(例如,电容器42',43')提供在第二金属层(例如,层92)的一部分(例如,部分92-3和/或92-4)且具有上电极(例如,电极102,104)。在步骤412中,第三电介质层(例如,层83)被形成在上电极(例如,电极102,104)和“第二金属”层(例如,层92)以其他方式暴露的部分上方。在步骤413中,第三导电电介质通孔(例如,通孔90-3)形成为至少耦合到上电极(例如,电极102,104)并延伸通过第三电介质层(例如,层83)。在步骤414中,“第三金属”层(例如,层93)被提供成具有接触第三层间导电通孔的至少一部分(例如,通孔90-3)的第三部分(例如,93-3,93-4和/或93-5)。在步骤415中,第四电介质层(例如,层84)被提供成具有延伸至第三部分(例如,部分93-3,93-4和/或93-5)的一个或多个开口(例如,开口84-1,84-2,84-3和/或84-4)。在步骤416中,将平面电感器(例如,电感器44',45')和/或互联(例如,56,57,52-1和/或50-1等)提供在经由一个或多个开口(例如,开口84-1,84-2,84-3和/或84-4)被耦合到第三部分(例如,部分93-3,93-4和/或93-5)的第四电介质层(例如,层84)上。在步骤417中,最初基板(例如,基板60-i)的第二表面(例如,表面62-i)例如是背面研磨的、被蚀刻的或者以其他方式被研磨的,以去除最初基板61-i的厚度61-1,以便提供新的背侧表面(例如,表面62),其上新暴露出基板通孔(例如,通孔49',98,98')的内端部(例如,端部982),使得在步骤418中,背面金属或其他导体(例如,导体49',69)能够与基板通孔(例如,通孔49',98,98')新暴露的端部(例如,端部982)接触地施加,从而提供与经由基板通孔

(例如,TSV 49',98,98')耦合至其的晶体管和/或电容器和/或电感器的那些端子或引线的低电阻欧姆接触。然后,方法400基本推进至结束419。

[0039] 根据第一实施例,提供了一种单片微波集成电路(46,58),包括:半导体基板(60),其具有的体电阻率等于或大于约1000 $\Omega\cdot\text{cm}$ 并具有前表面(63)和后表面(62);至少一个晶体管(41),其形成在该半导体基板(60)中并具有输入端子(50)、输出端子(52)和基准端子(51);至少一个电容器(42',43'),其单片地形成在半导体基板(60)上方,至少一个电感器(44',45'),其单片地形成在半导体基板(60)上方;以及平面互联,其置于半导体基板(60)上方、耦合至少一个晶体管(41')、电容器(42',43')和电感器(44',45'),以形成单片集成电路(46,58)。根据再一实施例,单片微波集成电路(46,58)还包括其输入节点(53,53')和其输出节点(54,54'),两个节点都由半导体基板(60)的前表面(63)支撑;以及由半导体基板(60)的后表面(62)支撑的其基准节点(49,69)。根据又一实施例,单片微波集成电路(46,58)还包括多个导电的基板通孔(49',98,98'),其将至少一个晶体管(41)、至少一个电容器(42',43')和至少一个电感器(44',45')中的一个或多个耦合至基准节点(49,69,69')。根据又一实施例,多个导电的基板通孔(49',98,98')中的第一个(49-2')将至少一个晶体管(41')的基准端子(51',76)耦合到基准节点(49,69)。根据又一实施例,多个基板通孔(49',98,98')中的第二个(49-1')将至少一个电容器(42')中的第一个端子(42-2')耦合到基准节点(49,69)。根据又一实施例,至少一个晶体管(41')是横向晶体管。根据另一实施例,至少一个电容器(42',43')是平面电容器,并且至少一个电感器(44',45')是平面电感器。根据又一实施例,半导体基板(60)还包括:多个导电的基板通孔(49',98,98'),每个具有被耦合到基准节点(49,69,69')的端子;两个单片电容器(42',43'),其形成在半导体基板(60)的前表面(63)上方,每个具有第一(42-1',43-1')和第(42-2',43-2')端子;两个单片电感器(44',45'),其形成在半导体基板(60)的前表面(63)上方,每个具有第一和第二端子,其中第一电容器(42')的第一端子(42-1')耦合到第一电感器(44')的第一端子并且第一电容器(42')的第二端子(42-2')耦合到多个基板通孔(49',98,98')中的第一个(49-1'),以及第一电感器(44')的第二端子耦合到晶体管(41')的输入端子(50),其中第二电容器(43')和第二电感器(45')串联耦合以形成组合(43',45'),该组合(43',45')具有第一和第二端子,以及其中该组合(43',45')的第一端子耦合到至少一个晶体管(41')的输出端子(52')以及组合(43',45')的第二端子耦合到多个导电的基板通孔(49',98,98')中的第二个(49-2')。根据又一实施例,至少一个电感器(44',45')包括约0.1-10微米厚的高导电性金属。

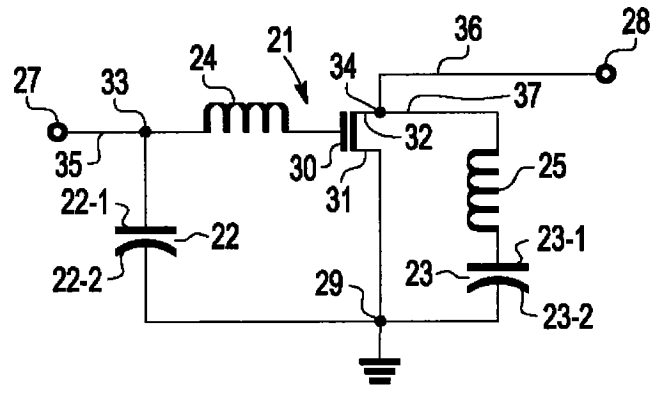
[0040] 根据第二实施例,提供了一种用于形成单片微波集成电路(46,58)的方法,所述单片微波集成电路(46,58)具有输入端子(47)、输出端子(48)和基准端子(49,69,69'),该方法包括:提供在第一表面(63)和最初第二背面(62-i)之间具有最初厚度(61-i)的高电阻率最初半导体基板(60-i);接近第一背面(63)在最初半导体基板(60-i)中形成至少一个晶体管(41'),其具有输入端子(50,50',74)、输出端子(52,52',70,78)和基准端子(51,51',76,79);经由第一表面(63)形成一个或多个延伸到最初半导体基板(60-i)中的导体填充的基板通孔(49',98,98');在最初基板(60-i)的第一表面(63)上方形成一个或多个平面电容器(42',43'),每个电容器(42',43')具有第一(42-1',43-1')和第(42-2',43-2')端子;在最初基板(60-i)的第一表面(63)上方形成一个或多个平面电感器(44',45'),其中一个或多个平面电容器(42',43')的第一端子(42-1',43-1')或第二端子(42-2',43-2')耦合到一个

或多个平面电感器(44', 45')的第一端子或第二端子,其中一个或多个平面电感器(44', 45')的其他端子耦合到基板通孔(49', 98, 98')、耦合到晶体管(41')的一个或多个端子(50', 52')或者耦合到微波集成电路(46, 58)的一个或多个端子(47, 48, 49),降低了最初厚度(61-i),从而产生了减薄基板(60)的新背表面(62),其上暴露出基板通孔(49', 98, 98')的内端部(982);以及将导体(69)施加到减薄基板(60)的新背表面(62),使得基板通孔(49', 98, 98')暴露出的内端部(982)电连接到导体(69)。根据进一步的实施例,形成一个或多个平面电容器(42', 43')的步骤包括:在最初基板(60-i)的第一表面(63)上方形成第一和第二平面电容器(42', 43'),每个电容器(42', 43')具有第一(42-1', 43-1')和第二端子(42-2', 43-2'),形成一个或多个平面电感器(44', 45')的步骤包括在第一表面(63)上方形成第一和第二平面电感器(44', 45'),每个电感器具有第一和第二端子,以及其中第一电容器(42')的第一端子(42-1')耦合到第一电感器(44')的第一端子,并且第一电感器(44')的第二端子耦合到晶体管输入(50'),以及其中第二电容器(43')的第一端子(43-1')耦合到晶体管输出(52')并且第二电容器(43')的第二端子(43-2')耦合到第二电感器(45')的第一端子,以及其中第一电容器(42')的第二端子(42-2')、第二电感器(45')的第二端子和晶体管(41')的基准端子(51')耦合到导体填充的基板通孔(49', 98, 98')中的至少一个。根据再一实施例,最初基板(60-i)具有等于或大于约1000hm-cm的电阻率。根据又一实施例,最初基板(60-i)具有等于或大于约5000hm-cm的电阻率。根据又一实施例,最初基板(60-i)具有等于或大于约10000hm-cm的电阻率。根据又一实施例,形成一个或多个平面电感器(44', 45')的步骤包括使用铜、金、银或其组合物形成电感器。根据另一实施例,铜、金、银或其组合物至少为约3微米厚。

[0041] 根据第三实施例,提供了一种单片微波集成电路(46, 58),其具有电路输入端子(47')、电路输出端子(48')和电路基准端子(49, 49', 69, 69'),包括:半导体基板(60),其具有的体电阻率等于或大于约1000hm-cm且具有前表面(63)和背表面(62),其中背表面(62)在其上具有电路基准端子(49, 49', 69, 69');至少一个LDMOS晶体管(41'),其形成在基板(60)中且具有晶体管输入端子(50')、晶体管输出端子(52')和晶体管基准端子(51'),其中晶体管基准端子(51')耦合到电路基准端子(49, 49', 69, 69')、置于前表面(63')上方的至少第一(42')和第二(43')单片平面电容器、置于前表面(63')上方的至少第一(44')和第二(45')单片平面电感器,以及其中第一电容器(42')耦合在电路输入端子(47')和电路基准端子(49, 49', 69, 69')之间,以及第一电感器(44')耦合在电路输入端子(47')和晶体管输入端子(50')之间,以及其中第二电容器(43')和第二电感器(45')串联耦合以形成组合(43', 45'),以及组合(43', 45')的第一端子耦合到晶体管输出端子(52')和电路输出端子(48'),以及组合(43', 45')的第二端子耦合到电路基准端子(49, 49', 69, 69')。根据另一实施例,基板(60)基本上包括浮区硅。根据又一实施例,第一和第二电感器(44', 45')中的至少一个基本由高纯度铜形成。根据又一实施例,高纯度铜具有至少约0.5微米的厚度。

[0042] 虽然在本发明的前述详细描述中提出了至少一个示范性实施例和制造方法,但是应当理解,存在大量变型。也应当理解,示范性实施例或者多个示范性实施例仅为实例,且不意图以任何形式限制本发明的范围、应用或构造。而是,前述详细描述将为本领域技术人员提供便利的线路图用于实施本发明的示范性实施例,将理解的是,对示范性实施例中描述的元件的功能和布置可以作出各种变化而不超出如所附权利要求书及其合法等价物

阐明的本发明的范围。

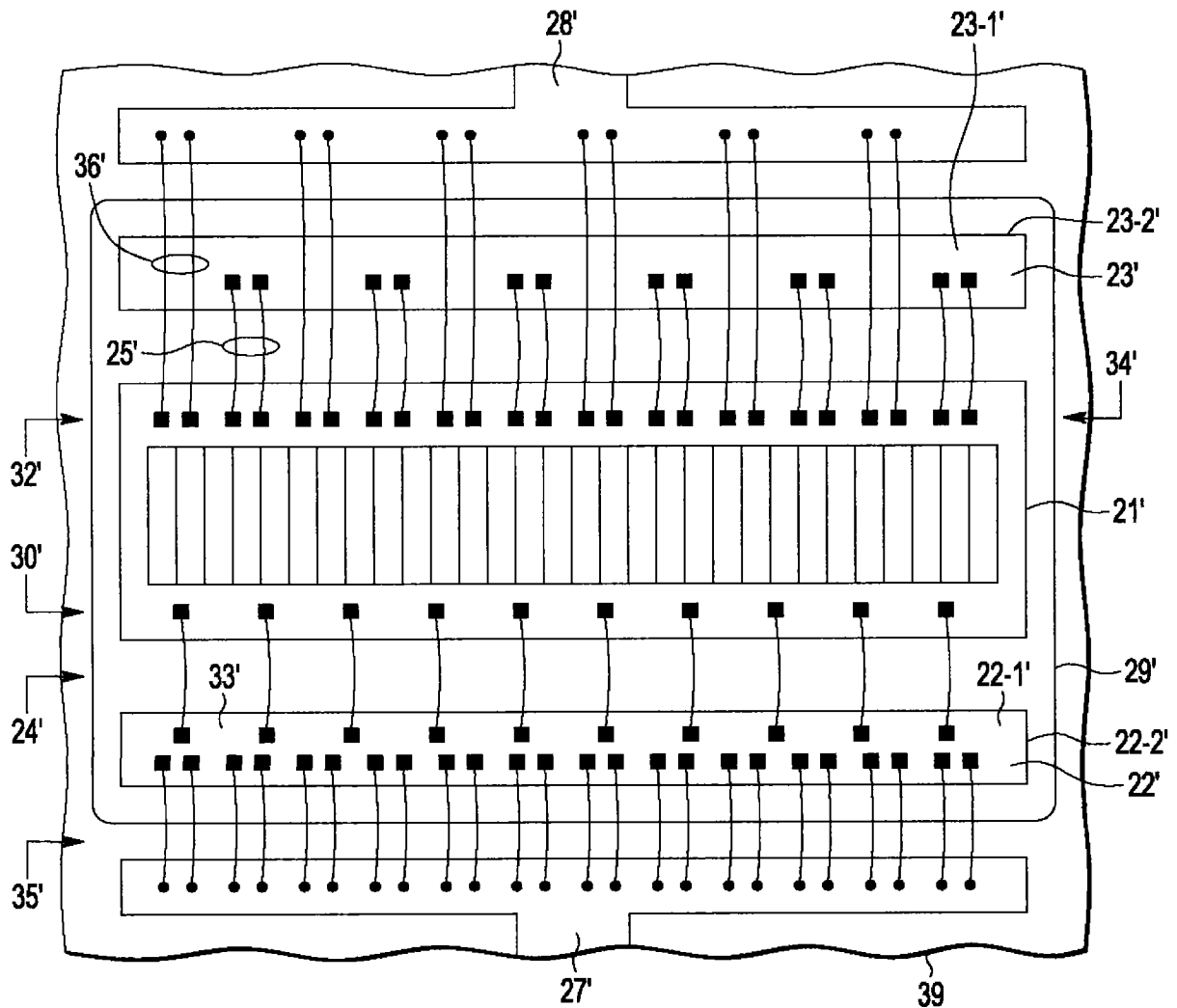


现有技术

20

26

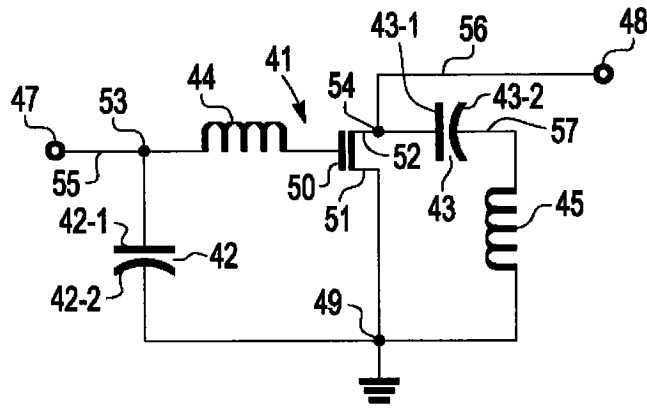
图1



现有技术

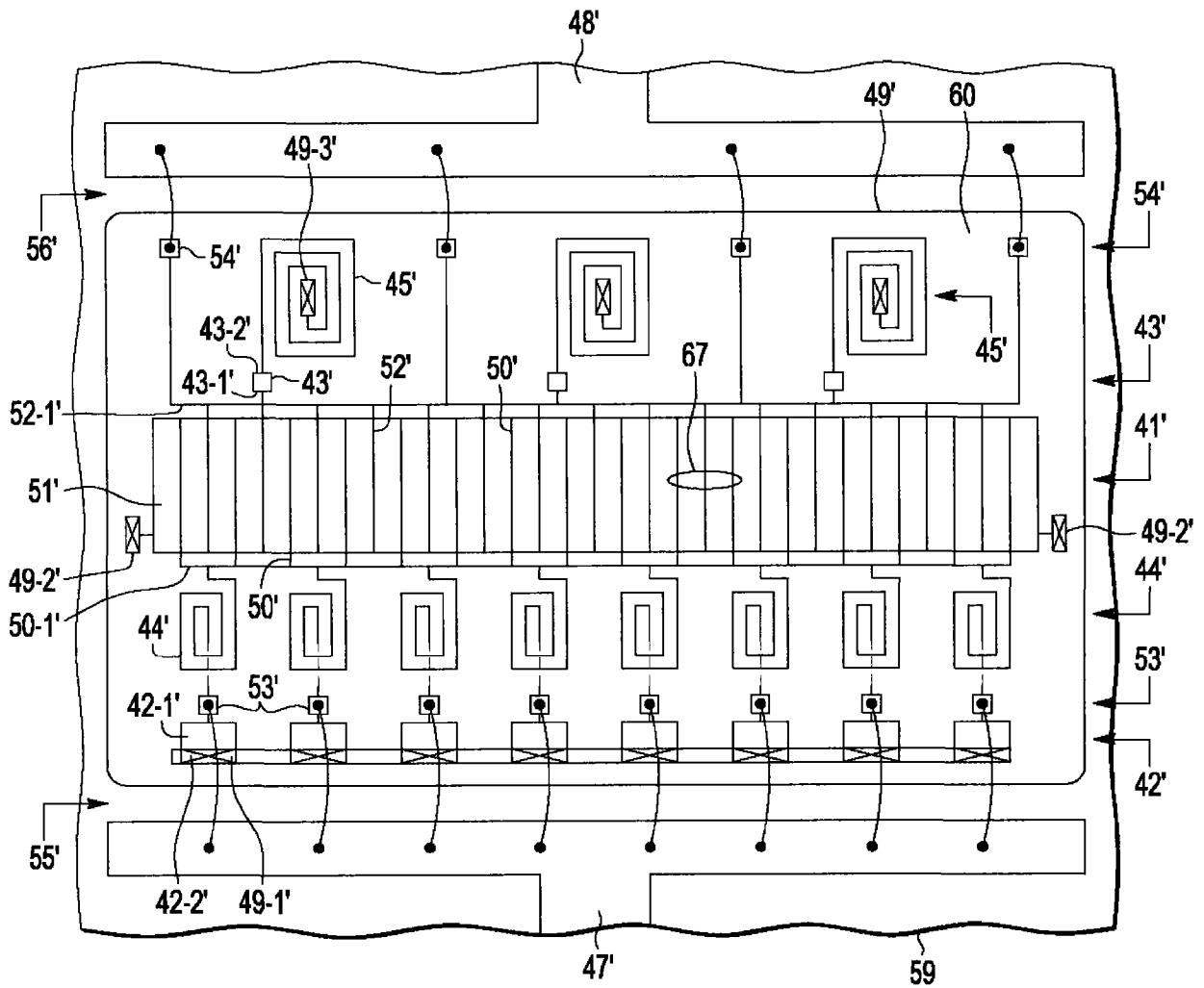
38

图2



40 46

图3



58

图4

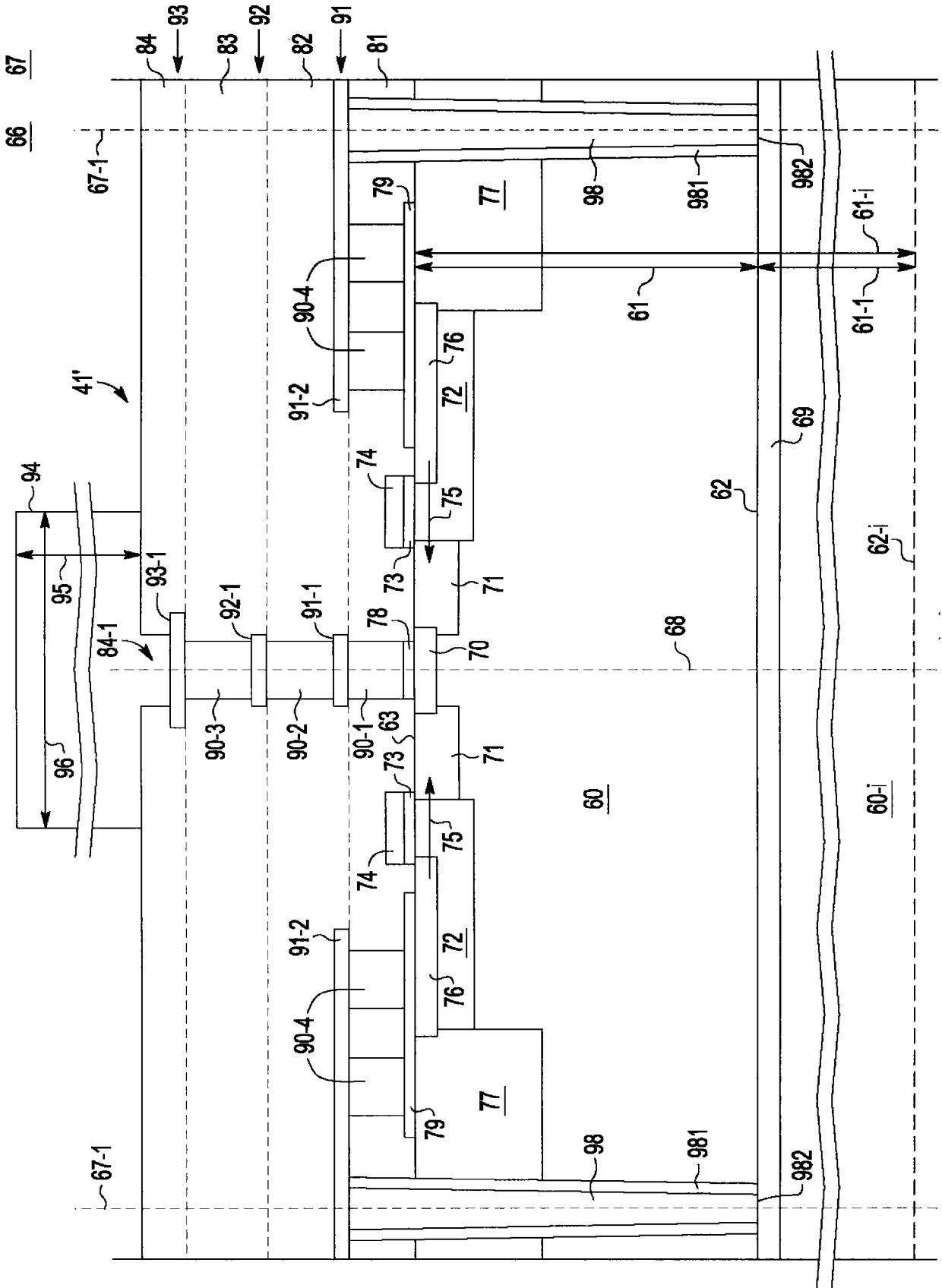


图5

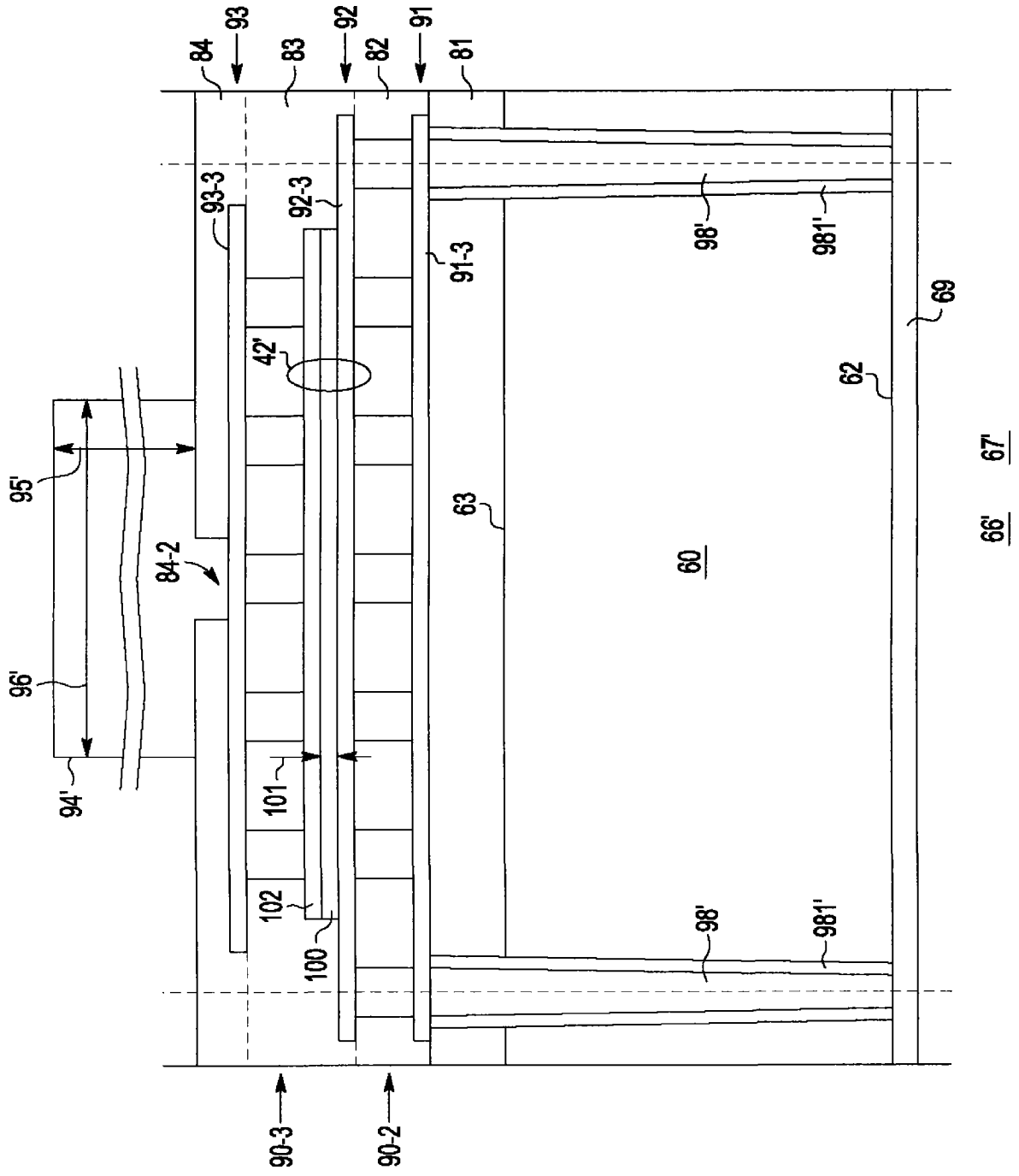


图6

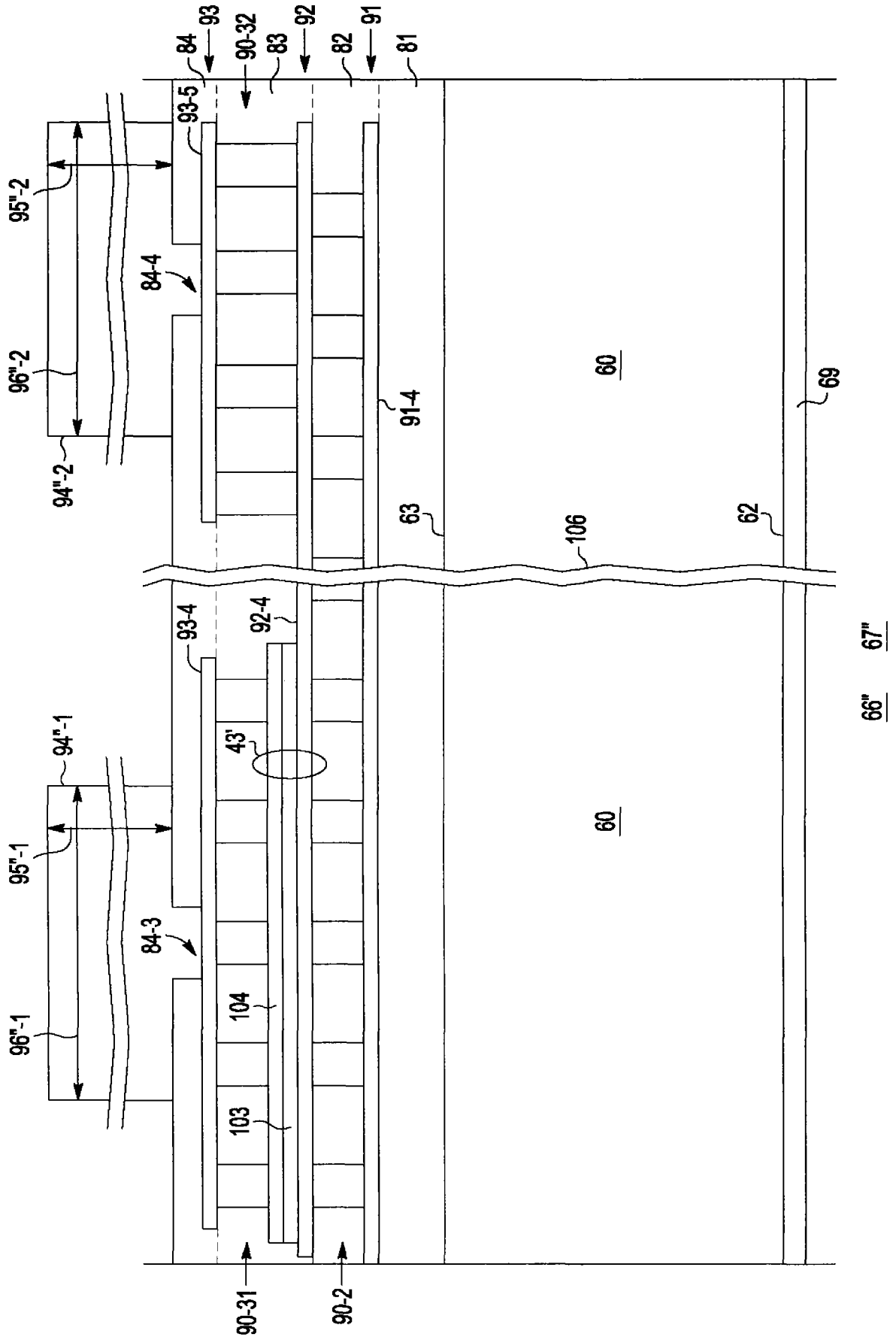


图7

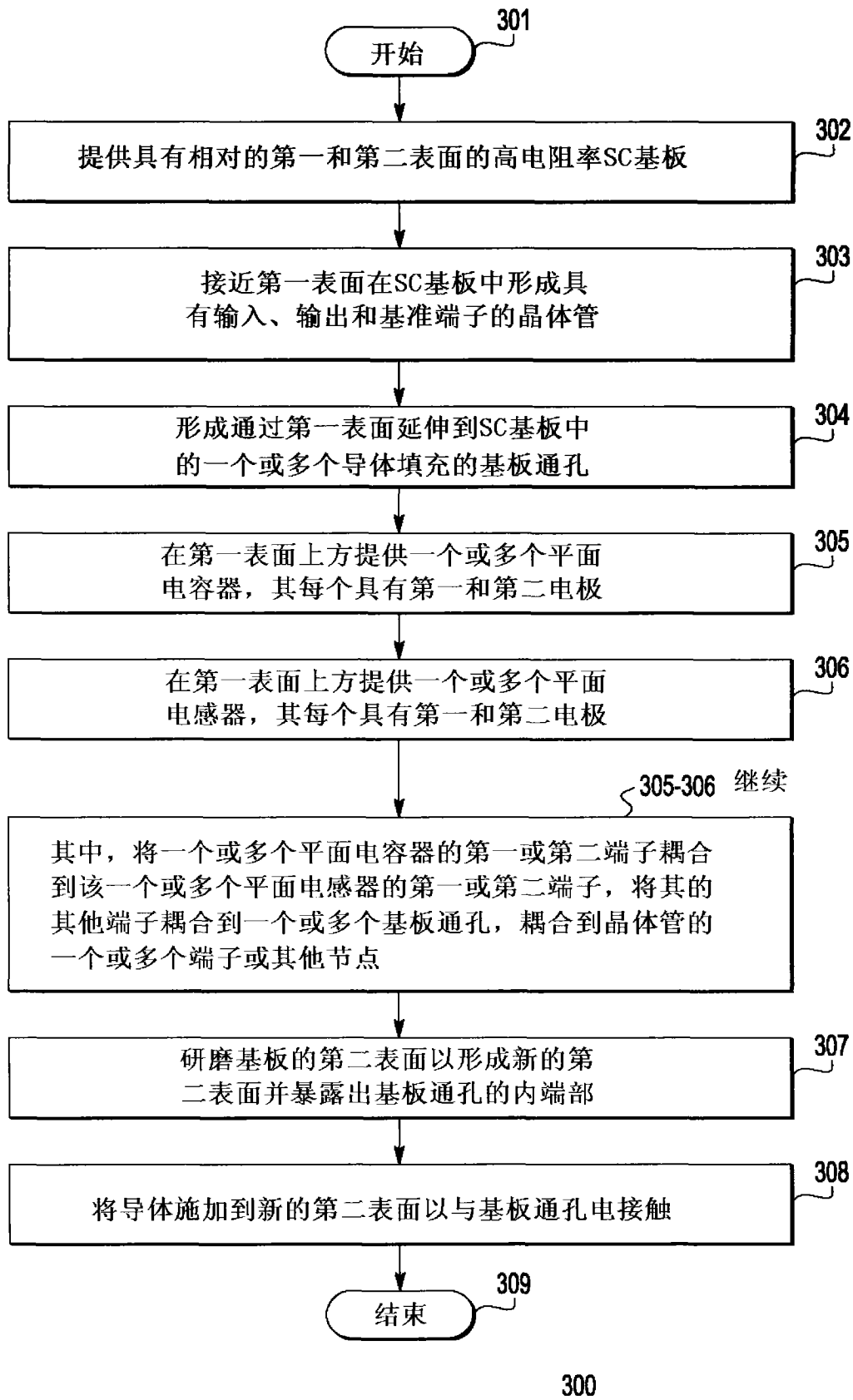


图8

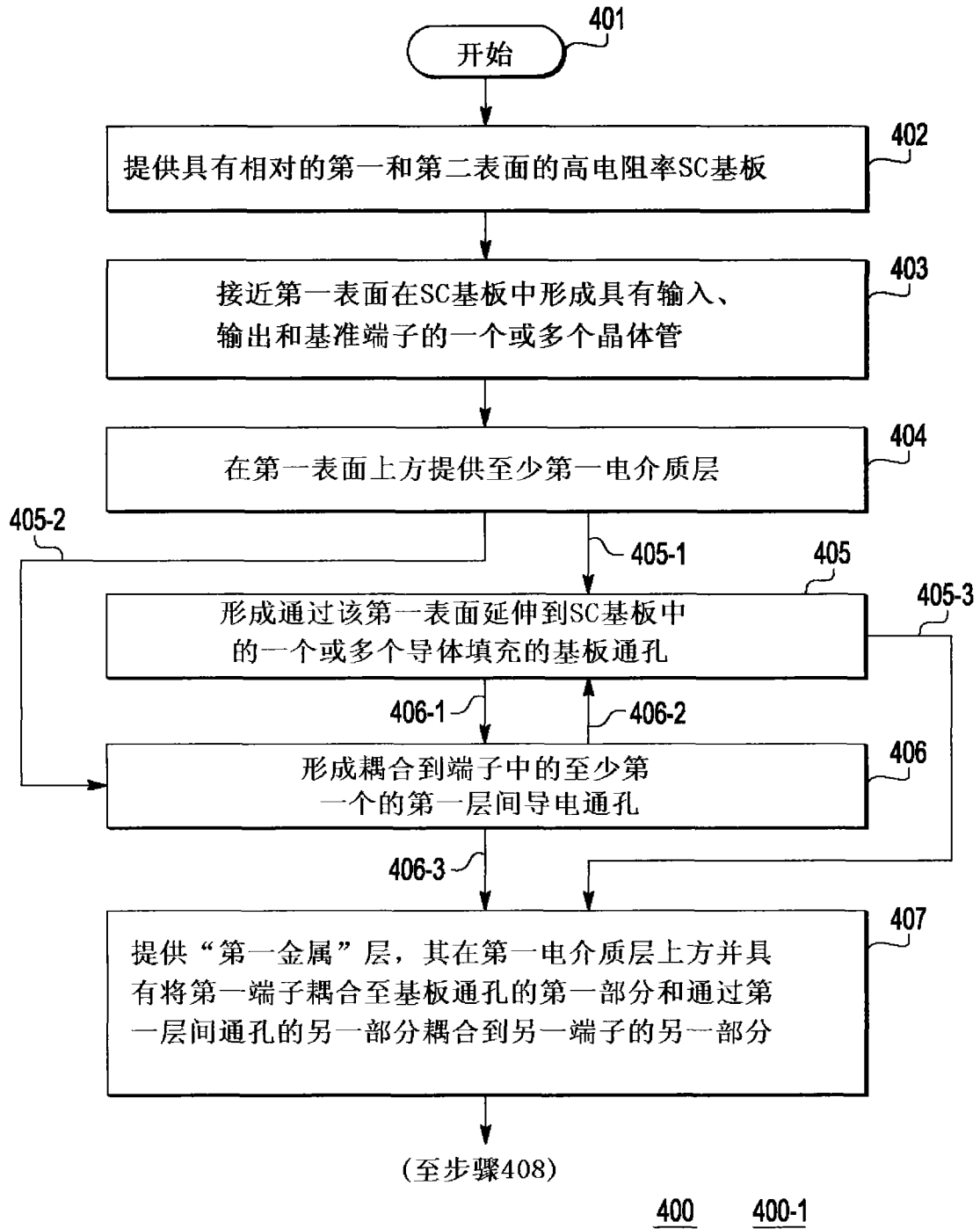


图9

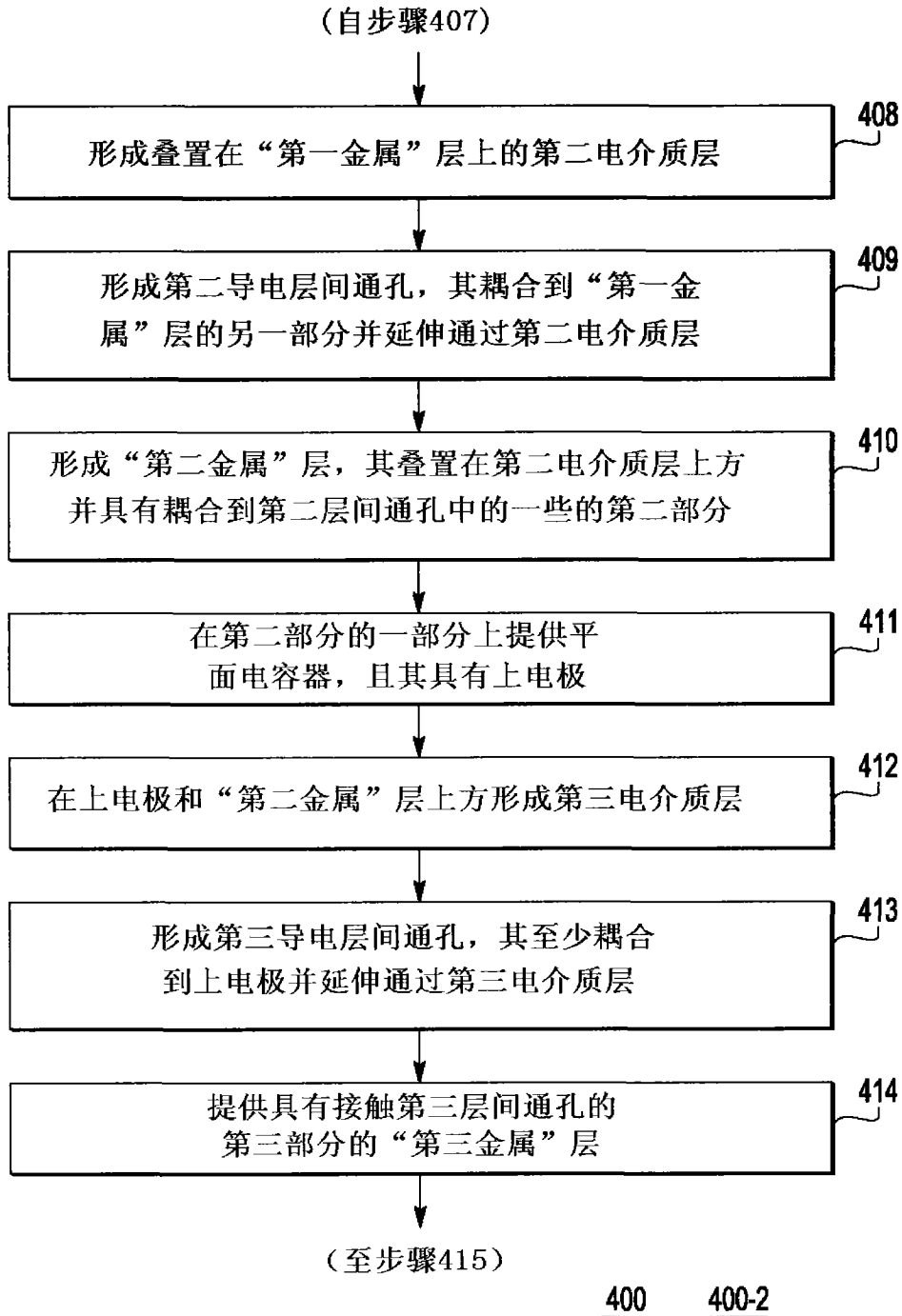


图10

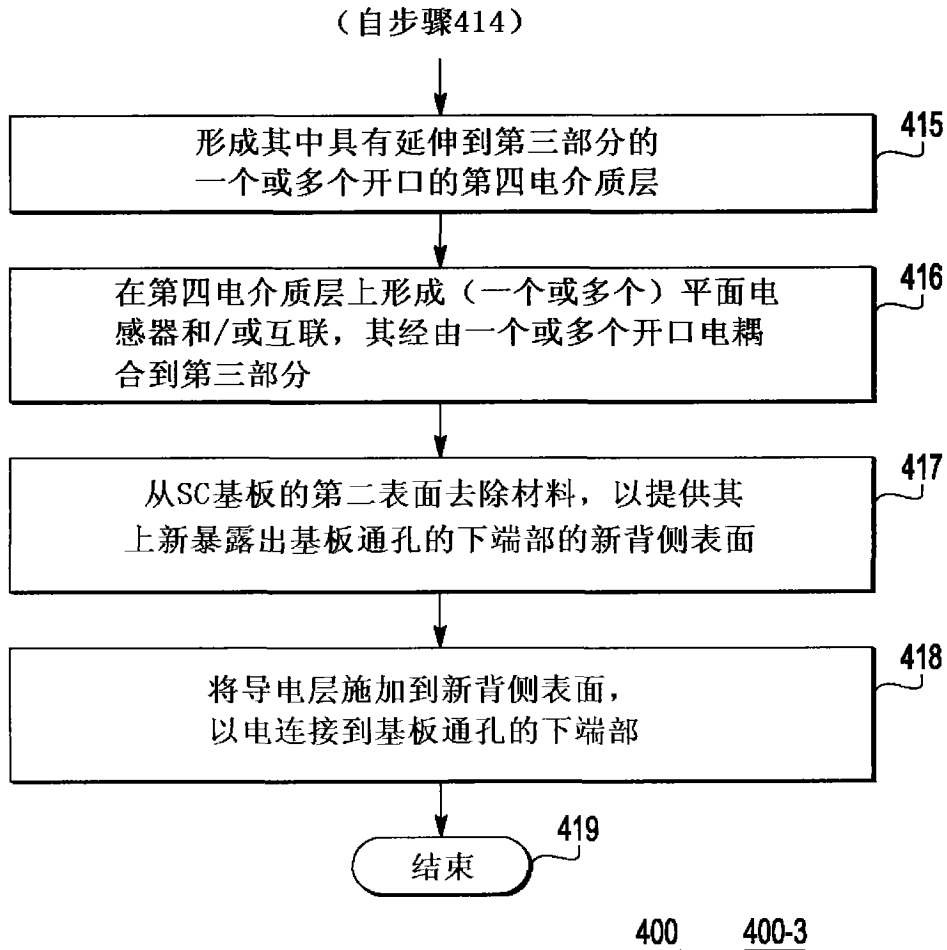


图11