



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년10월18일
 (11) 등록번호 10-1192750
 (24) 등록일자 2012년10월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)

(21) 출원번호 10-2005-0134994
 (22) 출원일자 2005년12월30일
 심사청구일자 2010년12월21일
 (65) 공개번호 10-2007-0071491
 (43) 공개일자 2007년07월04일
 (56) 선행기술조사문헌
 KR1020050112645 A

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
곽희영
 서울 광진구 자양동 759-28호
 (74) 대리인
김용인, 심창섭

전체 청구항 수 : 총 25 항

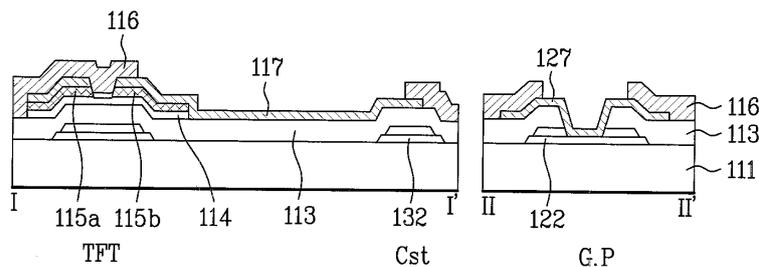
심사관 : 신창우

(54) 발명의 명칭 TFT 어레이 기판 및 그 제조방법

(57) 요약

본 발명은 4마스크 공정에서 발생하는 반도체층 테일을 제거함으로써 웨이비 노이즈(wavy noise)를 없애고 소자의 개구영역을 더욱 확보하고자 하는 TFT 어레이 기판 및 그 제조방법에 관한 것으로서, 특히 본 발명에 의한 TFT 어레이 기판은 기판 상에 형성된 게이트 배선 및 게이트 전극과, 상기 게이트 배선 및 게이트 전극 상에 형성되는 게이트 절연막과, 상기 게이트 절연막 상에 형성되며, 상기 게이트 배선에 수직교차하여 단위화소를 정의하는 데이터 배선 및 상기 게이트 전극 상부에 형성되는 소스/드레인 전극과, 상기 데이터 배선 및 소스/드레인 전극의 하부에 형성되며, 가장자리가 상기 데이터 배선 및 소스/드레인 전극의 가장자리와 일치하는 반도체층과, 상기 드레인 전극에 콘택홀 없이 콘택되는 화소전극과, 상기 단위화소의 개구부에 대응되는 상기 화소전극을 노출시키도록 상기 소스/드레인 전극 사이의 채널 영역을 포함하는 상기 단위화소의 가장자리에 형성되는 보호막과, 상기 게이트 배선 끝단에 일체형으로 형성되는 게이트 패드전극과, 상기 데이터 배선 끝단에 형성되며, 상기 게이트 패드전극과 동일층에 형성되는 데이터 패드전극을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

기관 상에 형성된 게이트 배선 및 게이트 전극과,
 상기 게이트 배선 및 게이트 전극 상에 형성되는 게이트 절연막과,
 상기 게이트 절연막 상에 형성되며, 상기 게이트 배선에 수직교차하여 단위화소를 정의하는 데이터 배선 및 상
 기 게이트 전극 상부에 형성되는 소스/드레인 전극과,
 상기 데이터 배선 및 소스/드레인 전극의 하부에 형성되며, 가장자리가 상기 데이터 배선 및 소스/드레인 전극
 의 가장자리와 일치하는 반도체층과,
 상기 드레인 전극에 콘택홀 없이 콘택되는 화소전극과,
 상기 단위화소의 개구부에 대응되는 상기 화소전극을 노출시키도록 상기 소스/드레인 전극 사이의 채널 영역을
 포함하는 상기 단위화소의 가장자리에 형성되는 보호막과,
 상기 게이트 배선 끝단에 일체형으로 형성되는 게이트 패드전극과,
 상기 데이터 배선 끝단에 형성되며, 상기 게이트 패드전극과 동일층에 형성되는 데이터 패드전극을 포함하여 구
 성되는 것을 특징으로 하는 TFT 어레이 기관.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 채널영역의 소스전극과 드레인 전극의 모서리는 그 상부의 화소전극의 모서리와 동일선상에 있는 것을 특
 징으로 하는 TFT 어레이 기관.

청구항 4

제 1 항에 있어서,
 상기 게이트 패드전극 및 데이터 패드전극 상부에 형성되고, 상기 게이트 패드전극 및 데이터 패드전극과 콘택
 되는 투명도전막이 더 구비되는 것을 특징으로 하는 TFT 어레이 기관.

청구항 5

제 4 항에 있어서,
 상기 투명도전막은 상기 화소전극과 동일층에 구비되는 것을 특징으로 하는 TFT 어레이 기관.

청구항 6

제 4 항에 있어서,
 상기 보호막은 상기 투명도전막과 게이트 패드전극 및 데이터 패드전극이 중첩되는 영역을 노출시키도록 형성되
 는 것을 특징으로 하는 TFT 어레이 기관.

청구항 7

삭제

청구항 8

제 4 항에 있어서,
 상기 데이터 패드전극에 콘택되는 투명도전막에 의해 상기 데이터 배선과 데이터 패드전극이 서로 연결되는 것

을 특징으로 하는 TFT 어레이 기판.

청구항 9

삭제

청구항 10

제 1 항에 있어서,

상기 게이트 배선과 동일층에 구비되는 커패시터 하부전극과,

상기 화소전극으로부터 연장되어 상기 커패시터 하부전극에 오버랩되는 커패시터 상부전극과,

상기 커패시터 상,하부 전극 사이에 개재된 게이트 절연막으로 구성되는 스토리지 커패시터가 더 구비되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 11

제 1 항에 있어서,

상기 게이트 절연막은 상기 게이트 배선을 포함한 전면에 형성되거나 또는 단위화소의 개구부를 제외한 나머지 영역에 형성되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 12

삭제

청구항 13

제 1 항에 있어서,

상기 화소전극은 단위 화소의 전면에 형성되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 14

제 1 항에 있어서,

상기 기판 상에 상기 화소전극에 평행하여 횡전계를 형성하는 공통전극이 더 구비되는 것을 특징으로 하는 TFT 어레이 기판.

청구항 15

제 1 마스크를 이용하여 기판 상에 게이트 배선, 게이트 전극, 게이트 패드전극 및 데이터 패드전극을 형성하는 단계;

상기 게이트 배선을 포함한 상기 기판 전면에 게이트 절연막, 비정질 실리콘 및 금속층을 차례로 적층하는 단계;

제 2 마스크를 이용하여 상기 비정질 실리콘 및 금속층을 패터닝하여 상기 게이트 배선과 수직교차하여 단위화소를 정의하는 데이터 배선, 소스/드레인 전극 및 가장자리가 상기 데이터 배선 및 소스/드레인 전극의 가장자리와 일치하는 반도체층을 형성하는 단계;

상기 데이터 배선을 포함한 상기 기판 전면에 투명한 도전물질을 증착하는 단계;

제 3 마스크를 이용하여 상기 투명한 도전물질을 선택적으로 제거하여 상기 드레인 전극에 콘택되는 화소전극을 형성하고, 동시에 상기 소스전극과 드레인 전극을 분리하여 채널영역을 정의하는 단계;

상기 화소전극을 포함하는 상기 기판 전면에 보호막을 형성하는 단계; 및

제 4 마스크를 이용하여 상기 단위화소의 개구부에 대응되는 상기 화소전극을 노출시키며 상기 소스/드레인 전극 사이의 채널 영역을 포함하는 상기 단위화소의 가장자리에 상기 보호막이 남도록 상기 보호막을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 16

제 15 항에 있어서,

상기 화소전극을 형성하기 위한 식각공정과 상기 소스전극과 드레인 전극을 분리하기 위한 식각공정을 동시에 수행하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 17

제 15 항에 있어서,

상기 소스전극과 드레인 전극을 분리하여 채널영역을 정의하는 단계 이후, 상기 채널영역에 대해 플라즈마 처리를 수행하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 18

삭제

청구항 19

제 15 항에 있어서,

상기 비정질 실리콘 및 금속층을 패터닝하여 반도체층, 데이터 배선, 소스/드레인 전극을 형성함과 동시에, 상기 게이트 패드전극 및 데이터 패드전극과 중첩되는 상기 게이트 절연막, 비정질 실리콘 및 금속층을 제거하여 상기 게이트 패드전극 및 데이터 패드전극을 노출시키는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 20

제 19 항에 있어서,

상기 비정질 실리콘 및 금속층을 패터닝하여 반도체층, 데이터 배선, 소스/드레인 전극을 형성하는 단계는,

상기 금속층 상부에 포토레지스트를 도포하는 단계와,

상기 포토레지스트를 이중단차로 패터닝하는 단계와,

상기 포토레지스트 패턴 사이로 노출된 상기 게이트 절연막, 비정질 실리콘 및 금속층을 식각하여 상기 게이트 패드전극 및 데이터 패드전극을 노출시키는 단계와,

상기 포토레지스트 패턴을 에싱하여 낮은 단차의 포토레지스트를 제거하는 단계와,

상기 에싱된 포토레지스트를 마스크로 하여 상기 게이트 절연막, 비정질 실리콘 및 금속층을 패터닝하여 반도체층, 데이터 배선, 소스/드레인 전극을 형성하는 단계로 이루어지는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 21

제 20 항에 있어서,

상기 포토레지스트를 이중단차로 패터닝하기 위해 회절노광마스크를 사용하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 22

제 20 항에 있어서,

상기 게이트 절연막, 비정질 실리콘 및 금속층을 식각하는 단계는,

상기 게이트 패드전극 및 데이터 패드전극 상부의 상기 금속층을 습식식각하는 단계와,

상기 게이트 패드전극 및 데이터 패드전극 상부의 상기 비정질 실리콘 및 게이트 절연막을 건식식각하는 단계로 이루어지는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 23

제 20 항에 있어서,

상기 게이트 절연막, 비정질 실리콘 및 금속층을 식각하는 공정은, 하나의 건식식각챔버에서 동시에 이루어지는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 24

삭제

청구항 25

제 15 항에 있어서,

상기 데이터 패드전극 상부의 투명도전막을 연장형성하여 상기 데이터 배선에 콘택시키는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 26

삭제

청구항 27

제 15 항에 있어서,

상기 게이트 배선을 형성하는 단계에서, 커패시터 하부전극을 더 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 28

제 27 항에 있어서,

상기 커패시터 하부전극 상부의 게이트 절연막 상에 상기 드레인 전극 또는 화소전극과 전기적으로 연결되는 커패시터 상부전극을 더 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 29

삭제

청구항 30

제 19 항에 있어서,

상기 게이트 패드전극 및 데이터 패드전극을 노출시킴과 동시에 상기 단위화소 개구부의 게이트 절연막을 더 제거하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 31

제 15 항에 있어서,

상기 화소전극은 단위화소 내부 전체에 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 32

제 15 항에 있어서,

상기 화소전극은 단위화소 내부에 복수개 형성하고, 상기 화소전극에 평행하는 공통전극을 더 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

청구항 33

제 32 항에 있어서,

상기 공통전극은 상기 게이트 배선과 동시에 형성하는 것을 특징으로 하는 TFT 어레이 기판의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0023] 본 발명은 액정표시소자(LCD ; Liquid Crystal Display Device)에 관한 것으로, 특히 4마스크 공정에서 발생하는 반도체층 테일을 제거함으로써 웨이비 노이즈(wavy noise)를 없애고 소자의 개구영역을 더욱 확보하고자 하는 TFT 어레이 기판 및 그 제조방법에 관한 것이다.
- [0024] 액정표시소자는 콘트라스트(contrast) 비가 크고, 계조 표시나 동화상 표시에 적합하며 전력소비가 적다는 특징 때문에 평판 디스플레이 중에서도 그 비중이 증대되고 있다.
- [0025] 이러한 액정표시소자는 동작 수행을 위해 기판에 구동소자 또는 배선 등의 여러 패턴들을 형성하는데, 패턴을 형성하기 위해 사용되는 기술 중 일반적인 것이 포토식각기술(photolithography)이다.
- [0026] 상기 포토식각기술은 패턴이 형성될 기판 상의 필름층에 자외선으로 감광하는 재료인 포토 레지스트를 코팅하고, 노광 마스크에 형성된 패턴을 포토 레지스트 위에 그대로 노광하여 현상하고, 이와 같이 패턴닝된 포토 레지스트를 마스크로 활용하여 상기 필름층을 식각한 후 포토 레지스트를 스트립핑하는 일련의 복잡한 과정으로 이루어진다.
- [0027] 종래기술에 의한 액정표시소자용 TFT 어레이 기판은 기판 상에 게이트 배선층, 게이트 절연막, 반도체층, 데이터 배선층, 보호막, 화소전극을 형성하기 위해서 통상, 5~7마스크 기술을 사용하고 있는데, 이와같이 마스크를 이용하는 포토식각기술의 횟수가 많아지면 공정 오류의 확률이 증가한다.
- [0028] 이와같은 문제점을 극복하고자 최근, 포토리소그래피 공정의 횟수를 최소한으로 줄여 생산성을 높이고 공정 마진을 확보하고자 "저마스크 기술"에 대한 연구가 활발하게 진행되고 있다.
- [0029] 이하, 첨부된 도면을 참조하여 종래 기술에 따른 TFT 어레이 기판의 제조방법을 설명하면 다음과 같다.
- [0030] 도 1a 내지 도 1g는 종래 기술에 의한 TFT 어레이 기판의 공정단면도이고, 도 2는 종래 기술에 의한 문제점을 설명하기 위한 소자의 단면도이다.
- [0031] 종래 기술에 의한 액정표시소자용 TFT 어레이 기판을 형성하기 위해서는 먼저, 도 1a에 도시된 바와 같이, 기판(11) 상에 알루미늄 합금(AlNd) 및 몰리브덴(Mo)을 적층한 후, 제 1 마스크를 이용한 포토식각기술을 적용하여 액티브 영역에 복수개의 게이트 배선(도시하지 않음), 게이트 전극(12a) 및 커패시터 하부전극(32)을 형성하고 패드부 영역에 게이트 패드전극(22, G.P)을 형성한다.
- [0032] 다음, 상기 게이트 전극(12a)을 포함한 전면에 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등의 무기물질을 고온에서 증착하여 게이트 절연막(13)을 형성한다.
- [0033] 이어서, 상기 게이트 절연막(13)을 포함한 전면에 비정질 실리콘(a-Si)(14d)과, 몰리브덴(Mo) 등의 금속층(15d)을 차례로 증착하고, 그 위에 포토레지스트(50)를 도포한 후, 제 2 마스크를 이용한 포토식각기술을 적용하여 상기 포토레지스트(50)가 이중 단차를 가지도록 패턴닝한다. 이때, 상기 제 2 마스크로서 슬릿 마스크 slit mask), 하프톤 마스크(half-tone mask) 등의 회절노광 마스크를 사용하여야 포토레지스트가 이중단차로 형성된다.
- [0034] 다음, 부분적으로 단차가 다른 상기 포토 레지스트(50)를 마스크로 하여, 외부로 노출된 상기 비정질 실리콘(14d), 금속층(15d)을 식각하여, 도 1b에 도시된 바와 같이, 데이터 배선(도시하지 않음), 소스/드레인 전극(15a, 15b) 및 반도체층(14)을 형성한다.
- [0035] 이때, 투-스텝 에칭방법을 적용하는데, 금속층(15d)을 식각할 때에는 습식식각을 적용하고 비정질 실리콘(14d)을 식각할 때에는 건식식각을 적용한다.
- [0036] 그리고, 도 1c에 도시된 바와 같이, 상기 포토레지스트(50)를 에칭(Ashing)하여 단차를 일괄적으로 낮추어, 박막트랜지스터의 채널영역이 될 부분에 상응하는 영역의 금속층이 노출되도록 한 다음, 노출된 상기 금속층을 습식식각하여, 도 1d에 도시된 바와 같이, 소스 전극(15a)과 드레인 전극(15b)을 서로 분리하여 채널영역을 정의

한다.

- [0037] 상기 포토레지스트 에싱할 때, 포토레지스트의 두께가 낮아짐과 동시에 포토레지스트의 폭도 작아지므로, 포토레지스트 모서리 외부로 액티브층(14) 및 소스/드레인 전극(15a,15b)이 약간 돌출된다. 여기서, 소스전극과 드레인 전극을 분리하기 위해 습식식각을 할 때 포토레지스트 모서리 외부로 돌출된 금속층은 동시에 습식식각되나, 액티브층은 그대로 남아있게 된다. 이와같이, 채널영역을 정의하기 위한 과정에서, 액티브층이 소스/드레인 전극 외부로 돌출된 부분을 '반도체층 테일(14a)'이라 한다.
- [0038] 소스/드레인 전극 뿐만 아니라, 데이터 배선(15)에도 반도체층 테일(14a)이 돌출되어 있음은 물론이다.(도 2참고)
- [0039] 이상으로, 액티브 영역에 복수개의 데이터 배선(도시하지 않음), 반도체층(14), 소스/드레인 전극(15a,15b)을 형성하고 패드부 영역에 데이터 패드전극(도시하지 않음)을 형성한다. 이때 상기 반도체층은 상기 데이터 배선과 소스/드레인 전극과 동시에 식각되므로, 데이터 배선 및 소스/드레인 전극 하부에는 반도체층이 동일한 패턴으로 개재되어 있다.
- [0040] 상기에서와 같이 적층된 게이트전극(12a), 게이트 절연막(13), 반도체층(14) 및 소스/드레인 전극(15a,15b)은 단위 픽셀에 인가되는 전압의 온/오프를 제어하는 박막트랜지스터를 이룬다.
- [0041] 계속해서, 상기 포토레지스트(50)를 제거하고, 도 1e에 도시된 바와 같이, 상기 소스/드레인 전극(15a,15b)을 포함한 전면에 BCB 등의 유기절연물질 또는 SiNx의 무기절연물질을 도포하여 보호막(16)을 형성한다.
- [0042] 이후, 도 1f에 도시된 바와 같이, 제 3 마스크를 이용한 포토식각기술로 상기 보호막(16)의 일부를 제거하여 상기 드레인 전극(15b)이 노출되는 콘택홀(71)을 형성하고, 상기 보호막(16) 및 게이트 절연막(13)을 제거하여 상기 게이트 패드전극(22)이 노출되는 패드오픈영역(81)을 형성한다. 도시하지는 않았으나, 상기 데이터 패드전극이 노출되는 패드오픈영역도 동시에 형성한다.
- [0043] 마지막으로, 도 1g에 도시된 바와 같이, 상기 보호막(16)을 포함한 전면에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명도전물질을 증착하고 제 4 마스크를 이용한 포토식각기술을 적용하여 상기 드레인 전극(15b)에 전기적으로 연결되는 화소전극(17)을 형성함으로써 TFT 어레이 기판을 완성한다. 이와 동시에 패드오픈영역을 커버하여 게이트 패드전극 및 데이터 패드전극의 산화를 방지하는 투명도전막(27)을 형성한다.
- [0044] 이로써, 총 4번의 노광마스크를 사용하여 TFT 어레이 기판을 완성하게 된다.

발명이 이루고자 하는 기술적 과제

- [0045] 그러나, 종래 기술에 의한 TFT 어레이 기판 및 그 제조방법은 다음과 같은 문제점이 있었다.
- [0046] 총 4번의 노광마스크를 사용하여 TFT 어레이 기판의 패턴을 완성하기 위해서는, 회절노광 마스크를 사용하여 데이터 배선층과 반도체층을 동시에 패터닝하는 과정이 필수적으로 포함된다. 이때, 이중단차의 포토레지스트를 에싱한 후 소스전극과 드레인 전극을 분리하여 채널영역을 정의하는 단계에서, 전술한 바와 같이, 소스/드레인 전극 및 데이터 배선 모서리에 반도체층 테일이 형성되었다.
- [0047] 도 2에 도시된 바와 같이, 데이터 배선(15) 모서리에 1.5 μ m의 반도체층 테일(14a)이 형성되는데, 이러한 반도체층 테일에 의해 소자의 성능이 저하되고 있다.
- [0048] 첫째, 반도체층 테일로 인하여 백라이트(Back light, B/L) 온/오프시 웨이비 노이즈(wavy noise)가 발생하게 된다.
- [0049] 구체적으로, 반도체층은 빛의 유무에 따라 그 도전특성이 바뀌게 되는데, 빛을 받으면 도전성을 띠게 되고 빛을 받지 않으면 절연막과 같이 도전성이 없어진다. 따라서, 백라이트가 꺼져 있을 경우에는 반도체층에 도전성이 없어 데이터 배선(15)과 화소전극(17) 사이에 기생 커패시턴스가 발생하고, 백라이트가 켜져 있을 경우에는 화소전극과의 거리가 데이터 배선보다 더욱 가까운 반도체층에 도전성이 생겨 반도체층(14)과 화소전극(17) 사이에 기생 커패시턴스가 발생하게 된다.
- [0050] 이때, 반도체층 테일(14a)의 폭만큼 데이터 배선(15)과 반도체층(14)의 사이즈가 서로 상이하므로 화소전극과의 사이에 발생하는 기생 커패시턴스도 서로 달라진다. 즉, 데이터 배선보다 사이즈가 큰 반도체층과 화소전극 사이에 발생하는 기생 커패시턴스가 더 증가된다.

- [0051] 이와같이, 백라이트 온/오프에 따라 기생 커패시턴스가 달라지므로 화상에 웨이비 노이즈가 발생하는 것이다.
- [0052] 둘째, 데이터 배선(15) 및 반도체층(14)으로부터 화소전극(17)을 일정간격(도 2에서 3.5 μ m) 이격시켜 형성하는데, 반도체층 테일(14a)의 폭(1.5 μ m)만큼 데이터 배선(15)과 화소전극(17)이 더욱 이격되어야 하므로 소자의 개구영역이 줄어들게 된다. 참고로, 빛샘을 차단하기 위해 도입된 블랙 매트릭스(90)도 반도체층 테일의 폭만큼 크게 형성해야 하므로 소자의 개구율이 저하된다.
- [0053] 셋째, 반도체층 테일에 의한 포토 커런트(photo current)로 인하여 소자의 오프 커런트(off current)가 높아지게 된다.
- [0054] 본 발명은 상기와 같은 문제점을 해결하기 위해, 4마스크 공정에서 발생하는 반도체층 테일을 제거함으로써 웨이비 노이즈(wavy noise)를 없애고 소자의 개구영역을 더욱 확보하고자 하는 TFT 어레이 기판 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

- [0055] 상기와 같은 목적을 달성하기 위한 본 발명의 TFT 어레이 기판은 기판 상에 형성된 게이트 배선 및 게이트 전극과, 상기 게이트 배선 및 게이트 전극 상에 형성되는 게이트 절연막과, 상기 게이트 배선에 수직교차하여 단위 화소를 정의하는 데이터 배선 및 상기 게이트 전극 상부에 형성되는 소스/드레인 전극과, 상기 데이터 배선 및 소스/드레인 전극의 하부에 동일한 패턴으로 구비되는 반도체층과, 상기 드레인 전극에 콘택홀 없이 콘택되는 화소전극과, 상기 화소전극 상부에 형성되는 보호막과, 상기 게이트 배선 끝단에 일체형으로 형성되는 게이트 패드전극과, 상기 데이터 배선 끝단에 형성되는 데이터 패드전극을 포함하여 구성되는 것을 특징으로 한다.
- [0056] 한편, 본 발명의 다른 목적을 달성하기 위한 TFT 어레이 기판의 제조방법은 기판 상에 게이트 배선, 게이트 전극 및 패드전극을 형성하는 단계와, 상기 게이트 배선을 포함한 전면에 게이트 절연막, 반도체층 및 금속층을 차례로 적층하는 단계와, 상기 패드전극을 오픈하는 단계와, 상기 반도체층 및 금속층을 패터닝하여 반도체층, 데이터 배선, 소스/드레인 전극을 형성하는 단계와, 상기 데이터 배선을 포함한 전면에 투명한 도전재질을 증착하고 패터닝하여 상기 드레인 전극에 콘택되는 화소전극과 상기 패드전극에 콘택되는 투명도전막을 형성하고, 이와 동시에 상기 소스전극과 드레인 전극을 분리하여 채널영역을 정의하는 단계와, 상기 화소전극 및 투명도전막이 형성된 부분을 제외한 나머지 영역에 보호막을 형성하는 것을 특징으로 한다.

- [0057] 즉, 본 발명에 의한 액정표시소자용 TFT 어레이 기판은 소스전극과 드레인 전극을 분리하여 채널영역을 정의하기 위한 식각공정을 화소전극 형성을 위한 식각공정과 동시에 수행함으로써, 채널영역을 정의하기 위한 공정에서 원하지 않게 형성되었던 반도체층 테일이 형성되지 않도록 하는 것을 특징으로 한다.
- [0058] 따라서, 상기 채널영역의 소스전극과 드레인 전극의 모서리는 그 상부의 화소전극의 모서리와 동일선상에 위치하게 된다.
- [0059] 이하, 첨부된 도면을 통해 본 발명의 실시예에 의한 TFT 어레이 기판 및 그 제조방법을 살펴보면 다음과 같다.

제 1 실시예

- [0061] 도 3은 본 발명의 제 1 실시예에 의한 TFT 어레이 기판의 평면도이고, 도 4는 본 발명의 제 1 실시예에 의한 TFT 어레이 기판의 단면도이고, 도 5는 본 발명을 설명하기 위한 소자의 단면도이며, 도 6a 내지 도 6k는 본 발명의 제 1 실시예에 의한 TFT 어레이 기판의 공정단면도이다.
- [0062] 먼저, 본 발명의 제 1 실시예에 의한 액정표시소자용 TFT 어레이 기판은 TN 모드로서, 도 3 및 도 4에 도시된 바와 같이, 화소전극(117) 및 박막트랜지스터(TFT)가 형성되어 있는 액티브 영역과, 외부구동회로와 연결하기 위한 패드전극(122)이 형성되어 있는 게이트 패드부 영역(G.P) 및 데이터 패드부 영역(D.P)으로 구분된다.
- [0063] 구체적으로, 상기 액티브 영역에는, 수직 교차되어 단위 화소를 정의하는 게이트 배선(112) 및 데이터 배선(115)과, 상기 게이트 배선 및 데이터 배선 사이의 전면에 구비되는 게이트 절연막(113)과, 상기 두 배선의 교차 지점에 구비되는 박막트랜지스터(TFT)와, 상기 박막트랜지스터의 드레인 전극(115b) 상에 콘택되어 단위화소 전면에 형성되는 화소전극(117)과, 상기 화소전극(117) 상에서 단위 화소의 개구부를 제외한 나머지 영역에 구비되는 보호막(116)이 형성되어 있다. 참고로, 도 3에서 화소전극 상부에 도시된 점선영역(116a)은 단위화소 개구부의 보호막이 제거된 영역이다.
- [0064] 상기 화소전극(117)과 데이터 배선층 사이에는 절연막이 개재되지 않으므로, 콘택홀 없이 화소전극과 드레인 전

극을 콘택시킬 수 있다.

- [0065] 상기 박막트랜지스터는 게이트 전극(112a), 게이트 절연막(113), 반도체층(114), 소스/드레인 전극(115a, 115b)이 차례로 적층되어 구성되며, 상기 소스전극과 드레인 전극 사이로 노출된 상기 반도체층의 채널영역에는 산소 플라즈마 처리를 하여 외부 자연광에 의해 반도체층이 열화되는 것을 방지한다. 그리고, 채널영역에는 상기 보호막도 더 구비된다. 상기 게이트 전극(112a)은 게이트 배선(212)의 소정 부위를 활용한다.
- [0066] 다만, 반도체층과 데이터 배선층을 동일한 마스크 공정으로 형성하기 때문에, 데이터 배선 및 소스/드레인 전극의 하부에는 동일한 패턴의 반도체층이 더 구비되어 있다.
- [0067] 이때, 액티브 영역 내에 스토리지 커패시터(storage capacitor, Cst)가 더 구비되는데, 상기 스토리지 커패시터는 상기 게이트 배선(112)과 동일층에 형성되는 커패시터 하부전극(132)과, 상기 화소전극(117)과 동일층에 형성되어 상기 커패시터 하부전극에 오버랩되는 커패시터 상부전극(135)과, 상기 커패시터 상,하부 전극 사이에 개재되는 게이트 절연막(113)으로 구성된다.
- [0068] 일실시예로, 상기 커패시터 하부전극(132)은 상기 게이트 배선의 소정 부위를 활용하고, 상기 커패시터 상부전극(135)은 상기 화소전극을 상기 게이트 배선 상부에까지 연장시켜 형성할 수 있다.
- [0069] 그리고, 패드부 영역에는 상기 게이트 배선(112) 끝단에 형성되어 외부로부터 주사신호를 전달하는 게이트 패드 전극(G.P, 122)과, 상기 데이터 배선(115) 끝단에 형성되어 비디어 신호를 전달하는 데이터 패드전극(D.P, 122)이 구비되는데, 상기 게이트 패드전극 및 데이터 패드전극은 상부의 투명도전막(127)에 의해 커버되어 패드전극이 외부 산소에 의해 산화되는 것을 방지한다. 참고로, 도 3에서 패드전극(122) 상부에 도시된 점선영역(116b)은 패드전극 상부의 보호막이 제거된 영역이다.
- [0070] 상기 투명도전막(127)은 오픈영역(150)을 통해 상기 게이트 패드전극 및 데이터 패드전극(122)과 전기적으로 연결되고, 상기 오픈영역(150)은 상기 투명도전막과 패드전극 사이의 게이트 절연막(113)을 제거하여 형성한 것이며, 상기 투명도전막(127)이 형성되어 있는 부분을 제외한 나머지 패드부 영역에 보호막(116)이 형성된다.
- [0071] 이때, 상기 게이트 패드전극(G.P)은 상기 게이트 배선(112)으로부터 연장되어 일체형으로 형성되고, 상기 데이터 패드전극(D.P)은 상기 게이트 배선과 동일층에 형성되어 상기 데이터 패드전극 상부의 투명도전막을 연장형성하여 상기 데이터 배선에 콘택되도록 한다.
- [0072] 이러한 TFT 어레이 기판은, 도 5에 도시된 바와 같이, 데이터 배선(115) 외부로 반도체층(114)이 노출되지 않아 종래의 반도체 테일이 형성되는 영역(도 2의 1.5 μ m)만큼의 개구율 저하를 막을 수 있다. 따라서, 빛샘방지 역할을 하는 블랙 매트릭스(190) 크기도 줄일 수 있다. 참고로, 데이터 배선(115)과 화소전극(117) 사이의 거리는 3.5 μ m로서, 이 영역에 빛샘이 발생하므로 블랙 매트릭스를 이용하여 빛샘을 차단한다.
- [0073] 도시하지는 않았으나, 상기와 같이 화소전극과 박막트랜지스터가 형성되어 있는 TFT 어레이 기판은 공통전극과 컬러필터층이 형성되어 있는 대향기판과 대향합착된 후 두 기판 사이에 액정이 충전되어 액정표시소자가 완성된다.
- [0074] 상기 액정표시소자의 TFT 어레이 기판을 형성하기 위해서는 먼저, 도 6a에 도시된 바와 같이, 투명하고 내열성이 우수한 기판(111) 상에 구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag), 은 합금 등의 금속물질 바람직하게는, Mo/AlNd의 적층막을 스퍼터링(sputtering) 방법으로 증착하고 제 1 노광마스크를 이용한 포토식각공정으로 패터닝하여 게이트 배선(도 3의 112)과, TFT영역의 게이트 전극(112a)과, 스토리지 영역(Cst)의 커패시터 하부전극(132)과, 게이트 패드부 영역(G.P)의 게이트 패드전극(122)과, 데이터 패드부 영역(D.P)의 데이터 패드전극(122)을 형성한다.
- [0075] 이때, 상기 커패시터 하부전극(132)은 상기 게이트 배선과 평행하도록 독립된 패턴으로 형성하거나 또는 게이트 배선의 소정부위를 활용한다. 그리고, 상기 게이트 전극(112a)은 상기 게이트 배선과 일체형으로 형성하고, 상기 게이트 패드전극(122)은 상기 게이트 배선의 끝단에 일체형으로 형성하며, 상기 데이터 패드전극(122)은 후 공정에서 형성될 데이터 배선의 끝단에 위치하도록 형성한다.
- [0076] 그리고, 상기 게이트 전극(112a)을 포함한 전면에 화학증기증착(CVD: chemical vapor deposition) 방법으로 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등의 무기절연물질을 고온에서 증착하여 게이트 절연막(113)을 형성하고, 그 위에 비정질 실리콘(amorphous silicon)(114d)을 증착하고, 그 위에 구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr),

크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag), 은 합금 등의 금속층(115d) 바람직하게는, Mo를 스퍼터링 방법으로 증착한다.

- [0077] 이후, 도 6b에 도시된 바와 같이, 상기 금속층(115d) 상부 전면에 스핀(spin)법, 롤 코팅(roll coating)법 등으로 UV 경화성 수지(Ultraviolet curable resin)인 포토 레지스트(Photo resist)(155)를 도포한 후, 상기 포토 레지스트 상부에 소정의 패턴이 형성된 제 2 노광마스크(도시하지 않음)를 씌워서 UV 또는 x-선 파장에 노출시켜 노광시킨 뒤, 노광된 포토 레지스트를 현상하여 2중 단차의 포토레지스트 패턴을 형성한다.
- [0078] 여기서, 상기 제 2 노광마스크는 회절노광마스크로서 투명기판 상에 금속재질의 차광층 및 반투명층이 형성되어, 투명영역, 반투명 영역, 차광영역의 3영역으로 분할되는데, 투명영역은 광투과율이 100%이고, 차광영역은 광투과율이 0%이며, 반투명 영역은 광투과율이 0%~100%이하이다.
- [0079] 따라서, 회절 노광된 상기 포토 레지스트(155)의 잔존 두께도 3영역으로 구분되는데, 회절노광 마스크의 투명 영역의 위치에 상응하여 포토레지스트가 완전노광되어 이후 현상공정에서 제거되는 부분과, 회절노광 마스크의 차광 영역의 위치에 상응하여 포토레지스트가 완전 비노광되어 전혀 제거되지 않는 부분과, 회절노광 마스크의 반투명 영역의 위치에 상응하여 회절노광되어 중간단차를 가지는 부분으로 구분된다. 다만, 노광된 부위가 식각되는 포토레지스트는 포지티브 포토레지스트에 한하며, 네가티브 특성의 포토레지스트를 사용했을 경우에는 노광되지 않은 부위가 식각된다.
- [0080] 즉, 회절노광된 포토레지스트(155)는 이중단차를 가지는데, 데이터 배선이 형성될 영역과 소스/드레인 전극이 형성될 TFT 영역의 포토레지스트(155)는 높은 단차로 형성하고, 그 외 영역의 포토레지스트는 중간단차로 형성하며, 게이트 패드전극 및 데이터 패드전극 상부의 포토레지스트는 완전 제거한다.
- [0081] 다음, 도 6c에 도시된 바와 같이, 상기 포토레지스트(155)를 마스크로 하여 그 사이로 노출된 금속층(115d), 비정질실리콘(114d), 게이트 절연막(113)을 차례로 식각하여 상기 게이트 패드전극 및 데이터 패드전극 상부에 오픈영역(150)을 형성한다. 이때, 패드전극(122)이 Mo/AlN의 적층막으로 구성되는 경우, 오픈영역(150) 형성시 패드전극의 Mo도 제거해준다.
- [0082] 상기 게이트 패드전극 및 데이터 패드전극(122) 상부의 금속층, 반도체층, 및 게이트 절연막을 식각하는 단계는, 상기 게이트 패드전극 및 데이터 패드전극 상부의 금속층을 습식식각하는 단계와, 상기 게이트 패드전극 및 데이터 패드전극 상부의 반도체층 및 게이트 절연막을 건식식각하는 단계로 이루어지는데, 습식식각은 HNO₃/H₃PO₄/CH₃COOH/H₂O의 에천트를 이용하여 딥핑방식 또는 스프레이 방식으로 수행하고, 건식식각은 플라즈마 가스 또는 라디칼을 이용하여 수행한다.
- [0083] 한편, 상기 금속층, 반도체층, 및 게이트 절연막을 식각하는 단계를 하나의 건식식각 챔버 내에서 일괄적으로 식각가능한데 피식각물질이 서로 상이하므로 식각가스도 달리해준다. 먼저, 금속물질(Mo)을 식각할 경우에는 SF₆, Cl₂, O₂를 사용하고, 비정질실리콘을 식각할 경우에는 SF₆, Cl₂, H₂를 사용하며, 게이트 절연막을 식각할 경우에는 SF₆, O₂, He를 사용한다.
- [0084] 이후, 도 6d에 도시된 바와 같이, 상기 포토레지스트(155)를 에칭하여 낮은 단차의 포토레지스트는 완전히 제거한다.
- [0085] 그리고, 도 6e에 도시된 바와 같이, 포토레지스트(155)를 마스크로 하여 상기 금속층(115d) 및 비정질실리콘(114d)을 차례로 식각하여 데이터 배선(도 3의 115), 소스/드레인 전극(115a, 115b)을 형성하고 상기 소스/드레인 전극 하부에 반도체층(114)을 형성한다. 이때, 상기 데이터 배선층과 반도체층을 동일한 마스크 공정으로 형성하기 때문에, 데이터 배선 및 소스/드레인 전극의 하부에는 동일한 패턴의 반도체층이 더 구비되어 있다.
- [0086] 이로써, 1회의 회절노광으로 데이터 배선, 소스/드레인 전극(115a, 115b), 반도체층(114)을 형성한다. 상기 데이터 배선은 게이트 배선에 수직교차하여 서브-픽셀을 정의하고, 상기 반도체층(114)과 소스/드레인 전극(115a, 115b)은 게이트 전극(112a) 상부에 차례로 오버랩되어 박막트랜지스터를 구성한다.
- [0087] 다음, 상기 포토레지스트(155)를 제거하고, 도 6f에 도시된 바와 같이, 상기 소스/드레인 전극(115a, 115b)을 포함한 전면에 상기 드레인 전극(115b)을 포함한 전면에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 증착하여 투명도전층(117d)을 형성한다.
- [0088] 이후, 도 6g에 도시된 바와 같이, 상기 투명도전층(117d) 상에 포토레지스트(151)를 도포하고, 제 3 노광마스크를 이용한 포토식각공정으로 패턴닝한다.

- [0089] 계속하여, 도 6h에 도시된 바와 같이, 상기 포토레지스트(151)를 마스크로 하여 투명도전층을 식각하여 화소전극(117), 커패시터 상부전극(135) 및 투명도전막(127)을 형성하고, 이후 소스전극(115a)과 드레인 전극(115b) 사이를 식각하여 분리함으로써 박막트랜지스터의 채널영역을 정의한다. 이때, 습식식각하는데, 습식식각은 HF(Hydrofluoric Acid), BOE(Buffered Oxide Etchant), NH_4F 또는 이들의 혼합용액 등의 에천트를 이용하는데, 일반적으로 IT0를 식각할 수 있는 에천트는 Mo까지 식각할 수 있다.
- [0090] 이와같이, 채널영역을 정의하는 공정과 화소전극을 형성하는 공정을 동시에 수행함으로써, 기존에 채널영역을 정의하는 과정에서 형성되었던 반도체층 테일이 형성되지 않게 된다.
- [0091] 상기 화소전극(117)은 단위화소 전면에서 형성되는데, 상기 드레인 전극(115b)에 콘택홀없이 직접적으로 콘택되며, 상기 커패시터 상부전극(135)은 상기 화소전극으로부터 연장되어 일체형으로 형성한다.
- [0092] 상기 투명도전막(127)은 게이트 패드전극(122) 및 데이터 패드전극(122)을 커버하도록 형성하여 패드전극으로의 산소유입을 차단한다. 이때, 상기 데이터 패드전극 상부의 투명한 도전막은 액티브영역의 데이터 배선에까지 연장되어 데이터 배선과 전기적으로 연결된다.
- [0093] 상기 커패시터 상부전극(135)은 게이트 절연막(113)을 사이에 두고 커패시터 하부전극(132)에 오버랩되어 스토리지 커패시터(Cst)를 구성한다.
- [0094] 계속해서, 상기 포토레지스트(151)를 제거하고, 도 6i에 도시된 바와 같이, 상기 소스전극(115a)과 드레인 전극(115b) 사이로 노출된 상기 반도체층(114)의 채널영역에 대해 n+불순물 이온을 주입하고 O_2 플라즈마 처리를 하여 외부 자연광에 의해 반도체층이 열화되는 것을 방지한다.
- [0095] 이후, 도 6j에 도시된 바와 같이, 상기 화소전극(117)을 포함한 전면에서 실리콘 질화물(SiN_x), 실리콘 산화물(SiO_2)과 같은 무기 절연물질을 1000Å 이하의 두께로 증착하여 보호막(116)을 형성하고, 그 위에 포토레지스트(152)를 도포한다. 이어서, 제 4 마스크를 이용한 포토식각기술로 상기 포토레지스트를 패터닝한 뒤, 상기 포토레지스트 사이로 노출된 보호막을 식각한다. 이때, 상기 보호막이 소스전극과 드레인 전극 사이의 채널영역에도 형성되도록 한다.
- [0096] 마지막으로, 상기 포토레지스트를 제거하면, 도 6k에 도시된 바와 같이, 단위화소의 개구부 및 패드전극(또는 투명도전막)이 형성되는 부분을 제외한 나머지 영역에 보호막(116)이 잔존하게 된다. 즉, 보호막이 제거된 단위화소의 개구부를 통해 화상이 디스플레이되고, 보호막이 제거된 투명도전막을 통해 외부구동회로가 연결된다.
- [0097] 이상에서와 같이 형성된 본 발명에 의한 TFT 어레이 기관은 총 4번의 노광마스크를 사용하여 완성하므로 저마스크 기술로서 유용하고, 특히, 비정질실리콘과 금속층을 동시에 식각하므로 금속층의 오버식각에 의한 반도체층 테일이 형성될 염려가 없으며, 단위화소 내부에 보호막이 제거되므로 개구율이 향상된다.
- [0098] 제 2, 제 3, 제 4 실시예
- [0099] 상기 제 1 실시예에서는 TN 모드 액정표시소자에 한정하여 설명하였으나, IPS 모드에도 본 발명에 의한 기술적 사상을 적용할 수 있는바, 이하에서는 IPS 모드 TFT 어레이 기관 및 그 제조방법에 대해 구체적으로 살펴보기로 한다.
- [0100] 도 7은 본 발명의 제 2 실시예에 의한 TFT 어레이 기관의 평면도이고, 도 8은 본 발명의 제 2 실시예에 의한 TFT 어레이 기관의 단면도이며, 도 9a 내지 도 9d는 본 발명의 제 2 실시예에 의한 TFT 어레이 기관의 공정평면도이며, 도 10a 내지 도 10k는 본 발명의 제 2 실시예에 의한 TFT 어레이 기관의 공정단면도이다.
- [0101] 그리고, 도 11은 본 발명의 제 3 실시예에 의한 TFT 어레이 기관의 평면도이고, 도 12는 본 발명의 제 3 실시예에 의한 TFT 어레이 기관의 단면도이며, 도 13은 본 발명의 제 4 실시예에 의한 TFT 어레이 기관의 평면도이며, 도 14는 본 발명의 제 4 실시예에 의한 TFT 어레이 기관의 단면도이다.
- [0102] 본 발명에 의한 횡전계방식 액정표시소자용 TFT 어레이 기관은, 도 7 및 도 8에 도시된 바와 같이, 공통전극(224), 화소전극(217) 및 박막트랜지스터(TFT)가 형성되어 있는 액티브 영역과, 외부구동회로와 연결하기 위한 패드전극(222)이 형성되어 있는 게이트 패드부 영역(G.P) 및 데이터 패드부 영역(D.P)으로 구분된다.
- [0103] 구체적으로, 상기 액티브 영역에는, 수직 교차되어 단위 화소를 정의하는 게이트 배선(212) 및 데이터 배선(215)과, 상기 게이트 배선 및 데이터 배선 사이의 전면에서 구비되는 게이트 절연막(213)과, 상기 두 배선의 교차 지점에 형성되는 박막트랜지스터(TFT)와, 상기 박막트랜지스터의 드레인 전극(215b)에 오버랩되어 서로 콘택

되는 화소전극(217)과, 상기 게이트 배선(212)에 평행하며 Vcom 신호를 전달하는 공통배선(227)과, 상기 공통배선(232)으로부터 분기되고 상기 화소전극(217)과 평행하여 횡전계를 발생시키는 공통전극(224)과, 상기 화소전극(217) 상에서 단위 화소의 개구부를 제외한 나머지 영역에 구비되는 보호막(216)이 형성되어 있다.

- [0104] 상기 화소전극(217)은 절연막없이, 데이터 배선층 상부에 바로 형성되므로 콘택홀 없이 화소전극과 드레인 전극을 콘택시킬 수 있다. 상기 화소전극(217)과 공통전극(224) 사이에는 얇은 두께의 게이트 절연막(213)만 개재되므로 횡전계의 세기가 커진다.
- [0105] 상기 박막트랜지스터는 게이트 배선(212)의 소정 부위인 게이트 전극(212a), 게이트 절연막(213), 반도체층(214), 소스/드레인 전극(215a,215b)이 차례로 적층되어 구성되며, 상기 소스전극과 드레인 전극 사이로 노출된 상기 반도체층의 채널영역에는 플라즈마 처리를 하여 외부 자연광에 의해 반도체층이 열화되는 것을 방지한다. 그리고, 채널영역에는 상기 보호막도 더 구비된다.
- [0106] 다만, 마스크를 적게 사용하기 위해 반도체층과 데이터 배선층을 동일한 마스크 공정으로 형성하기 때문에, 데이터 배선 및 소스/드레인 전극의 하부에는 동일한 패턴의 반도체층이 더 구비되어 있다.
- [0107] 이때, 액티브 영역 내에 스토리지 커패시터(storage capacitor, Cst)가 더 구비되는데, 상기 스토리지 커패시터는 상기 게이트 배선(212)과 동일층에 형성되는 커패시터 하부전극(232)과, 상기 화소전극(217)과 동일층에 형성되어 상기 커패시터 하부전극에 오버랩되는 커패시터 상부전극(235)과, 상기 커패시터 상,하부 전극 사이에 개재되는 게이트 절연막(213)으로 구성된다.
- [0108] 그리고, 패드부 영역에는 상기 게이트 배선(212) 끝단에 형성되어 외부로부터 주사신호를 전달하는 게이트 패드전극(G.P, 222)과, 상기 데이터 배선(215) 끝단에 형성되어 비디오 신호를 전달하는 데이터 패드전극(D.P, 222)이 구비되는데, 상기 게이트 패드전극 및 데이터 패드전극은 상부의 투명도전막(227)에 의해 커버되어 패드전극(222)이 외부 산소에 의해 산화되는 것을 방지한다.
- [0109] 상기 투명도전막(227)은 오픈영역(250)을 통해 상기 패드전극(222)과 전기적으로 연결되고, 상기 오픈영역(250)은 상기 투명도전막과 패드전극 사이의 게이트 절연막(213)을 제거하여 형성한 것이며, 상기 투명도전막(227)이 형성되어 있는 부분을 제외한 나머지 패드부 영역에 보호막(216)이 형성된다.
- [0110] 이때, 상기 게이트 패드전극(G.P)은 상기 게이트 배선(212)으로부터 연장되어 일체형으로 형성되고, 상기 데이터 패드전극(D.P)은 상기 게이트 배선과 동일층에 형성되어 상기 데이터 패드전극 상부의 투명도전막을 연장형성하여 상기 데이터 배선에 콘택되도록 한다.
- [0111] 이러한 TFT 어레이 기관은, 데이터 배선층(215) 외부로 반도체층(214)이 노출되지 않아 종래의 반도체 테일이 형성되는 영역만큼의 개구율 영역을 확보할 수 있다.
- [0112] 도시하지는 않았으나, 상기와 같이 공통전극, 화소전극 및 박막트랜지스터가 형성되어 있는 TFT 어레이 기관은 컬러필터층이 형성되어 있는 대향기관과 대향합착된 후 두 기관 사이에 액정이 충전되어 액정표시소자가 완성된다.
- [0113] 상기 횡전계방식 액정표시소자의 TFT 어레이 기관을 형성하기 위해서는 먼저, 도 9a 및 도 10a에 도시된 바와 같이, 투명하고 내열성이 우수한 기관(211) 상에 구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag), 은 합금 등의 금속물질 바람직하게는, Mo/AlNd의 적층막을 스퍼터링 방법으로 증착하고 제 1 노광마스크를 이용한 포토식각공정으로 패터닝하여 일렬로 배열된 게이트 배선(212)과, 상기 게이트 배선에 평행하는 공통배선(225)과, 상기 공통배선으로부터 분기되는 공통전극(224)과, TFT영역의 게이트 전극(212a)과, 스토리지 영역(Cst)의 커패시터 하부전극(232)과, 게이트 패드부 영역(G.P)의 게이트 패드전극(222)과, 데이터 패드부 영역(D.P)의 데이터 패드전극(222)을 형성한다.
- [0114] 이때, 상기 커패시터 하부전극(232)은 공통배선(225), 공통전극(224)과 일체형으로 형성한다. 그리고, 상기 게이트 전극(212a)은 상기 게이트 배선의 소정영역을 활용하고, 상기 게이트 패드전극(222)은 상기 게이트 배선(212)의 끝단에 일체형으로 형성하며, 상기 데이터 패드전극(222)은 후공정에서 형성될 데이터 배선의 끝단에 위치하도록 형성한다.
- [0115] 그리고, 도 10b에 도시된 바와 같이, 상기 게이트 전극(212a)을 포함한 전면에 화학증기증착(CVD: chemical vapor deposition) 방법으로 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 등의 무기절연물질을 고온에서 증착하여 게이트 절연막(213)을 형성하고, 그 위에 비정질 실리콘(amorphous silicon)(214d)을 증착하고, 그 위에

구리(Cu), 구리합금(Cu Alloy), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 몰리브덴 합금, 크롬(Cr), 크롬 합금, 티타늄(Ti), 티타늄 합금, 은(Ag), 은 합금 등의 금속층(215d) 바람직하게는, Mo을 스퍼터링 방법으로 증착한다.

- [0116] 이후, 도 10c에 도시된 바와 같이, 상기 금속층(215d) 상부 전면에 스핀(spin)법, 롤 코팅(roll coating)법 등으로 UV 경화성 수지(Ultraviolet curable resin)인 포토 레지스트(Photo resist)(255)를 도포한 후, 상기 포토 레지스트 상부에 소정의 패턴이 형성된 제 2 노광마스크(도시하지 않음)를 씌워서 UV 또는 x-선 파장에 노출시켜 노광시킨 뒤, 노광된 포토 레지스트를 현상하여 2중 단차의 포토레지스트 패턴을 형성한다.
- [0117] 여기서, 상기 제 2 노광마스크는 회절노광마스크를 사용하는데, 회절노광된 포토레지스트(255)는 이중단차를 가지게 된다. 즉, 데이터 배선이 형성될 영역과 소스/드레인 전극이 형성될 TFT 영역의 포토레지스트(255)는 높은 단차로 형성하고, 게이트 패드전극 및 데이터 패드전극 상부의 포토레지스트는 완전 제거하며, 그 외 영역의 포토레지스트는 중간단차로 형성한다.
- [0118] 다음, 도 9b 및 도 10d에 도시된 바와 같이, 상기 포토레지스트(255)를 마스크로 하여 그 사이로 노출된 금속층(215d), 비정질실리콘(214d), 게이트 절연막(213)을 차례로 식각하여 상기 패드부 영역(G.P, D.P)의 패드전극(222) 상부에 오픈영역(250)을 형성한다.
- [0119] 상기 패드전극(222) 상부의 금속층(215d), 비정질실리콘(214d), 게이트 절연막(213)을 식각하기 위해서, 먼저 금속층을 습식식각한 다음, 비정질 실리콘 및 게이트 절연막을 일괄적으로 건식식각한다. 한편, 상기 금속층, 비정질실리콘, 및 게이트 절연막을 하나의 건식식각 챔버 내에서 일괄적으로 식각할 수도 있다.
- [0120] 이때, 패드전극(222)이 Mo/AlNd의 적층막으로 구성되는 경우, 오픈영역(250) 형성시 패드전극의 Mo도 제거해준다.
- [0121] 이후, 도 10e에 도시된 바와 같이, 상기 포토레지스트(255)를 에칭하여 낮은 단차의 포토레지스트는 완전히 제거한다.
- [0122] 그리고, 남아있는 포토레지스트(255)를 마스크로 하여 상기 금속층(215d) 및 비정질실리콘(214d)을 차례로 식각하여 데이터 배선, 소스/드레인 전극(215a,215b), 커패시터 상부전극(235)을 형성하고 상기 소스/드레인 전극 하부에 반도체층(214)을 형성한다.
- [0123] 상기 커패시터 상부전극(235)은 상기 게이트 절연막(213)을 사이에 두고 커패시터 하부전극(232)에 오버랩시켜 스토리지 커패시터(Cst)를 구성한다. 상기 커패시터 상부전극(235)은 상기 드레인 전극(215b)과 일체형으로 형성한다.
- [0124] 이로써, 도 9b 및 도 10e에 도시된 바와 같이, 게이트 배선(212)에 수직교차하여 서브-픽셀을 정의하는 데이터 배선(215)과, 상기 게이트 전극(212a) 상부에 차례로 오버랩되어 박막트랜지스터를 구성하는 반도체층(214) 및 소스/드레인 전극(215a,215b)이 완성된다. 이때, 상기 데이터 배선층과 반도체층을 동일한 마스크 공정으로 형성하기 때문에, 데이터 배선 및 소스/드레인 전극의 하부에는 동일한 패턴의 반도체층이 더 구비되어 있다.
- [0125] 다음, 상기 포토레지스트(255)를 제거하고, 도 10f에 도시된 바와 같이, 상기 소스/드레인 전극(215a,215b)을 포함한 전면에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 증착하여 투명도전층(217d)을 형성한다.
- [0126] 이후, 상기 투명도전층(217d) 상에, 도 10g에 도시된 바와 같이, 포토레지스트(251)를 도포하고, 제 3 노광마스크를 이용한 포토식각공정으로 패터닝한다.
- [0127] 계속하여, 패터닝된 포토레지스트(251)를 마스크로 하여 투명도전층을 식각하여, 도 9c 및 도 10g에 도시된 바와 같이, 화소전극(217) 및 투명도전막(227)을 형성하고, 소스전극(215a)과 드레인 전극(215b) 사이를 식각하여 분리함으로써 박막트랜지스터의 채널영역을 정의한다. 이때, 투명도전막과 금속층을 동시에 습식식각해야 하므로, HF(Hydrofluoric Acid), BOE(Buffered Oxide Etchant), NH₄F 또는 이들의 혼합용액 등의 에천트를 이용하는데, 일반적으로 화소전극용 물질인 ITO용 에천트는 소스/드레인 전극용 물질인 Mo도 동시에 식각할 수 있다.
- [0128] 이와같이, 채널영역을 정의하는 공정과 화소전극을 형성하는 공정을 동시에 수행함으로써, 기존에 채널영역을 정의하는 과정에서 형성되었던 반도체층 테일이 형성되지 않게 된다.
- [0129] 상기 화소전극(217)은 상기 드레인 전극(215b)에 콘택홀없이 직접적으로 콘택되고 단위 화소내에서 상기 공통전극(224)과 평행하게 형성되어 횡전계를 발생시킨다.

- [0130] 상기 투명도전막(227)은 패드전극(222)을 커버하도록 형성하여 패드전극으로의 산소유입을 차단한다. 이때, 상기 데이터 패드전극 상부의 투명도전막(227)은 액티브 영역의 데이터 배선에까지 연장되어 데이터 배선(215)과 전기적으로 연결된다.
- [0131] 계속해서, 상기 포토레지스트(251)를 제거하고, 도 10h에 도시된 바와 같이, 상기 소스전극(215a)과 드레인 전극(215b) 사이로 노출된 상기 반도체층(214)의 채널영역에 대해 O₂ 플라즈마 처리를 하여 외부 자연광에 의해 반도체층이 열화되는 것을 방지한다.
- [0132] 이후, 도 10i에 도시된 바와 같이, 상기 화소전극(217)을 포함한 전면에 실리콘 질화물(SiNx), 실리콘 산화물(SiO₂)과 같은 무기 절연물질을 증착하거나 또는 BCB, 아크릴 수지와 같은 유기 절연물질을 도포하여 보호막(216)을 형성하고, 도 10j에 도시된 바와 같이, 그 위에 포토레지스트(252)를 도포한다. 이어서, 제 4 마스크를 이용한 포토식각기술로 상기 포토레지스트를 패터닝한 뒤, 상기 포토레지스트 사이로 노출된 보호막(216)을 건식식각한다.
- [0133] 마지막으로, 상기 포토레지스트를 제거하면, 도 9d 및 도 10k에 도시된 바와 같이, 단위화소 개구부의 보호막(216a) 및 패드전극이 형성되는 부분의 보호막(216b)을 제거하고 나머지 영역의 보호막(216)만 잔존시킨다. 즉, 보호막이 제거된 단위화소의 개구부를 통해 화상이 디스플레이되고, 보호막이 제거된 투명도전막을 통해 외부구동회로가 연결된다. 이때, 상기 보호막이 소스전극과 드레인 전극 사이의 채널영역에도 형성되도록 한다.
- [0134] 다만, 단위화소 개구부의 보호막을 건식식각하는 경우, 화소전극(117) 주변의 게이트 절연막(113)이 동시에 식각되어 화소전극 모서리에 언더컷(under cut)이 발생하는 문제가 있었다.
- [0135] 따라서, 도 11 및 도 12에 도시된 바와 같이, 액티브 영역의 보호막(216)은 그대로 남겨두고, 패드부 영역에서 패드전극(222)이 형성되는 부분의 보호막(216b)만 제거하여, 액티브 영역의 화소전극 모서리에 발생했던 언더컷 문제를 해결할 수 있다. 즉, 단위화소 개구부의 보호막에 대해 식각공정을 수행하지 않으므로 화소전극 하부의 게이트 절연막의 식각을 방지할 수 있다.
- [0136] 그러나, 이 경우에는 단위화소 개구부의 보호막에 의해 빛이 흡수되어 소자의 투과율이 낮아질 수 있는바, 도 13 및 도 14에 도시된 바와 같이, 단위화소 개구부의 보호막(216a) 및 패드전극(222)이 형성되는 부분의 보호막(216b)을 제거할 뿐만 아니라, 단위화소 개구부의 게이트 절연막(213a)도 제거함으로써 화소전극(217) 모서리에 발생했던 언더컷 문제를 해결하고 소자의 투과율도 향상시킨다.
- [0137] 즉, 패드전극(222)이 외부로 노출되는 오픈영역(250)을 형성하기 위해서 게이트 절연막(213)을 건식식각할 때 (도 10e 참고), 단위화소 개구부의 게이트 절연막(213a)도 동시에 제거하는 것이다. 이때, 단위화소 개구부의 공통전극(224)이 외부로 노출하게 된다.
- [0138] 이후, 공통전극과 평행하는 화소전극(217) 및 오픈영역을 통해 패드전극에 접촉되는 투명도전막(227)을 형성한 뒤, 화소전극을 포함한 전면에 보호막(216)을 형성하게 되는데, 단위화소 개구부의 보호막(216a) 및 패드전극이 형성되는 부분의 보호막(216b)을 제거하여 화소전극과 투명도전막을 외부로 노출시킨다.
- [0139] 상기 단위화소 개구부의 보호막(216a)을 식각할 때, 단위화소에 게이트 절연막이 형성되어 있지 않으므로 게이트 절연막 식각에 의한 언더컷 문제가 해결된다. 그리고, 단위화소 개구부에 빛을 흡수하는 게이트 절연막 및 보호막이 형성되어 있지 않으므로 소자의 투과율이 보다 향상된다.
- [0140] 이상에서와 같이 형성된 본 발명에 의한 TFT 어레이 기관은 총 4번의 노광마스크를 사용하여 완성하므로 저마스크 기술로서 유용하고, 채널영역을 정의하는 공정과 화소전극을 형성하는 공정을 동시에 수행함으로써, 기존에 채널영역을 정의하는 과정에서 형성되었던 반도체층 테일이 형성되지 않게 된다.
- [0141] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.
- [0142] 즉, 상기 실시예에서는 데이터 패드전극을 게이트 패드전극과 동일층에 형성한 뒤, 패드부 영역의 투명도전막을 액티브 영역의 데이터 배선까지 연장 형성하여 데이터 배선과 데이터 패드전극을 서로 접촉시켰으나, 이에 한정하지 않고 데이터 패드전극을 데이터 배선과 동일층에 일체형으로 형성함으로써 그 구조를 간단히 할 수 있다.

발명의 효과

- [0143] 상기와 같은 본 발명의 TFT 어레이 기판 및 그 제조방법은 다음과 같은 효과가 있다.
- [0144] 첫째, 채널영역을 정의하는 공정과 화소전극을 형성하는 공정을 동시에 수행함으로써, 기존에 채널영역을 정의하는 과정에서 형성되었던 반도체층 테일이 형성되지 않게 된다.
- [0145] 따라서, 반도체층 테일로 인하여 백라이트(Back light, B/L)의 온/오프시 발생하는 웨이비 노이즈(wavy noise)를 방지할 수 있다.
- [0146] 둘째, 데이터 배선 외부로 반도체층 테일이 돌출되지 않아 반도체층 테일 영역만큼의 개구율 저하를 막을 수 있다. 따라서, 빛샘방지 역할을 하는 블랙 매트릭스 크기도 줄일 수 있다.
- [0147] 셋째, 반도체층 테일에 의한 포토 커런트(photo current)로 인하여 소자의 오프 커런트(off current)가 높아지는 것을 방지할 수 있다.

도면의 간단한 설명

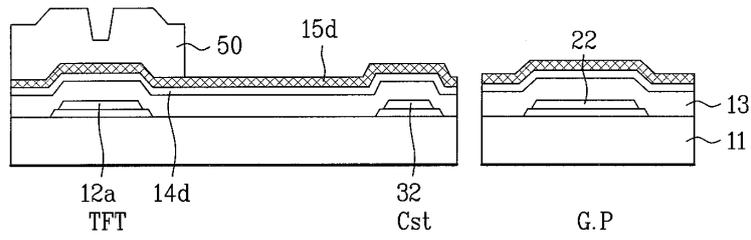
- [0001] 도 1a 내지 도 1g는 종래 기술에 의한 TFT 어레이 기판의 공정단면도.
- [0002] 도 2는 종래 기술에 의한 문제점을 설명하기 위한 소자의 단면도.
- [0003] 도 3은 본 발명의 제 1 실시예에 의한 TFT 어레이 기판의 평면도.
- [0004] 도 4는 본 발명의 제 1 실시예에 의한 TFT 어레이 기판의 단면도.
- [0005] 도 5는 본 발명을 설명하기 위한 소자의 단면도.
- [0006] 도 6a 내지 도 6k는 본 발명의 제 1 실시예에 의한 TFT 어레이 기판의 공정단면도.
- [0007] 도 7은 본 발명의 제 2 실시예에 의한 TFT 어레이 기판의 평면도.
- [0008] 도 8은 본 발명의 제 2 실시예에 의한 TFT 어레이 기판의 단면도.
- [0009] 도 9a 내지 도 9d는 본 발명의 제 2 실시예에 의한 TFT 어레이 기판의 공정평면도.
- [0010] 도 10a 내지 도 10k는 본 발명의 제 2 실시예에 의한 TFT 어레이 기판의 공정단면도.
- [0011] 도 11은 본 발명의 제 3 실시예에 의한 TFT 어레이 기판의 평면도.
- [0012] 도 12는 본 발명의 제 3 실시예에 의한 TFT 어레이 기판의 단면도.
- [0013] 도 13은 본 발명의 제 4 실시예에 의한 TFT 어레이 기판의 평면도.
- [0014] 도 14는 본 발명의 제 4 실시예에 의한 TFT 어레이 기판의 단면도.

[0015] *도면의 주요 부분에 대한 부호설명

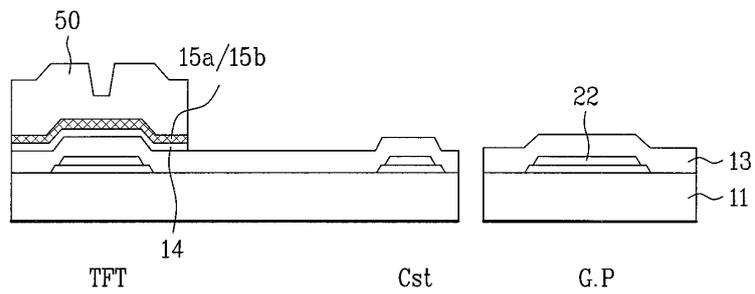
- [0016] 112 : 게이트 배선 112a : 게이트 전극
- [0017] 113 : 게이트 절연막 114 : 반도체층
- [0018] 115 : 데이터 배선 115a, 115b : 소스/드레인 전극
- [0019] 116 : 보호막 117 : 화소전극
- [0020] 122 : 패드 전극 127 : 투명도전막
- [0021] 132 : 커패시터 하부전극 135 : 커패시터 상부전극
- [0022] 150 : 오픈영역 151, 152, 155 : 포토레지스트

도면

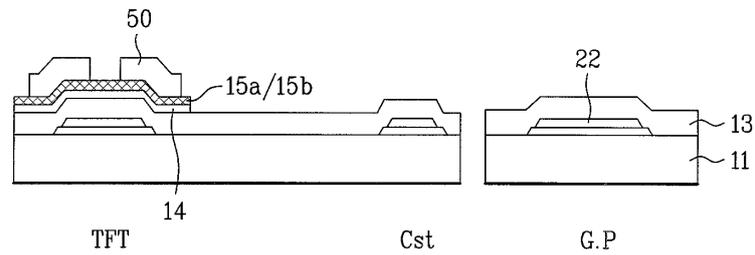
도면1a



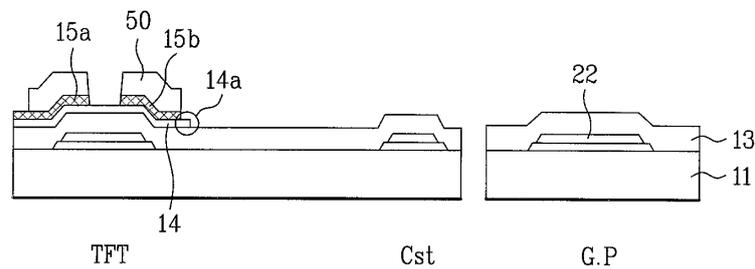
도면1b



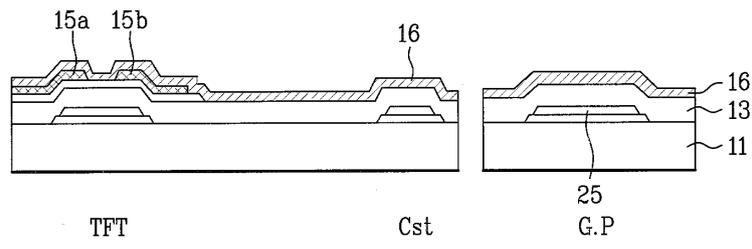
도면1c



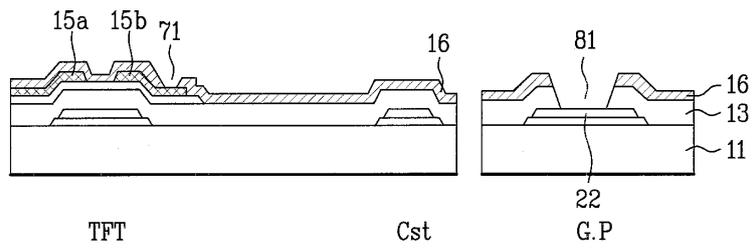
도면1d



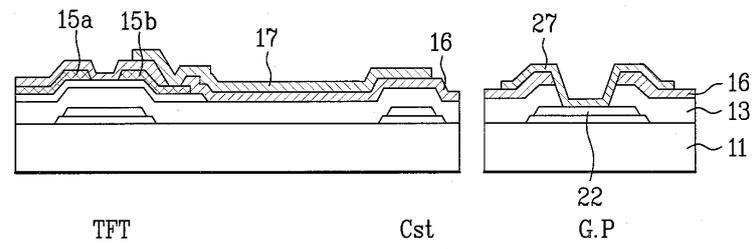
도면1e



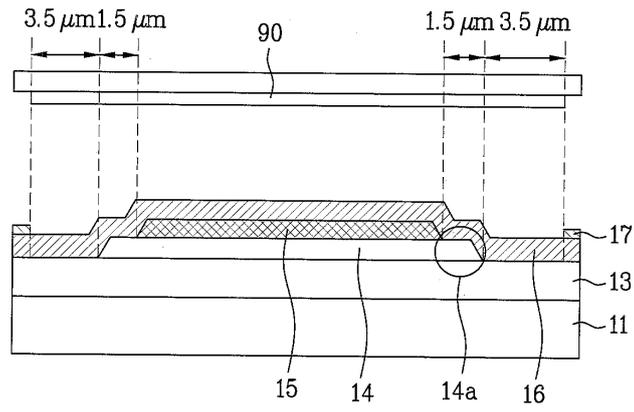
도면1f



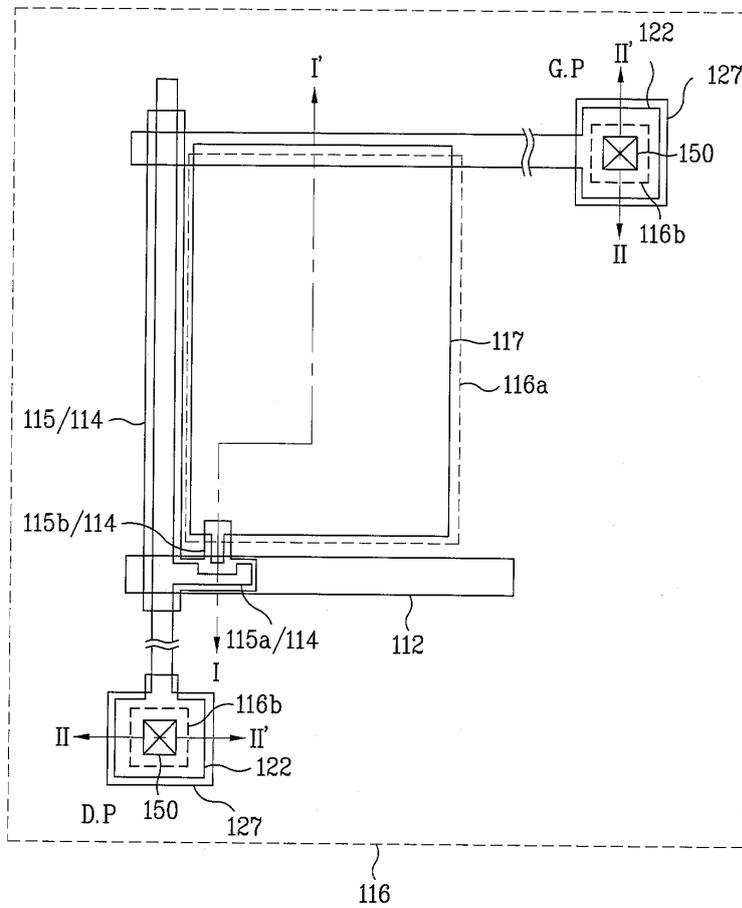
도면1g



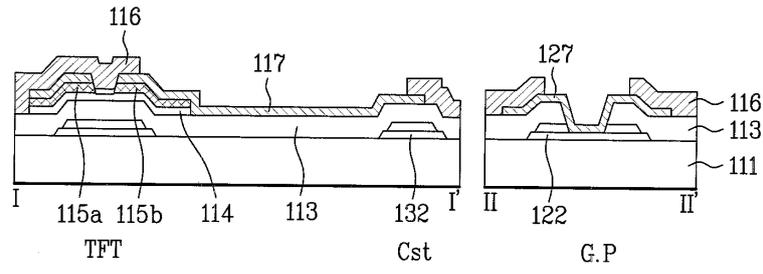
도면2



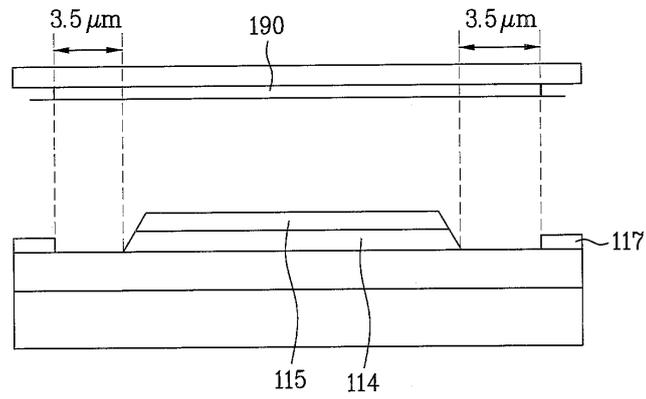
도면3



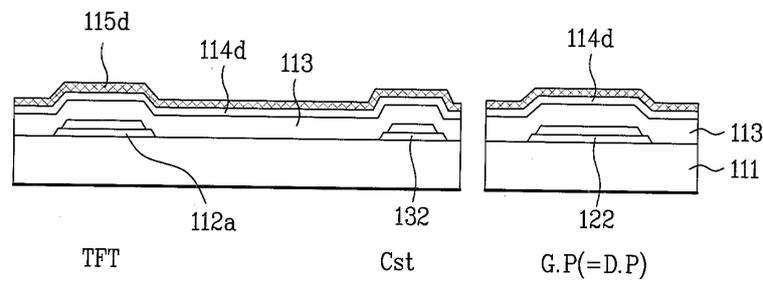
도면4



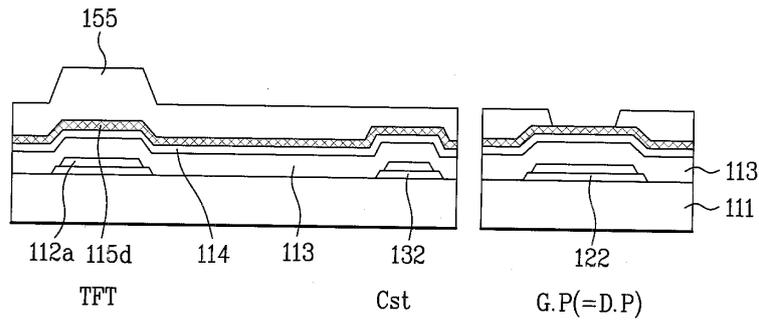
도면5



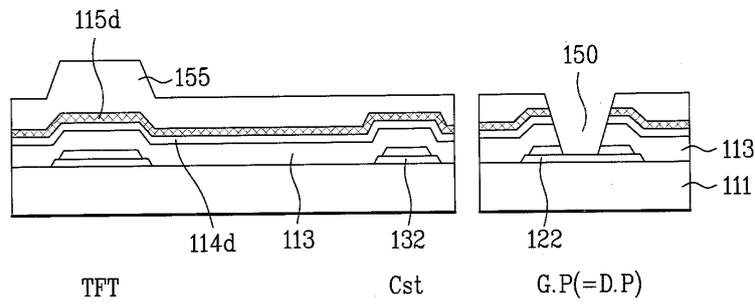
도면6a



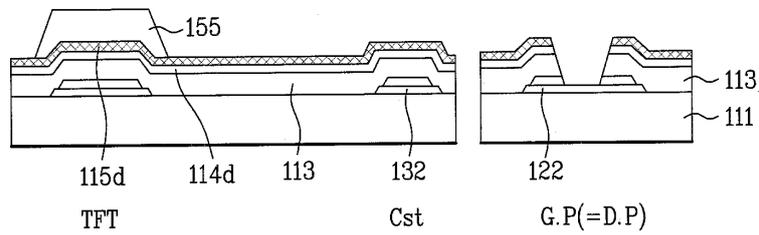
도면6b



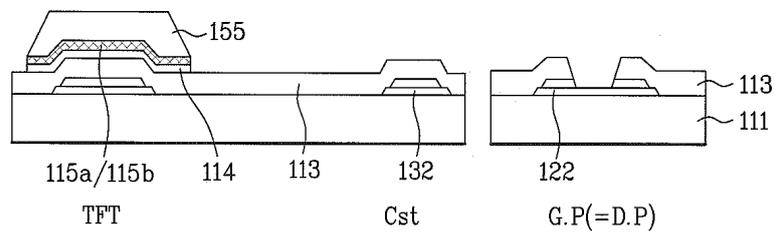
도면6c



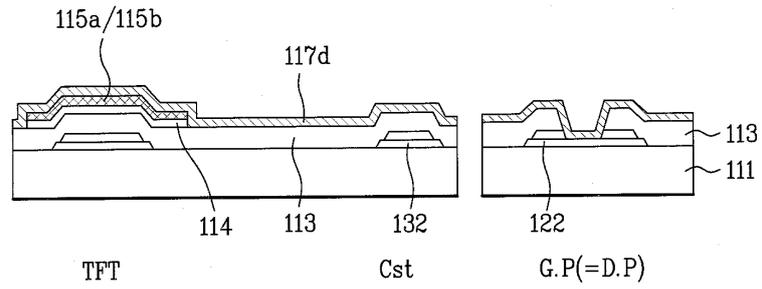
도면6d



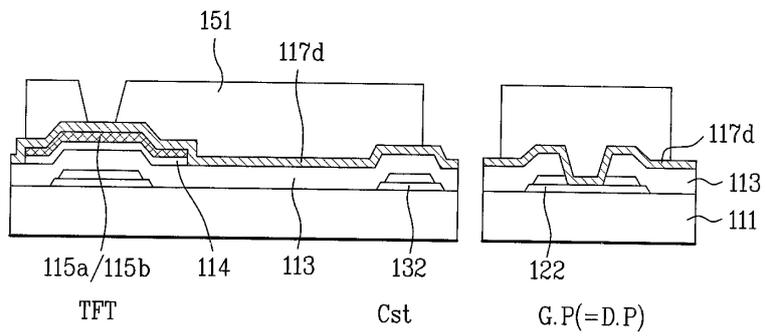
도면6e



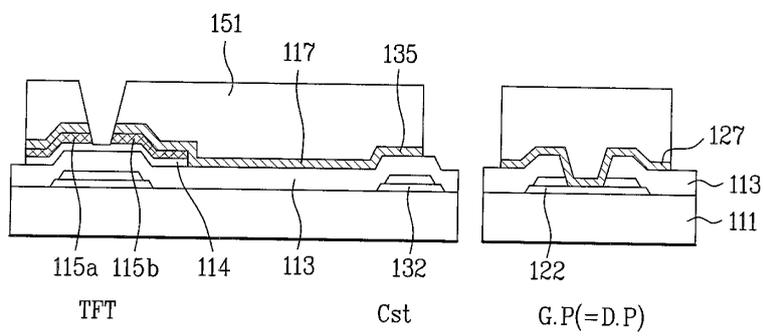
도면6f



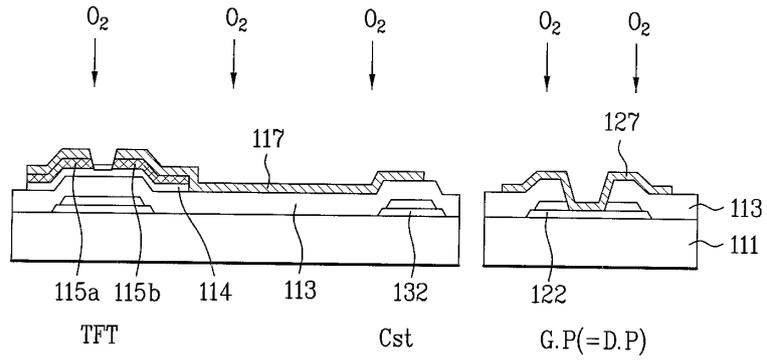
도면6g



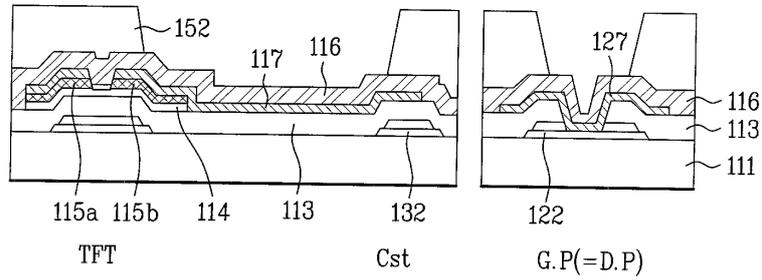
도면6h



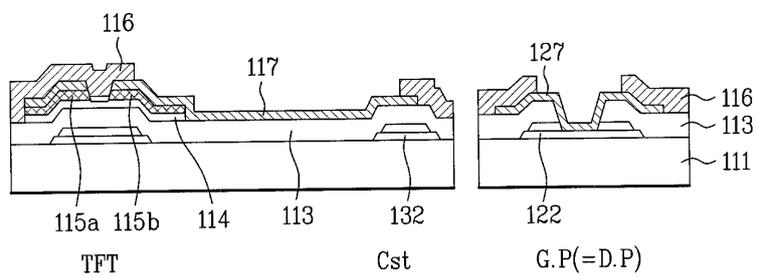
도면6i



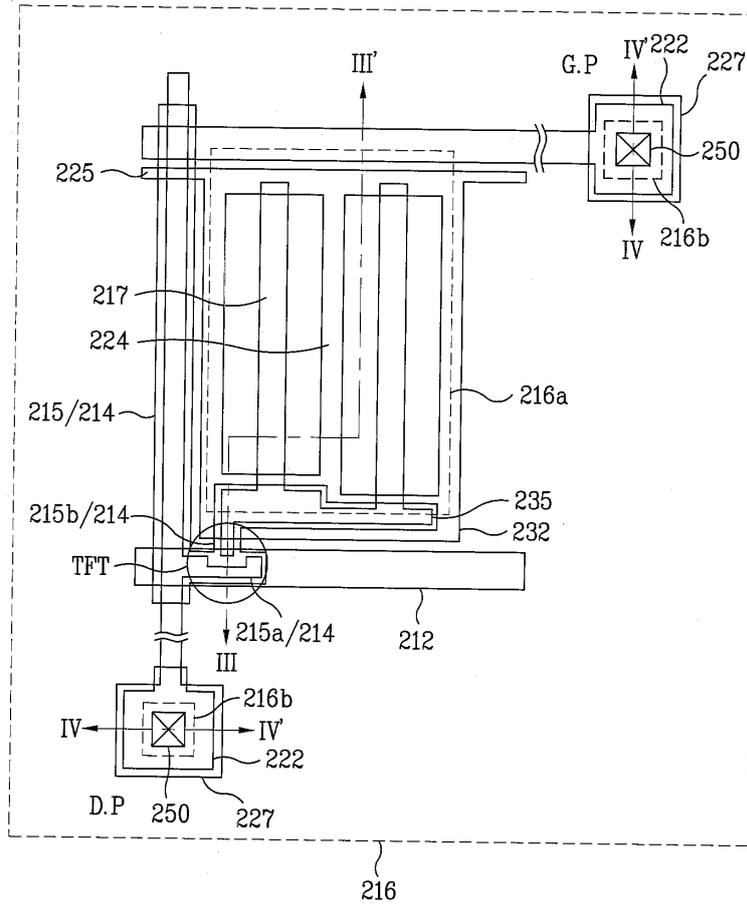
도면6j



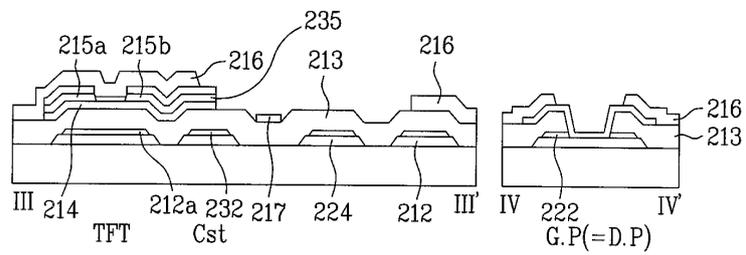
도면6k



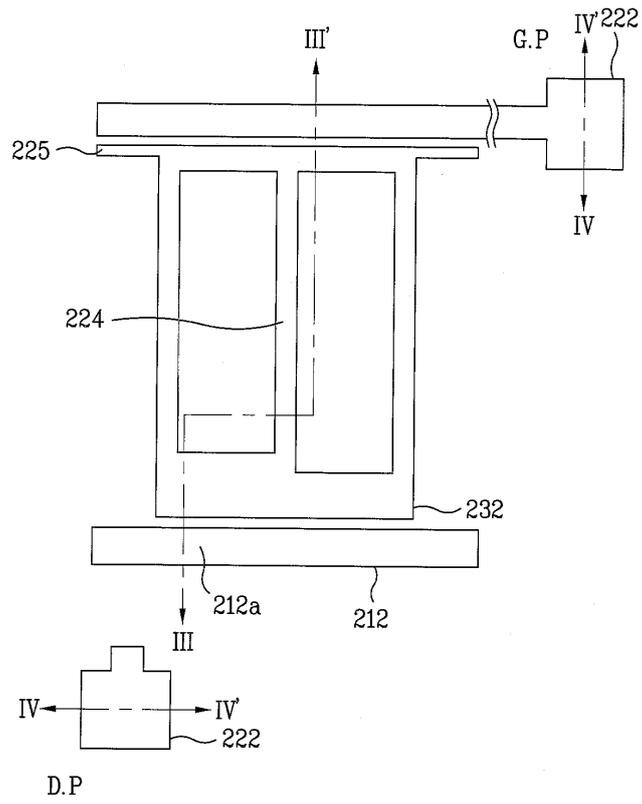
도면7



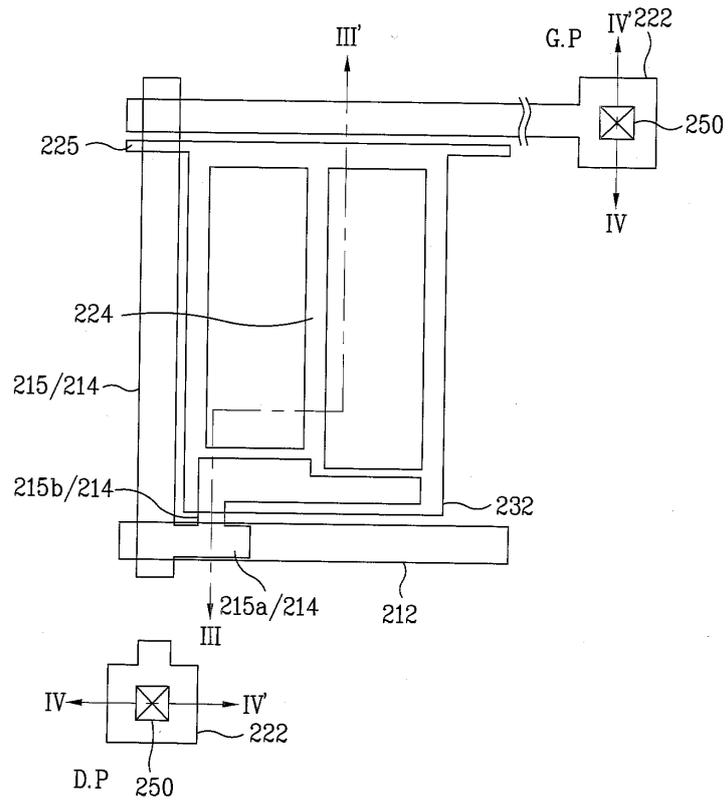
도면8



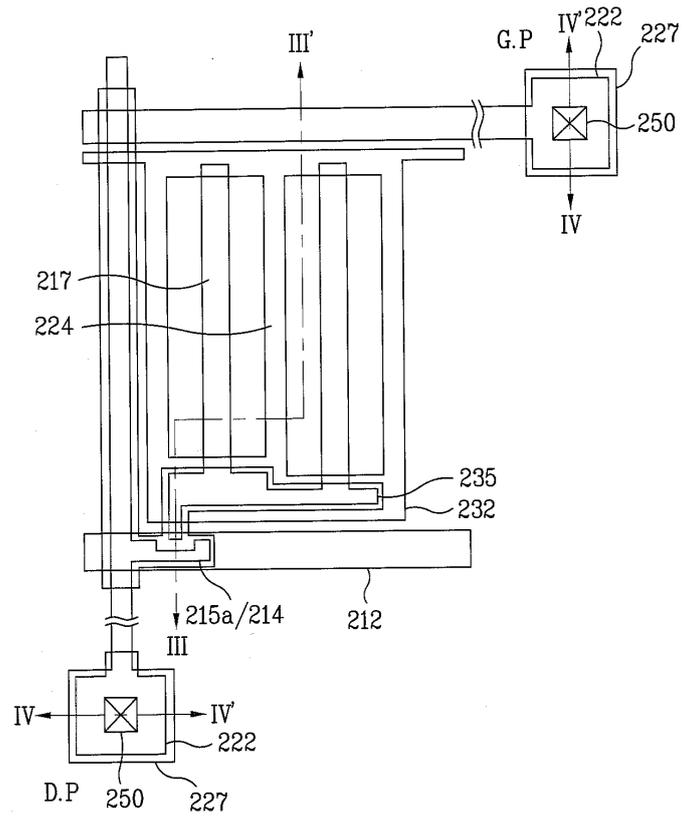
도면9a



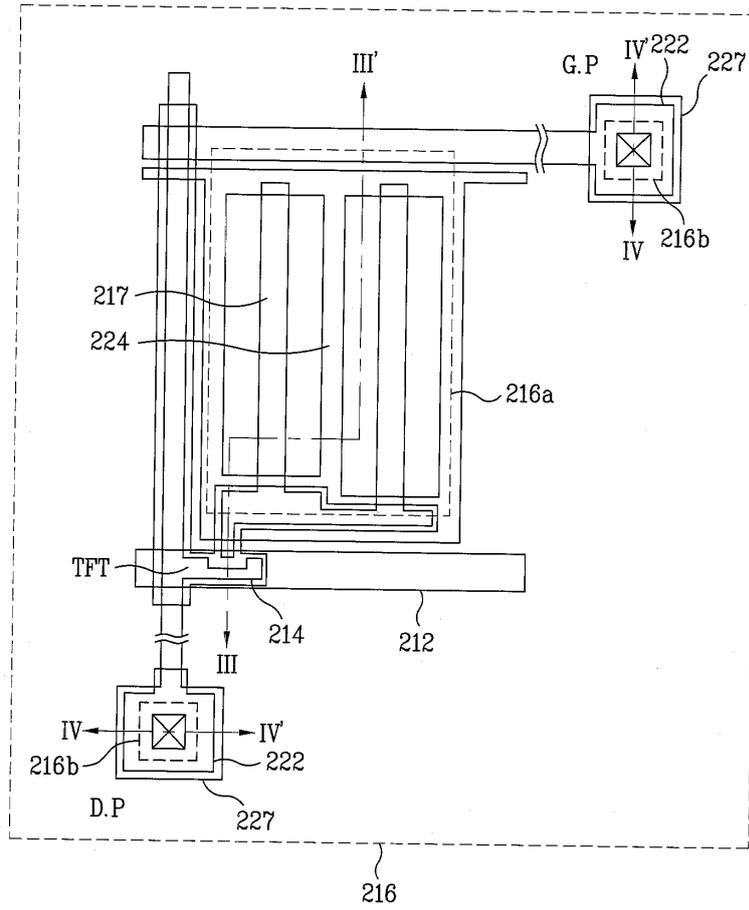
도면9b



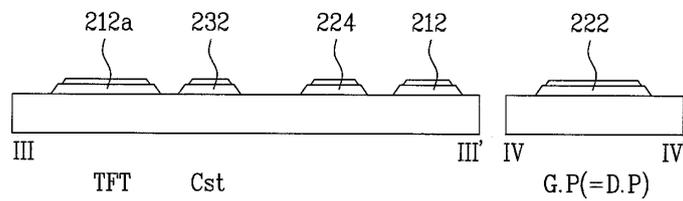
도면9c



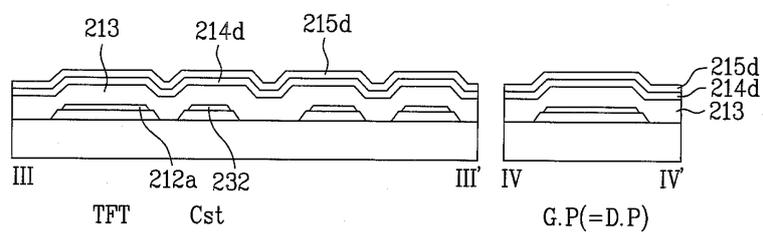
도면9d



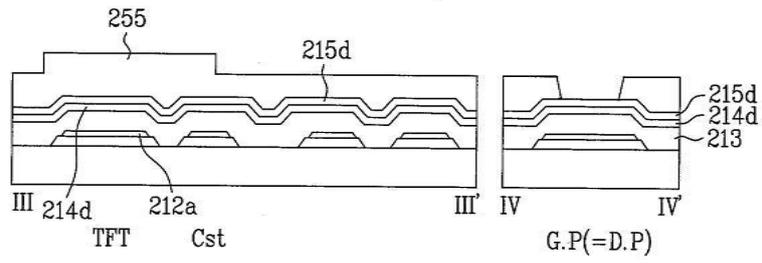
도면10a



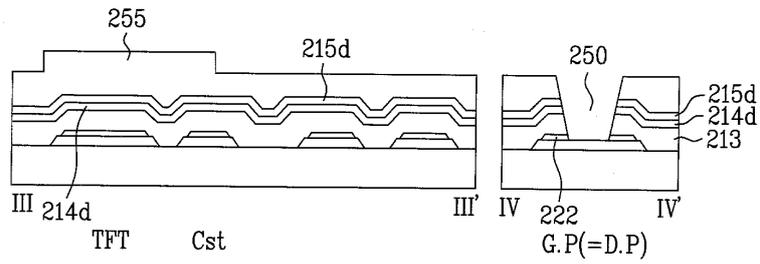
도면10b



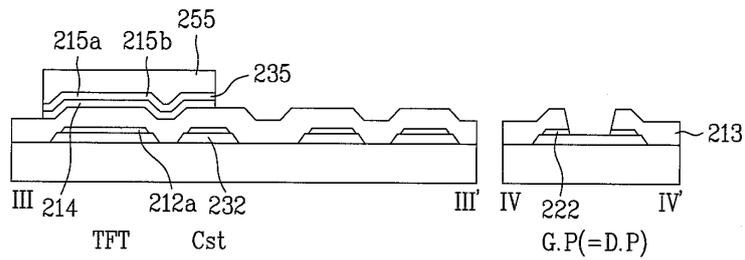
도면10c



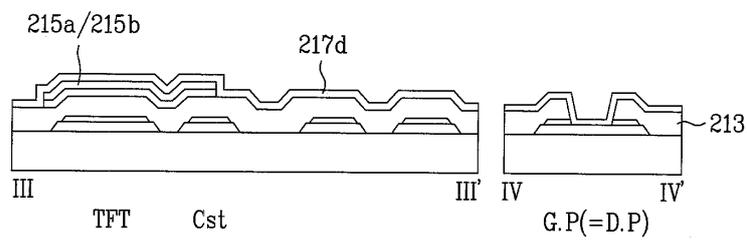
도면10d



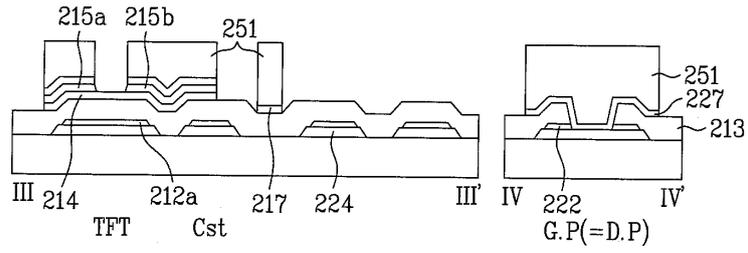
도면10e



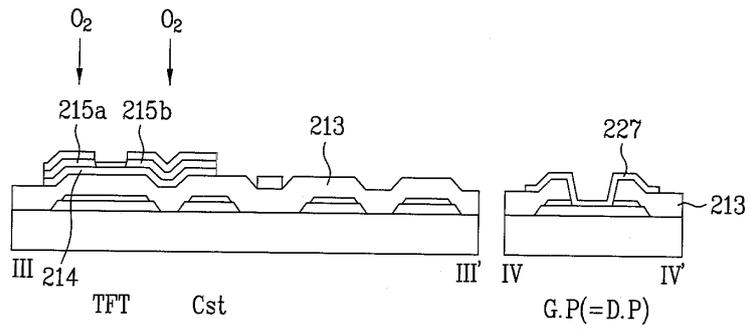
도면10f



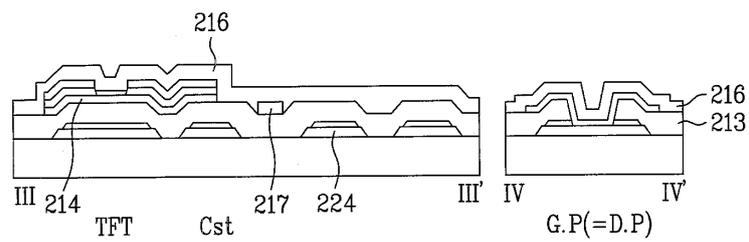
도면10g



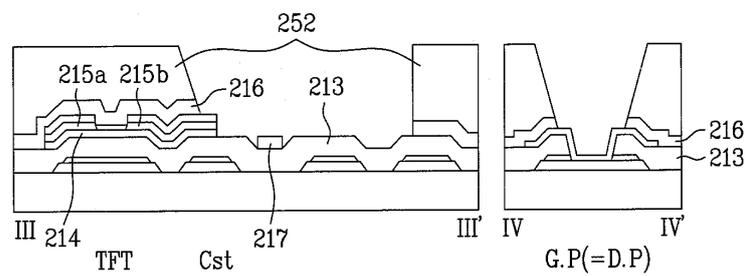
도면10h



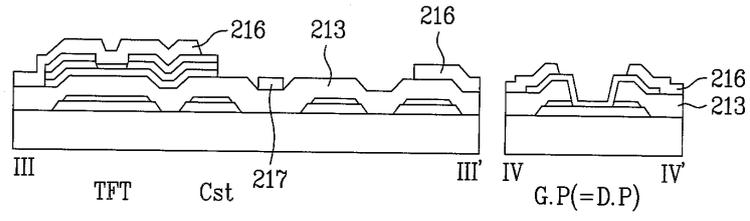
도면10i



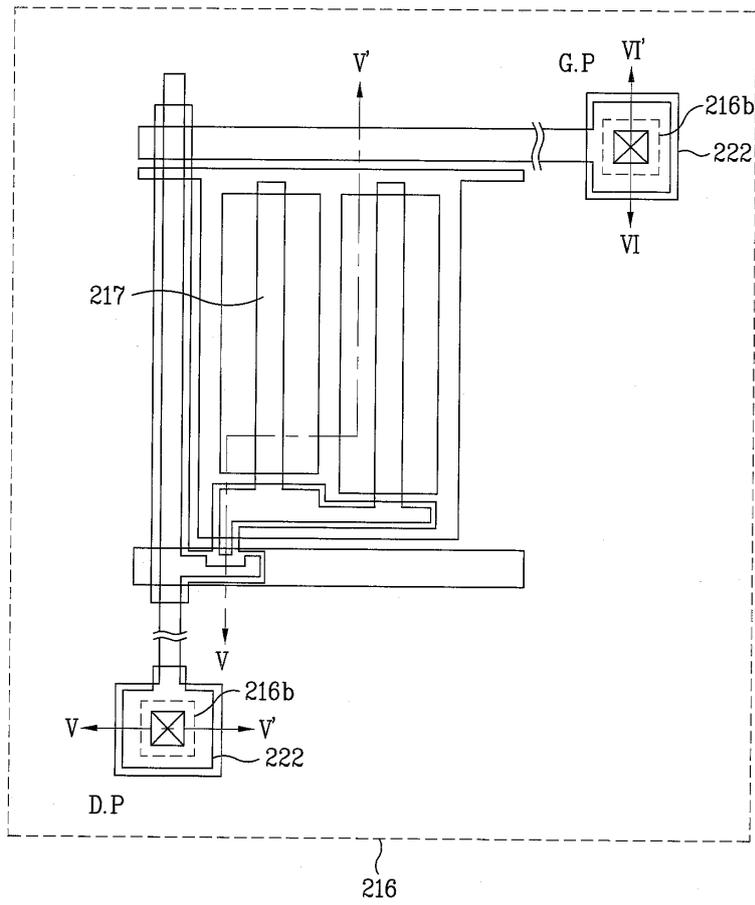
도면10j



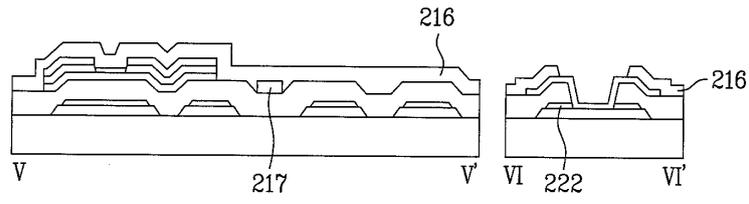
도면10k



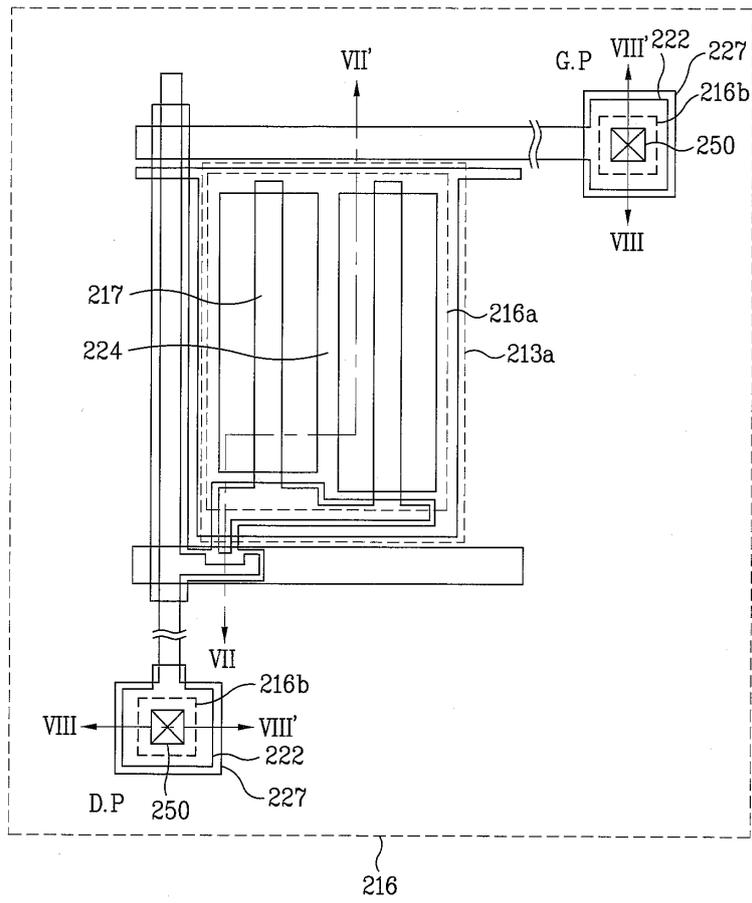
도면11



도면12



도면13



도면14

