

(12) 发明专利

(10) 授权公告号 CN 101159226 B

(45) 授权公告日 2012. 05. 09

(21) 申请号 200710088603. 1

(22) 申请日 2007. 03. 16

(30) 优先权数据

10-2006-0097404 2006. 10. 02 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞 416 番地

(72) 发明人 李芝英 张大铉

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 林宇清 谢丽娜

(51) Int. Cl.

H01L 21/00(2006. 01)

H01L 21/3213(2006. 01)

H01L 21/308(2006. 01)

H01L 21/311(2006. 01)

H01L 21/768(2006. 01)

H01L 23/485(2006. 01)

(56) 对比文件

CN 1750234 A, 2006. 03. 22, 全文.

US 6875689 B2, 2005. 04. 05, 全文.

US 6632741 B1, 2003. 10. 14, 全文.

US 6063688 A, 2000. 05. 16, 全文.

审查员 陈源

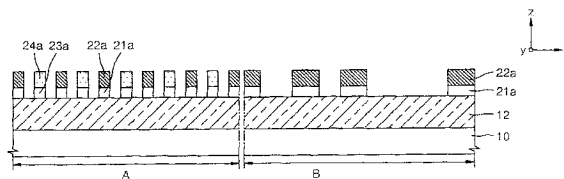
权利要求书 2 页 说明书 16 页 附图 31 页

(54) 发明名称

使用自对准双构图方法形成焊盘图形的方法
以及使用自对准双构图方法形成接触孔的方法

(57) 摘要

一种用于形成图形的自对准构图方法, 包括: 在衬底上形成第一层; 在第一层上形成多个第一硬掩模图形; 在第一硬掩模图形的顶表面和侧壁上形成牺牲层, 由此在第一硬掩模图形的侧壁上形成牺牲层的各个面对部分之间的间隙; 在该间隙中形成第二硬掩模图形; 使用第二硬掩模图形作为掩模, 蚀刻牺牲层, 以露出第一硬掩模图形; 使用所露出的第一硬掩模图形和第二硬掩模图形, 露出第一层; 以及使用第一和第二硬掩模图形蚀刻露出的第一层。



1. 一种用于形成图形的自对准构图方法,包括:
在衬底上形成第一层;
在第一层上形成多个第一硬掩模图形;
在第一硬掩模图形的顶表面和侧壁上形成牺牲层,由此在第一硬掩模图形的侧壁上形成牺牲层的各个面对部分之间的间隙;
在该间隙中形成第二硬掩模图形;
使用第二硬掩模图形作为掩模,蚀刻牺牲层,以露出第一硬掩模图形;
使用所露出的第一硬掩模图形和第二硬掩模图形,露出第一层;以及
使用第一和第二硬掩模图形蚀刻露出的第一层。
2. 如权利要求 1 的方法,其中通过原子层淀积方法形成牺牲层。
3. 如权利要求 1 的方法,其中形成第二硬掩模图形包括:
在牺牲层上形成硬掩模层,同时使用该硬掩模层填充该间隙;并且
各向同性部分地蚀刻硬掩模层以露出牺牲层的至少上表面。
4. 如权利要求 3 的方法,其中该各向同性蚀刻是湿法蚀刻。
5. 如权利要求 1 的方法,其中第一和第二硬掩模图形的每一个包括氧化物、氮化物和多晶硅的至少一个。
6. 如权利要求 1 的方法,其中第一和第二硬掩模图形是多晶硅层。
7. 如权利要求 1 的方法,其中第一层是导电层。
8. 如权利要求 7 的方法,其中:
形成多个第一硬掩模图形包括在导电层上形成多个第一硬掩模图形,第一硬掩模图形的每一个包括第一线掩模图形和第一焊盘掩模图形,该第一线掩模图形具有第一线宽,该第一焊盘掩模图形具有第二线宽,该第一焊盘掩模图形从第一线掩模图形延伸,第一焊盘掩模图形和第一线掩模图形之间的距离以及相邻第一硬掩模图形的第一焊盘掩模图形之间的距离的至少一个大于相邻第一硬掩模图形的第一线掩模图形之间的距离,
形成第二硬掩模图形包括在间隙中形成第二硬掩模图形,该第二硬掩模图形包括第二焊盘掩模图形和第二线掩模图形,在第一焊盘掩模图形和第一线掩模图形之间或者在相邻第一硬掩模图形的第一焊盘掩模图形之间形成第二焊盘掩模图形,在相邻的第一硬掩模图形的第一线掩模图形之间形成第二线掩模图形,以及
蚀刻所露出的第一层包括使用第一和第二硬掩模图形来形成焊盘图形。
9. 如权利要求 8 的方法,其中焊盘图形一致地彼此分开。
10. 如权利要求 9 的方法,其中焊盘图形之间的距离对应于牺牲层的厚度。
11. 如权利要求 8 的方法,其中形成第一硬掩模图形包括在每个第一硬掩模图形之下形成辅助图形。
12. 如权利要求 11 的方法,其中辅助图形具有与牺牲层相同的厚度。
13. 如权利要求 1 的方法,其中第一层是绝缘层。
14. 如权利要求 13 的方法,还包括:
在第二硬掩模图形上形成光刻胶图形,该光刻胶图形包括横跨第二硬掩模图形所形成的缝隙,以露出部分第二硬掩模图形和邻接该第二硬掩模图形的部分牺牲层,并且其中
形成第一层包括在具有高密度图形区和低密度图形区的衬底上形成绝缘层,

形成多个第一硬掩模图形包括在低密度图形区的绝缘层上形成多个第一硬掩模图形，蚀刻牺牲层包括使用光刻胶图形和第二硬掩模图形作为掩模来蚀刻牺牲层，以露出第一硬掩模图形，

露出第一层包括使用光刻胶图形、第二硬掩模图形和第一硬掩模图形作为掩模，以除去位于第一和第二硬掩模图形之间的部分牺牲层，以使得露出绝缘层，以及

蚀刻所露出的第一层包括使用光刻胶图形、第一硬掩模图形和第二硬掩模图形作为掩模，蚀刻所露出的绝缘层，以形成接触孔。

15. 如权利要求 14 的方法，其中：

在低密度图形区的绝缘层上形成第一硬掩模图形，以及

低密度图形区的第一硬掩模图形之间的间隔使得不在低密度图形区上形成第二硬掩模图形。

16. 如权利要求 15 的方法，其中光刻胶图形还包括露出位于低密度图形区的第一硬掩模图形之间的部分牺牲层。

17. 如权利要求 14 的方法，还包括在形成光刻胶图形之前，在第二硬掩模层上形成平坦化膜。

18. 一种形成接触孔的方法，包括：

在衬底上形成绝缘层；

在绝缘层上形成多个第一硬掩模图形；

在第一硬掩模图形的顶表面和侧壁上形成牺牲层，由此在第一硬掩模图形的相邻侧壁上所形成的牺牲层之间形成间隙；

在该间隙中形成第二硬掩模图形；

使用第二硬掩模图形作为掩模蚀刻牺牲层，以露出第一硬掩模图形，并且使用第一和第二硬掩模图形作为掩模，以除去位于第一和第二硬掩模图形之间的部分牺牲层，以使得露出绝缘层；

使用第一和第二硬掩模图形作为掩模，部分地蚀刻所露出的绝缘层；

在部分地蚀刻的绝缘层上形成接触孔蚀刻掩模层；以及

通过使用该接触孔蚀刻掩模层作为蚀刻掩模，蚀刻第一硬掩模图形、第二硬掩模图形、第二硬掩模图形之下的牺牲层以及第一和第二硬掩模图形之下的部分绝缘层，以使得在绝缘层中形成接触孔。

19. 如权利要求 18 的方法，其中形成绝缘层包括：

在衬底上形成第一绝缘层；

在第一绝缘层上形成蚀刻停止层；以及

在蚀刻停止层上形成第二绝缘层。

20. 如权利要求 19 的方法，其中部分地蚀刻所露出的绝缘层包括蚀刻第二绝缘层以露出蚀刻停止层。

21. 如权利要求 20 的方法，其中接触孔蚀刻掩模层是有机层。

使用自对准双构图方法形成焊盘图形的方法以及使用自对准双构图方法形成接触孔的方法

技术领域

[0001] 本申请涉及制造半导体器件的方法。更具体,本发明涉及使用自对准双构图方法在半导体器件中形成图形的方法。

背景技术

[0002] 对于高集成度的半导体器件应当形成精细图形。应当减小器件的尺寸以在给定的区域内形成更多的器件。为此,应当减小图形的间距(图形的宽度和间隔宽度的总和)。随着设计尺寸显著减小,在形成半导体器件中需要更加精细的图形。然而,难以使用传统光刻工序在半导体器件中形成精细图形,由于光刻工序的解析度限制。

[0003] 期望适于形成各种类型的图形,例如线图形、焊盘图形和接触孔图形,包括具有不同图形的图形的技术。

发明内容

[0004] 本发明提供在半导体图形中以低于光刻的解析度极限的解析度形成图形的方法。

[0005] 本发明还提供在半导体器件中形成精细图形以及具有各种尺寸和间距的图形的方法。

[0006] 本发明进一步提供以低于光刻工序的解析度极限的解析度形成接触孔的方法。

[0007] 本发明的上述和其他的特性和优势的至少一个可以通过提供自对准构图方法来实现,该自对准构图方法用于形成图形,包括在衬底上形成第一层、在第一层上形成多个第一硬掩模图形、在第一硬掩模图形的顶表面和侧壁上形成牺牲层,由此在第一硬掩模图形的侧壁上形成牺牲层的各个面对部分之间的间隙(gap)、在该间隙中形成第二硬掩模图形、使用第二硬掩模图形作为掩模蚀刻牺牲层,以露出第一硬掩模图形、使用所露出的第一硬掩模图形和第二硬掩模图形露出第一层、以及使用第一和第二硬掩模图形蚀刻露出的第一层。

[0008] 可以通过原子层淀积方法形成牺牲层。形成第二硬掩模图形包括在牺牲层上形成硬掩模层,同时使用该硬掩模层填充该间隙,并且各向同性地蚀刻硬掩模层以露出牺牲层。该各向同性蚀刻可以是湿法蚀刻。第一和第二硬掩模图形每一个可以包括氧化物、氮化物和多晶硅的至少一个。第一和第二硬掩模图形可以是多晶硅层。第一层可以是导电层。

[0009] 形成多个第一硬掩模图形可包括在导电层上形成多个第一硬掩模图形,各个第一硬掩模图形的每一个包括第一线掩模图形和第一焊盘掩模图形,该第一线掩模图形具有第一线宽,该第一焊盘掩模图形具有第二线宽,该第一焊盘图形从第一线掩模图形延伸,第一焊盘掩模图形和第一线掩模图形之间的距离以及相邻一个第一硬掩模图形的第一焊盘掩模图形之间的距离的至少一个大于相邻一个第一硬掩模图形的第一线掩模图形之间的距离。形成第二硬掩模图形可包括在间隙中形成第二硬掩模图形,其中第二硬掩模图形可以包括第二焊盘掩模图形和第二线掩模图形,在第一焊盘掩模图形和第一线掩模图形之间或

者在相邻第一硬掩模图形的第一焊盘掩模图形之间形成第二焊盘掩模图形,以及可以在相邻的第一硬掩模图形的第一线掩模图形之间形成第二线掩模图形。蚀刻所露出的第一层可包括使用第一和第二硬掩模图形来形成焊盘图形。

[0010] 焊盘图形可以一致地彼此分开。焊盘图形之间的距离可以对应于牺牲层的厚度。形成第一硬掩模图形可包括在每个第一硬掩模图形之下形成辅助图形。辅助图形可以具有与牺牲层相同的厚度。第一层可以是绝缘层。

[0011] 该方法还包括在第二硬掩模图形上形成光刻胶图形,该光刻胶图形包括横跨第二硬掩模图形所形成的缝隙 (slit),以露出部分第二硬掩模图形和邻接该第二硬掩模图形的部分牺牲层,其中形成第一层可包括在具有高密度图形区和低密度图形区的衬底上形成绝缘层,形成多个第一硬掩模图形可包括在高密度图形区的绝缘层上形成多个第一硬掩模图形,蚀刻牺牲层可包括使用光刻胶图形和第二硬掩模图形作为掩模蚀刻牺牲层,以露出第一硬掩模图形,露出第一层包括使用光刻胶图形、第二硬掩模图形和第一硬掩模图形作为掩模,以除去位于第一和第二硬掩模图形之间的部分牺牲层,以使得露出绝缘层,以及蚀刻所露出的第一层可包括使用光刻胶图形、第一硬掩模图形和第二硬掩模图形作为掩模,蚀刻所露出的绝缘层以形成接触孔。

[0012] 可以在低密度图形区的绝缘层上形成第一硬掩模图形,并且低密度图形区的第一硬掩模图形之间的间隔可以使得不在低密度图形区上形成第二硬掩模图形。光刻胶图形可包括露出位于低密度图形区的第一硬掩模图形之间的部分牺牲层。

[0013] 该方法可包括在形成光刻胶图形之前,在第二硬掩模层上形成平坦化膜。

[0014] 可以通过提供形成接触孔的方法,分别实现本发明的上述和其他特征和优势的至少一个,该方法包括在衬底上形成绝缘层、在绝缘层上形成多个第一硬掩模图形、在第一硬掩模图形的顶表面和侧壁上形成牺牲层,由此在第一硬掩模图形的相邻侧壁上所形成的牺牲层之间形成间隙、在该间隙中形成第二硬掩模图形、使用第二硬掩模图形作为掩模蚀刻牺牲层,以露出第一硬掩模图形、以及使用第一和第二硬掩模图形作为掩模以除去位于第一和第二硬掩模图形之间的部分牺牲层,以使得露出绝缘层、使用第一和第二硬掩模图形作为掩模,部分地蚀刻所露出的绝缘层、在部分地蚀刻的绝缘层上形成接触孔蚀刻掩模层、以及通过使用该接触孔蚀刻掩模层作为蚀刻掩模,蚀刻第一硬掩模图形、第二硬掩模图形、第二硬掩模图形之下的牺牲层以及第一和第二硬掩模图形之下的部分绝缘层,以使得在绝缘层中形成接触孔。

[0015] 形成绝缘层可包括在衬底上形成第一绝缘层、在第一绝缘层上形成蚀刻停止层、以及在蚀刻停止层上形成第二绝缘层。部分地蚀刻所露出的绝缘层可包括蚀刻第二绝缘层以露出蚀刻停止层。接触孔蚀刻掩模层可以是有机层。

[0016] 可以通过提供焊盘布局分别实现本发明的上述和其他特性和优势的至少一个,该焊盘布局包括在衬底上所形成的多个第一焊盘图形,多个第一焊盘图形的每一个包括在预定方向上延伸的第一线以及从该第一线延伸的第一焊盘、以及在第一焊盘图形之间形成的第二焊盘图形,该第二焊盘图形包括第二线以及从第二线延伸的第二焊盘,其中第二线形成在相邻第一焊盘图形的第一线之间,可以在第一焊盘和第一线以及在相邻第一焊盘图形的第一线之间形成第二焊盘,并且第一焊盘图形和第二焊盘图形彼此均匀间隔。

附图说明

[0017] 对于本领域技术人员来说,通过参照附图描述详细的示例性实施例,本发明的上述和其他特性及优势将变得更加显而易见,在附图中:

[0018] 图 1A 至 1G 说明根据本发明的一个或多个方面,在形成半导体器件中的线图形的第一示例性方法的阶段期间所获得的所得结构的截面图;

[0019] 图 2A 至 2C 说明根据本发明的一个或多个方面,在形成焊盘图形的示例性方法的阶段期间所获得的层的部分布局图;

[0020] 图 3A 至 3F 说明在图 2A 至 2C 中所示的形成焊盘图形的示例性方法的阶段期间所获得的所得结构的截面图;

[0021] 图 4A 和 4B 说明根据本发明的另一示例性实施例的焊盘图形的扫描电子显微镜 (SEM) 图像;

[0022] 图 5A 至 5F 说明根据本发明的实施例的形成接触孔图形的示例性方法期间所获得的所得结构的平面图;

[0023] 图 6A 至 6F 分别说明沿着图 5A 至 5F 的线 IIa-IIa' 以及 IIb-IIb' 所取的所得结构的截面图;

[0024] 图 7A 至 7G 说明根据本发明的一个或多个方面,在形成接触孔图形的另一示例性方法期间所获得的所得结构的平面图;以及

[0025] 图 8A 至 8G 分别说明沿着图 7A 至 7G 的线 IIIa-IIIa' 以及 IIIb-IIIb' 所取的所得结构的截面图。

具体实施方式

[0026] 2006 年 10 月 2 日在韩国知识产权局提交的名为“Method of Forming Pad Patterns Using Self-Align Double Patterning Method, Pad Pattern Layout Formed Using the Same, and Method of Forming Contact Holes Using Self-Align Double Patterning Method”的韩国专利申请号 No. 10-2006-0097404,被在此引入作为参考。

[0027] 下面将参照附图,在此更详细地说明本发明,在附图中说明本发明的示例性实施例。然而,本发明可以以不同的形式实施,并且不应当被构造为限制于在此阐述的实施例。而是,提供这些实施例使得本公开是全面和完整的,并能将本发明的范围完全传递给本领域技术人员。

[0028] 在附图中,为了说明的清楚起见,可以放大层和区域的尺寸。应理解,当层或元件被称为在其他层或元件“之上”时,它可以直接在该其他层或元件之上,或者也可以存在中间层。此外,当层被称为在其他层或元件“之下”时,它可以直接在该其他层或元件之下,或者也可以存在一个或多个中间层或元件。此外,还应理解,当层或元件被称为在两个层或元件“之间”时,它可以直接在该两个层或元件之间,或者也可以存在一个或多个中间层。

[0029] 下面将参照附图,在此更详细地说明本发明,在附图中说明本发明的示例性实施例。然而,本发明可以以不同的形式实施,并且不应当被构造为限制于在此阐述的实施例。而是,提供这些实施例使得本公开是全面和完整的,并能将本发明的范围完全传递给本领域技术人员。在附图中,为了清楚起见,可以放大层和区域的尺寸。在图中相同的参考标号指示相同的元件,因此将省略它们的说明。

[0030] 图 1A 至 1G 说明在使用采用了本发明的一个或多个方面的自对准双构图方法,形成半导体器件中的线图形的第一示例性方法的阶段期间所获得的所得结构的截面图。

[0031] 参照图 1A,可以提供具有高密度图形区 (A) 和低密度图形区 (B) 的半导体衬底 10。在高密度图形区 (A) 中,可以重复地形成具有相同宽度的岛 (island),并且在低密度图形区 (B) 中,可以形成具有各种宽度的岛。存储器件的单元阵列区可包括高密度图形区 (A)。在某些情况下,存储器件的单元阵列区可包括低密度图形区 (B)。存储器件的外围电路区可包括低密度图形区 (B)。

[0032] 可以在衬底 10 上形成蚀刻层 12。蚀刻层 12 可以由各种材料所形成,取决于例如将在蚀刻层 12 中形成的目标图形。例如,当目标图形是有源区图形时,蚀刻层 12 可以是硅层。当目标图形是栅电极图形时,蚀刻层 12 可以是导电层,例如掺杂的多晶硅层或者具有掺杂的多晶硅层和金属硅化物层的层叠结构。当目标图形是信号线图形例如数据线图形或电源线图形时,蚀刻层 12 可以是金属层,例如钨层或铝层。

[0033] 可以在蚀刻层 12 上顺序地形成辅助层 (未示出) 和第一硬掩模层 (未示出)。可以通过第一光刻工序,在第一硬掩模层上形成光刻胶图形 (未示出)。可以使用该光刻胶图形作为掩模,通过例如各向异性蚀刻,顺序地构图第一硬掩模层和辅助层,以分别形成多个第一硬掩模图形 22a 和多个辅助图形 21a。每个辅助图形 21a 和每个第一硬掩模图形 22a 可以顺序地层叠,以及每个第一硬掩模图形 22a 可以层叠在辅助图形 21a 之一上。然后可以除去光刻胶图形。在某些情况下,在形成光刻胶图形之前,抗反射层 (未示出) 可以形成在第一硬掩模层上。

[0034] 第一硬掩模层可以由相对于蚀刻层 12 具有高蚀刻选择性的材料所形成。例如,第一硬掩模图形可以是氧化物层、氮化物层和多晶硅层之一,取决于蚀刻层 12 的材料。更具体,例如,第一硬掩模层可以是其中通过蚀刻形成垂直外形的多晶硅层。

[0035] 参照图 1A,在高密度图形区 (A) 中,可以沿着 X 方向,以恒定间距设置第一硬掩模图形 22a,并且其沿着 X 方向可具有相同的宽度和间隔 (space) 宽度,即,在高密度图形区 (A) 中,沿着 X 方向的相邻第一硬掩模图形 22a 之间的间隔可以是相同的,并且,在低密度图形区 (B) 中,可以沿着 X 方向,以不同的间距设置第一硬掩模图形 22a,并且其沿着 X 方向可具有不同的宽度和间隔宽度,即,在低密度图形区 (B) 中,沿着 X 方向的相邻第一硬掩模图形 22a 之间的间隔可以是不相同的。

[0036] 在高密度图形区 (A) 中,第一硬掩模图形 22a 可具有最小间距 (pitch) P_1 ,并且该最小间隔 P_1 可对应于用于形成第一硬掩模图形 22a 的光刻工序的限制的解析度。如图 1A 所示,在高密度图形区 (A) 中,第一硬掩模图形 22a 可具有 P_1 和宽度 W_1 ,并且该间隔 P_1 可以是宽度 W_1 的四倍 ($P_1 = 4W_1$)。在高密度图形区 (A) 中,第一硬掩模图形 22a 可以具有例如沿着 X 方向的相邻第一硬掩模图形 22a 之间的第一间隔 S_1 ,并且该第一间隔 S_1 可具有第一间隔宽度 sd_1 。在低密度图形区 (B) 中,在沿着 X 方向的相邻第一硬掩模图形 22a 之间,第一硬掩模图形 22a 可具有例如第二、第三和第四间隔 S_2 、 S_3 和 S_4 ,并且该第二、第三和第四间隔 S_2 、 S_3 和 S_4 可具有第二、第三和第四间隔宽度 sd_2 、 sd_3 和 sd_4 。在本发明的实施例中,第二间隔宽度 sd_2 可等于第一间隔宽度 sd_1 ,并且第三间隔宽度 sd_3 可小于第一间隔宽度 sd_1 ,以及第四间隔宽度 sd_4 可大于第一间隔宽度 sd_1 。尽管示出该第一、第二、第三和第四间隔 S_1 、 S_2 、 S_3 和 S_4 以及该第一、第二、第三和第四间隔宽度 sd_1 、 sd_2 、 sd_3 和 sd_4 ,本发明的实施例

不限制于该实施例。

[0037] 参照图 1B,可以在衬底 10 上形成牺牲层 23,包括第一硬掩模图形 22a。该牺牲层 23 可以均匀地覆盖第一硬掩模图形 22a 的顶表面和侧壁、辅助图形 21a 的侧壁和蚀刻层 12 的露出部分。即,牺牲层 23 可以是具有良好台阶覆盖特性的保形的 (conformal) 层,并且不受下部图形的密度的影响。可以通过例如原子层淀积方法来形成牺牲层 23。

[0038] 牺牲层 23 可以具有由将在高密度图形区 (A) 中所形成的目标图形的间隔宽度 W_{12a} 所确定的厚度 t_1 (参照图 1)。可以在形成在高密度图形区 (A) 的第一硬掩模图形的相邻侧壁上的牺牲层的各个部分之间形成间隙 g_1 。间隙宽度 gd_1 ,即由将在第一间隔 S_1 中所形成的目标图形的线宽所确定的、在高密度图形区的相邻侧壁之上形成的牺牲层 23 的各个部分之间的距离 (参照图 1G)。

[0039] 在本发明的实施例中,当牺牲层 23 在第一硬掩模图形 22a 的顶表面和侧壁上具有均匀厚度 t_1 时,该厚度 t_1 可等于第一硬掩模图形 22a 的间隙宽度 gd_1 和宽度 W_1 ($t_1 = gd_1 = W_1$)。低密度图形区 (B) 中的第一硬掩模图形 22a 的第三间隔宽度 sd_3 可以等于或者小于牺牲层 23 的厚度 t_1 的两倍 ($sd_3 \leq 2t_1$)。在这种情况下,在位于第一硬掩模图形 22a 的侧壁的各个部分之间的第三间隔 S_3 中的牺牲层 23 之间,可不形成间隙。而是,在第二和第四间隔 S_2 和 S_4 中,可以形成间隙 g_2 和 g_4 。

[0040] 可以在牺牲层 23 上形成第二硬掩模层 24。该第二硬掩模层 24 可以由与第一硬掩模层相似的具有蚀刻选择性的材料所形成。例如,第二硬掩模层 24 可以由与第一硬掩模层相同的材料或者与第一硬掩模层的那些相似的具有蚀刻选择性的材料所形成。在本发明的实施例中,例如,第一硬掩模层可以由氮化物层所形成,并且第二硬掩模层 24 可以由多晶硅层所形成,或者相反。在其他实施例中,第一硬掩模层和第二硬掩模层 24 可以由适于获得垂直蚀刻外形的多晶硅层所形成。

[0041] 第二硬掩模层 24 可以具有足够的厚度 t_2 ,用于填充在高密度图形区 (A) 中的牺牲层 23 的间隙 g_1 。在该实施例中,可以使用第二硬掩模层 24 来填充在第一和第二间隔 S_1 和 S_2 中的牺牲层 23 的各个部分之间所形成的间隙 g_1 和 g_2 ,并且由于在第三间隔 S_3 中通过牺牲层 23 可不形成间隙,第二硬掩模层 24 可以不填充间隔 S_3 ,例如,不填充直接在限定第三间隔 S_3 的各个第一硬掩模图形 22a 之间的第三间隔 S_3 的任何部分。在第四间隔 S_4 中,可以沿着牺牲层 23 形成第二硬掩模层 24,并且该第二硬掩模层 24 的各个部分可限定间隙 g_5 。更具体,例如,在其中牺牲层 23 和第二硬掩模图形 24 每个分别具有基本上一致的厚度 t_1 、 t_2 的实施例中,沿着平行于衬底 10 的 XY 平面以及限定第四间隔 S_4 的第一硬掩模图形 22a 的侧壁,第四间隔宽度 sd_4 可以大于或等于牺牲层 23 的厚度 t_1 和第二硬掩模图形 24 的厚度 t_2 的和 ($sd_4 > 2(t_1+t_2)$)。

[0042] 参照图 1B,可以将辅助层 21a 形成为使得第一硬掩模图形 22a 和第二硬掩模层 24 可以形成为沿 X 方向至少部分地彼此覆盖,即,可以沿着相同的 X-Y 平面延伸。因此,辅助层 21a 可具有等于牺牲层 23 的厚度 t_1 的厚度。此外,由于可以以相同的工序除去辅助层 21a 和牺牲层 23,辅助层 21a 和牺牲层 23 可具有相同的蚀刻特性。例如,辅助层 21a 和牺牲层 23 可以由氧化物层或者氮化物层形成。此外,在本发明的实施例中,辅助层 21a 和牺牲层 23 可以由具有与蚀刻层 12 相同的蚀刻特性的材料构成。

[0043] 参照图 1C,可以通过各向同性蚀刻部分地除去第二硬掩模层 24,使得露出牺牲

层 23 的至少上表面,牺牲层 23 的该至少上表面沿着 Z 方向重叠第一硬掩模图形 22a,并且可以形成第二硬掩模图形 24a。在本发明的实施例中,可以完全地将第二硬掩模层 24 从第四间隔 S_4 除去,由于在蚀刻第二硬掩模层之前,该第四间隔 S_4 可不被完全填充,例如,即使在形成第二硬掩模层 24 之后,直接在牺牲层的各个部分之间的第四间隔 S_4 没有被完全填充。然而,在第一和第二间隔 S_1 和 S_2 中的部分第二硬掩模层 24 可以剩余,由于在先前工序,例如形成第二硬掩模层 24 期间,已经完全填充第一和第二间隔 S_1 和 S_2 。

[0044] 如图 1C 所示,沿着 X 方向,第二硬掩模图形 24a 可以重叠第一硬掩模图形 22a,并且可以平行于第一硬掩模图形 22a 延伸。该第二硬掩模图形 24a 可以形成为使得第一硬掩模图形 22a 和第二硬掩模图形 24a 可以沿着相同的 X-Y 平面延伸。此外,在本发明的实施例中,沿着 X 方向,第一硬掩模图形 22a 和第二硬掩模图形 24a 可以基本上彼此完全重叠。

[0045] 用于蚀刻例如部分第二硬掩模层的各向同性蚀刻可以包括湿法蚀刻。在这种情况下,当第二硬掩模层 24 是氮化物层时,磷酸盐溶液可用作蚀刻溶液。当第二硬掩模层 24 是氧化物层时, HF 溶液、 H_2SO_4 溶液、 NH_4OH 和 H_2O_2 的混合溶液(在下文中,称为 SC-1 溶液)、或者 NH_4F 和 HF 的混合溶液(在下文中,称为 LAL 溶液)可用作蚀刻溶液。当第二硬掩模层 24 是多晶硅层时, HNO_3 和 SC-1 的混合溶液可用作蚀刻溶液。

[0046] 图 1D 和 1E 说明当不需要这些部分时,除去在第二间隔 S_2 中形成的第二硬掩模图形 24a 之一的工序期间所形成的所得结构的视图。尽管图 1D 和 1E 说明除去了单个第二硬掩模图形 24a,在本发明的实施例中,可以不除去该第二硬掩模图形 24a 或者可以除去多于一个的第二硬掩模图形 24a。

[0047] 可以使用例如第二光刻工序,在牺牲层 23 和第二硬掩模图形 24 上形成光刻胶图形 32。形成在第二间隔 S_2 中的、要被除去的部分第二硬掩模图形 24a 可以通过光刻胶图形 32 的图形而保持露出。很显然,在第二光刻工序中所形成的图形间隙大于在第一光刻工序中所形成的。

[0048] 在图 1D 和 1E 所示的示例性实施例中,在第二间隔 S_2 中所形成的部分第二硬掩模图形 24a 通过光刻胶图形 32 保持露出,并且使用光刻胶图形 32 作为掩模而被除去。在除去保持露出的部分第二硬掩模图形 24a 之后,可以除去光刻胶图形 32。在图 1E 中示出所得结构。

[0049] 参照图 1F,可以使用第二硬掩模图形 24a 作为蚀刻掩模,通过各向异性蚀刻方法来蚀刻牺牲层 23,由此露出第一硬掩模图形 22a。然后,使用第二硬掩模图形 24a 和露出的第一硬掩模图形 22a 作为蚀刻掩模,通过各向异性蚀刻方法进一步蚀刻牺牲层 23,直到露出蚀刻层 12 的各个部分。结果,在高密度图形区 (A) 中,形成在第一硬掩模图形 22a 之间在第二硬掩模图形 24a 之下层叠的牺牲图形 23a,并且在第一和第二硬掩模图形 22a 和 24a 之间可以露出蚀刻层 12。

[0050] 还参照图 1F,在低密度图形区 (B) 中,可以在第一硬掩模图形 22a 之间露出蚀刻层 12。

[0051] 参照图 1G,然后可以使用第一和第二硬掩模图形 22a 和 24a 作为蚀刻掩模,通过例如各向异性蚀刻工序来构图蚀刻层 12。由此,形成器件图形 12a。

[0052] 如上所述,在形成第一硬掩模图形 22a 之后,可以完全地或者基本上与第一硬掩模图形 22a 对准地形成第二硬掩模图形 24a。然后,使用第一和第二硬掩模图形 22a 和 24a

作为蚀刻掩模,构图蚀刻层 12。这样,可以以低于光刻工序的解析度极限的解析度,在高密度图形区 (A) 中形成精细间隙图形。这种图形转移方法可以称为自对准双构图方法。

[0053] 在本发明的实施例中,在低密度图形区 (B) 中,通过调整第一硬掩模图形 22a 的间隔宽度或者通过执行额外的光刻工序,不能形成第二硬掩模图形 24a。因此,在低密度图形区 (B) 中,可以仅仅使用第一硬掩模图形 22a 构图蚀刻层 12,使得器件图形 12a 可以具有各种间隔宽度和间隙。

[0054] 同时,在图 1A 至 1G 中所示的示例性实施例中,在形成器件图形 12a 中,第二硬掩模图形 24a 可以形成在高密度图形区 (A) 中的相邻第一硬掩模图形 22a 之间。因此,在本发明的实施例中,第一和第二硬掩模图形 22a 和 24a 的岛的数目可以是奇数的,并且因此器件图形 12a 的岛的数目可以是奇数的。然而,当期望使用第一和第二硬掩模图形 22a 和 24a 形成具有偶数数目个岛的器件图形 12a 时,器件图形 12a 的一个岛可以形成成为虚拟岛。此外,在图 1A 至 1G 所示的示例性实施例中,在高密度图形区 (A) 中,第一和第二硬掩模图形 22a 和 24a 具有相同或者基本上相同的线宽。然而,在高密度图形区 (A) 中,第一和第二硬掩模图形 22a 和 24a 可以具有不同的线宽。在本发明的该实施例中,在高密度图形区 (A) 中的器件图形 12a 可以具有不同宽度的岛。即,在本发明的某些实施例中,可以在高密度图形区 (A) 中重复地形成具有不同宽度的岛。

[0055] 图 2A 至 2C 说明在采用本发明的一个或多个方面的使用自对准双构图方法的形成焊盘图形的示例性方法的阶段期间所获得的层的部分布局图,以及图 3A 至 3F 说明在图 2A 至 2C 中所示的形成焊盘图形的示例性方法的阶段期间所获得的所得结构的截面图。

[0056] 特别地,图 2A 说明 XY 层的示例性部分布局图,该 XY 层包括对应于第一硬掩模图形 122a 的构图的第一硬掩模层 122。图 2B 说明 XY 层的示例性部分布局图,该 XY 层包括对应于第一和第二硬掩模图形 122a、124a 的第一和第二硬掩模层 122、124。图 2C 说明 XY 层的示例性部分布局图,该 XY 层包括对应于第一和第二焊盘图形 112a、112b、第一和第二线 112a_L、112b_L 以及第一和第二焊盘图形 112a_P、112b_P 的构图的导电层 112。图 3A 说明沿着图 2A 的线 I-I' 所取的各个所得结构的截面图。图 3D 和 3E 说明沿着 2B 的线 II-II' 所取的各个所得结构的截面图,以及图 3F 说明沿着 2C 的线 III-III' 所取的各个所得结构的截面图。

[0057] 在图 2A 至 2C 以及图 3A 至 3F 中所说明的焊盘图形形成方法的示例性实施例中,采用在图 1A 至 1G 中所说明的自对准双构图方法,来形成焊盘图形。因此,在图 2A 至 2C 以及图 3A 至 3F 中所说明的形成焊盘图形的示例性实施例包括在图 1A 至 1G 中所说明的示例性方法,并且通常,在下文中仅仅说明该两个示例性实施例之间的不同。

[0058] 参照图 3A,在半导体衬底 110 上形成导电层 112 作为蚀刻层。当目标图形是栅图形时,导电层 112 可以是掺杂的多晶硅层或者可以具有包括掺杂的多晶硅层和金属硅化物层的层叠结构。当目标图形是数据焊盘图形或者电源焊盘图形时,导电层 112 可以是金属层,例如钨层或者铝层。

[0059] 可以在导电层 112 上顺序地形成辅助层和第一硬掩模层。可以使用第一光刻工序在第一硬掩模层上形成第一光刻胶图形(未示出)。可以使用第一光刻胶图形作为掩模,顺序地构图第一硬掩模层和辅助层,以形成多个辅助图形 121a 和多个第一硬掩模图形 122a。辅助图形 121a 的每一个可以顺序地层叠在第一硬掩模图形 122a 的分别一个上。图 2A 说

明了对应于第一硬掩模图形 122a 的构图的第一硬掩模层的示例性部分布局图。

[0060] 辅助图形 121a 可以是氧化物层,以及第一硬掩模图形 122a 可以由适于获得垂直蚀刻形状的多晶硅层所形成。

[0061] 辅助层 121a 可以形成为使得第一硬掩模图形 122a 可以形成在与将稍后形成的第二硬掩模层相同和 / 或基本上相同的 XY 平面上。在某些实施例中,可以忽略辅助层 121a。

[0062] 如图 2A 所示,至少一个第一硬掩模图形 122a 可包括沿着 X 方向具有第一线宽 W_1 的第一线掩模图形 122L,以及第一焊盘掩模图形 122P。第一焊盘掩模图形 122P 可以从第一线掩模图形 122L 延伸,并且沿着 X 方向可具有第二线宽 W_2 。在一个、某些或者全部第一焊盘掩模图形 122P 与各个相邻的第一线掩模图形 122L 之间的距离,即沿着 X 方向的第一间隔 S_1 的宽度,大于一个、某些或者全部相邻第一硬掩模图形 122a 的相邻第一线图形 122L 之间的距离,即沿着 X 方向的第二间隔 S_2 的宽度。在某些实施例中,在第一硬掩模图形 122a 的一个、某些或者全部相邻的第一焊盘掩模图形 122P 之间的距离,即沿着 X 方向的第三间隔 S_3 的宽度,可以大于第一掩模图形 122a 的相邻第一线图形 122L 之间的第二间隔 S_2 的宽度。在某些实施例中,沿着 X 方向,第一间隔 S_1 可以具有与第三间隔 S_3 相同的宽度。

[0063] 参照图 3B,可以在包括第一硬掩模图形 122a 的衬底 110 上形成牺牲层 123。结果,可以在第一硬掩模层 122a 的各个侧壁之间的牺牲层 123 上形成间隙 g_1 和 g_2 。

[0064] 牺牲层 123 可以是具有良好的台阶覆盖特性并且不受下部图形的密度的影响的保形层。例如,可以使用原子层淀积方法形成牺牲层 123。

[0065] 牺牲层 123 可以具有由将形成的目标图形,例如目标图形 112a 和 112b (参照图 2C) 的最小间隔宽度,例如 w_{112} (参照图 2C),所确定的厚度 t_1 。更具体,在本发明的实施例中,可以分别基于将形成的焊盘 112a_P 和 112a_P 沿着 X 方向的宽度,以及目标图形 112a1 和 12b 的线 112a_L 和 112b_L 沿着 X 方向的宽度,来确定牺牲层 123 的间隙 g_1 和 g_2 (参照图 2C)。

[0066] 可以在牺牲层 123 上形成第二硬掩模层 124。与第一硬掩模图形 122a 相同,第二硬掩模层 124 可以由适于获得垂直蚀刻外形的多晶硅层来形成。第二硬掩模层 124 的厚度 t_2 可以基于牺牲层 123 的间隙 g_1 和 g_2 的尺寸,例如,第二硬掩模层 124 的厚度 t_2 可以足以填充牺牲层 123 的间隙 g_1 和 g_2 。

[0067] 参照图 3C,可以通过各向同性蚀刻部分地除去第二硬掩模层 124,直到露出沿着 Y 方向重叠第一硬掩模图形 122a 的牺牲层 123 的至少上表面。结果,第二硬掩模层 124 可以保留在牺牲层 123 的各个部分之间的某些间隔中,例如,如上参照图 1C 所示的第一至第三间隔 S_1 、 S_2 和 S_3 ,由于当在先前工序期间形成第二硬掩模层 124 时,直接在牺牲层 123 的各个部分之间的第一至第三间隔 S_1 、 S_2 和 S_3 可以被完全填充。结果,形成第二硬掩模图形 124a,并且该形成的第二硬掩模图形 124a 可以沿着 XY 平面,基本上和 / 或完全与第一硬掩模图形 122a 对准,即,平行。在本发明的实施例中,第二硬掩模图形 124a 的顶和底表面分别可以形成在与第一硬掩模图形 122a 的顶和 / 或底表面相同和 / 或基本上相同的 XY 平面上。

[0068] 同时,在部分地蚀刻第二硬掩模层 124 之前,可以在没有被完全或者基本上填充的牺牲层 123 的各个部分之间的某些间隔,完全地除去第二硬掩模层 124。例如,如图 3C 所示,可以从第一硬掩模图形 122a 的阵列的外侧 P 完全地除去第二硬掩模层 124,其中在部

分地蚀刻第二硬掩模层 124 之前,牺牲层 123 的各个部分之间的间隔没有被基本上或者完全地填充。

[0069] 当第二硬掩模层 124 由多晶硅层构成时,可以使用例如 HNO_3 和 SC-1 的混合溶液执行各向同性蚀刻(湿法蚀刻)。

[0070] 参照图 2B 和 3D,可以使用第二硬掩模图形 124a 作为蚀刻掩模,通过各向异性蚀刻方法蚀刻牺牲层 123,由此露出第一硬掩模图形 122a。在本发明的实施例中,可以使用第二硬掩模图形 124a 和露出的第一硬掩模图形 122a 作为蚀刻掩模,通过各向异性蚀刻方法,进一步蚀刻牺牲层 123,直到露出导电层 122 的各个部分。结果,可以在各个第二硬掩模图形 124a 之下形成牺牲图形 123a,并且可以露出在第一和第二硬掩模图形 122a 和 124a 之间的导电层 112 的各个部分。

[0071] 参照图 2B,第二硬掩模图形 124a 可包括第二焊盘掩模图形 124P 和第二线掩模图形 124L。例如,在第一线掩模图形 122L 之一和第一焊盘掩模图形 122P 的相邻一个之间,即在图 2A 中所示的第一间隔 S_1 中,或者在第一硬掩模图形 122a 的各个相邻第一焊盘掩模图形 122P 之间,即在图 2A 所示的第三间隔 S_3 中,可以形成第二焊盘掩模图形 124P。可以在第一硬掩模图形 122a 的各个相邻第一线掩模图形 122L 之间形成第二线掩模图形 124L。

[0072] 参照图 3E,可以使用第一和第二硬掩模图形 122a 和 124a 作为蚀刻掩模,通过例如各向异性蚀刻方法,构图导电层 112 的露出部分,由此形成第一和第二焊盘图形 112a 和 112b。

[0073] 参照图 2C 和 3F,可以除去第一和第二硬掩模图形 122a 和 124a,以及辅助图形 121a 和牺牲图形 123a,由此露出第一和第二焊盘图形 112a 和 112b。更具体,例如,可以使用第一硬掩模图形 122a 作为掩模,形成第一焊盘图形 112a,以及可以使用第二硬掩模图形 124a 作为掩模,形成第二焊盘图形 112b。

[0074] 参照图 2C,各个第一焊盘图形 112a 可以包括沿着预设方向延伸的第一线 112a_L 以及从第一线 112a_L 延伸的第一焊盘 112a_P。各个第二焊盘图形 112b 可包括沿着预设方向延伸的第二线 112b_L 以及从第二线 112b_L 延伸的第二焊盘 112b_P。在各个相邻第一焊盘图形 112a 之间形成一个、一些或者全部的第二焊盘图形 112b。可以在各个相邻的第一线 112a_L 之间形成第二线 112b_L,并且可以在各个相邻的第一焊盘 112a_P 之间或者在第一焊盘 112a_P 与各个相邻一个第一线 112a_L 之间形成第二焊盘 112b_P。在该实施例中,由于可以通过牺牲层 123 的厚度 t_1 确定第一焊盘图形 112a 和第二焊盘图形 112b 之间的间隔宽度 W_{112} ,在全部焊盘图形 112a 和 112b 中,该间隔宽度 W_{112} 可以基本上和 / 或完全一致。

[0075] 参照图 3C,可以在焊盘图形 112a 和 112b 上形成绝缘层 113,并且在绝缘层 113 中形成接触孔 113a,以露出焊盘图形 112a 和 112b。

[0076] 如上所述,在本发明的实施例中,可以使用在图 1A 至 1G 中所示的自对准双构图方法的示例性实施例,来形成焊盘图形。因此,本发明的实施例使得使用在图 1A 至 1G 中所示的自对准双构图工序,同时地和 / 或基本上同时地在焊盘区以及其他区域中分别形成焊盘图形和栅图形和 / 或信号线图形。

[0077] 图 4A 和 4B 说明根据本发明的另一示例性实施例的说明了焊盘图形的扫描电子显微镜 (SEM) 图像。

[0078] 参照图 4A, 使用在图 3A 中所示的方法形成第一硬掩模图形 422a。在第一硬掩模图形 422a 中, 中心图形之间的间隔宽度 Sd_{422a} 可以小于其他间隔宽度。

[0079] 参照图 4B, 可以使用在图 3B 至 3E 中所示的示例性方法形成第一焊盘图形 412a 和第二焊盘图形 412b。可以使用图 4A 的第一硬掩模图形 422a 作为掩模, 形成第一硬掩模图形 422a, 并且可以使用第二硬掩模图形 (未示出) 形成第二焊盘图形 412b, 通过使用采用了第一硬掩模图形 422a 的自对准构图工序来形成该第二硬掩模图形。在该实施例中, 在第一焊盘图形 412a 的中心图形之间不形成第二焊盘图形 412b, 由于第一硬掩模图形 422 的间隔宽度 Sd_{422a} 小于第一硬掩模图形 422 的其他间隔宽度。以这种方式, 可以形成具有偶数数目焊盘图形的栅焊盘。

[0080] 图 5A 至 5F 说明根据本发明的实施例的使用自对准双构图方法的形成接触孔图形的示例性方法期间所获得的所得结构的平面图, 以及图 6A 至 6F 分别说明沿着图 5A 至 5F 的每条线 IIa-IIa' 以及 IIb-IIb' 所取的所得结构的截面图。更具体, 图 6A 至 6F 的每一个的区域 (A) 分别对应于沿着图 5A 至 5F 的线 IIa-IIa' 所取的所得结构的截面图, 以及图 6A 至 6F 的每一个的区域 (B) 分别对应于沿着图 5A 至 5F 的线 IIb-IIb' 所取的所得结构的截面图。

[0081] 在图 5A 至 5F 以及 6A 至 6F 中所示的接触孔图形形成方法的示例性实施例中, 将在图 1A 至 1G 所描述的自对准双构图方法应用到形成接触孔图形中。因此, 在图 5A 至 5F 以及 6A 至 6F 中所示的接触孔图形形成方法的示例性实施例可以包括在图 1A 至 1G 中所示的示例性方法, 并且通常, 在下文中仅仅说明该两个示例性实施之间的不同。

[0082] 参照图 5A 和 6A, 提供具有高密度图形区 (A) 和低密度图形区 (B) 的半导体衬底 210。在高密度图形区 (A) 中, 可以重复地形成具有相同宽度的图形。将衬底 210 的剩余或者其他区域称为低密度图形区 (B)。

[0083] 可以在衬底 210 上形成蚀刻层 214。蚀刻层 214 可以由例如氧化物层或者氮化物层所形成的绝缘层。在形成蚀刻层 214 之前, 可以在衬底 210 上形成蚀刻停止层 211。蚀刻停止层 211 相对于蚀刻层 214 和衬底 210 可具有蚀刻选择性。当蚀刻该蚀刻层 214 时, 蚀刻停止层 211 可用作蚀刻结束点。

[0084] 可以在蚀刻层 214 上顺序地形成辅助层 (未示出) 和第一硬掩模层 (未示出)。可以使用例如第一光刻工序, 在第一硬掩模层上形成第一光刻胶图形 (未示出)。可以使用该第一光刻胶图形作为掩模, 顺序地构图第一硬掩模层和辅助层, 由此形成多个辅助图形 221a 和多个第一硬掩模图形 222a。每个第一硬掩模图形 22a 可以顺序地层叠在各个辅助图形 221a 上。

[0085] 辅助层可以由例如氧化物层来形成, 以及第一硬掩模层可以由例如适于获得垂直蚀刻外形的多晶硅层来形成。

[0086] 可以将辅助图形 221a 形成为使得第一硬掩模图形 222a 形成在与将要形成的第二硬掩模层相同和 / 或基本上相同的 XY 平面上。在某些实施例中, 辅助图形 221a 可以被忽略。

[0087] 第一硬掩模图形 222a 可以是岛型图形, 并且可以形成在相邻的目标接触孔图形 214a、214b 以及 214c 之间。可以使用参照图 5A 至 5F 以及 6A 至 6F 所述的方法形成目标接触孔图形 214a、214b 以及 214c, 由此导致图 5F 中所示的目标接触孔图形 214a、214b 和

214c。

[0088] 如图 5A 所示,在本发明的实施例中,可以在高密度图形区 (A) 中的目标接触孔图形 214a 的孔之间的奇数或者偶数间隙中形成第一硬掩模图形 222a,以及可以形成在低密度图形区 (B) 中的目标接触孔图形 214b 和 214c 的孔之间的全部间隙中。第一硬掩模图形 222a 在高密度图形区 (A) 中可以具有最小间距 P_1 。该最小间距 P_1 可以对应于光刻工序的解析度极限。在图 5A 至 5F 以及 6A 至 6F 中所示的示例性实施例中,在高密度图形区 (A) 中,第一硬掩模图形 222a 的间距 P_1 可以是第一硬掩模图形 222a 的宽度 W_1 的四倍 ($P_1 = 4W_1$)。在高密度图形区 (A) 中,在第一硬掩模图形 222a 的相邻一个之间,限定具有第一间隔宽度 sd_1 的一个或多个第一间隔 S_1 ,并且在低密度图形区 (B) 中,可以在低密度图形区 (B) 中的相邻一个第一硬掩模图形 222a 之间,形成具有第二和第三间隔宽度 sd_2 和 sd_3 的第二和第三间隔 S_2 和 S_3 。第二间隔宽度 sd_2 可以小于第一间隔宽度 sd_1 ,并且第三间隔宽度 sd_3 可以大于第一间隔宽度 sd_1 。

[0089] 参照图 5B 和 6B,可以在包括第一硬掩模图形 222a 的衬底 210 上形成牺牲层 223。牺牲层 223 可以是具有良好的台阶覆盖特性并且不受下部图形的密度的影响的保形层。例如,牺牲层 223 可以通过原子层淀积方法所形成的氧化物层。

[0090] 在高密度图形区 (A) 中,牺牲层 223 可以具有由将要形成的目标接触孔图形 214a 的接触孔沿着 X 方向的宽度 W_{x_214a} (参照图 5A) 所确定的厚度 t_1 。此外,在高密度图形区 (A) 中,具有间隔宽度 gd_1 的间隔 g_1 可以形成在第一硬掩模图形 222a 的面对侧壁之间的牺牲层 223 上。间隔宽度 gd_1 ,即牺牲层 223 的各个面对表面之间的距离,可以等于高密度图形区 (A) 中的第一硬掩模图形 222a 沿着 X 方向的宽度 W_1 (参照图 6A)。

[0091] 同时,当在第一硬掩模图形 222a 顶表面和侧壁上牺牲层 223 具有一致的和 / 或基本上一致的厚度 t_1 时,在低密度图形区 (B) 中的第一硬掩模图形 222a 的各个面对侧壁之间的第二间隔宽度 sd_2 可以等于或者小于牺牲层 223 的厚度 t_1 的两倍 ($sd_2 \leq 2t_1$)。在这种情况下,如图 6B 所示,可以不在位于第一硬掩模图形 222a 的各个面对侧壁之间的第二间隔 S_2 中的部分牺牲层 223 上形成间隙。而是,可以在位于第二间隔 S_2 中的部分牺牲层 223 中形成空穴。然而,在第三间隔 S_3 中,可以形成间隙 g_3 。

[0092] 可以在牺牲层 223 上形成第二硬掩模层 224。第二硬掩模层 224 可以由具有相似于和 / 或等同于第一硬掩模层的那些的蚀刻特性的材料所构成。例如,与第一硬掩模层相同,第二硬掩模层 224 可以由适于获得垂直蚀刻外形的多晶硅层构成。

[0093] 第二硬掩模层 224 可以具有足以填充高密度图形区 (A) 中的牺牲层 223 上的间隙 g_1 的厚度 t_2 。在这种情况下,可以使用第二硬掩模层 224 完全地和 / 或基本上完全地填充形成在第一间隔 S_1 中的牺牲层 223 上的间隙 g_1 ,以及如果在第二间隔 S_2 中没有出现间隙,第二硬掩模层 224 可以不填充第二间隔 S_2 。同时,在第三间隔 S_3 中,可以沿着牺牲层 223 形成第二硬掩模层 224。更具体,例如,在其中牺牲层 223 和第二硬掩模层 224 每个分别具有基本上一致的厚度 t_1 、 t_2 的实施例中,沿着平行于衬底 210 的 XY 平面和限定第三空间 S_3 的第一硬掩模图形 222a 的侧壁,第三间隔宽度 sd_3 可以大于或者等于牺牲层 223 的厚度 t_1 和第二硬掩模层 224 的厚度 t_2 的总和的两倍 ($sd_3 > 2(t_1+t_2)$)。

[0094] 参照图 5C 和 6C,可以通过各向同性蚀刻部分地除去第二硬掩模层 224,直到露出在第一硬掩模图形 222a 的至少上表面上的牺牲层 223。在该实施例中,可以从第三间隔 S_3

中完全地除去第二硬掩模层 224, 由于在先前工序的结果, 各个第一硬掩模图形 222a 之间的第三间隔 S_3 可以没有被完全或者基本上完全地填充, 而第二硬掩模层 224 可以保留在第一间隔 S_1 中, 由于在先工序的结果, 各个第一硬掩模图形 222a 之间的第一间隔 S_1 可以已经被完全和 / 或基本上完全地填充。结果, 可以形成第二硬掩模图形 224a, 并且所形成的第二硬掩模图形 224a 可以基本上和 / 或完全地沿着 XY 平面与第一硬掩模图形 222a 对齐, 例如, 平行于该第一硬掩模图形 222a。在本发明的实施例中, 第二硬掩模图形 224a 的顶和 / 或底表面可以分别形成在与第一硬掩模图形 222a 的顶和 / 或底表面相同和 / 或基本上相同的 XY 平面上。

[0095] 当第二硬掩模层 224 是多晶硅层时, 可以使用例如 HNO_3 和 SC-1 的混合溶液来执行各向同性蚀刻 (湿法蚀刻)。

[0096] 参照图 5D 和 6D, 可以在牺牲层 223 和第二硬掩模图形 224a 上, 使用第二光刻工序形成光刻胶图形 231。在高密度图形区 (A) 中, 光刻胶图形 231 可包括沿着 X 方向延伸, 即横跨第二硬掩模图形 222a 的缝隙 231a。更具体, 例如, 缝隙 231a 可以横跨多个彼此相邻的第二硬掩模图形 222a。即, 可以通过缝隙 231a 露出部分各个第二硬掩模图形 222a 和相邻于各个第二硬掩模图形 222a 的牺牲层 223。该缝隙 231a 沿着 Y 方向可以具有宽度 W_{y_231a} , 对应于将要在高密度图形区 (A) 中形成的目标接触孔图形 214a 的沿着 Y 方向的宽度 W_{y_214a} (参照图 5A)。因此, 可以由上述的牺牲层 223 的厚度 t_1 来确定目标接触孔图形 214a 的宽度 W_{x_214a} , 并且由缝隙的宽度 W_{y_231a} 确定目标接触孔图形 214a 的宽度 W_{y_214a} 。

[0097] 同时, 光刻胶图形 231 可进一步包括露出在低密度图形区 (B) 中的第一硬掩模图形 222a 之间的第二和第三间隔 S_2 和 S_3 中所形成的部分牺牲层 223 的开口 231b 和 231c。更具体, 沿着 Y 方向, 开口 231b 和 231c 的宽度 W_{y_231b} 和 W_{y_231c} 可以对应于将在低密度图形区 (B) 中形成的目标接触孔图形 214b 和 214c 的沿着 Y 方向的宽度 W_{y_214b} 和 W_{y_214c} (参照图 5A)。当多个接触孔图形 214c (参照图 5A) 排列为沿着 X 方向彼此邻接时, 开口 231c 可以重叠某些或者全部接触孔图形 214c (参照图 5A 和 6E)。

[0098] 在本发明的实施例中, 在第二光刻工序中所形成的图形间隙可以大于在用于第一硬掩模图形 222a 的第一光刻工序中所形成的。

[0099] 如图 6D 所示, 在形成光刻胶图形 231 之前, 可以在衬底 210 上形成平整膜层 227。平整膜 227 可以增大第二光刻工序中的聚焦深度 (DOF)。平整膜 227 可以由具有良好平整特性的绝缘膜, 例如旋涂玻璃 (SOG) 膜或者可流动氧化物 (FOX) 膜形成。

[0100] 参照图 5E 和 6E, 可以使用光刻胶 231 作为掩模蚀刻平整膜 227, 以露出第二硬掩模图形 224a 和邻近于第二硬掩模图形 224a 的牺牲层 223, 并且可以使用光刻胶图形 231 和第二硬掩模图形 224a 作为蚀刻掩模, 各向异性地蚀刻牺牲层 223, 以露出第一硬掩模图形 222a。在本发明的实施例中, 可以使用光刻胶图形 231、第二硬掩模图形 224a 和第一硬掩模图形 222a 作为蚀刻掩模, 进一步各向异性地蚀刻牺牲层 223, 以露出蚀刻层 214 的各个部分。结果, 在低密度图形区 (A) 中, 可以形成在第一硬掩模图形 222a 之间在第二硬掩模图形 224a 之下层叠的牺牲图形 223a, 并且可以露出在各个相邻第一和第二硬掩模图形 222a 和 224a 之间的蚀刻层 214 的各个部分。

[0101] 同时, 在低密度图形区 (B) 中, 可以在相邻的第一硬掩模图形 222a 之间露出蚀刻

层 214 的各部分。因此,在本发明的实施例中,可以不形成第二硬掩模图形 224a,例如,在低密度图形区 (B) 中,通过调整第一硬掩模图形 222a 之间的第二和第三间隔宽度 sd_2 和 sd_3 ,可以完全地蚀刻部分第二硬掩模图形 224a。

[0102] 然后,使用第一和第二硬掩模图形 222a 和 224a 作为蚀刻掩模,各向异性地蚀刻所露出的蚀刻层 214 和蚀刻停止层 211,由此形成接触孔图形 214a、214b 和 214c。

[0103] 参照图 5F 和 6F,然后除去分别在第二硬掩模图形 224a、第一硬掩模图形 222a 和辅助图形 221a 之下的光刻胶图形 231、平整膜 227、第二硬掩模图形 224a、牺牲图形 223a。结果,露出蚀刻层 214,例如绝缘层的顶表面,包括接触孔图形 214a、214b 和 214c。

[0104] 如上所述,在通过第一光刻工序形成第一硬掩模图形 222a 之后,可以与第一硬掩模图形 222a 对齐地形成第二硬掩模图形 224a。在此之后,可以通过第二光刻工序形成光刻胶图形 231,以确定将要形成的接触孔图形 214a、214b 和 214c 的宽度 Wy_{214a} 、 Wy_{214b} 和 Wy_{214c} ,以及可以使用光刻胶图形 231、第一硬掩模图形 222a 和第二硬掩模图形 224a 作为蚀刻掩模,构图蚀刻层 214。因此,在本发明的实施例中,可以以小于光刻工序的解析度极限的解析度,在高密度图形区 (A) 中形成具有精细间距的接触孔图形 214a。

[0105] 同时,在低密度图形区 (B) 中,通过调整例如第一硬掩模层 222a 的间隔宽度 sd_2 和 sd_3 可以不形成第二硬掩模图形 224a,以及可以将光刻胶图形 231 形成为确定将要形成的接触孔图形 214b 和 214c 的宽度 Wy_{214b} 和 Wy_{214c} 。然后,在低密度图形区 (B) 中,可以使用光刻胶图形 231 和第一硬掩模图形 222a 作为蚀刻掩模,构图蚀刻层 214,以形成接触孔图形 214b 和 214c。因此,形成在低密度图形区 (B) 中的接触孔图形 214b 和 214c 可具有各种宽度和间距。替换地,在本发明的实施例中,可以通过仅使用第二光刻工序,在低密度图形区 (B) 中形成接触孔图形 214b 和 214c。

[0106] 图 7A 至 7G 说明根据本发明的一个或多个方面,在使用自对准双构图方法形成接触孔图形的另一示例性方法期间所获得的所得结构的平面图,以及图 8A 至 8G 分别说明沿着图 7A 至 7G 的线 IIIa-IIIa' 以及 IIIb-IIIb' 所取的所得结构的截面图。更具体,图 8A 至 8G 的区域 (A) 分别对应于沿着图 7A 至 7G 的线 IIa-IIa' 所取的所得结构的截面图,以及图 8A 至 8G 的区域 (B) 分别对应于沿着 7A 至 7G 的线 IIb-IIb' 所取的所得结构的截面图。

[0107] 在图 7A 至 7G 和 8A 至 8G 中所示的接触孔图形中,应用在图 1A 至 1G 中所述的自对准双构图方法,以形成接触孔图形。因此,在图 7A 至 7G 和 8A 至 8G 中所示的形成接触孔图形的示例性实施例可以包括在图 1A 至 1G 中所述的示例性方法,并且通常,下面将仅仅说明该两个示例性实施例之间的不同。

[0108] 参照图 7A 和 8A,可以提供具有高密度图形区 (A) 和低密度图形区 (B) 的半导体衬底 310。在高密度图形区 (A) 中,可以重复地形成具有相同或者基本上相同的宽度的图形。可以将半导体衬底 310 的剩余或者其他部分称为低密度图形区 (B)。

[0109] 可以在半导体衬底 310 上顺序地形成第一蚀刻停止层 311、第一蚀刻层 314、第二蚀刻停止层 315 以及第二蚀刻层 316。蚀刻层 314 和 316 以及蚀刻停止层 311 和 315 可以是绝缘层 317。例如,蚀刻层 314 和 316 可以是氧化物层或者氮化物层,以及蚀刻停止层 311 和 315 可以相对于蚀刻层 314 和 316 具有预定的蚀刻选择性,以使得用作蚀刻停止点。蚀刻停止层 311 和 315 可以由相同的材料构成。

[0110] 在某些实施例中,可以忽略第一蚀刻停止层 311 和 / 或第二蚀刻停止层 315。当忽略第二蚀刻停止层 315 时,可以形成单层而不是第一和第二蚀刻层 314 和 316。

[0111] 可以在第二蚀刻层 316 上顺序地形成辅助层 (未示出) 和第一硬掩模层 (未示出)。可以使用第一光刻工序,在第一硬掩模层上形成第一光刻胶图形 (未示出)。可以使用第一光刻胶图形作为掩模,顺序地蚀刻第一硬掩模层和辅助层,由此形成多个辅助图形 321a 和多个第一硬掩模图形 322a。每个第一硬掩模图形 322a 可以层叠在各个辅助图形 321a 上。

[0112] 辅助层可以由氧化物层形成,并且第一硬掩模层可以由适于获得垂直蚀刻外形的多晶硅层所形成。辅助图形 321a 可以形成为使得可以在与将要形成的第二硬掩模层相同的 XY 平面上形成第一硬掩模图形 322a。

[0113] 第一硬掩模图形 322a 可以是岛型图形。在高密度图形区 (A) 中,可以相应于将在高密度图形区 (A) 中所形成的目标接触孔图形 314a,形成第一硬掩模图形 322a。可以使用在图 7A 至 7G 和 8A 至 8G 中所示的示例性方法来形成目标接触孔图形 314a。更具体,第一硬掩模图形 322a 可以形成为分别对应于高密度图形区 (A) 中的奇数或者偶数的目标接触孔图形 314a。同时,在低密度图形区 (B) 中,相邻的第一硬掩模图形 322a 可以分别对应于将形成的目标接触孔图形 314b 和 314c 的每一个 (参照图 7F)。因此,在低密度图形区 (B) 中,可以仅仅使用第一硬掩模图形 322a 确定目标接触孔图形 314b 和 314c 的全部宽度。

[0114] 第一硬掩模图形 322a 可以形成为在高密度图形区 (A) 中具有最小间距 P_1 。该最小间距 P_1 对应于光刻工序的解析度极限。在图 7A 至 7G 和 8A 至 8G 中所示的示例性实施例中,在高密度图形区 (A) 中,第一硬掩模图形 322a 的间距 P_1 可以是第一硬掩模图形 322a 的宽度 W_1 的四倍 ($P_1 = 4W_1$)。同时,在高密度图形区 (A) 中,在第一硬掩模图形 322a 的相邻一个之间,可以形成具有第一间隔宽度 sd_1 的第一间隔 S_1 ,并且可以在低密度图形区 (B) 中的相邻一个第一硬掩模图形 322a 之间,形成具有第二至第四间隔宽度 sd_2 、 sd_3 和 sd_4 的第二至第四间隔 S_2 、 S_3 和 S_4 。第三间隔宽度 sd_3 可以大于第一间隔宽度 sd_1 ,并且第二间隔宽度和第四间隔 sd_2 和 sd_4 可以小于第一间隔宽度 sd_1 。

[0115] 参照图 7B 和 8B,可以在包括第一硬掩模图形 322a 的衬底 310 上形成牺牲层 323。牺牲层 323 可以具有良好的台阶覆盖特性并且不受下部图形的密度的影响的保形层。例如,牺牲层 323 可以通过原子层淀积方法所形成的氧化物层。

[0116] 在高密度图形区 (A) 中,牺牲层 323 可以具有由将要形成的目标接触孔图形 314a 的接触孔之间的宽度 W_{x_314a} (参照图 7A) 所确定的厚度 t_1 。此外,在高密度图形区 (A) 中,具有间隔宽度 gd_1 的间隔 g_1 可以形成在第一硬掩模图形 322a 的侧壁之间的牺牲层 323 上。间隔宽度 gd_1 ,即牺牲层 323 的各个面对表面之间的距离,可以等于和 / 或基本上等于高密度图形区 (A) 中的第一硬掩模图形 322a 的宽度 W_1 。

[0117] 同时,当在第一硬掩模图形 322a 顶表面和侧壁上,牺牲层 323 具有一致的厚度 t_1 时,在低密度图形区 (B) 中的各个第一硬掩模图形 322a 的之间的第二和第四间隔宽度 sd_2 和 sd_4 可以等于或者小于牺牲层 323 的厚度 t_1 的两倍 ($sd_2 \leq 2t_1, sd_4 \leq 2t_1$)。在这种情况下,可以在位于第一硬掩模图形 322a 的各个侧壁之间的第二和第四间隔 S_2 和 S_4 中的部分牺牲层 323 上形成间隙。而是,可以在位于第二和 / 或第四间隔 S_2 、 S_4 中的部分牺牲层 323 中形成空穴。然而,在第三间隔 S_3 中,可以形成间隙 g_3 。

[0118] 可以在牺牲层 323 上形成第二硬掩模层 324。第二硬掩模层 324 可以由具有相似于和 / 或等同于第一硬掩模层的那些蚀刻特性的材料所构成。例如,与第一硬掩模层相同,第二硬掩模层 324 可以由适于获得垂直蚀刻外形的多晶硅层构成。

[0119] 第二硬掩模层 324 可以具有足以填充高密度图形区 (A) 中的牺牲层 323 上的间隙 g_1 的厚度 t_2 。在这种情况下,可以使用第二硬掩模层 324 充分地填充形成在第一间隔 S_1 中的牺牲层 323 上的间隙 g_1 ,以及可以不由第二硬掩模层 324 填充第二和第四间隔 S_2 和 S_4 ,由于在第二和第四间隔 S_2 和 S_4 中没有形成间隙。

[0120] 参照图 8B,在第三间隔 S_3 中,可以在牺牲层 323 的各个侧壁上以及在沿着 XY 平面延伸的部分牺牲层上形成第二硬掩模层 324。在其中牺牲层 323 和第二硬掩模层 324 每个分别具有基本上一致的厚度 t_1 、 t_2 的实施例中,沿着平行于衬底 310 的 XY 平面和限定第三空间 S_3 的第一硬掩模图形 322a 的侧壁,第三间隔宽度 sd_3 可以大于或者等于牺牲层 323 的厚度 t_1 和第二硬掩模层 324 的厚度 t_2 的总和的两倍 ($sd_3 > 2(t_1+t_2)$)。

[0121] 参照图 7C 和 8C,可以通过各向同性蚀刻,部分地除去第二硬掩模层 324,直到露出在第一硬掩模图形 322a 的至少顶表面。在该实施例中,可以从第三间隔 S_3 中完全地除去第二硬掩模层 324,由于在先工序的结果,第三间隔 S_3 可以没有被完全或者基本上完全地填充,而部分第二硬掩模层 324 可以保留在第一间隔 S_1 中,由于在先工序的结果,第一间隔 S_1 已经被基本上或完全地填充。结果,可以形成第二硬掩模图形 324a,并且所形成的第二硬掩模图形 324a 可以基本上和 / 或完全地沿着 XY 平面与第一硬掩模图形 322a 对齐,例如,平行于该第一硬掩模图形 322a。在本发明的实施例中,第二硬掩模图形 224a 的顶和 / 或底表面可以分别形成在与第一硬掩模图形 222a 的顶和 / 或底表面相同和 / 或基本上相同的 XY 平面上。

[0122] 当第二硬掩模层 324 是多晶硅层时,可以使用例如 HNO_3 和 SC-1 的混合溶液来执行各向同性蚀刻 (湿法蚀刻)。

[0123] 参照图 7D 和 8D,可以使用第二硬掩模图形 324a 作为蚀刻掩模,各向异性地蚀刻牺牲层 323,以露出第一硬掩模图形 322a 的各个部分。可以使用第二硬掩模图形 324a 以及第一硬掩模图形 322a 作为蚀刻掩模,进一步各向异性地蚀刻牺牲层 323,以露出第二蚀刻层 316 的各部分。结果,在高密度图形区 (A) 中,可以形成在第一硬掩模图形 322a 之间的第二硬掩模图形 324a 之下所层叠的牺牲层 323a,并且可以露出第一和第二硬掩模图形 322a 和 324a 之间的第二蚀刻层 316 的各部分。

[0124] 同时,在低密度图形区 (B) 中,在第一硬掩模图形 322a 之间可以露出第二蚀刻层 314 的各部分。因此,在本发明的实施例中,可以不形成第二硬掩模图形 324a,例如,在低密度图形区 (B) 中,可以通过调整第一硬掩模图形 322a 之间的第二、第三和第四间隔宽度 sd_2 、 sd_3 和 sd_4 ,完全地蚀刻第二硬掩模层 324 的各部分。

[0125] 参照图 7E 和 8E,可以使用第二硬掩模图形 324a 和露出的第一硬掩模图形 322a 作为蚀刻掩模,部分地蚀刻绝缘层 317。更具体,可以通过使用第二硬掩模图形 324a 和露出的第一硬掩模图形 322a 作为蚀刻掩模,并且使用第二蚀刻停止层 315 作为蚀刻停止点,各向异性地蚀刻第二蚀刻层 316。结果,在第二硬掩模图形 324a 和第一硬掩模图形 322a 之间,可以露出第二蚀刻停止层 315 的各部分。在本发明的实施例中,绝缘层 317 可具有一致和 / 或基本上一致的高度,而不管第二蚀刻停止层 315 的图形密度。换句话说,当省略第二

蚀刻停止层 315 时,可以将蚀刻层 314 和 316 形成为单层,因此当部分地蚀刻掉绝缘层 317 时,绝缘层 317 的高度可以基于组合的蚀刻层 316、316 的图形密度而变化。

[0126] 接下来,可以在绝缘层 317,即第二蚀刻停止层 315 上形成接触孔蚀刻掩模层 329。然后,可以回蚀接触孔蚀刻掩模层 329 以部分地露出硬掩模图形 322a 和 324a、牺牲图形 323a 以及辅助图形 321a。接触孔蚀刻掩模层 329 可以由具有良好的平整特性和相对于将要蚀刻的下部层具有高蚀刻选择性的材料所构成。此外,接触孔蚀刻掩模层 329 可以由能够通过灰化而被容易地除去的材料所形成。因此,接触孔蚀刻掩模层 329 可以是有机层(具体地,有机聚合物)。例如,接触孔蚀刻掩模层 329 可以是光刻胶材料层或者有机反射材料层。具体地,接触孔蚀刻掩模层 329 可以是聚苯乙烯(PS)层、聚甲基丙烯酸甲酯(PMMA)层、聚酰亚胺(PI)层、酚醛清漆树脂层或其组合。在本发明的实施例中,可以使用例如灰化方法形成回蚀工序。

[0127] 参照图 7F 和 8F,使用接触孔蚀刻掩模层 329 作为蚀刻掩模以及第一蚀刻停止层 311 作为蚀刻停止点,可以除去硬掩模图形 322a 和 324a、牺牲图形 323a 以及辅助图形 321a,并且可以各向异性地蚀刻硬掩模图形 322a 和 324a 之下的部分第二蚀刻层 316、部分第二蚀刻停止层 315 和部分第一蚀刻层 314,以形成接触孔图形 314a、314b 以及 314c。可以通过接触孔图形 314a、314b 以及 314c 露出第一蚀刻停止层 311。

[0128] 参照图 7G 和 8G,可以除去接触孔蚀刻掩模层 329 以露出邻近于接触孔图形 314a、314b 以及 314c 的第二蚀刻停止层 315。接下来,可以回蚀由接触孔图形 314a、314b 以及 314c 露出的第一蚀刻停止层 311 以及邻近于接触孔图形 314a、314b 以及 314c 的第二蚀刻停止层 315,以使得露出第一蚀刻层 314 和半导体衬底 310 的顶表面。

[0129] 在当前实施例中所形成的接触孔图形 314a、314b 以及 314c 可以与在图 5A 至 6F 的实施例中所形成的接触孔图形 214a、214b 和 214c 相同。然而,在图 5A 至 6F 的实施例中,第一硬掩模图形 222a 可以形成为与接触孔图形 214a、214b 和 214c 之间的某些间隙对准,以及在当前实施例中,第一硬掩模图形 322a 形成为与某些目标接触孔图形 314a、314b 和 314c 相对准。因此,当前实施例并不需要在图 5A 至 6F 的实施例中所需要的第二光刻工序来确定在垂直方向,例如 Z 方向中的接触孔宽度。

[0130] 在根据本发明的形成半导体器件中的精细图形的方法中,在蚀刻层上形成第一硬掩模图形之后,可以与第一硬掩模图形自对准地形成第二硬掩模图形。然后,可以使用第一和第二硬掩模图形作为蚀刻掩模,构图蚀刻层。这样,可以在高密度图形区中以低于光刻工序的解析度极限的解析度来容易地形成精细图形。在低密度图形区中,通过调整第一硬掩模图形之间的间隔宽度或者执行额外的光刻工序,可以不形成第二硬掩模图形。因此,在本发明的实施例中,在低密度图形区中,可以仅仅使用第一硬掩模图形来构图蚀刻层,使得器件图形可以具有各种宽度和间距。

[0131] 在此已经公开了本发明的示例性实施例,尽管采用了特定术语,它们仅仅被使用并且解释为通用的和描述性的意义,而不是为了限制的目的。此外,本领域普通技术人员将理解,可以做出形式和细节上的各种变化,而不背离在下面的权利要求中所阐述的本发明的精神和范围。

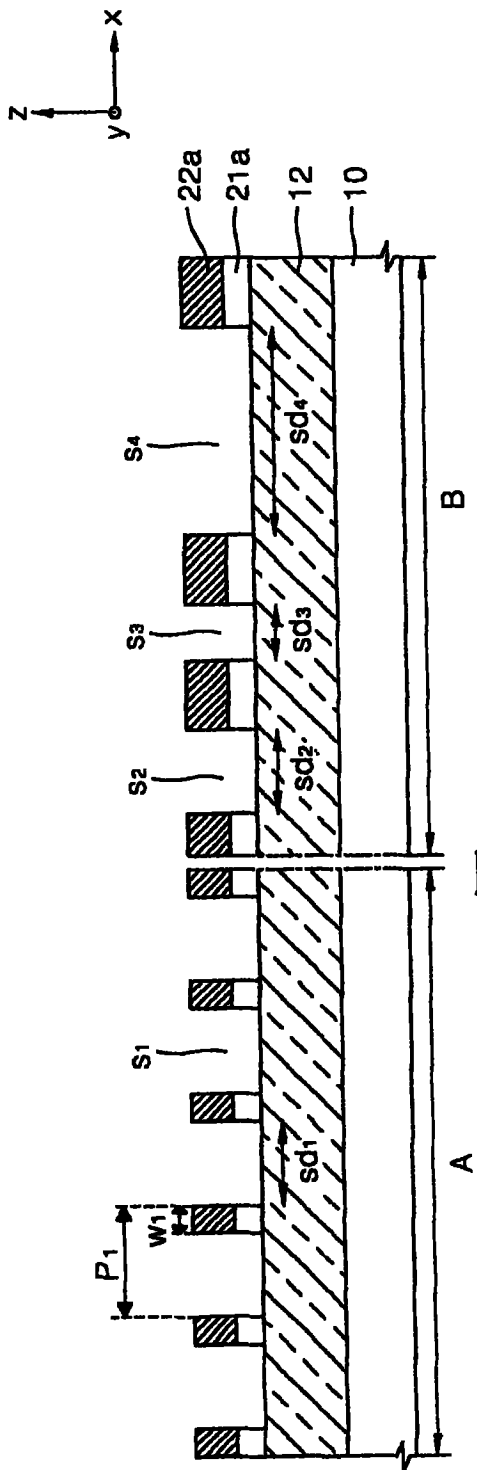


图1A

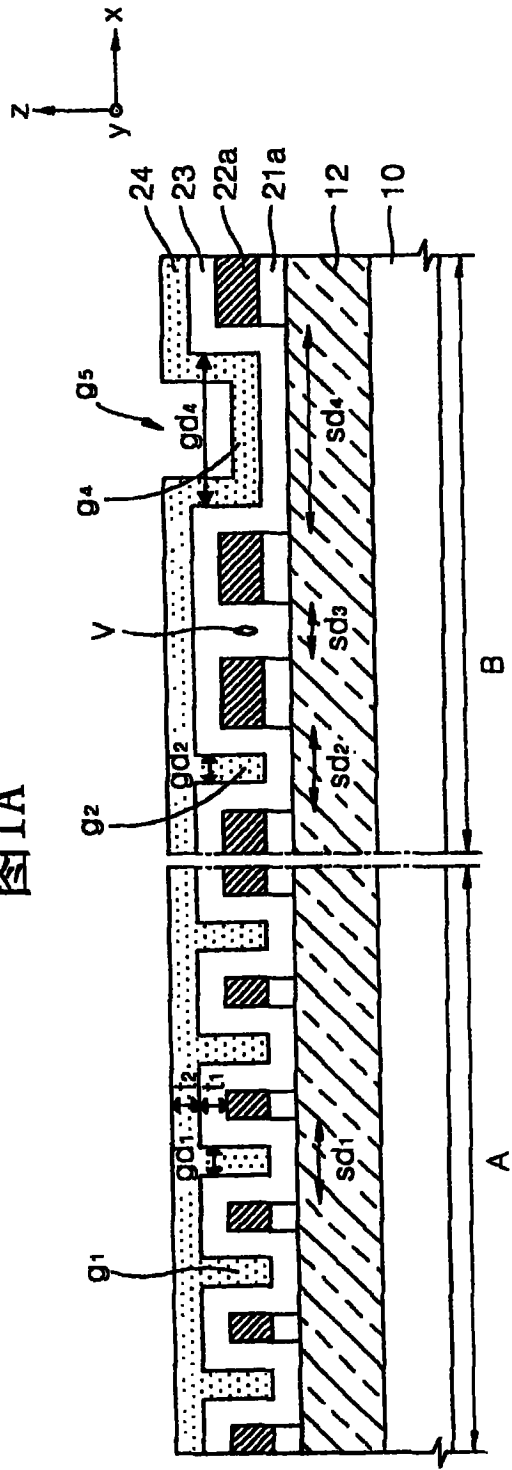


图1B

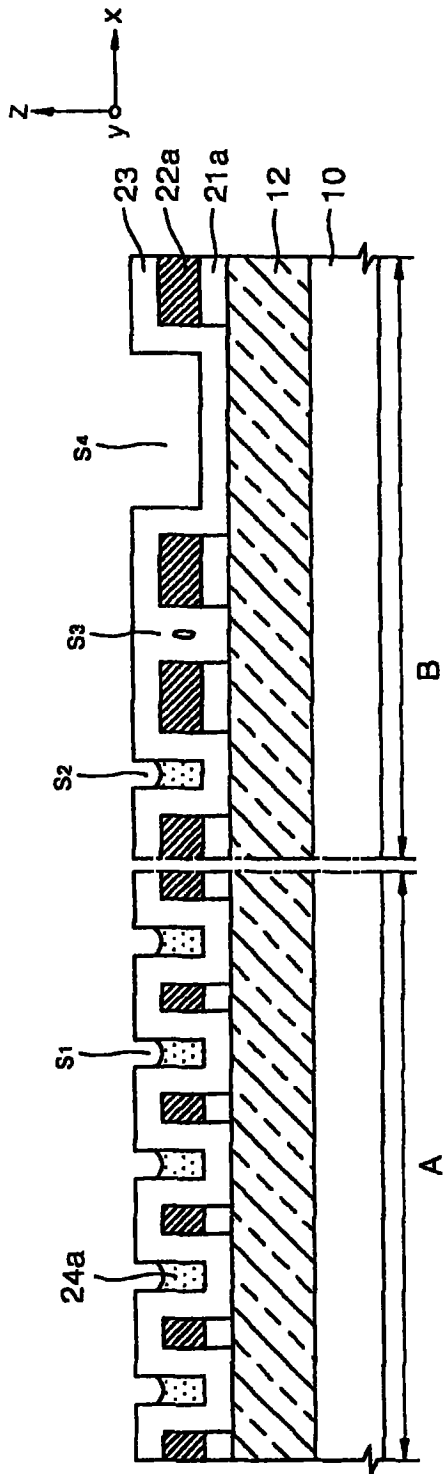


图1C

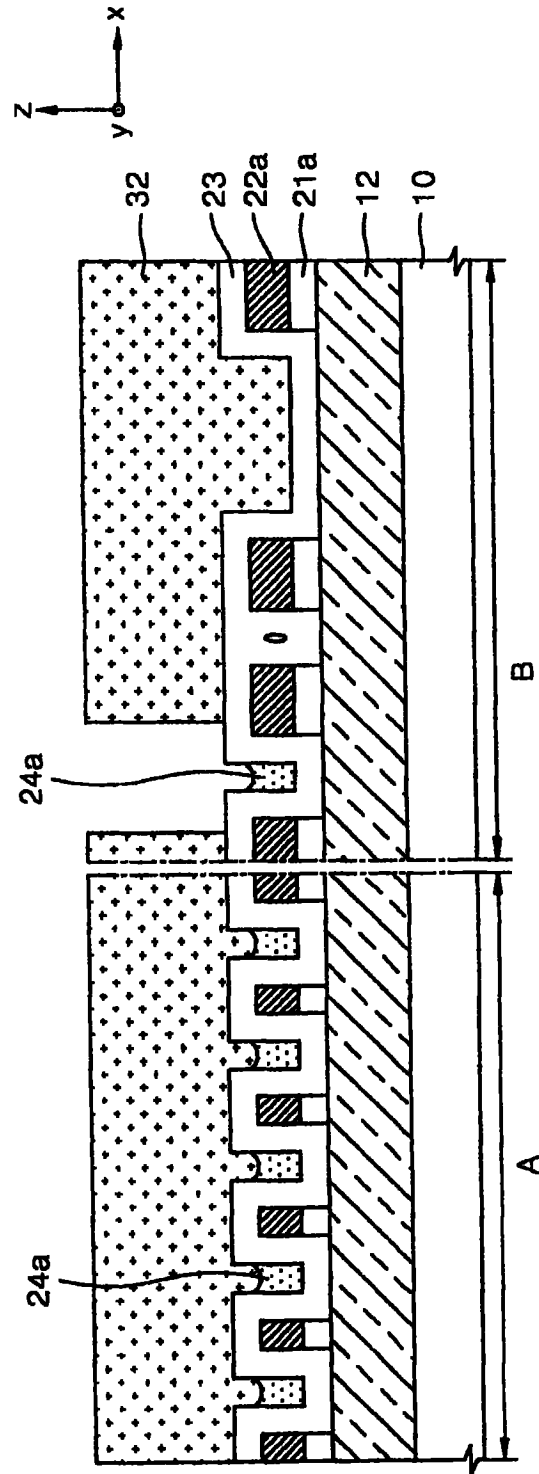


图1D

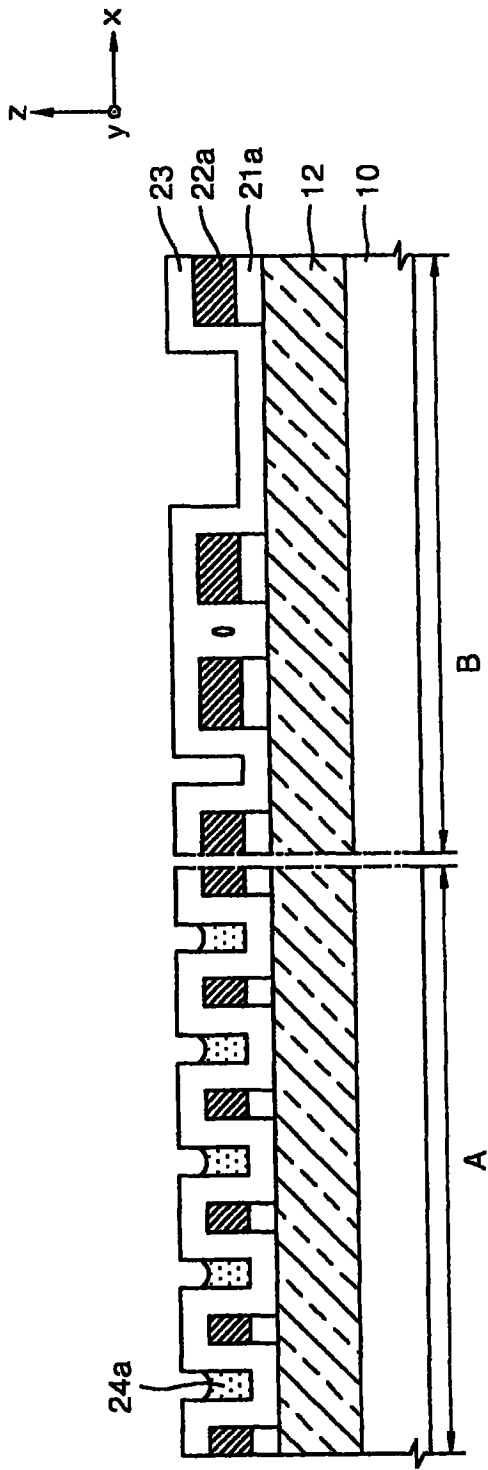


图1E

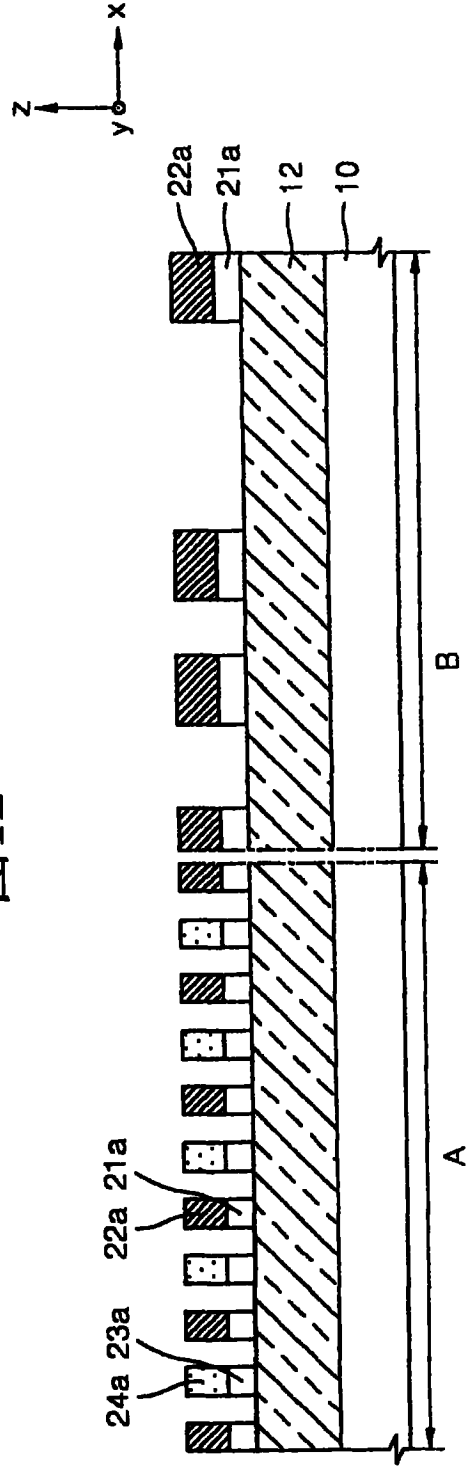


图1F

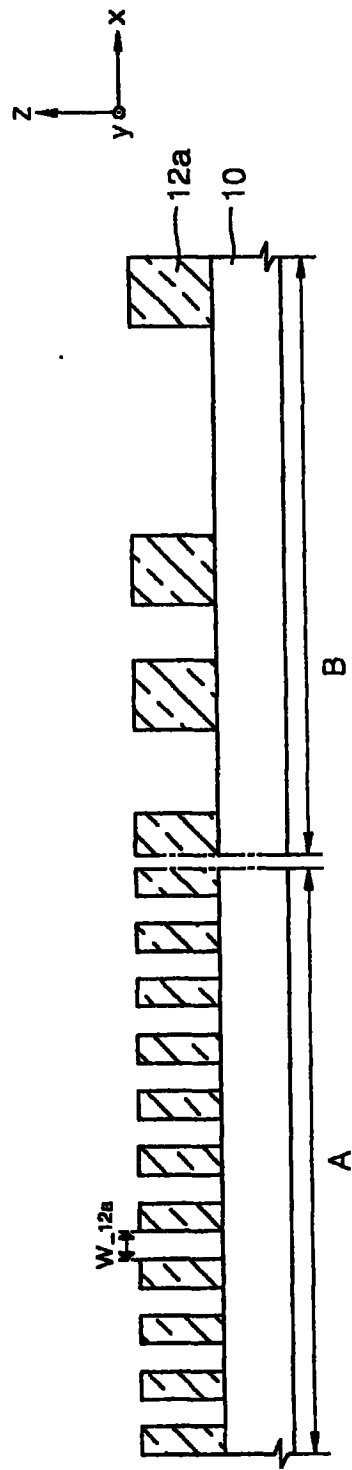


图1G

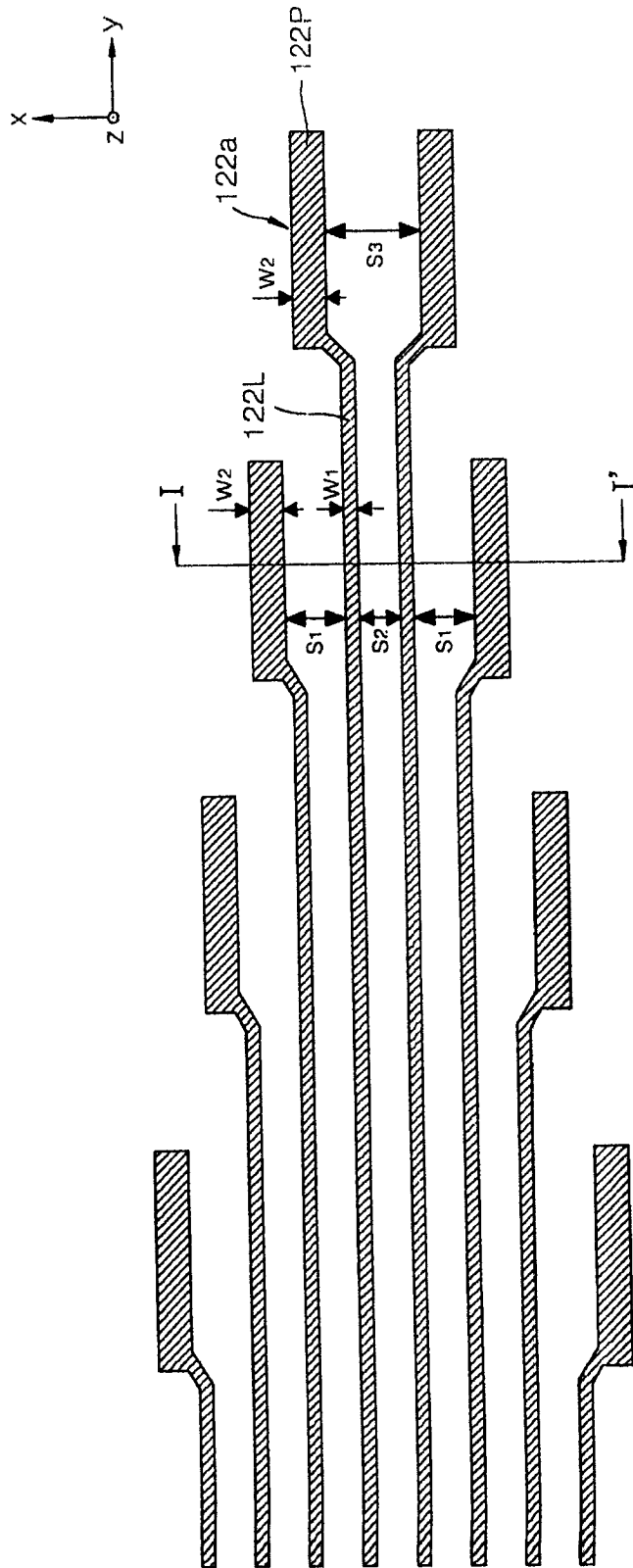


图2A

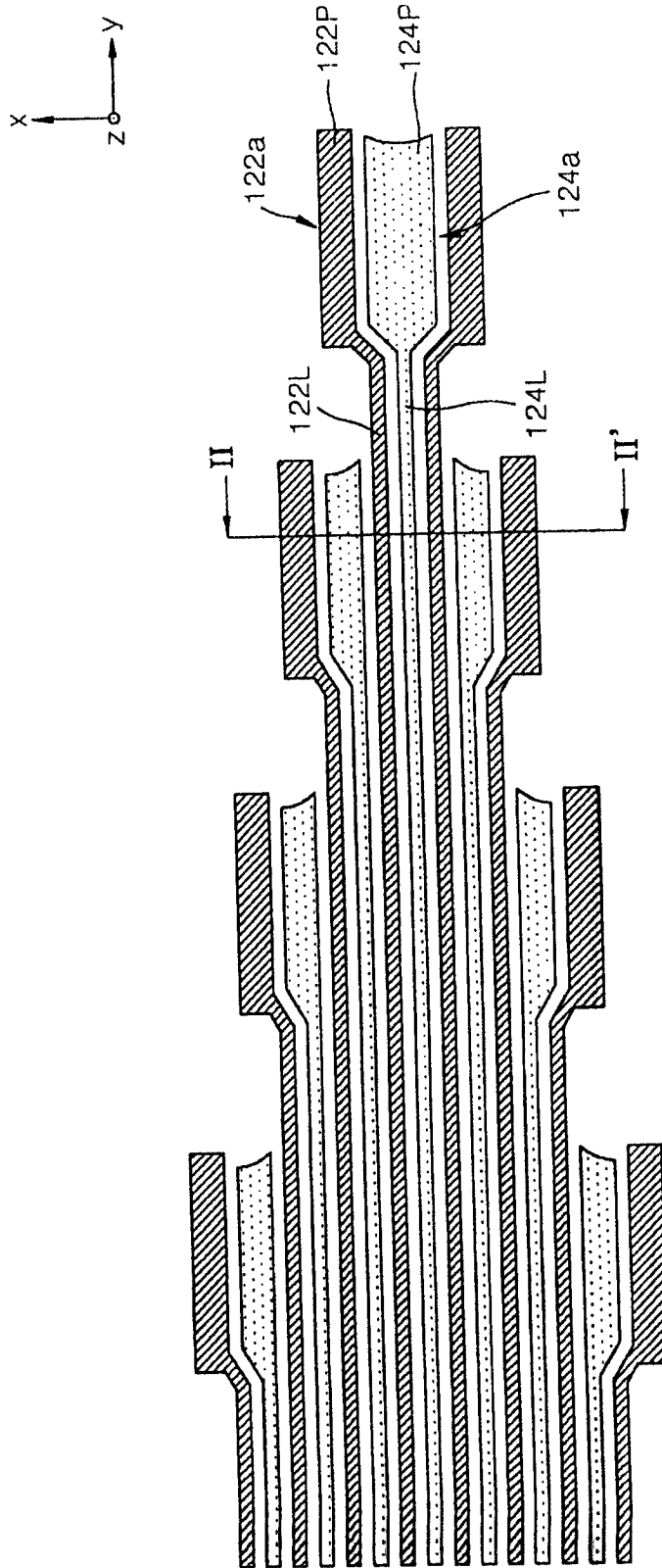


图2B

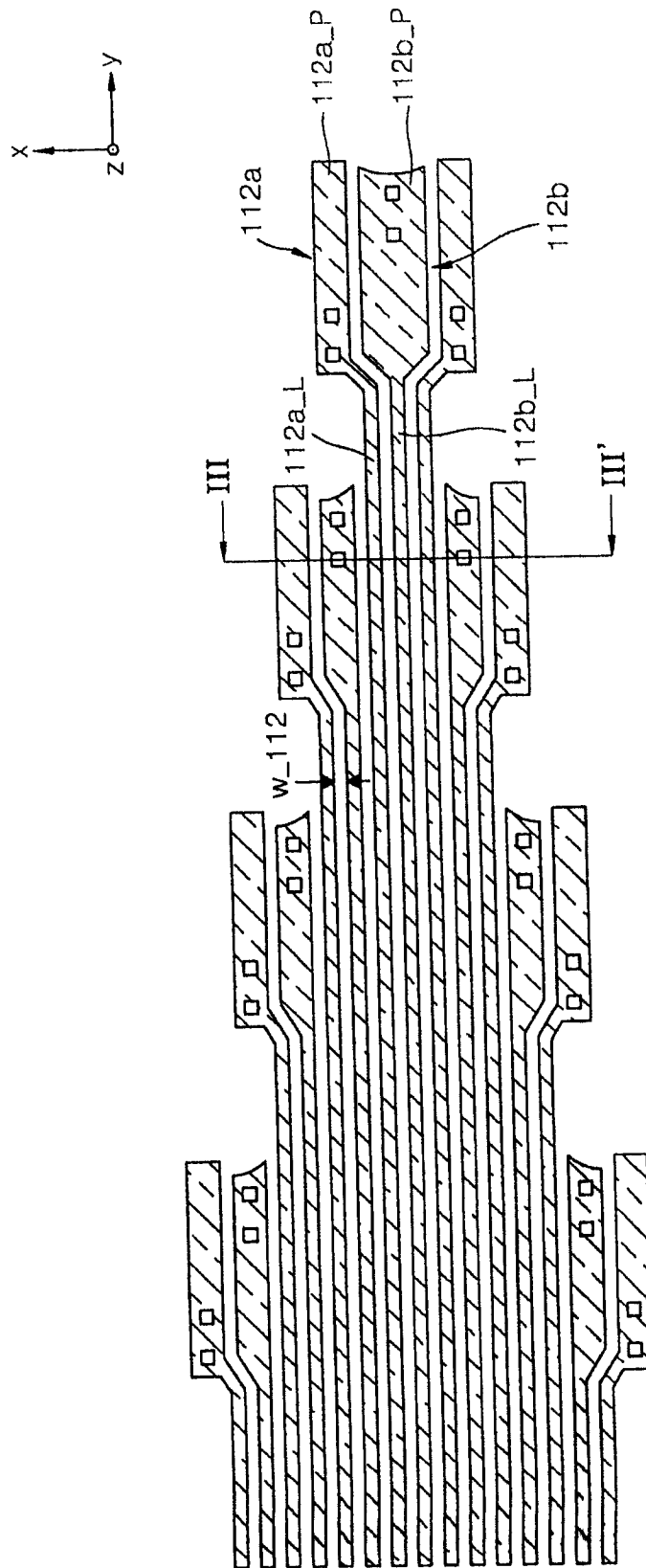


图2C

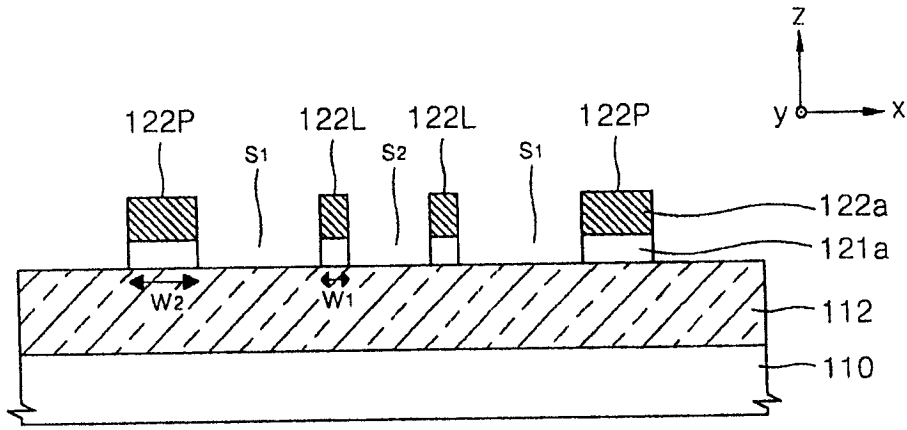


图3A

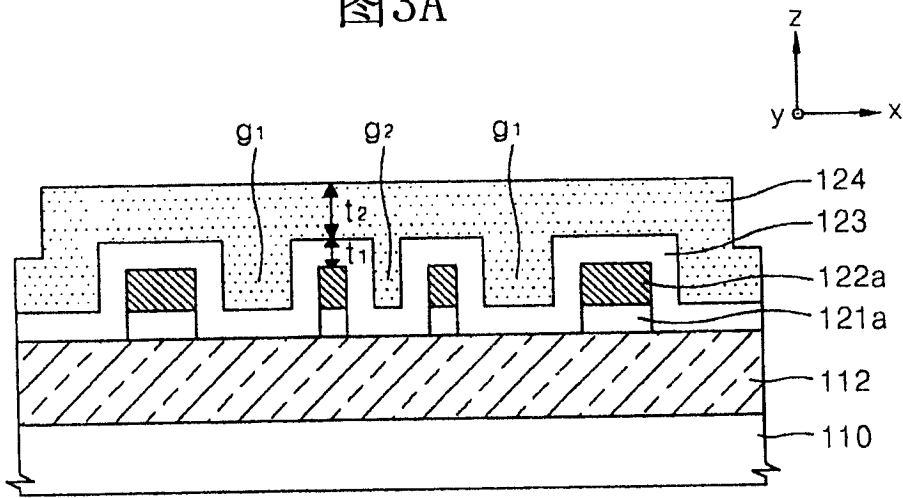


图3B

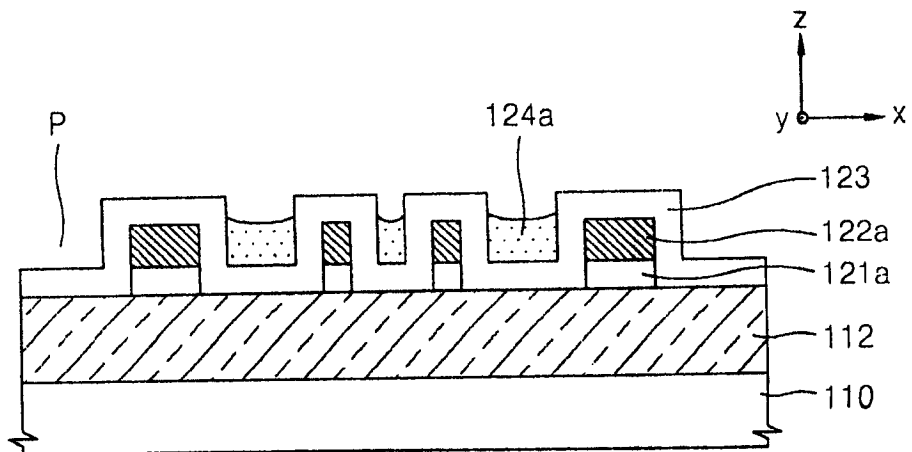


图 3C

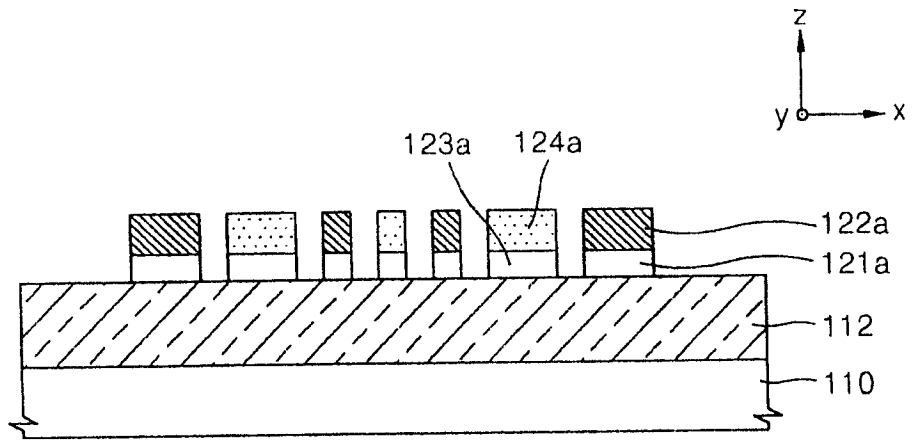


图 3D

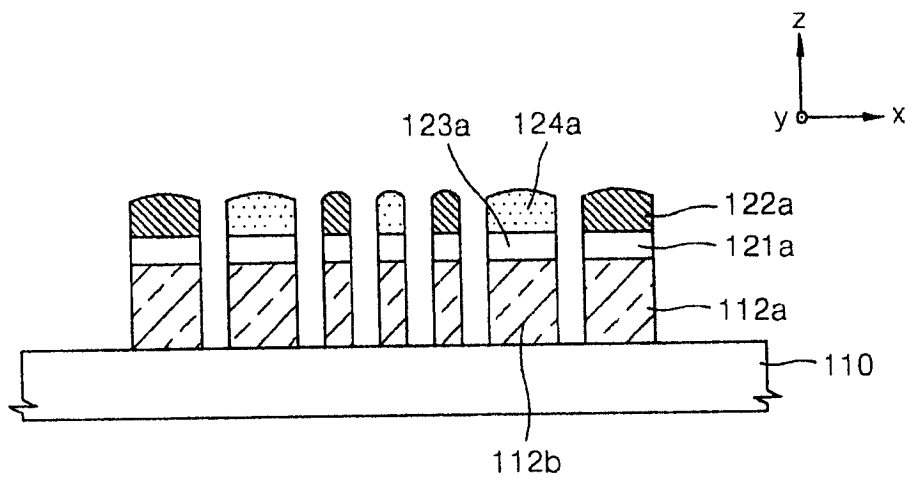


图 3E

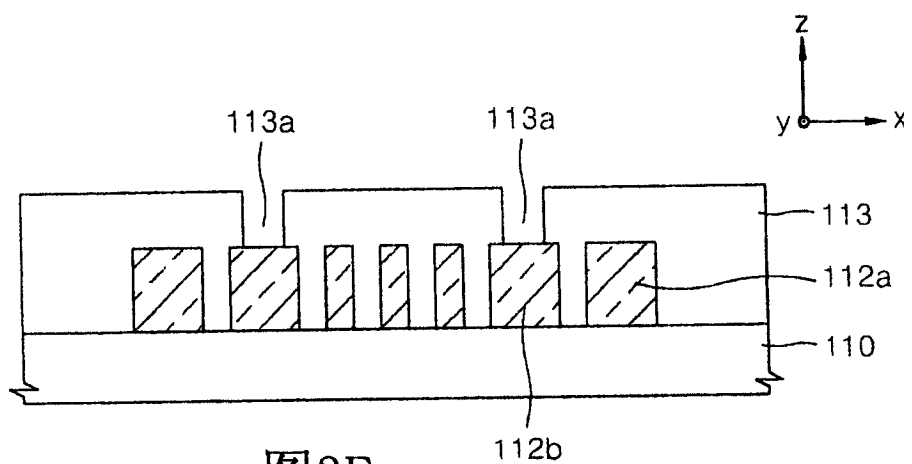


图 3F

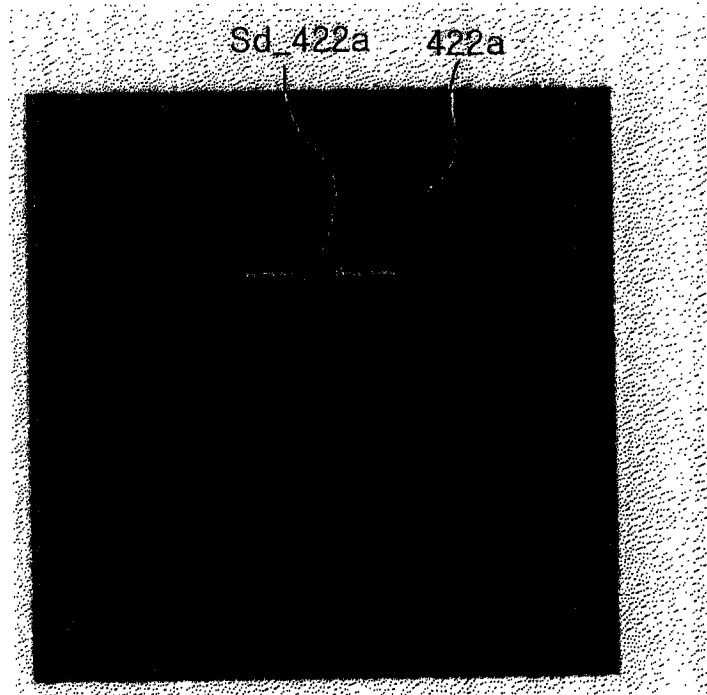


图 4A

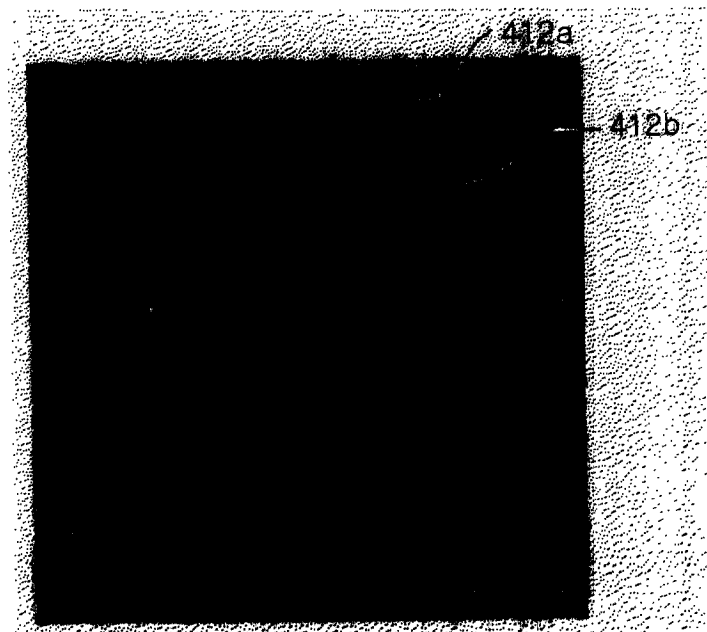


图 4B

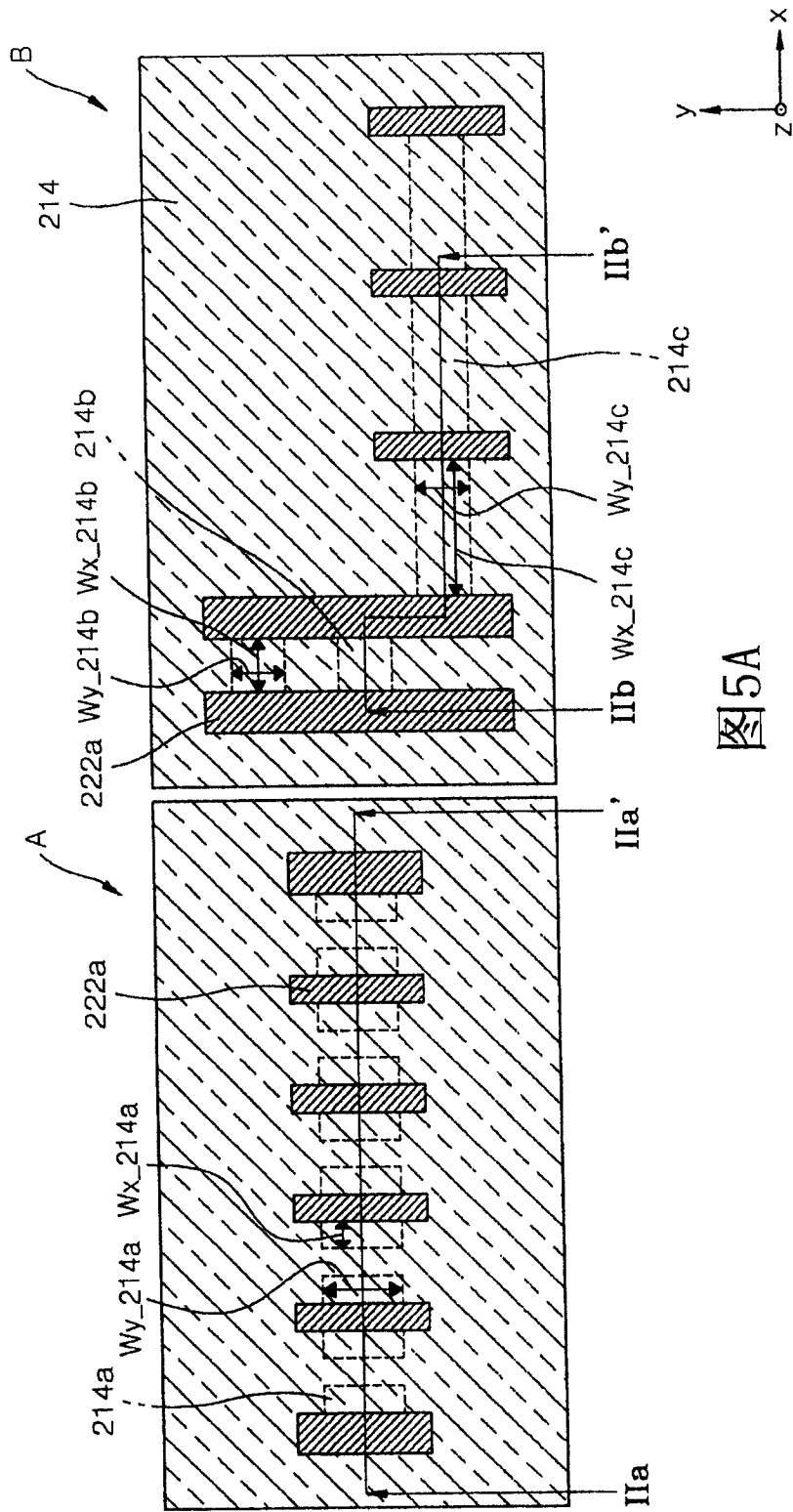
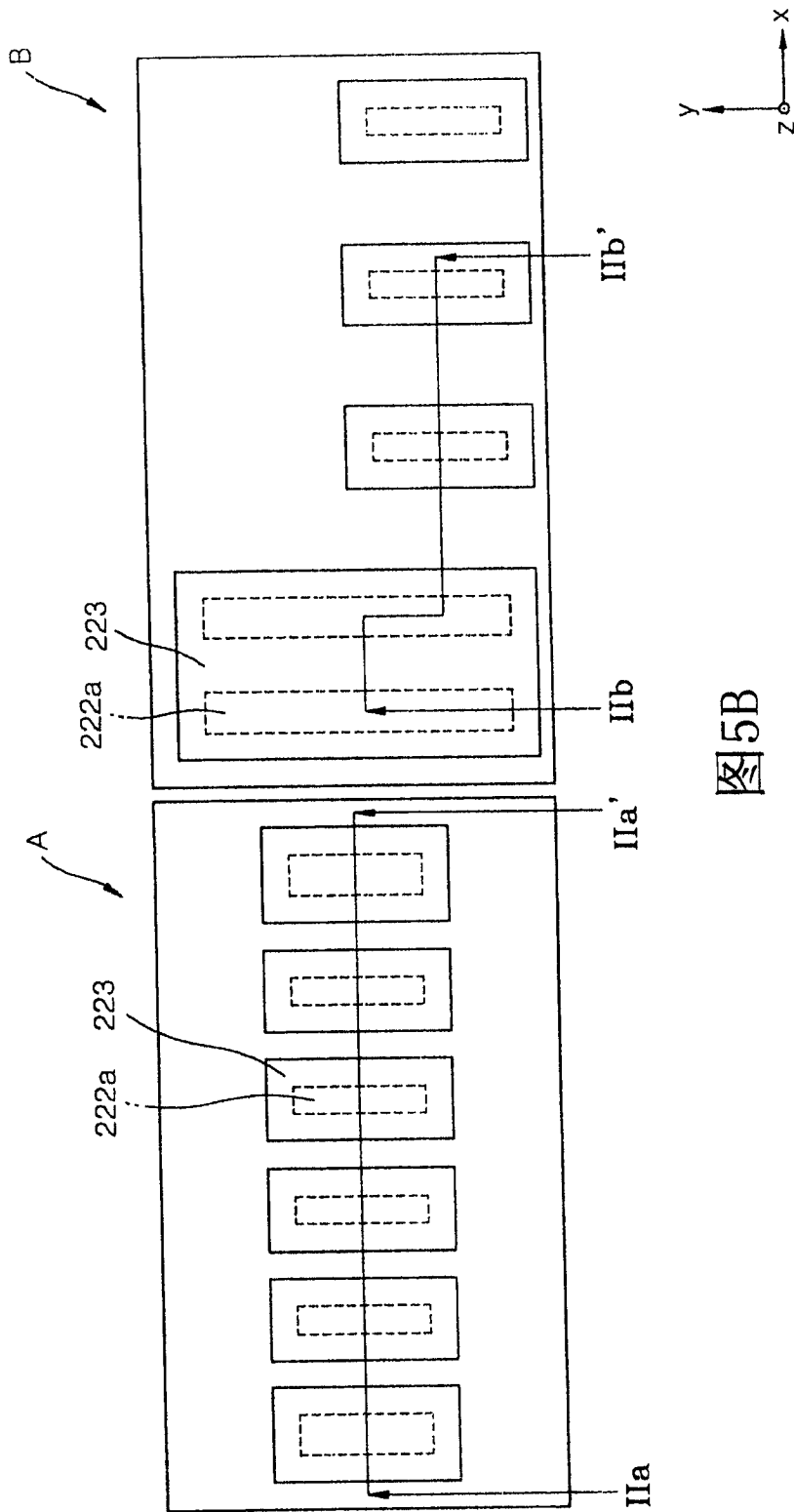


图5A



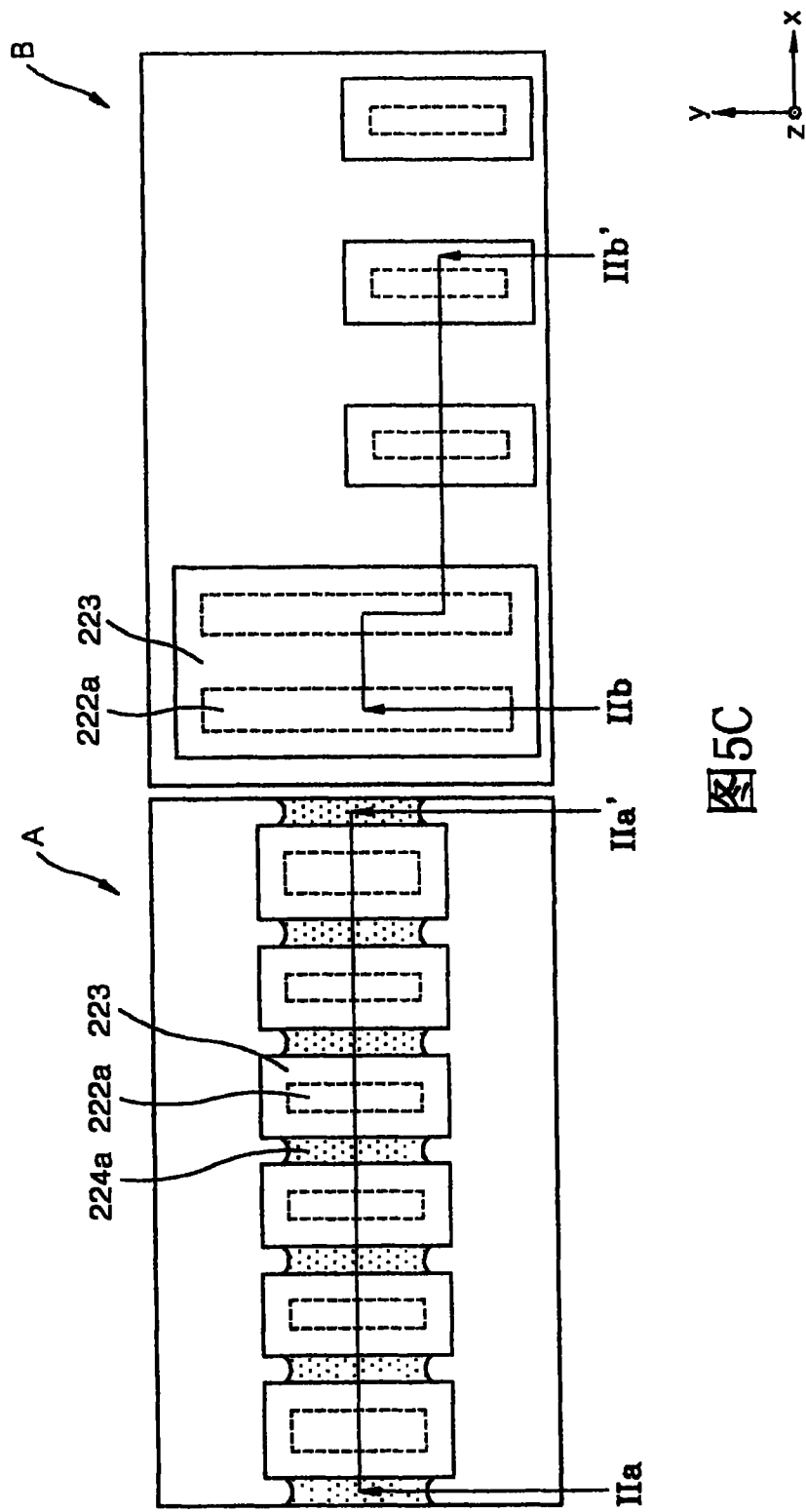


图5C

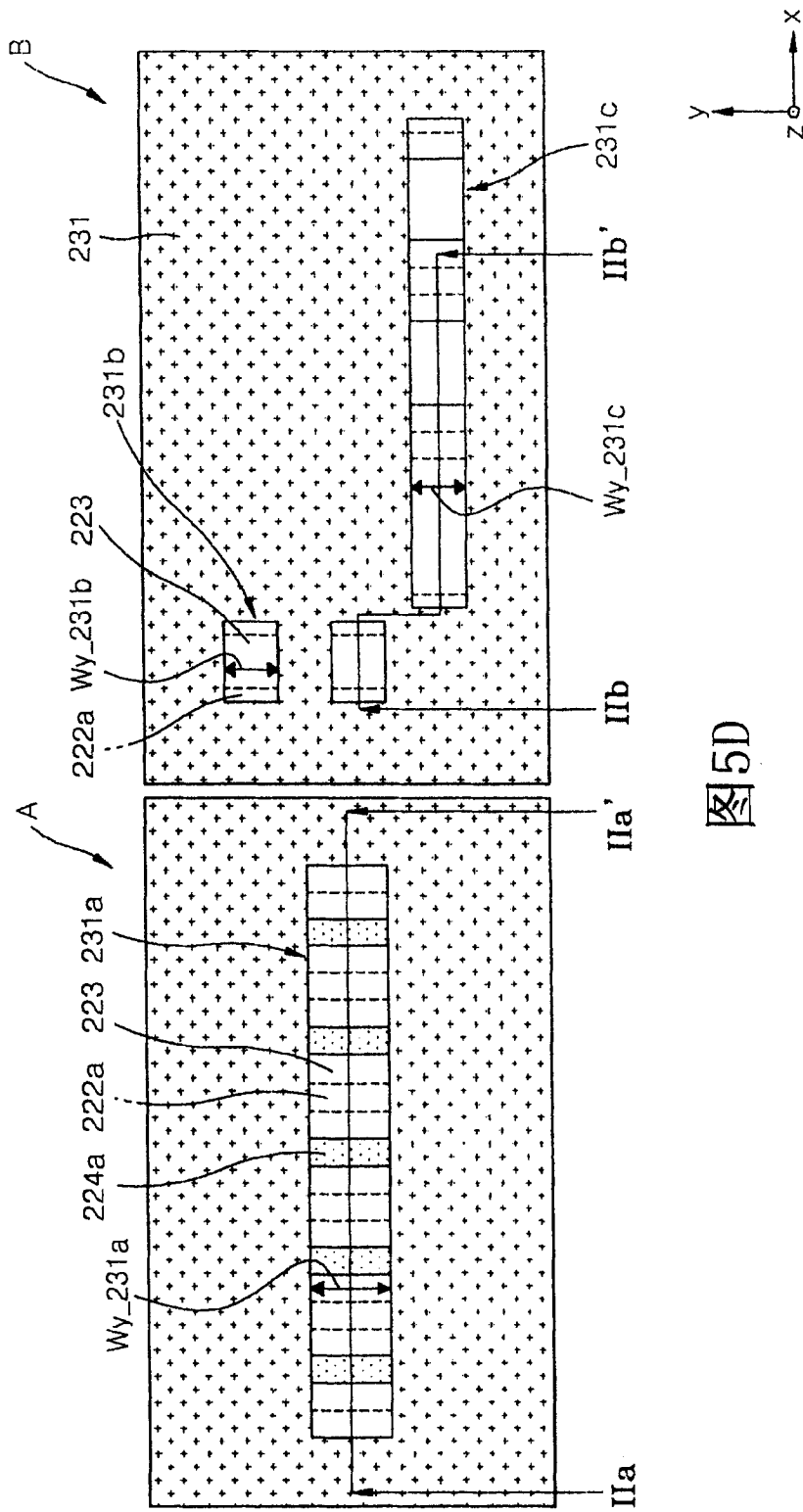


图 5D

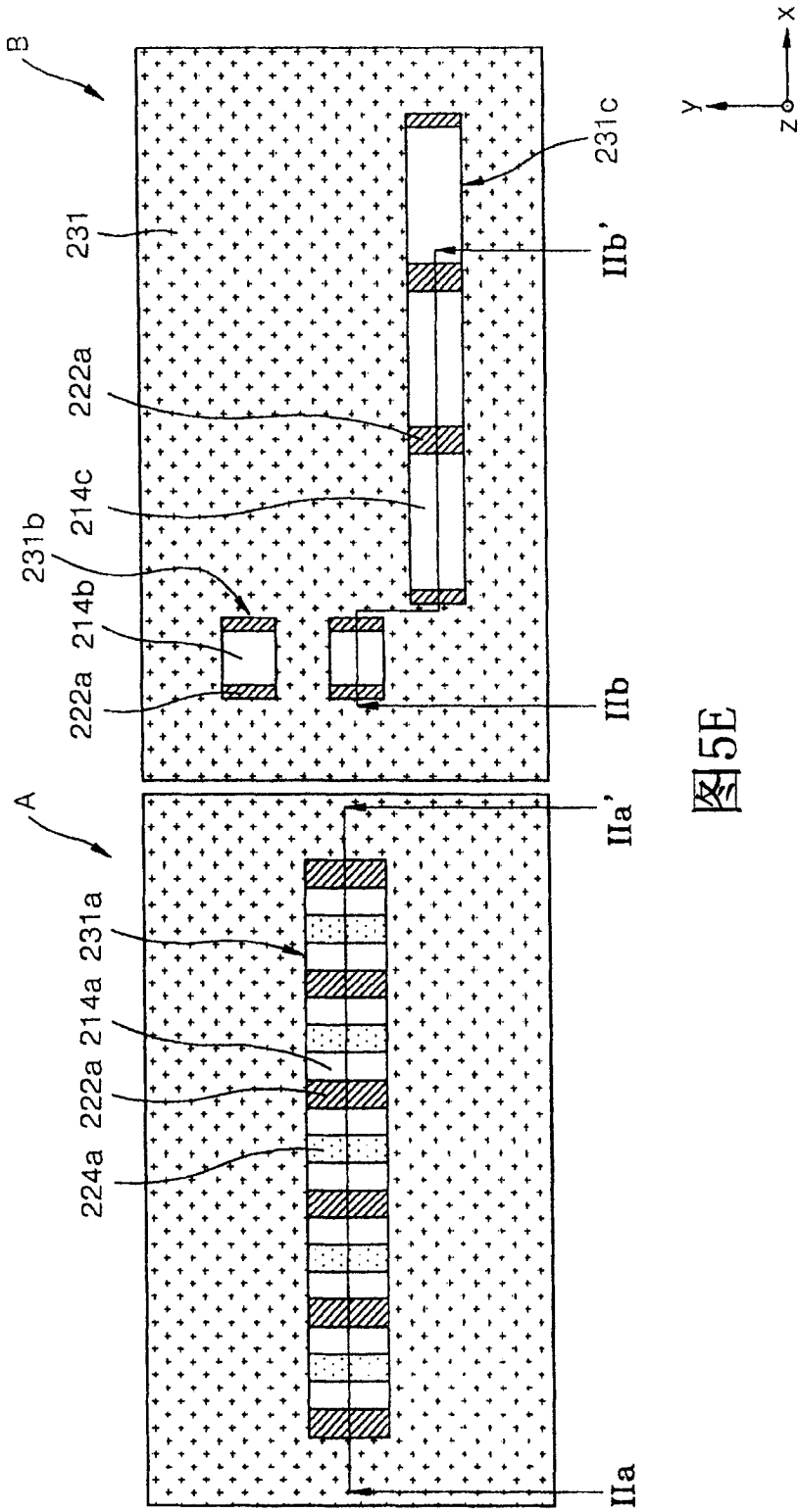


图5E

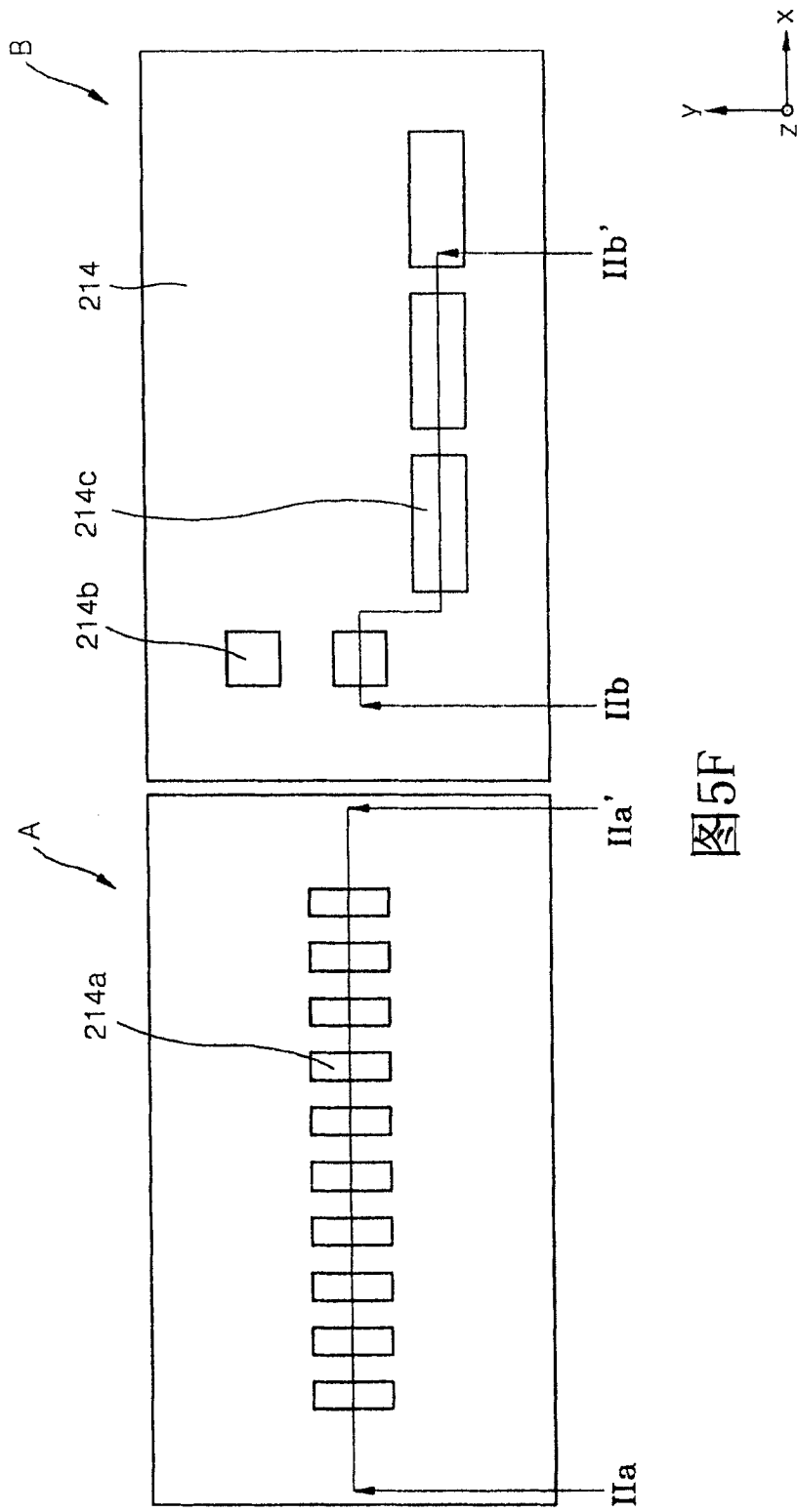


图 5F

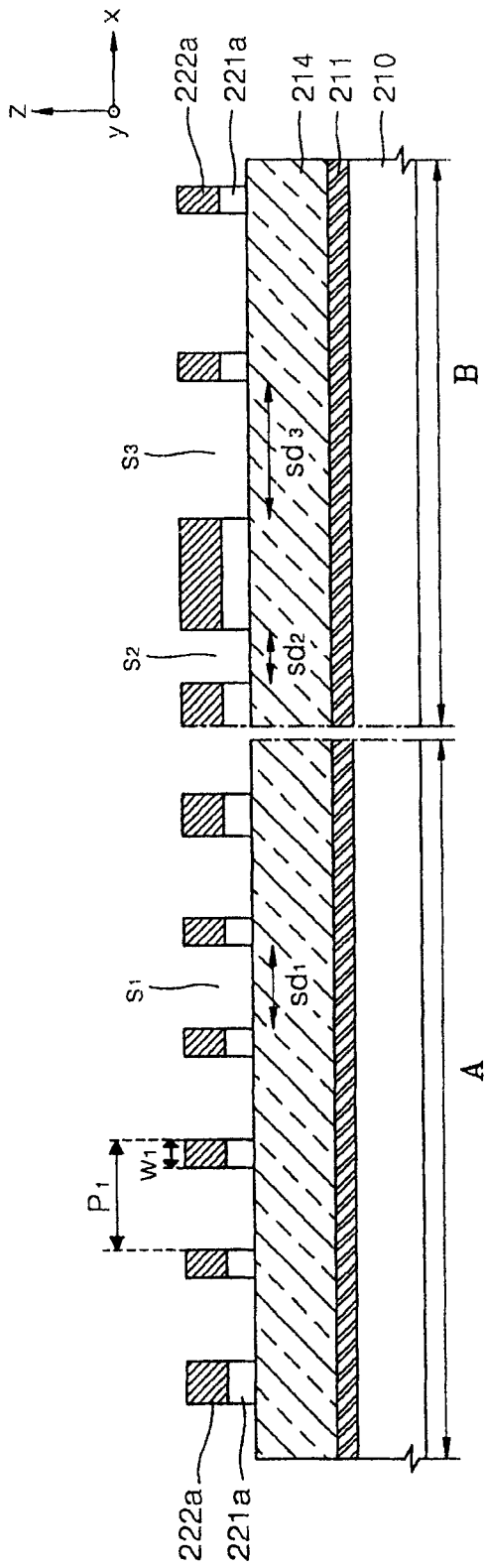


图6A

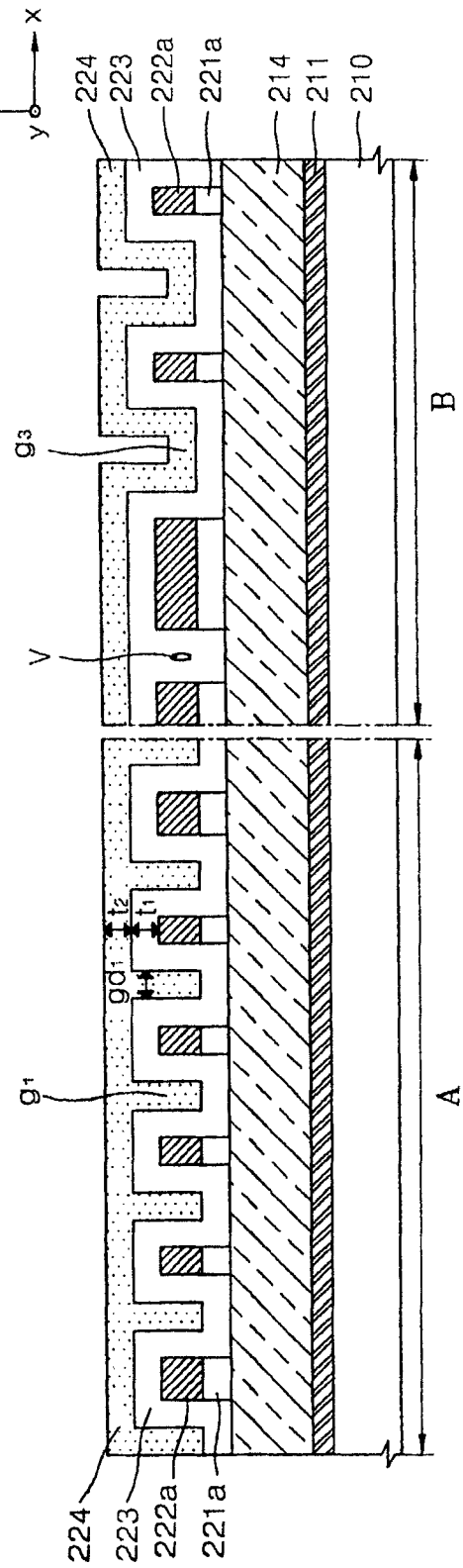


图6B

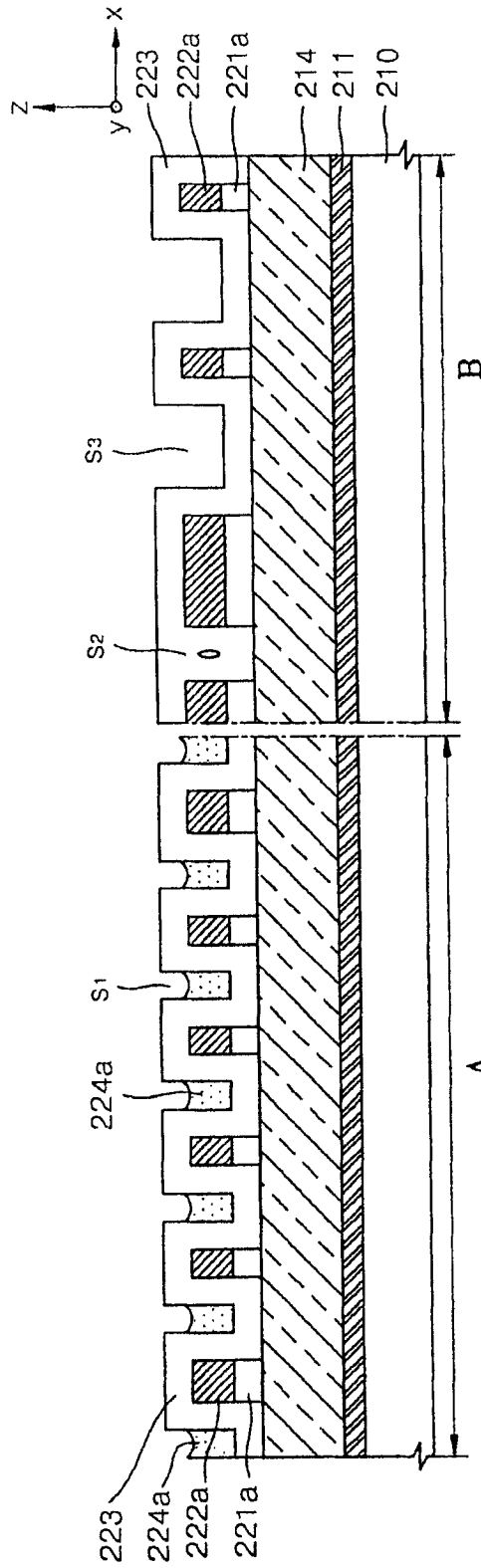


图6C

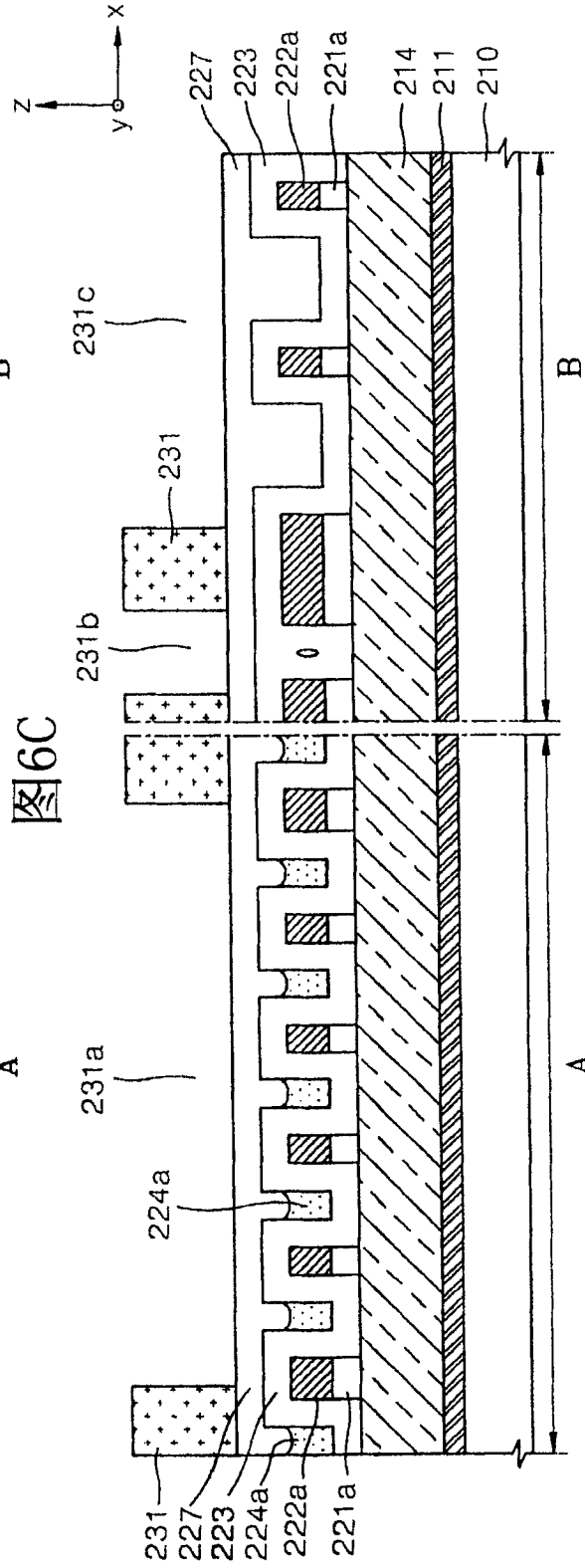


图6D

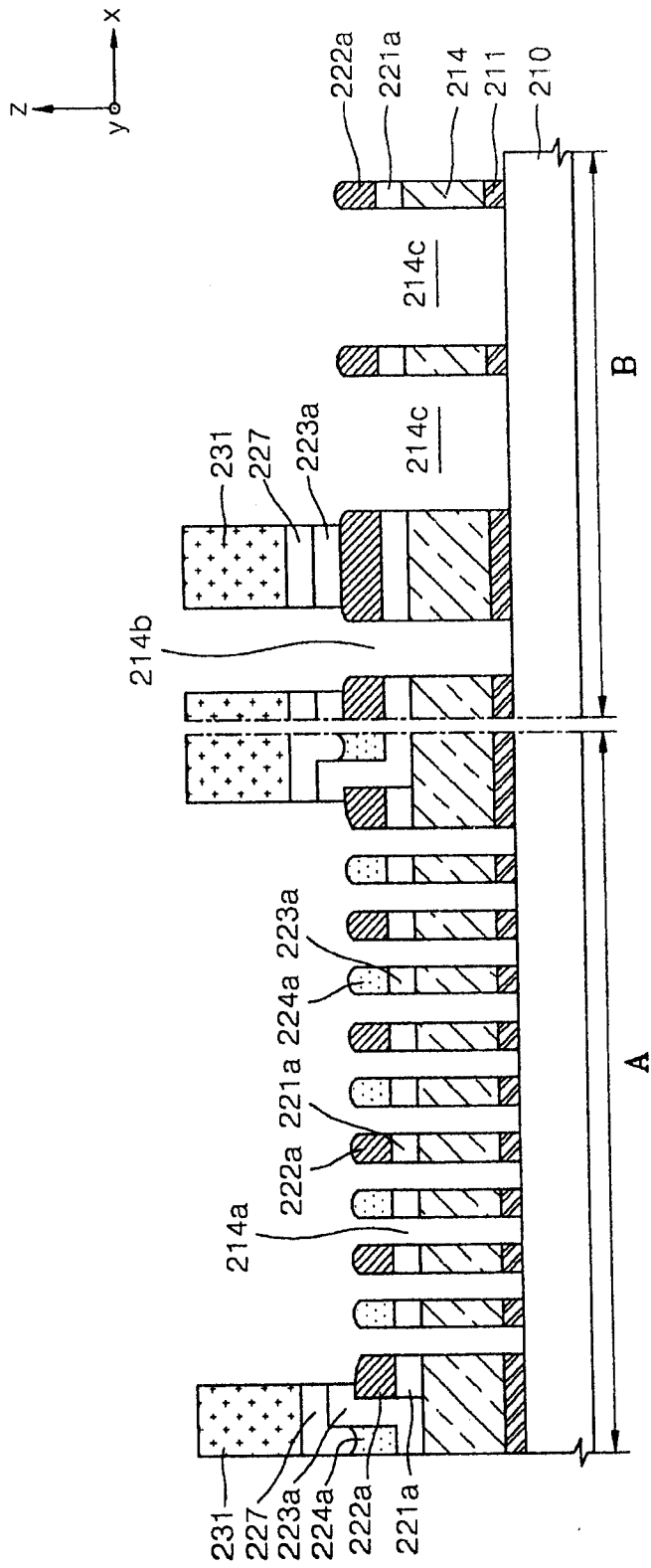


图6E

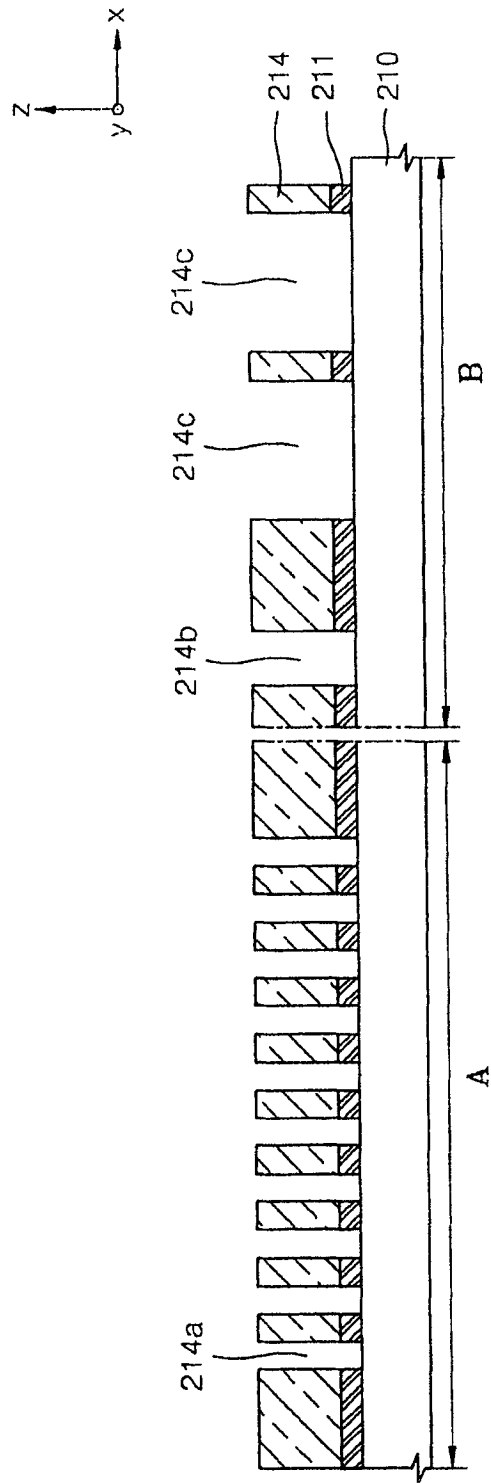


图6F

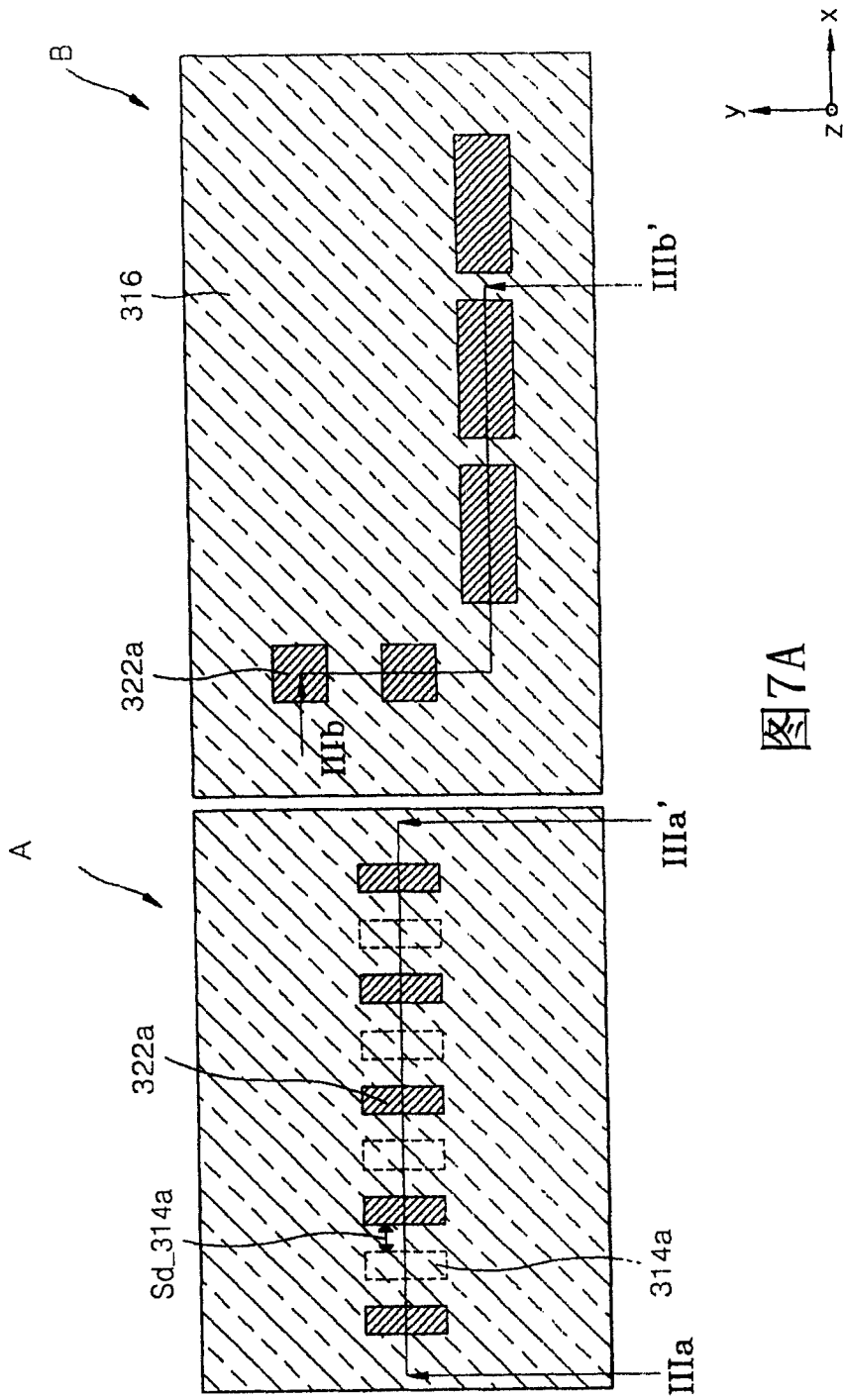


图7A

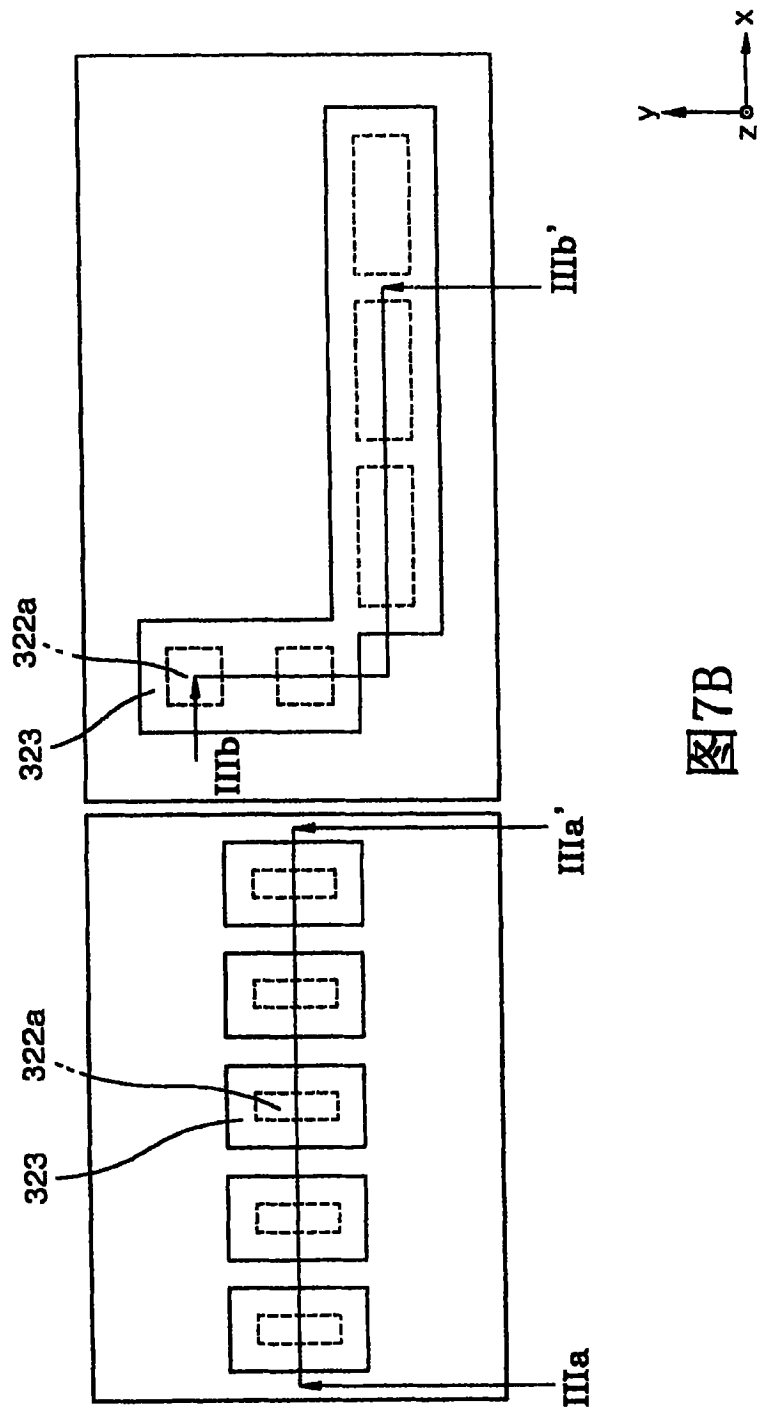


图7B

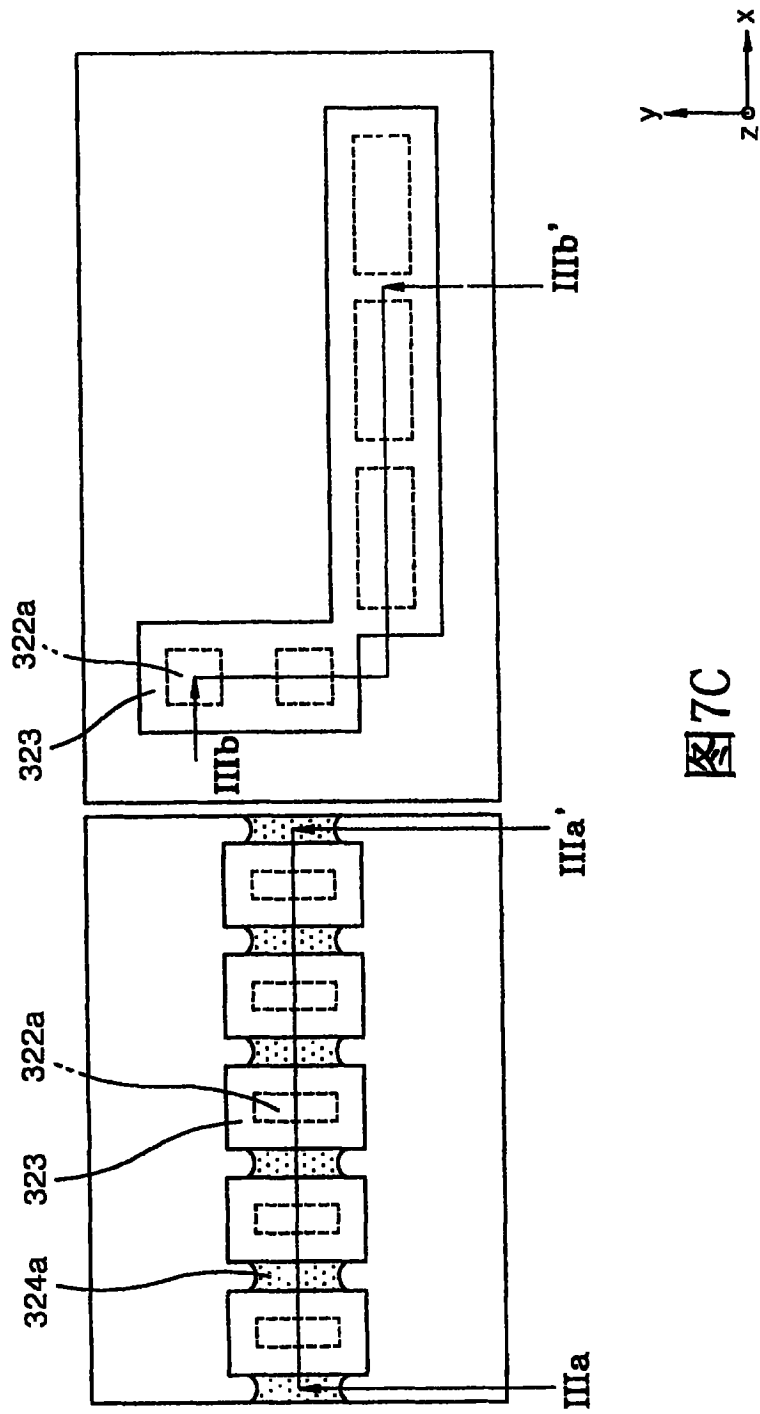


图7C

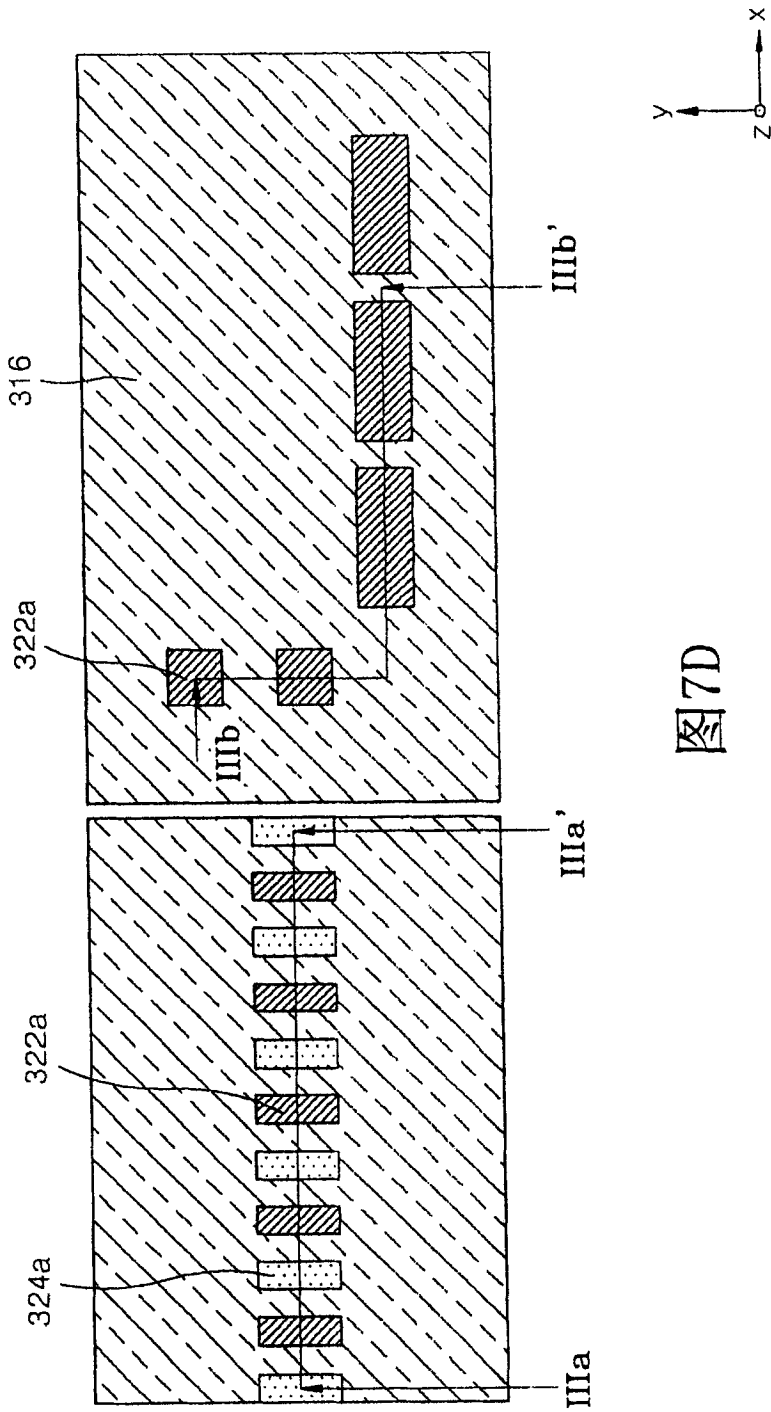


图7D

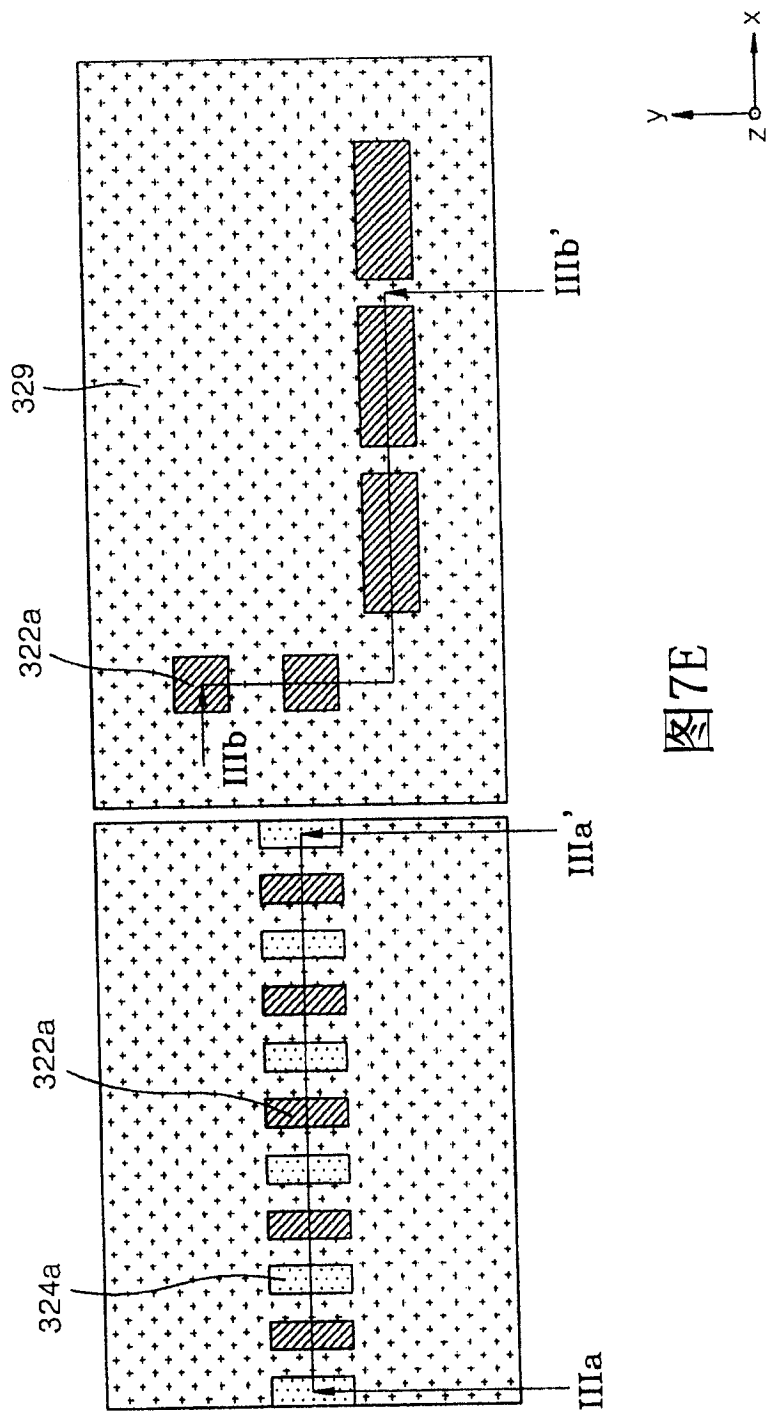


图7E

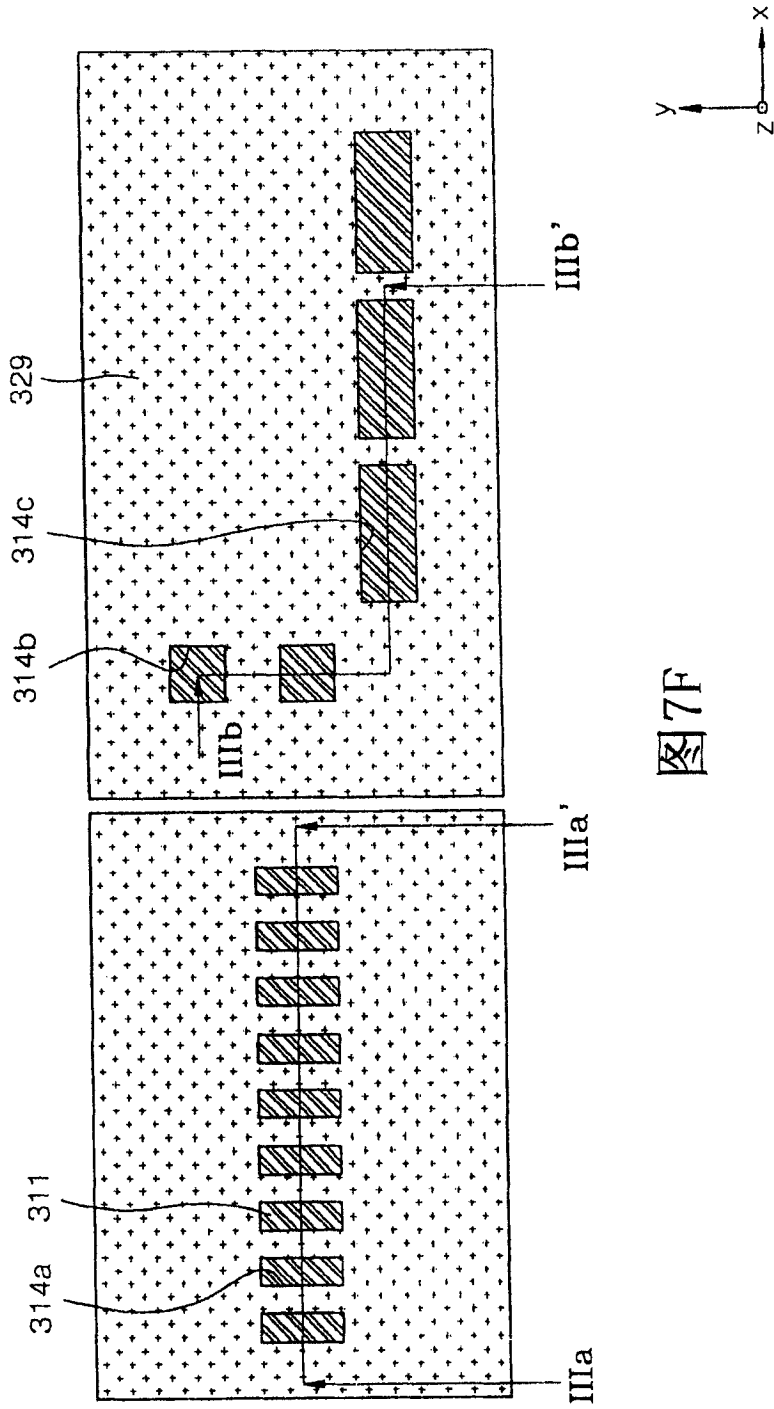


图7F

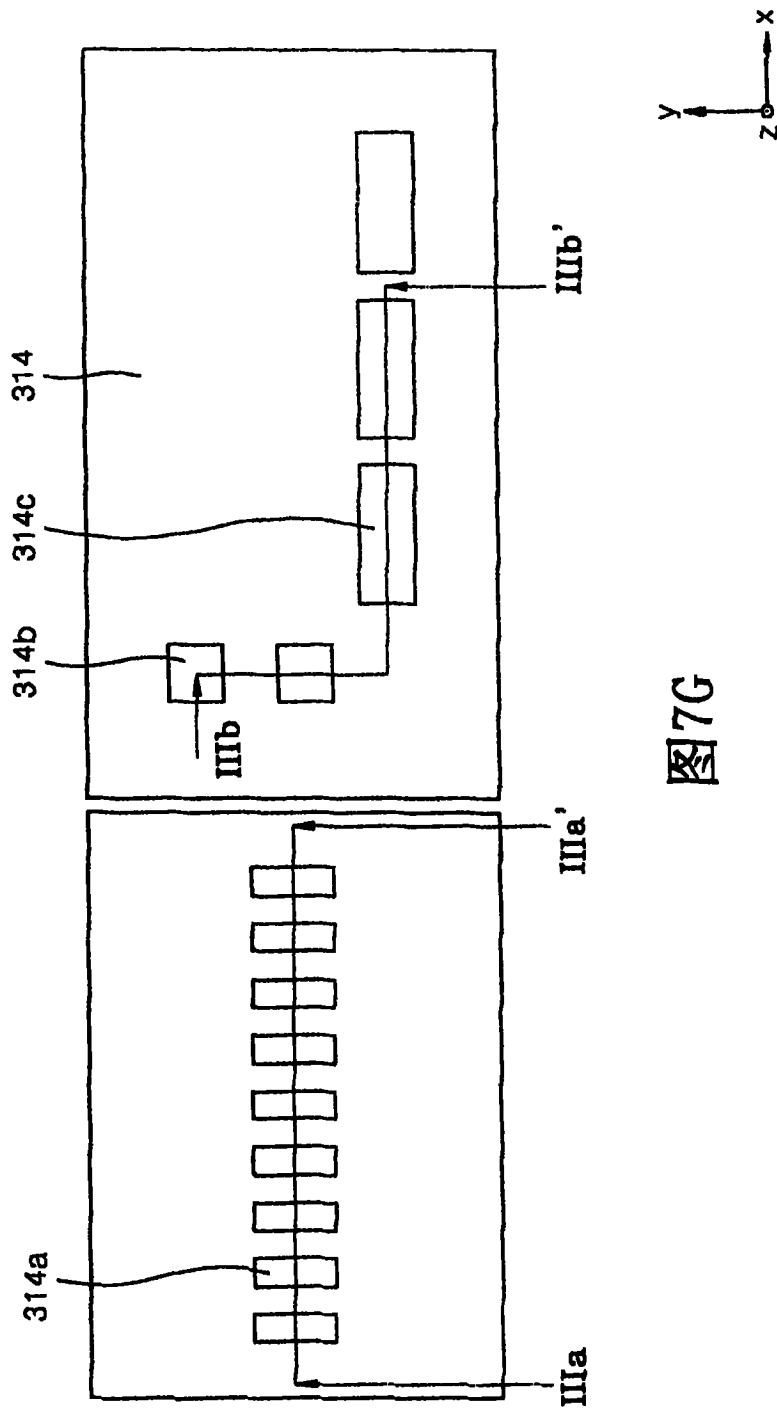


图7G

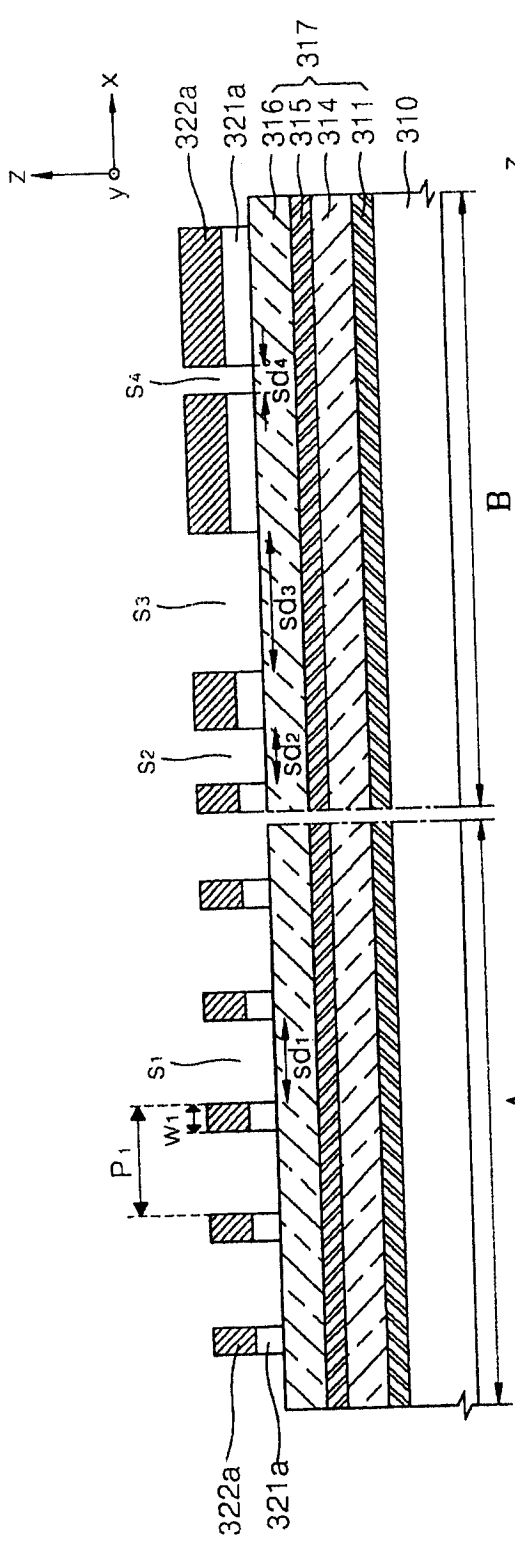


图8A

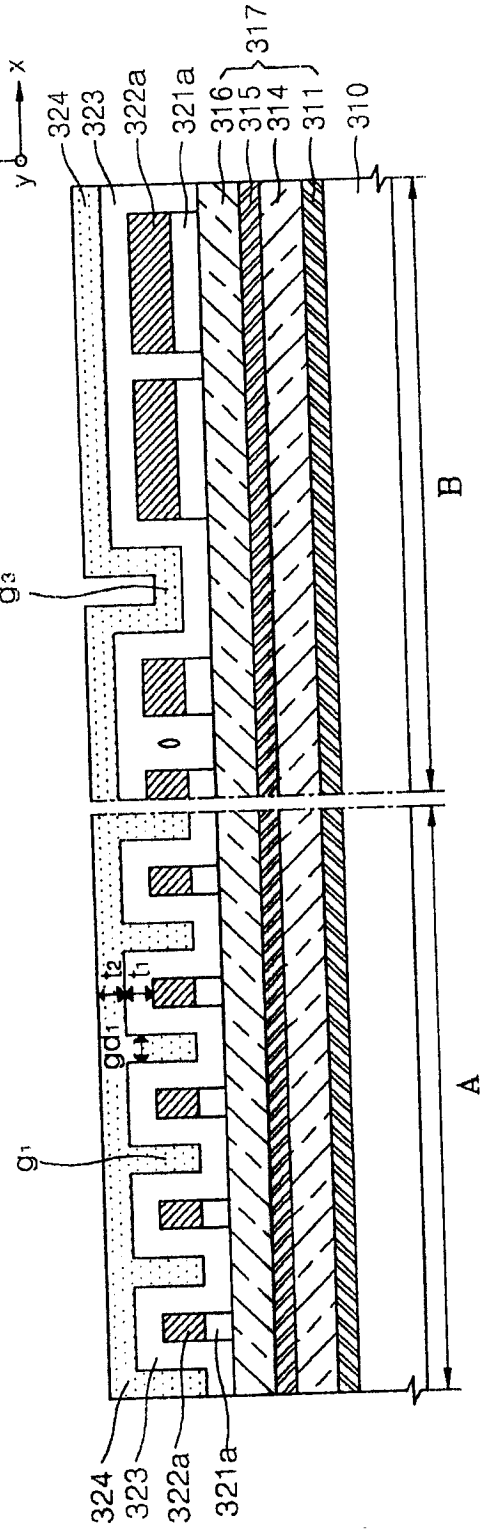


图8B

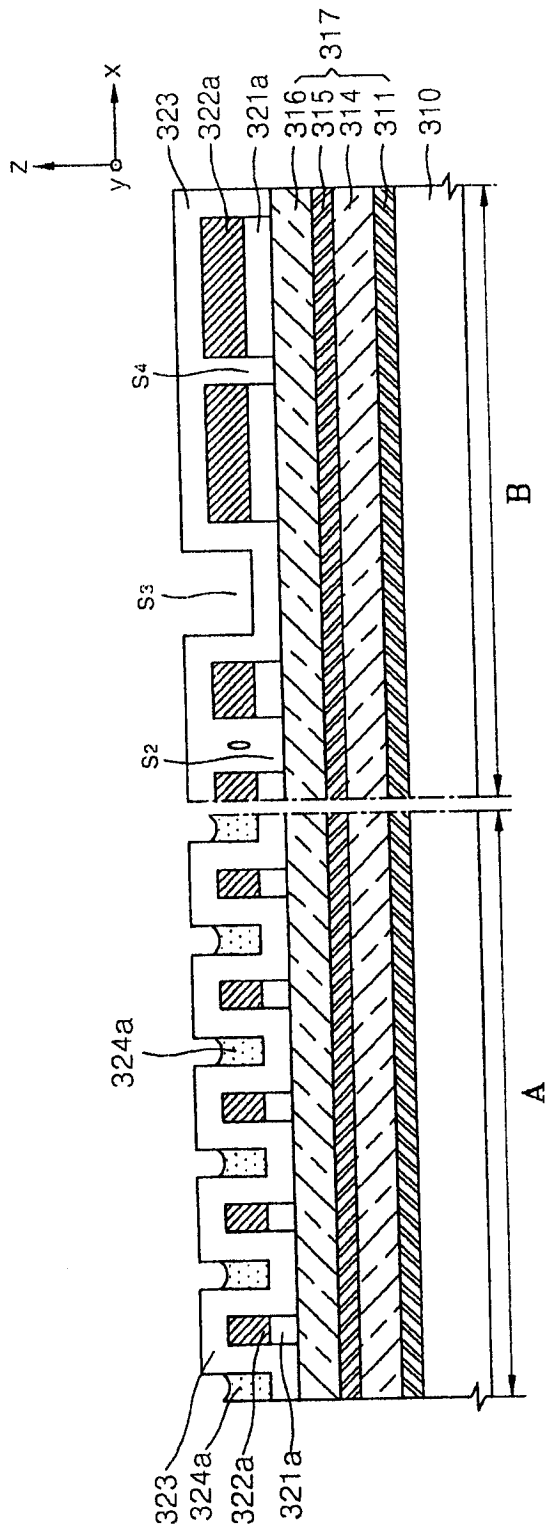


图8C

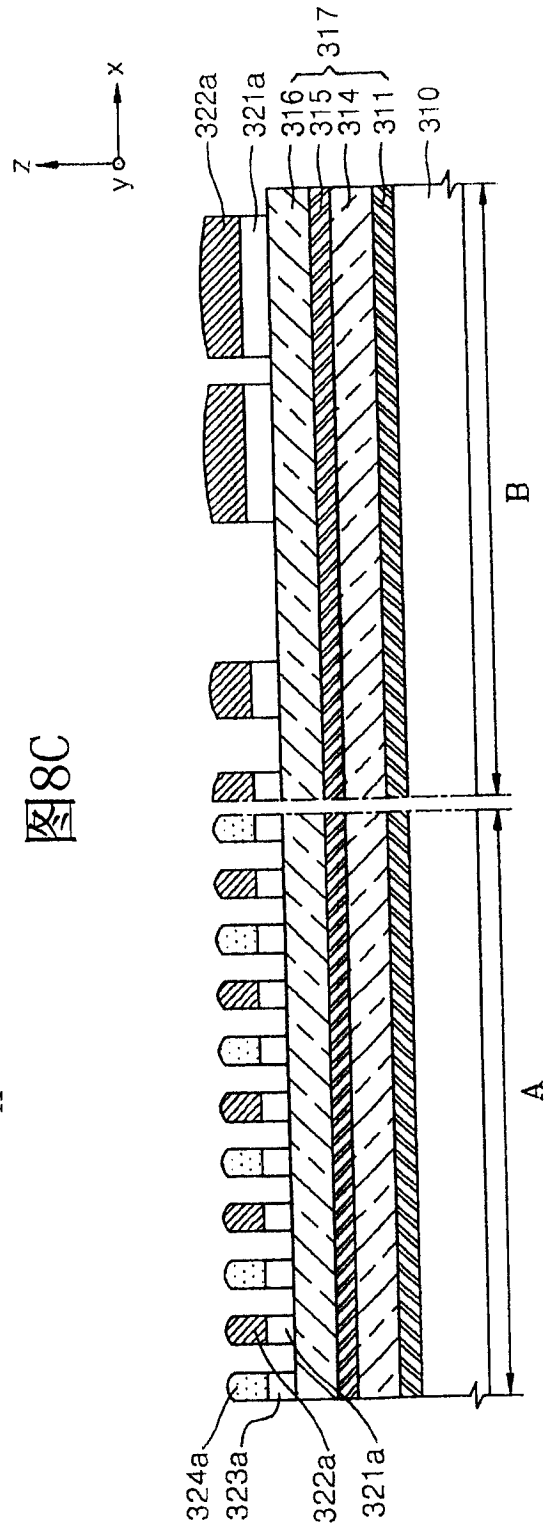


图8D

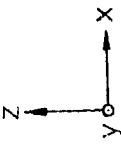
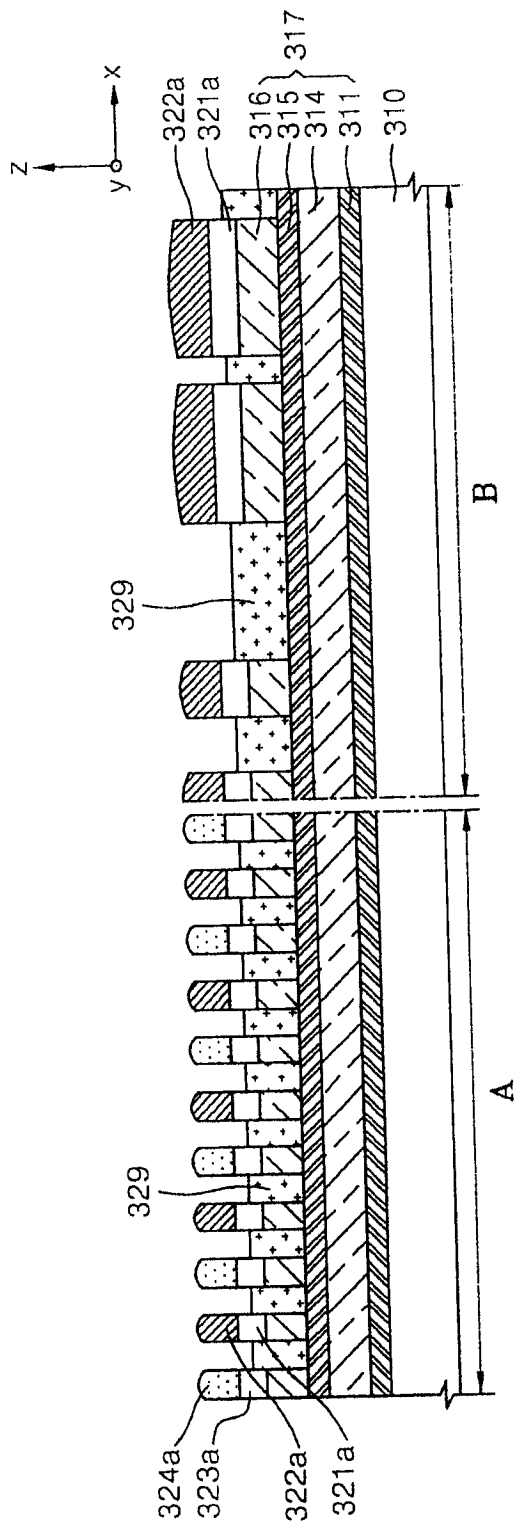


图8E

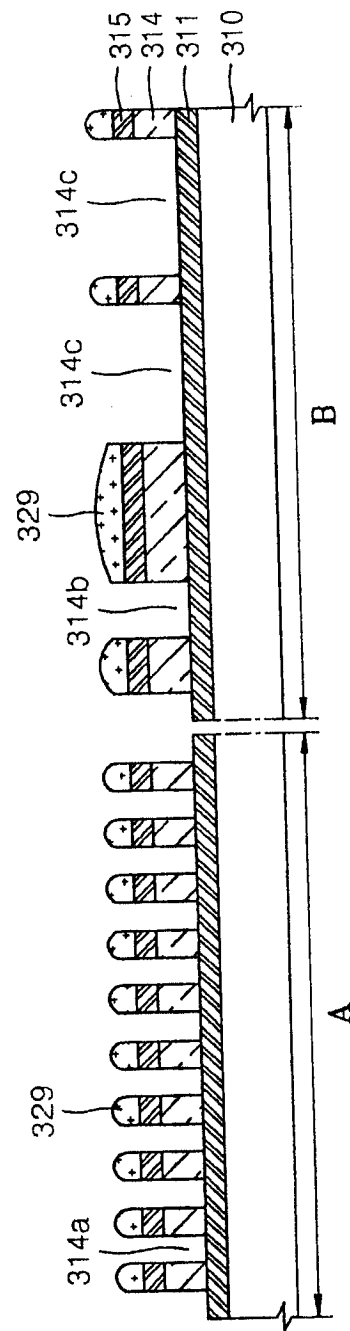


图8F

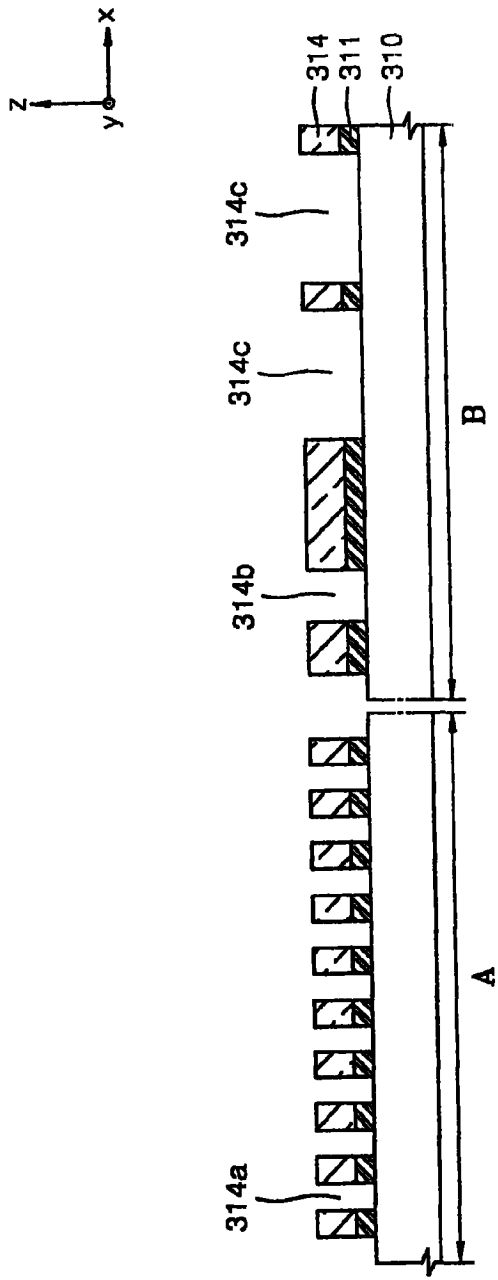


图8G