



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년03월04일  
 (11) 등록번호 10-0945626  
 (24) 등록일자 2010년02월25일

(51) Int. Cl.  
 H01L 29/861 (2006.01) H01L 29/87 (2006.01)  
 H01L 29/93 (2006.01)  
 (21) 출원번호 10-2009-0097806(분할)  
 (22) 출원일자 2009년10월14일  
 심사청구일자 2009년10월14일  
 (65) 공개번호 10-2009-0118895  
 (43) 공개일자 2009년11월18일  
 (62) 원출원 특허 10-2007-0113063  
 원출원일자 2007년11월07일  
 심사청구일자 2007년11월07일  
 (56) 선행기술조사문헌  
 JP2000208639 A  
 KR1020060115756 A  
 KR1020040057088 A

(73) 특허권자  
 주식회사 케이이씨  
 서울특별시 서초구 양재동 275-5  
 (72) 발명자  
 장창수  
 서울 금천구 시흥2동 벽산아파트5단지 518동 130  
 5호  
 한승희  
 경기 성남시 중원구 금광동 91 V.I.P 산성아파트  
 가동 303호  
 이영석  
 경북 구미시 송정동 동양한신아파트 101동 2101호  
 (74) 대리인  
 서경민, 서만규

전체 청구항 수 : 총 4 항

심사관 : 김태훈

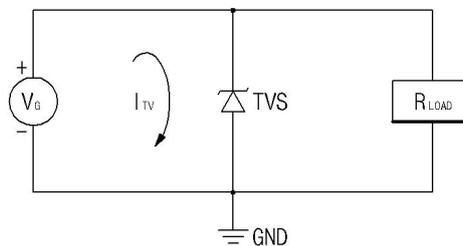
**(54) 과도 전압 억제 회로**

**(57) 요약**

본 발명은 과도 전압 억제 회로에 관한 것으로, 해결하고자 하는 기술적 과제는 커패시턴스 성분을 감소시키고, 정전기 방전 특성을 향상시키는 데 있다.

이를 위해 본 발명은 애노드 전극과 캐소드 전극을 갖는 제너 다이오드(ZD); 애노드 전극과 캐소드 전극을 갖는 제1다이오드(D1); 애노드 전극과 캐소드 전극을 갖는 제2다이오드(D2); 애노드 전극과 캐소드 전극을 갖는 제3다이오드(D3); 및 애노드 전극과 캐소드 전극을 갖는 제4다이오드(D4)를 포함하고, 상기 제너 다이오드(ZD)의 애노드 전극과 상기 제1다이오드(D1)의 애노드 전극이 전기적으로 연결되고, 상기 제너 다이오드(ZD)의 캐소드 전극과 상기 제2다이오드(D2)의 캐소드 전극이 전기적으로 연결되고, 상기 제1다이오드(D1)의 캐소드 전극과 상기 제2다이오드(D2)의 애노드 전극이 전기적으로 연결되고, 상기 제3다이오드(D3)의 애노드 전극은 상기 제2다이오드(D2)의 애노드 전극에 전기적으로 연결되고, 상기 제3다이오드(D3)의 캐소드 전극은 상기 제2다이오드(D2)의 캐소드 전극에 전기적으로 연결되고, 상기 제4다이오드(D4)의 애노드 전극은 상기 제너 다이오드(ZD)의 애노드 전극에 전기적으로 연결되고, 상기 제4다이오드(D4)의 캐소드 전극은 상기 제너 다이오드(ZD)의 캐소드 전극에 전기적으로 연결된 과도 전압 억제 회로를 개시한다.

**대표도 - 도1**



**특허청구의 범위**

**청구항 1**

애노드 전극과 캐소드 전극을 갖는 제너 다이오드(ZD);  
 애노드 전극과 캐소드 전극을 갖는 제1다이오드(D1);  
 애노드 전극과 캐소드 전극을 갖는 제2다이오드(D2);  
 애노드 전극과 캐소드 전극을 갖는 제3다이오드(D3); 및  
 애노드 전극과 캐소드 전극을 갖는 제4다이오드(D4)를 포함하고,  
 상기 제너 다이오드(ZD)의 애노드 전극과 상기 제1다이오드(D1)의 애노드 전극이 전기적으로 연결되고,  
 상기 제너 다이오드(ZD)의 캐소드 전극과 상기 제2다이오드(D2)의 캐소드 전극이 전기적으로 연결되고,  
 상기 제1다이오드(D1)의 캐소드 전극과 상기 제2다이오드(D2)의 애노드 전극이 전기적으로 연결되고,  
 상기 제3다이오드(D3)의 애노드 전극은 상기 제2다이오드(D2)의 애노드 전극에 전기적으로 연결되고, 상기 제3다이오드(D3)의 캐소드 전극은 상기 제2다이오드(D2)의 캐소드 전극에 전기적으로 연결되고,  
 상기 제4다이오드(D4)의 애노드 전극은 상기 제너 다이오드(ZD)의 애노드 전극에 전기적으로 연결되고, 상기 제4다이오드(D4)의 캐소드 전극은 상기 제너 다이오드(ZD)의 캐소드 전극에 전기적으로 연결된 것을 특징으로 하는 과도 전압 억제 회로.

**청구항 2**

제 1 항에 있어서,  
 상기 제4다이오드(D4)의 PN 접합 면적이 상기 제1다이오드(D1), 상기 제2다이오드(D2), 상기 제3다이오드(D3) 및 상기 제너 다이오드(ZD)의 각 PN 접합 면적에 비하여 상대적으로 가장 큰 것을 특징으로 하는 과도 전압 억제 회로.

**청구항 3**

제 1 항에 있어서,  
 상기 제너 다이오드(ZD), 상기 제1다이오드(D1) 및 상기 제4다이오드(D4)의 각 애노드 전극은 접지된 것을 특징으로 하는 과도 전압 억제 회로.

**청구항 4**

제 1 항에 있어서,  
 애노드 전극과 캐소드 전극을 갖는 제5다이오드(D1');  
 애노드 전극과 캐소드 전극을 갖는 제6다이오드(D2');  
 애노드 전극과 캐소드 전극을 갖는 제7다이오드(D3'); 및  
 애노드 전극과 캐소드 전극을 갖는 제8다이오드(D4')를 포함하고,  
 상기 제너 다이오드(ZD)의 애노드 전극과 상기 제5다이오드(D1')의 애노드 전극이 전기적으로 연결되고,  
 상기 제너 다이오드(ZD)의 캐소드 전극과 상기 제6다이오드(D2')의 캐소드 전극이 전기적으로 연결되고,  
 상기 제5다이오드(D1')의 캐소드 전극과 상기 제6다이오드(D2')의 애노드 전극이 전기적으로 연결되고,  
 상기 제7다이오드(D3')의 애노드 전극은 상기 제6다이오드(D2')의 애노드 전극에 전기적으로 연결되고, 상기 제7다이오드(D3')의 캐소드 전극은 상기 제6다이오드(D2')의 캐소드 전극에 전기적으로 연결되고,  
 상기 제8다이오드(D4')의 애노드 전극은 상기 제너 다이오드(ZD)의 애노드 전극에 전기적으로 연결되고, 상기 제8다이오드(D4')의 캐소드 전극은 상기 제너 다이오드(ZD)의 캐소드 전극에 전기적으로 연결된 것을 특징으로

하는 과도 전압 억제 회로.

## 명세서

### 발명의 상세한 설명

#### 기술분야

[0001] 본 발명은 과도 전압 억제 회로에 관한 것으로서, 보다 자세하게는 커패시턴스 성분을 감소시키고, 정전기 방전 특성을 향상시킬 수 있는 과도 전압 억제 회로에 관한 것이다.

#### 배경기술

- [0002] 도 1을 참조하면, 과도 전압 억제 소자의 동작 원리 및 회로도도 도시되어 있다.
- [0003] 도 1에 도시된 바와 같이 전원( $V_G$ )과 부하( $R_{LOAD}$ ) 사이에 과도 전압 억제 소자(TVS)(예를 들면, 바리스터, 타이리스터, 다이오드(정류/제너))가 병렬로 연결되어 있고, 그 과도 전압 억제 소자(TVS)의 일측은 접지(GND)에 연결되어 있다.
- [0004] 이와 같은 구성에 의해, 부하( $R_{LOAD}$ )에서 요구되는 전압 이상의 과도 전압이 입력될 경우, 이 과도 전압에 의한 과도 전류( $I_{TV}$ )는 과도 전압 억제 소자(TVS)를 통하여 접지(GND)쪽으로 흐르고, 클램핑되어 안정화된 저전압만이 부하( $R_{LOAD}$ )에 인가됨으로써, 그 부하( $R_{LOAD}$ )가 과도 전압으로부터 안전하게 보호된다.
- [0005] 이와 같은 과도 전압 억제 소자(TVS)는 커패시턴스와 정전 방전(ESD, ElectroStatic discharge)의 영향을 받는데, 일반적인 단일 소자로 이루어진 과도 전압 억제 소자(TVS)는 정전 방전(ESD) 특성을 증가시키기 위해서는 과도 전압 억제 소자(TVS)의 면적을 크게 해야 한다. 그러나 과도 전압 억제 소자(TVS)의 면적이 커지게 되면 넓은 면적의 서브스트레이트와 넓은 면적의 도핑영역이 접하게 되면서 커패시턴스 값이 증가하게 된다. 그리고 이와 같이 과도 전압 억제 소자(TVS)는 커패시턴스 값이 증가하게 되어 시그널의 왜곡 현상이 심하게 발생함으로써, 최근에 고주파수용 회로에 채택하기 어렵게 된다.
- [0006] 그리고 과도 전압 억제 소자(TVS)는 서브스트레이트와 도핑영역의 농도차이에 따라서 브레이크 다운 정격 전압이 영향을 크게 받게 되므로, 과도 전압 억제 소자(TVS)의 전체 전류 흐름도 영향을 받게 되고 이로 인하여 과도 전압 억제 소자(TVS) 내부 저항이 증가하여 정전 내압을 감소시킬 수 있었다.

### 발명의 내용

#### 해결하고자하는 과제

- [0007] 본 발명은 과도 전압 억제 소자 내부의 등가 회로에서 다이오드 또는 캐패시터 특성을 갖는 소자를 직렬 연결하여 캐패시턴스를 줄이는데 있다.
- [0008] 또한, 본 발명은 과도 전압 억제 소자 내부의 등가 회로에서 다이오드 또는 캐패시터 특성을 갖는 소자를 병렬 연결하여 높은 정전 방전을 여러 다이오드를 이용하여 분산하므로, 정전 방전 특성을 향상시키는데 있다.

#### 과제 해결수단

- [0009] 본 발명은 애노드 전극과 캐소드 전극을 갖는 제너 다이오드(ZD); 애노드 전극과 캐소드 전극을 갖는 제1다이오드(D1); 애노드 전극과 캐소드 전극을 갖는 제2다이오드(D2); 애노드 전극과 캐소드 전극을 갖는 제3다이오드(D3); 및 애노드 전극과 캐소드 전극을 갖는 제4다이오드(D4)를 포함하고, 상기 제너 다이오드(ZD)의 애노드 전극과 상기 제1다이오드(D1)의 애노드 전극이 전기적으로 연결되고, 상기 제너 다이오드(ZD)의 캐소드 전극과 상기 제2다이오드(D2)의 캐소드 전극이 전기적으로 연결되고, 상기 제1다이오드(D1)의 캐소드 전극과 상기 제2다이오드(D2)의 애노드 전극이 전기적으로 연결되고, 상기 제3다이오드(D3)의 애노드 전극은 상기 제2다이오드(D2)의 애노드 전극에 전기적으로 연결되고, 상기 제3다이오드(D3)의 캐소드 전극은 상기 제2다이오드(D2)의 캐소드 전극에 전기적으로 연결되고, 상기 제4다이오드(D4)의 애노드 전극은 상기 제너 다이오드(ZD)의 애노드 전극에 전기적으로 연결되고, 상기 제4다이오드(D4)의 캐소드 전극은 상기 제너 다이오드(ZD)의 캐소드 전극에 전기적으로 연결된다.

[0010] 상기 제4다이오드(D4)의 PN 접합 면적이 상기 제1다이오드(D1), 상기 제2다이오드(D2), 상기 제3다이오드(D3) 및 상기 제너 다이오드(ZD)의 각 PN 접합 면적에 비하여 상대적으로 가장 크다.

[0011] 상기 제너 다이오드(ZD), 상기 제1다이오드(D1) 및 상기 제4다이오드(D4)의 각 애노드 전극은 접지된다.

[0012] 또한, 본 발명은 애노드 전극과 캐소드 전극을 갖는 제5다이오드(D1'); 애노드 전극과 캐소드 전극을 갖는 제6다이오드(D2'); 애노드 전극과 캐소드 전극을 갖는 제7다이오드(D3'); 및 애노드 전극과 캐소드 전극을 갖는 제8다이오드(D4')를 포함하고, 상기 제너 다이오드(ZD)의 애노드 전극과 상기 제5다이오드(D1')의 애노드 전극이 전기적으로 연결되고, 상기 제너 다이오드(ZD)의 캐소드 전극과 상기 제6다이오드(D2')의 캐소드 전극이 전기적으로 연결되고, 상기 제5다이오드(D1')의 캐소드 전극과 상기 제6다이오드(D2')의 애노드 전극이 전기적으로 연결되고, 상기 제7다이오드(D3')의 애노드 전극은 상기 제6다이오드(D2')의 애노드 전극에 전기적으로 연결되고, 상기 제7다이오드(D3')의 캐소드 전극은 상기 제6다이오드(D2')의 캐소드 전극에 전기적으로 연결되고, 상기 제8다이오드(D4')의 애노드 전극은 상기 제너 다이오드(ZD)의 애노드 전극에 전기적으로 연결되고, 상기 제8다이오드(D4')의 캐소드 전극은 상기 제너 다이오드(ZD)의 캐소드 전극에 전기적으로 연결된다.

**효 과**

[0013] 상술한 바와 같이, 본 발명은 과도 전압 억제 소자 내부의 등가 회로에서 다이오드 또는 캐패시터 특성을 갖는 소자를 직렬 연결하여 캐패시턴스를 줄일 수 있게 된다.

[0014] 또한 상기와 같이 하여 본명은 과도 전압 억제 소자 내부의 등가 회로에서 다이오드 또는 캐패시터 특성을 갖는 소자를 병렬 연결하여 높은 정전 방전을 여러 다이오드를 이용하여 분산하므로, 정전 방전 특성을 향상 할 수 있게 된다.

**발명의 실시를 위한 구체적인 내용**

[0015] 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

[0016] 여기서, 명세서 전체를 통하여 유사한 구성 및 동작을 갖는 부분에 대해서는 동일한 도면 부호를 붙였다. 또한, 어떤 부분이 다른 부분과 전기적으로 연결(electrically coupled)되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐만 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다.

[0017] 도 2a 내지 도 2b를 참조하면, 본 발명의 일실시예에 따른 과도 전압 억제 소자를 도시한 단면도와 평면 투과도가 도시되어 있다.

[0018] 도 2a 내지 도 2b에서 도시된 바와 같이 과도 전압 억제 소자(100)는 서브스트레이트(110), 매립층(120), 에피텍셀층(130), 격리층(140), 제1도핑영역(150), 제2도핑영역(160), 제3도핑영역(170), 절연막(180) 및 전극(190)을 포함한다.

[0019] 상기 서브스트레이트(110)는 고농도로써, 상면(110a)에는 저농도의 버퍼층(111)이 형성되며, 저면(110b)에는 저면 전극(193)이 형성된다. 여기서 고농도라 하면, 상기 버퍼층(111)의 불순물 농도에 비해 상대적으로 크다는 의미이고, 저농도라 하면, 상기 서브스트레이트(110)의 불순물 농도에 비해 상대적으로 농도가 작다는 의미이다. 상기 버퍼층(111)은 상기 고농도의 서브스트레이트(110)의 오토도핑(auto-doping)에도 불구하고, 고농도의 매립층(120)과 저농도의 에피텍셀층(130)을 형성할 수 있도록 한다. 상기 저면 전극(193)은 상기 서브스트레이트(110)의 하면에 형성되어 상기 서브스트레이트와 전기적으로 연결된다. 이러한 저면 전극(193)은 몰리브덴(Mo), 알루미늄(Al), 니켈(Ni) 및 금(Au) 또는 그 등가물 중 선택된 어느 하나로 형성될 수 있으나, 여기서 상기 저면 전극(193)의 재질을 한정하는 것은 아니다.

[0020] 상기 매립층(120)은 상기 버퍼층(111)의 내측에 5족 원소인 비소(As), 인(P) 또는 안티몬(Sb)등의 불순물이 고농도로 포함된 N형일 수 있다. 여기서 고농도라 함은 상기 에피텍셀층(130)의 불순물 농도에 비해 상대적으로 농도가 크다는 의미이다. 상기 매립층(120)은 상기 버퍼층(111)의 내측에 고농도 이온주입을 하여 매립층(120)의 저면부(121)를 형성한 후에 상기 매립층(120)의 상부에 에피텍셀층(130)을 증착하여 매립층(120)의 상면부(122)를 형성할 수 있다. 상기 매립층(120)은 매립층 상부에 형성된 제1에피텍셀층(131), 제1도핑영역(150) 및 상기 서브스트레이트(110) 사이에 PNP 기생 트랜지스터가 생성되는 것을 억제하기 위함이다.

[0021] 상기 에피텍셀층(130)은 상기 버퍼층(111)과 상기 매립층(120)의 표면에 5족 원소인 비소(As), 인(P) 또는 안티

몬(Sb)등의 불순물이 저농도로 포함되어 증착된 N형 반도체층일 수 있다. 여기서 저농도라 함은 상기 서브스트레이트(110)와 상기 매립층(130) 및 도핑영역(150, 160, 170)의 불순물 농도에 비해 상대적으로 농도가 작다는 의미이다. 그리고 상기 에피택셜층(130)은 제1에피택셜층(131)과 제2에피택셜층(132)을 포함한다. 상기 제1에피택셜층(131)은 상기 매립층(120)의 상부에 형성되며, 상기 제2에피택셜층(132)은 상기 제1에피택셜층(131)에서 일정거리 이격되어 상기 제1에피택셜층(131)의 표면으로부터 상기 버퍼층(111)의 표면까지 형성된다.

[0022] 상기 격리층(140)은 제1격리층(141)과 제2격리층(142)을 포함한다. 상기 제1격리층(141)은 상기 제1에피택셜층(131)의 외주연에 형성되며, 상기 매립층(120)의 표면으로부터 상기 제1에피택셜층(131)의 표면까지 형성될 수 있다. 즉, 상기 제1격리층(141)은 상기 제1에피택셜층(131)과 동일한 높이로 형성될 수 있다. 이러한 상기 제1격리층(141)은 5족 원소인 비소(As), 인(P) 또는 안티몬(Sb)등의 불순물이 포함된 N형일 수 있다. 상기 제2격리층(142)은 상기 제2에피택셜층(132)의 외주연과, 상기 제1격리층(141)의 외주연에 형성되며, 상기 버퍼층(111)의 표면으로부터 상기 제2에피택셜층(132)의 표면까지 형성될 수 있다. 즉, 상기 제2격리층(142)은 상기 제2에피택셜층(132)과 동일한 높이로 형성될 수 있다. 이러한 상기 제2격리층(142)은 3족 원소인 갈륨(Ga), 인듐(In) 또는 붕소(B)등의 불순물이 포함된 P형일 수 있다.

[0023] 상기 제1도핑영역(150)은 제1전면도핑영역(151)과 제1후면도핑영역(152)을 포함한다. 상기 제1전면도핑영역(151)과 상기 제1후면도핑영역(152)은 상기 제1에피택셜층(131)의 표면에서 내측으로 3족 원소인 갈륨(Ga), 인듐(In) 또는 붕소(B)등의 불순물을 고농도로 이온주입한 P형일 수 있다. 여기서 고농도라 함은 상기 에피택셜층(130)의 불순물 농도에 비해 상대적으로 농도가 크다는 의미이다. 상기 제1전면도핑영역(151)과 상기 제1후면도핑영역(152)은 동일 평면상에 형성된다. 상기 제1전면도핑영역(151)과 상기 제1후면도핑영역(152)은 도 2a와 도 2b에서 전면과 후면에 배치되었지만, 상기 제1전면도핑영역(151)과 상기 제1후면도핑영역(152)은 서로 측면에 배치될 수도 있으며, 상기 배치로 본 발명에서 이를 한정하는 것은 아니다.

[0024] 상기 제2도핑영역(160)은 상기 제2에피택셜층(132)의 표면에서 내측에 5족 원소인 비소(As), 인(P) 또는 안티몬(Sb)등의 불순물을 고농도로 이온주입한 N형일 수 있다. 여기서 고농도라 함은 상기 에피택셜층(130)의 불순물 농도에 비해 상대적으로 농도가 크다는 의미이다.

[0025] 상기 제3도핑영역(170)은 상기 제2격리층(142)의 표면에서 내측에 5족 원소인 비소(As), 인(P) 또는 안티몬(Sb)등의 불순물을 고농도로 이온주입한 N형일 수 있다. 여기서 고농도라 함은 상기 에피택셜층(130)의 불순물 농도에 비해 상대적으로 농도가 크다는 의미이다. 상기 제3도핑영역(170)은 상기 제1도핑영역(150)을 중심으로 상기 제2도핑영역(160)과 대응되는 영역에 형성될 수 있다.

[0026] 상기 절연막(180)은 상기 제1도핑영역(150), 제2도핑영역(160), 제3도핑영역(170) 및 제1격리층(141)의 둘레인 동시에 상기 에피택셜층(130)의 표면에 형성될 수 있다. 이러한 절연막(180)은 규소 산화막, 질소 산화막, 언도프트 폴리 실리콘(undoped poly silicon), PSG(Phospho-Silicate-Glass), BPSG(Boro-Phosphor-Silicate-Glass) 또는 이들의 등가물 중 선택된 어느 하나로 형성될 수 있으나, 여기서 상기 절연막(180)의 재질을 한정하는 것은 아니다.

[0027] 상기 전극(190)은 제1전극(191)과 제2전극(192)를 포함한다. 상기 제1전극(191)은 상기 절연막(180)을 통해 노출된 제1도핑영역(150)과 제2도핑영역(160)의 표면에 형성되어 상기 제1도핑영역(150)과 제2도핑영역(160)을 전기적으로 연결한다. 상기 제2전극(192)은 상기 절연막(180)을 통해 노출된 제3도핑영역(170)과 제1격리층(141)의 표면에 형성되어 상기 제3도핑영역(170)과 상기 제1격리층(141)을 전기적으로 연결한다. 이러한 전극(190)은 몰리브덴(Mo), 알루미늄(Al), 니켈(Ni) 및 금(Au) 또는 그 등가물 중 선택된 어느 하나로 형성될 수 있으나, 여기서 상기 전극(190)의 재질을 한정하는 것은 아니다.

[0028] 도 3을 참조하면, 도 2a 내지 도 2b의 과도 전압 억제 소자의 등가회로가 도시되어 있다. 이때, 상기 등가 회로에서 도 2a 내지 도 2b의 과도 전압 억제 소자에서 P형과 N형의 접합부는 다이오드 특성과 캐패시터의 특성을 갖는다. 도 3에서는 P형과 N형의 접합부를 다이오드로 도시하였으나, 캐패시터로 그려도 무방하다.

[0029] 도 3에 도시된 바와 같이, 상기 과도 전압 억제 소자(100)는 제1다이오드(D1), 제2다이오드(D2), 제3다이오드(D3), 제4다이오드(D4) 및 제너 다이오드(ZD)를 포함한다. 그리고 상기 과도 전압 억제 소자(100)는 제1단자(N1)와 제2단자(N2)를 포함한다. 여기서, 상기 제1단자(N1)와 제2단자(N2)는 과도 전압 억제 소자(100)의 입력력단자로, 제1단자(N1)는 도 2a와 도 2b의 제1전극(191)과 동일하고, 제2단자(N2)는 도 2a와 도 2b의 제3전극(193)과 동일하다.

[0030] 상기 제1다이오드(D1)는 애노드 전극과 캐소드 전극을 포함하며, 애노드 전극은 상기 제너 다이오드(ZD)의 애노

드 전극과 상기 제4다이오드(D4)의 애노드 전극 사이에 전기적으로 연결되며, 캐소드 전극은 상기 제2다이오드(D2)의 애노드 전극과 상기 제3다이오드(D3)의 애노드 전극 사이에 전기적으로 연결된다. 그리고, 제1단자(N1)에 인가되는 전압이 제2단자(N2)에 인가되는 전압보다 더 높을 경우에 제1전류(I1)가 흐르게 되며, 이때, 상기 제1다이오드(D1)는 순방향으로 전류가 흐르게 된다. 이와 같이 상기 과도 전압 억제 소자(100)에 제1전류(I1)가 흐를 때에, 브레이크 다운 전압(Break down voltage)은 제1다이오드(D1)의 순방향 전압특성이 된다. 상기 제1다이오드(D1)는 도 2a와 도2b의 제2도핑영역(160), 제2에피택셜층(132), 상기 버퍼층(111) 및 상기 서브스트레이트(110) 사이의 등가소자이다.

[0031] 상기 제2다이오드(D2)는 애노드 전극과 캐소드 전극을 포함하며, 애노드 전극은 제1다이오드(D1)의 캐소드 전극과 제3다이오드(D3)의 애노드 전극 사이에 전기적으로 연결되며, 캐소드 전극은 제3다이오드(D3)의 캐소드 전극과 제4다이오드(D4)의 캐소드 전극 및 상기 제너 다이오드(ZD)의 캐소드 전극 사이에 전기적으로 연결된다. 그리고, 제1단자(N1)에 인가되는 전압이 제2단자(N2)에 인가되는 전압보다 더 낮을 경우에 제2전류(I2)가 흐르게 되며, 이때, 상기 제2다이오드(D2)는 순방향으로 전류가 흐르게 된다. 이와 같이 상기 과도 전압 억제 소자(100)에 제2전류(I2)가 흐를 때에, 브레이크 다운 전압(Break down voltage)은 제2다이오드(D2)의 순방향 전압특성이 영향을 준다. 상기 제2다이오드(D2)는 도 2a와 도2b의 제1전면도핑영역(151) 및 제1에피택셜층(131) 사이의 등가소자이다. 이러한 상기 제2다이오드(D2)는 상기 제1다이오드(D1) 및 상기 제3다이오드(D3)와 연결되어, 상기 과도 전압 억제 소자(100)의 캐패시턴스를 줄일 수 있으며, 캐패시턴스가 줄어들게 되면 과도 전압 억제 소자(100)의 속도가 빨라지게 된다.

[0032] 상기 제3다이오드(D3)는 애노드 전극과 캐소드 전극을 포함하며, 애노드 전극은 제1다이오드(D1)의 캐소드 전극과 제2다이오드(D2)의 애노드 전극 사이에 전기적으로 연결되며, 캐소드 전극은 제2다이오드(D2)의 캐소드 전극과 제4다이오드(D4)의 캐소드 전극 및 상기 제너 다이오드(ZD)의 캐소드 전극 사이에 전기적으로 연결된다. 그리고, 상기 과도 전압 억제 소자(100)에 제2전류(I2)가 흐를 때에, 브레이크 다운 전압(Break down voltage)은 제3다이오드(D3)의 순방향 전압특성이 영향을 준다. 상기 제3다이오드(D3)는 도 2a와 도2b의 제1후면도핑영역(152) 및 제1에피택셜층(131) 사이의 등가소자이다.

[0033] 상기 제4다이오드(D4)는 애노드 전극과 캐소드 전극을 포함하며, 애노드 전극은 상기 제너 다이오드(ZD)의 애노드 전극과 상기 제1다이오드(D1)의 애노드 전극 사이에 전기적으로 연결되며, 캐소드 전극은 상기 제2다이오드(D2)의 애노드 전극과 상기 제3다이오드(D3)의 애노드 전극 및 상기 제너 다이오드(ZD)의 캐소드 전극 사이에 전기적으로 연결된다. 상기 제4다이오드(D4)는 과도 전압 억제 소자(100)에 초기 정전 방전(ESD, ElectroStatic discharge)이 일어날 때, 제1다이오드(D1), 제2다이오드(D2) 및 제3다이오드가 병렬로 연결되어 있으므로, 분산 작용을 하여 상기 제4다이오드(D4)의 전체 면적(도 2a와 도2b의 제1격리층(141) 및 제2격리층(142))으로 골고루 정전 방전이 흡수된다. 그러므로, 높은 ESD 특성을 갖을 수 있다. 상기 제4다이오드(D4)는 도 2a와 도2b의 제1격리층(141) 및 제2격리층(142) 사이의 등가소자이다. 여기서, 도 2a에 도시된 바와 같이, 상기 제4다이오드(D4)의 PN 접합 면적이 상기 제1다이오드(D1), 상기 제2다이오드(D2), 상기 제3다이오드(D3) 및 상기 제너 다이오드(ZD)의 각 PN 접합 면적에 비하여 상대적으로 가장 큼을 알 수 있다. 따라서, 상기 제4다이오드(D4)에 의한 정전기 방전 흡수 효율이 우수하다. 더불어, 상기 제너 다이오드(ZD), 상기 제1다이오드(D1) 및 상기 제4다이오드(D4)의 각 애노드 전극은 접지되어 있다.

[0034] 상기 제너 다이오드(ZD)는 애노드 전극과 캐소드 전극을 포함하며, 애노드 전극은 상기 제1다이오드(D1)의 애노드 전극과 상기 제4다이오드(D4)의 애노드 전극 사이에 전기적으로 연결되며, 캐소드 전극은 상기 제2다이오드(D2)의 애노드 전극과 상기 제3다이오드(D3)의 애노드 전극 및 상기 제4다이오드(D4)의 캐소드 전극 사이에 전기적으로 연결된다. 상기 과도 전압 억제 소자(100)에 제2전류(I2)가 흐를 때에, 브레이크 다운 전압(Break down voltage)은 제너 다이오드(ZD)의 역방향 내압이 영향을 준다. 상기 제너 다이오드(ZD)는 제1단자(N1)와 제2단자(N2)에 인가되는 전압에 따라 제1단자(N1)와 제2단자(N2) 사이에 연결된 부하에 흐르는 전압을 제어하여, 과도상태의 전압으로부터 부하를 보호한다. 상기 제너 다이오드(ZD)는 도 2a와 도2b의 제3도핑영역(170) 및 제2격리층(142) 사이의 등가소자이다.

[0035] 도 4을 참조하면, 본 발명의 다른 실시예에 따른 과도 전압 억제 소자의 등가회로가 도시되어 있다.

[0036] 도 4에 도시된 바와 같이, 과도 전압 억제 소자(200)는 제1소자부(100)와 제2소자부(100')를 포함한다. 상기 제1소자부(100)는 도 3의 과도 전압 억제 소자(100)와 동일하고, 상기 제2소자부(100')는 상기 제1소자부(100)의 제너 다이오드(ZD)를 중심으로 서로 대칭되어, 동일한 구조로 이루어진다. 즉, 상기 제1소자부(100)와 상기 제2소자부(100')는 도 3의 과도 전압 억제 소자(100)의 등가회로와 동일한 구조이고, 이때 동일한 제너 다이오드

(ZD)를 제1소자부(100)와 제2소자부(100')에서 함께 사용한다. 즉, 상기 제2소자부(100')는 애노드 전극과 캐소드 전극을 갖는 제5다이오드(D1'), 애노드 전극과 캐소드 전극을 갖는 제6다이오드(D2'), 애노드 전극과 캐소드 전극을 갖는 제7다이오드(D3') 및 애노드 전극과 캐소드 전극을 갖는 제8다이오드(D4')를 포함한다. 또한, 상기 제너 다이오드(ZD)의 애노드 전극과 상기 제5다이오드(D1')의 애노드 전극이 전기적으로 연결된다. 또한, 상기 제너 다이오드(ZD)의 캐소드 전극과 상기 제6다이오드(D2')의 캐소드 전극이 전기적으로 연결된다. 또한, 상기 제5다이오드(D1')의 캐소드 전극과 상기 제6다이오드(D2')의 애노드 전극이 전기적으로 연결된다. 또한, 상기 제7다이오드(D3')의 애노드 전극은 상기 제6다이오드(D2')의 애노드 전극에 전기적으로 연결되고, 상기 제7다이오드(D3')의 캐소드 전극은 상기 제6다이오드(D2')의 캐소드 전극에 전기적으로 연결된다. 또한, 상기 제8다이오드(D4')의 애노드 전극은 상기 제너 다이오드(ZD)의 애노드 전극에 전기적으로 연결되고, 상기 제8다이오드(D4')의 캐소드 전극은 상기 제너 다이오드(ZD)의 캐소드 전극에 전기적으로 연결된다.

- [0037] 상기 과도 전압 억제 소자(200)는 제1단자(N1)와 제2단자(N2) 또는 제2단자(N2)와 제3단자(N3)에 인가되는 전압에 따라 제1전류(I1) 및 제2전류(I2)가 흐르게 된다. 이때, 상기 과도 전압 억제 소자(200)는 도 3의 과도 전압 억제 소자(100) 동일하게 단 방향으로 동작한다. 그리고 상기 과도 전압 억제 소자(200)는 추가적으로 제1단자(N1)와 제3단자(N3)에 인가되는 전압에 따라 제3전류(I3)가 흐르게 되는데 이렇게 양방향으로도 동작 가능하다.
- [0038] 상기 단방향 동작을 할 때에는 제1소자부(100) 또는 제2소자부(100')만 동작하게 된다. 이때, 상기 과도 전압 억제 소자(200) 내부의 캐패시턴스는 제1다이오드(D1)의 캐패시턴스와 제2다이오드(D2) 및 제3다이오드(D3)의 캐패시턴스의 합이 된다. 그러나 양 방향으로 동작 할 때, 상기 과도 전압 억제 소자(200)의 제1소자부(100)와 제2소자부(100')가 모두 동작하므로, 이때의 과도 전압 억제 소자(200)의 캐패시턴스는 단방향으로 동작할때와 동일한 캐패시턴스가 직렬로 연결되어, 단 방향으로 동작할 때에 비하여 캐패시턴스는 절반으로 줄어들게 된다.
- [0039] 즉, 과도 전압 억제 소자의 등가회로에서 보듯이, 다이오드를 직렬 연결하여 커패시턴스 성분을 감소시킬 수 있고, 높은 정전 방전(ESD)은 다이오드를 병렬 연결하여 여러 다이오드를 이용하여 정전 방전(ESD)이 분산되어 흡수되도록 함으로써, 정전 방전(ESD) 특성을 향상시킬 수 있다.
- [0040] 도 5를 참조하면, 도 2a 내지 도 2b에 도시된 과도 전압 억제 소자의 제조 방법을 도시한 순서도가 도시되어 있다.
- [0041] 도 5에 도시된 바와 같이, 본 발명에 의한 과도 전압 억제 소자(100)의 제조 방법은 서브스트레이트 준비 단계(S1), 매립층 형성 단계(S2), 저면 절연막 형성 단계(S3), 에피텍셀층 형성 단계(S4), 격리층 형성 단계(S5), 제2 내지 제3도핑영역 형성 단계(S6), 제1도핑영역 형성 단계(S7), 절연막 형성 단계(S8) 및 전극 형성 단계(S9)를 포함한다.
- [0042] 도 6a 내지 도 6o를 참조하면, 도 5에 도시된 과도 전압 억제 소자의 제조방법을 도시한 단면도와 평면도가 도시되어 있다. 도 5에 도시된 과도 전압 억제 소자의 제조 방법을 도 6a 내지 도 6o의 단면도와 평면도를 이용하여 자세히 설명하고자 한다.
- [0043] 도 6a에 도시된 바와 같이, 서브스트레이트 준비 단계(S1)에서는 대략 판상의 반도체 서브스트레이트(110)와 상기 서브스트레이트(110)의 상부에 버퍼층(111)을 증착하여 준비한다. 일례로, 상기 버퍼층(111)은 600~2000℃의 고온에서 상기 서브스트레이트(110)의 표면에 SiH<sub>4</sub>등의 가스와 3족 원소인 갈륨(Ga), 인듐(In) 또는 붕소(B)등이 포함된 가스를 저농도로 함께 흘려줌으로써, 상기 서브스트레이트(110)의 표면에 P형의 버퍼층(111)의 증착되도록 할 수 있다. 이러한 상기 버퍼층(111)은 상기 고농도의 서브스트레이트(110)의 오토도핑(auto-doping)에도 불구하고, 고농도의 매립층(120)과 저농도의 에피텍셀층(130)을 형성할 수 있도록 한다. 상기 서브스트레이트(110)는 진성 반도체에 3족 원소인 갈륨(Ga), 인듐(In) 또는 붕소(B)등의 불순물이 고농도로 포함된 P형일 수 있다. 여기서 고농도라 함은 상기 버퍼층(111)과 상기 에피텍셀층(130)의 불순물 농도에 비해 상대적으로 농도가 크다는 의미이다.
- [0044] 도 6b와 도 6c에 도시된 바와 같이, 매립층 형성 단계(S2)에서는 상기 버퍼층(111)의 표면으로부터 내측으로 매립층(120)의 저면부(121)를 형성한다. 예를 들면, 상기 버퍼층(111)의 표면에 1차로 규소 산화막, 질소 산화막 등의 절연막(도시하지 않음)을 매립층(120)이 형성될 이외의 영역에 형성한 후, 5족 원소인 비소(As), 인(P) 또는 안티몬(Sb)등의 불순물을 직접 이온주입 하거나 또는 열확산 공정을 이용하여, N형인 매립층(120)을 형성할 수 있다. 상기 매립층(120)은 매립층 상부에 형성된 제1에피텍셀층(131), 제1도핑영역(150) 및 상기 서브스트레이트(110) 사이에 PNP 기생 트랜지스터가 생성되는 것을 억제하기 위함이다.
- [0045] 도 6d에 도시된 바와 같이, 저면 절연막 형성 단계(S3)에서는 상기 서브스트레이트(110)의 저면에 저면 절연막

(112)을 형성한다. 상기 저면 절연막(112)은 규소 산화막, 질소 산화막, 언도프트 폴리 실리콘(undoped poly silicon), PSG(Phospho-Silicate-Glass), BPSG(Boro-Phosphor-Silicate-Glass) 또는 이들의 등가물 중 선택된 어느 하나로 형성될 수 있으나, 여기서 상기 저면 절연막(112)의 재질을 한정하는 것은 아니다. 상기 저면 절연막(112)은 고농도의 서브스트레이트(110)의 오토도핑을 방지한다.

[0046] 도 6e에 도시된 바와 같이, 에피텍셀층 형성 단계(S4)에서는 상기 버퍼층(111)과 상기 매립층(120)의 표면에 에피텍셀층(130)을 증착한다. 일례로, 상기 600~2000℃의 고온에서 상기 서브스트레이트(110)의 표면에 SiH<sub>4</sub>등의 가스와 5족 원소인 비소(As), 인(P) 또는 안티몬(Sb)등이 포함된 가스를 저농도로 함께 흘려줌으로써, 상기 서브스트레이트(110)의 표면에 N형의 에피텍셀층(130)이 증착되도록 할 수 있다. 이때, 상기 에피텍셀층(130)이 매립층 형성 단계(S2)에서 형성된 상기 매립층(120)의 저면부(121)의 표면에 증착되면서, 상기 매립층(120)의 저면부(121)가 상기 도핑가스에 의하여 확산하여 상면부(122)가 형성될 수 있다. 상기 매립층(120)은 매립층 상부에 형성된 제1에피텍셀층(131), 제1도핑영역(150) 및 상기 서브스트레이트(110) 사이에 PNP 기생 트랜지스터가 생성되는 것을 억제하기 위함이다.

[0047] 도 6f와 도 6g에 도시된 바와 같이, 격리층 형성 단계(S5)에서는 상기 에피텍셀층(130)의 표면으로부터 상기 버퍼층(111) 및 상기 매립층(120)까지 격리층(140)을 형성한다. 그리고 상기 서브스트레이트(110)의 저면에 형성된 저면 절연막(112)을 제거한다. 상기 격리층(140)은 제1격리층(141)과 제2격리층을 포함한다. 우선 제1격리층(141)은 상기 에피텍셀층(130) 중에서 상기 매립층(120)의 상부에 형성된 상기 에피텍셀층(130)의 외주연에 형성된다. 이때, 상기 제1격리층(141)도 상기 매립층(120)의 상부에 형성된다. 예를 들어, 1차로 규소 산화막, 질소 산화막 등의 절연막(도시하지 않음)을 제1격리층(141)이 형성될 이외의 영역에 형성한 후, 5족 원소인 비소(As), 인(P) 또는 안티몬(Sb)등의 불순물을 에피텍셀층(130)에 직접 이온주입 하거나 또는 열확산 공정을 이용하여, N형인 제1격리층(141)을 형성할 수 있다. 제2격리층(142)은 상기 제1격리층(141)이 형성된 이외의 영역에 형성되며, 이때, 상기 제1에피텍셀층(131)과 일정거리 이격되어 제2에피텍셀층(132)을 형성해야하므로, 상기 제2에피텍셀층(132)이 형성될 영역과, 제1에피텍셀층(131) 및 상기 제1격리층이 형성된 영역을 제외한 영역에 제2격리층(142)을 형성한다. 예를 들어, 1차로 규소 산화막, 질소 산화막 등의 절연막(도시하지 않음)을 상기 제2에피텍셀층(132)이 형성될 영역과, 제1에피텍셀층(131) 및 상기 제1격리층이 형성된 영역에 형성한 후, 3족 원소인 갈륨(Ga), 인듐(In) 또는 붕소(B)등의 불순물을 에피텍셀층(130)에 직접 이온주입 하거나 또는 열확산 공정을 이용하여, P형인 제2격리층(142)을 형성할 수 있다. 이때, 상기 제1격리층(141)과 상기 제2격리층(142)이 형성되면서, 상기 에피텍셀층(130)은 제1에피텍셀층(131)과 제2에피텍셀층(132)이 형성된다. 이때, 상기 서브스트레이트(110)의 저면에 형성된 저면 절연막(112)을 제거한다.

[0048] 도 6h와 도 6i에 도시된 바와 같이, 제2 내지 제3도핑영역 형성 단계(S6)에서는 상기 제2에피텍셀층(132)의 표면에서 내측으로 이온주입하여 제2도핑영역(160)을 형성하고, 상기 제2격리층(142)의 표면에서 내측으로 이온주입하여 제3도핑영역(170)을 형성 한다. 예를들어, 상기 제2도핑영역(160)과 제3도핑영역(170)은 1차로 규소 산화막, 질소 산화막 등의 절연막(도시하지 않음)을 형성한 후, 5족 원소인 비소(As), 인(P) 또는 안티몬(Sb)등을 직접 이온주입 하거나 또는 열확산 공정을 이용하여, N형인 제2도핑영역(160)과 제3도핑영역(170)을 형성할 수 있다.

[0049] 도 6j와 도 6k에 도시된 바와 같이, 제1도핑영역 형성 단계(S7)에서는 상기 제1에피텍셀층(131)의 표면에서 내측으로 이온주입하여 제1도핑영역(150)을 형성한다. 이때, 상기 제1도핑영역(150)은 제1전면도핑영역(151)과 제1후면도핑영역(152)을 포함한다. 즉, 상기 제1에피텍셀층(131)의 표면에서 내측으로 제1전면도핑영역(151)과 제1후면도핑영역(152)을 각각 형성한다. 상기 제1도핑영역(150)은 1차로 규소 산화막, 질소 산화막 등의 절연막(도시하지 않음)을 형성한 후, 3족 원소인 갈륨(Ga), 인듐(In) 또는 붕소(B)등을 직접 이온주입 하거나 또는 열확산 공정을 이용하여 P형인 제1도핑영역(150)을 형성할 수 있다.

[0050] 도 6l와 도 6m에 도시된 바와 같이, 절연막 형성 단계(S8)에서는 상기 제1도핑영역(150), 제2도핑영역(160), 제3도핑영역(170)의 둘레인 동시에, 상기 제1격리층(141)과 상기 제2격리층(142)의 표면에 절연막(180)을 형성한다. 이때, 상기 제1도핑영역(150), 제2도핑영역(160), 제3도핑영역(170) 및 제1격리층(141)의 일부가 외부로 노출되도록 한다. 상기 절연막(180)은 규소 산화막, 질소 산화막, 언도프트 폴리 실리콘(undoped poly silicon), PSG(Phospho-Silicate-Glass), BPSG(Boro-Phosphor-Silicate-Glass) 또는 이들의 등가물 중 선택된 어느 하나로 형성될 수 있으나, 여기서 상기 절연막(180)의 재질을 한정하는 것은 아니다.

[0051] 도 6n와 도 6o에 도시된 바와 같이, 전극 형성 단계(S9)에서는 상기 절연막(180)을 통해 노출된 상기 제1도핑영역(150), 제2도핑영역(160), 제3도핑영역(170), 제1격리층(141)의 표면 및 서브스트레이트(110)를 덮도록 전

극(190)을 형성한다. 상기 전극(190)은 제1도핑영역(150)과 제2도핑영역(160)을 전기적으로 연결하는 제1전극(191)과 제3도핑영역(170)과 제1격리층(141)을 전기적으로 연결하는 제2전극(192) 및 상기 서브스트레이트(110)와 전기적으로 연결되는 저면 전극(190) 포함한다. 일례로, 상기 전극(190)은 몰리브덴(Mo), 알루미늄(Al), 니켈(Ni) 및 금(Au)등을 순차 스퍼터링 또는 순차 도금하여 형성할 수 있으나, 이러한 금속의 적층 방법 또는 그 재질로 본 발명을 한정하는 것은 아니다.

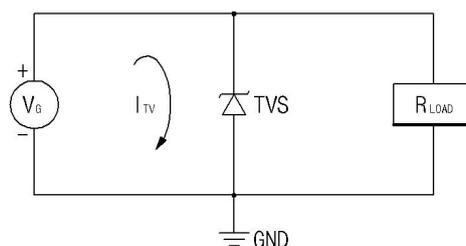
[0052] 이상에서 설명한 것은 본 발명에 의한 과도 전압 억제 소자를 실시하기 위한 하나의 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

**도면의 간단한 설명**

- [0053] 도 1은 일반적인 과도 전압 억제 소자의 동작 원리 및 회로도이다.
- [0054] 도 2는 본 발명의 일실시예에 따른 과도 전압 억제 소자를 도시한 단면도와 평면 투과도이다.
- [0055] 도 3은 도 2a 내지 도 2b의 과도 전압 억제 소자의 등가회로가 도시되어 있다.
- [0056] 도 4는 본 발명의 다른 실시예에 따른 과도 전압 억제 소자의 등가회로가 도시되어 있다.
- [0057] 도 5는 도 2a 내지 도 2b에 도시된 과도 전압 억제 소자의 제조 방법을 도시한 순서도가 도시되어 있다.
- [0058] 도 6a 내지 도 6i는 도 5에 도시된 과도 전압 억제 소자의 제조방법을 도시한 단면도와 평면도가 도시되어 있다.
- [0059] < 도면의 주요 부분에 대한 부호의 설명 >
- [0060] 100; 과도 전압 억제 소자
- [0061] 110; 서브스트레이트      120; 매립층
- [0062] 130; 에피텍셀층      140; 격리층
- [0063] 150; 제1도핑영역      160; 제2도핑영역
- [0064] 170; 제3도핑영역      180; 절연막
- [0065] 190; 전극
- [0066] D1; 제1다이오드      D2; 제2다이오드
- [0067] D3; 제3다이오드      D4; 제4다이오드
- [0068] ZD; 제너 다이오드

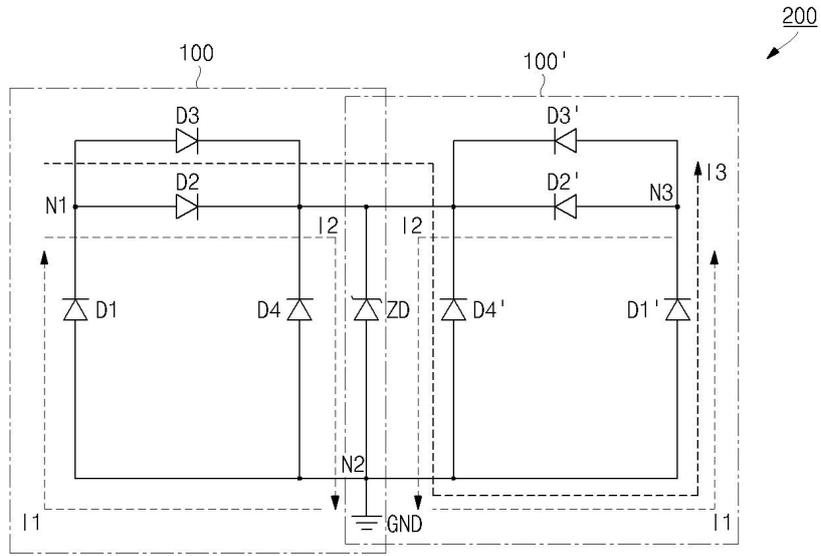
**도면**

**도면1**

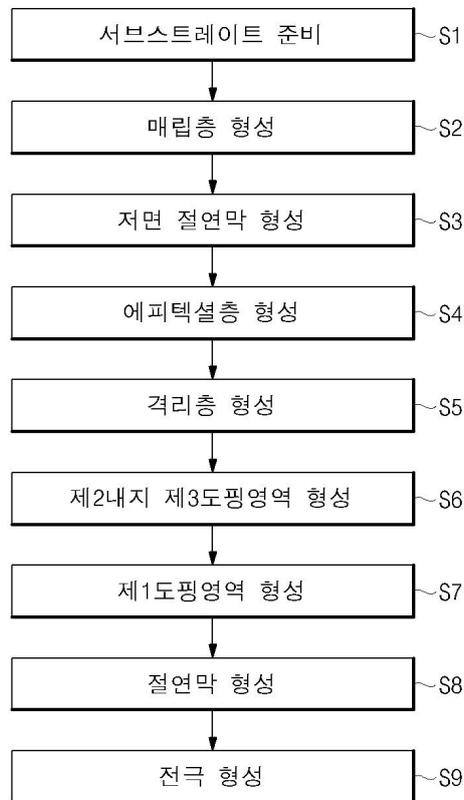




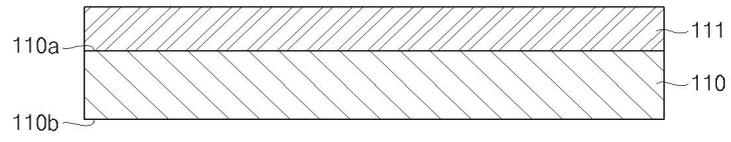
도면4



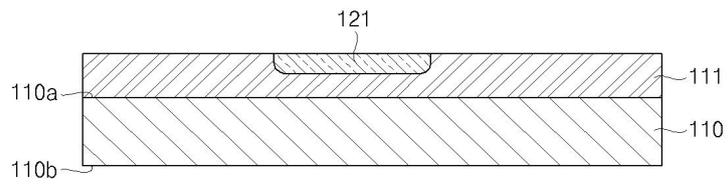
도면5



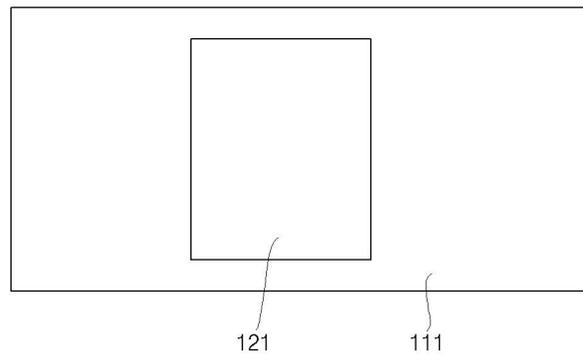
도면6a



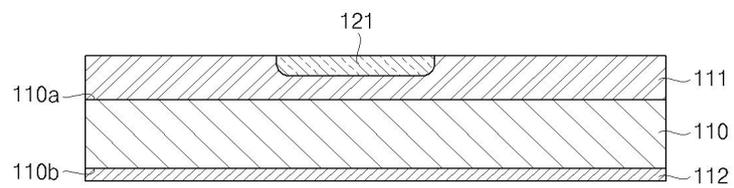
도면6b



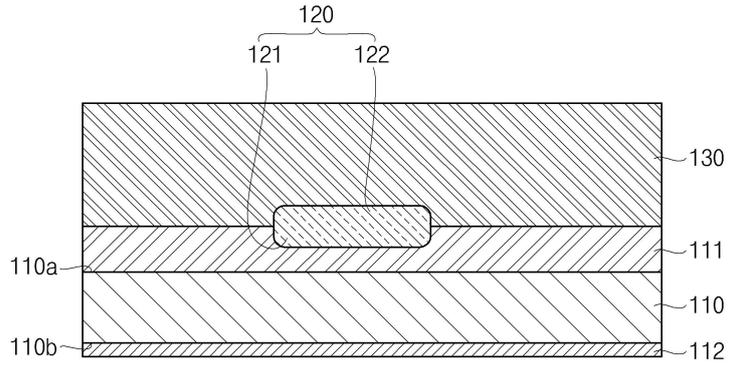
도면6c



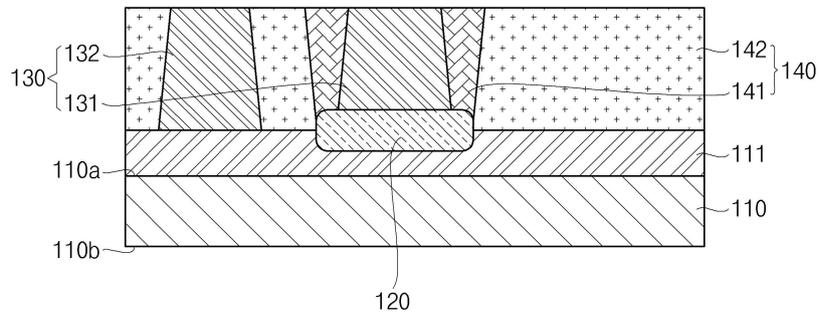
도면6d



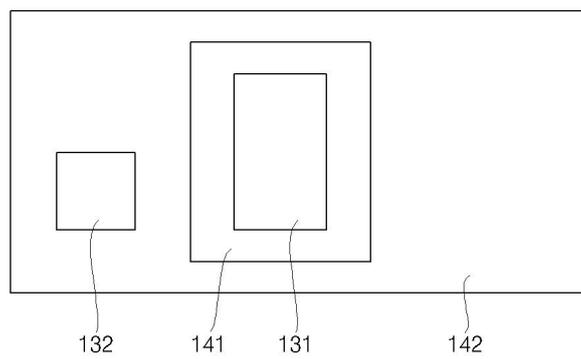
도면6e



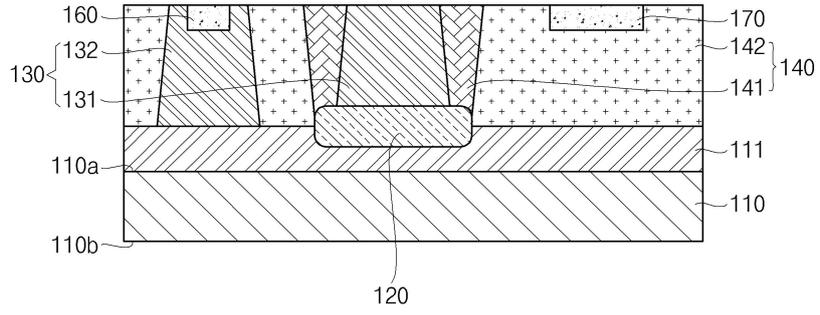
도면6f



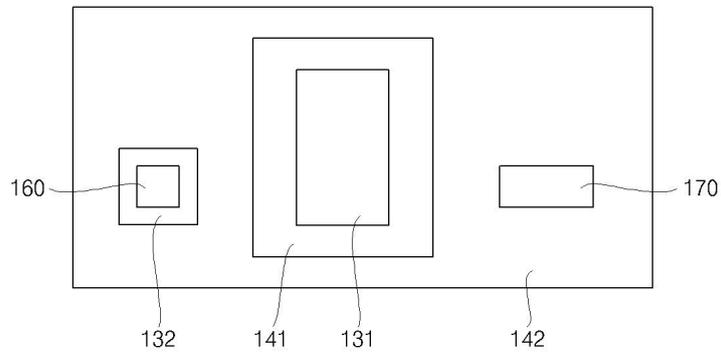
도면6g



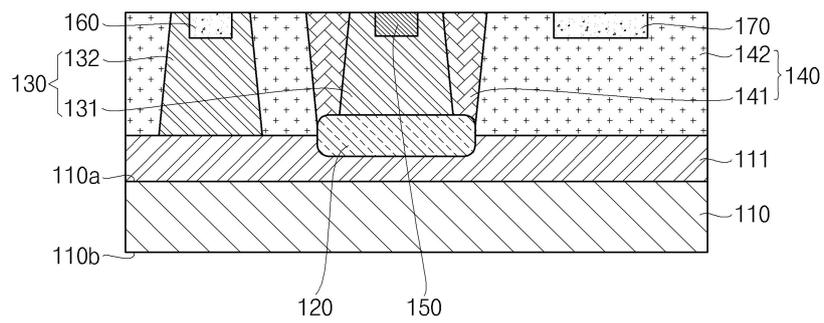
도면6h



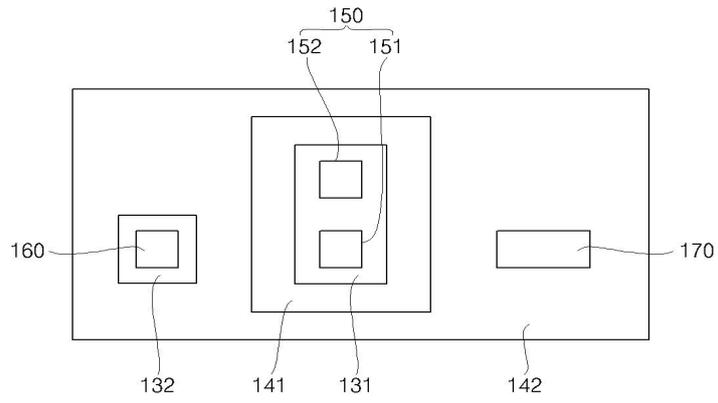
도면6i



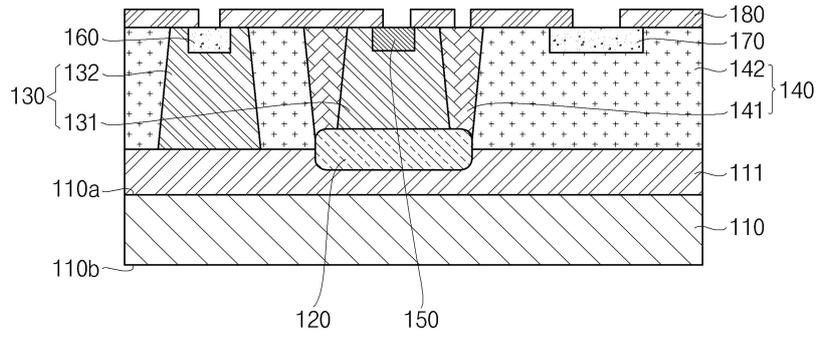
도면6j



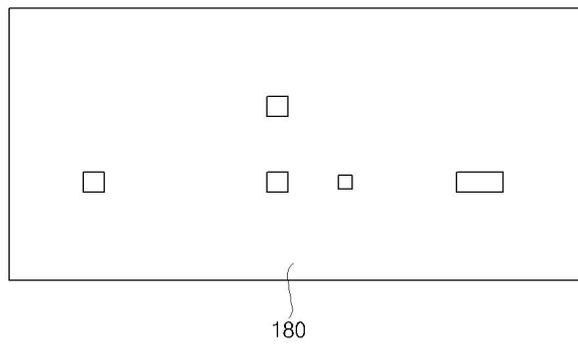
도면6k



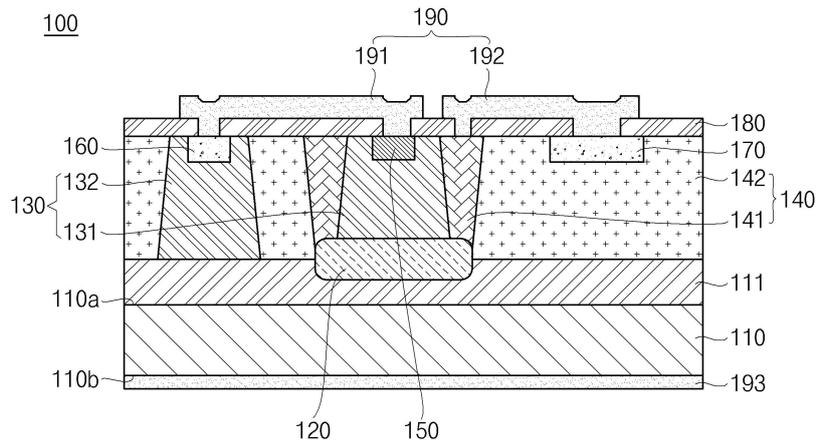
도면6l



도면6m



도면6n



도면6o

100

