



(12)发明专利

(10)授权公告号 CN 107346769 B

(45)授权公告日 2020.03.10

(21)申请号 201610289340.X

(22)申请日 2016.05.04

(65)同一申请的已公布的文献号
申请公布号 CN 107346769 A

(43)申请公布日 2017.11.14

(73)专利权人 扬智科技股份有限公司
地址 中国台湾新竹市金山八街1号6楼

(72)发明人 李传胜 高秉佑

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 胡林岭

(51)Int.Cl.

H01L 27/02(2006.01)

(56)对比文件

US 2009097174 A1,2009.04.16,

US 2006209478 A1,2006.09.21,

CN 102376706 A,2012.03.14,

TW 201117216 A,2011.05.16,

审查员 崔鲁娜

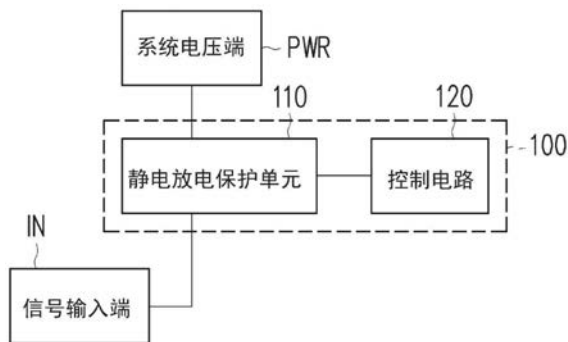
权利要求书2页 说明书5页 附图3页

(54)发明名称

静电放电保护装置

(57)摘要

一种静电放电保护装置,包括静电放电保护单元以及控制电路。当信号输入端所接收到信号的电压位准达到静电保护电位时,静电放电保护单元将静电信号从信号输入端传递至系统电压端。控制电路用以藉由静电放电保护单元控制信号输入端以及系统电压端之间的导通状态。控制电路依据信号输入端所接收到的信号的电压位准及系统电压端的系统电压位准产生控制电压以控制静电放电保护单元,并且使静电放电保护单元在信号输入端所接收的信号的电压位准未达到静电保护电位时不传递信号至系统电压端。



1. 一种静电放电保护装置,其特征在于,包括:

静电放电保护单元,耦接在信号输入端以及系统电压端之间,用以当该信号输入端所接收的信号的电压位准达到静电保护电位时,将该信号从该信号输入端传递至该系统电压端;以及

控制电路,耦接至该静电放电保护单元的控制端,用以藉由该静电放电保护单元控制该信号输入端以及该系统电压端之间的导通状态,

其中,该控制电路包括第一电压提供电路以及第二电压提供电路,该第一电压提供电路以及该第二电压提供电路分别耦接在该信号输入端以及该系统电压端之间,

其中,该控制电路依据该信号输入端所接收到的该信号的电压位准,来决定由该第一电压提供电路依据该信号的电压位准产生控制电压或是由该第二电压提供电路依据该系统电压端的系统电压位准产生该控制电压,该控制电路依据该控制电压以控制该静电放电保护单元,并且使该静电放电保护单元在该信号输入端所接收的该信号的该电压位准未达到该静电保护电位时不传递该信号至该系统电压端。

2. 如权利要求1所述的静电放电保护装置,其特征在于,该信号输入端所所在的电压域与该系统电压端所所在的电压域不同。

3. 如权利要求1所述的静电放电保护装置,其特征在于,该静电放电保护单元是P型金氧半晶体管以及N型金氧半晶体管的其中之一。

4. 如权利要求1所述的静电放电保护装置,其特征在于,

当该信号输入端所接收的该信号的电压位准为高电压值时,该第一电压提供电路依据该信号的该高电压值而输出该控制电压,并且,

当该信号输入端所接收的该信号的电压位准为低电压值时,该第二电压提供电路依据该系统电压端的该系统电压位准而输出该控制电压。

5. 如权利要求1所述的静电放电保护装置,其特征在于,该第一电压提供电路包括:

第一晶体管,其中该第一晶体管的第二端耦接该信号输入端;以及

第一阻抗提供电路,其中该第一阻抗提供电路的第一端耦接该系统电压端,并且该第一阻抗提供电路的第二端耦接该第一晶体管的第一端以及该静电放电保护单元的该控制端。

6. 如权利要求5所述的静电放电保护装置,其特征在于,该第二电压提供电路包括:

第二阻抗提供电路,其中该第二阻抗提供电路的第二端耦接该信号输入端;以及

第二晶体管,其中该第二晶体管的第一端耦接该系统电压端,并且该第二晶体管的第二端耦接该第二阻抗提供电路的第一端。

7. 如权利要求6所述的静电放电保护装置,其特征在于,该静电放电保护单元为晶体管,该第一晶体管以及该第二晶体管的低临界电压值皆略低于该静电放电保护单元之该晶体管的临界电压值。

8. 如权利要求6所述的静电放电保护装置,其特征在于,该第一阻抗提供电路以及该第二阻抗提供电路分别由至少一个晶体管或至少一个电阻相互串接所组成。

9. 如权利要求1所述的静电放电保护装置,其特征在于,

该第一电压提供电路为第一晶体管,其中该第一晶体管的第一端耦接该系统电压端;以及

该第二电压提供电路为第二晶体管,其中该第二晶体管的控制端耦接该系统电压端,该第一晶体管的第二端以及第二晶体管的第一端耦接至该静电放电保护单元的控制端,并且该第二晶体管的第二端耦接该信号输入端以及该第一晶体的控制端。

10. 如权利要求9所述的静电放电保护装置,其特征在于,该第一晶体管是N型金氧半晶体管以及P型金氧半晶体管的其中之一,并且该第二晶体管是N型金氧半晶体管以及P型金氧半晶体管的其中之一。

静电放电保护装置

技术领域

[0001] 本发明是有关于一种电路保护装置,且特别是有关于一种具有防漏电能力的静电放电保护装置。

背景技术

[0002] 电子元件(例如,集成电路)于实际环境中往往会遭受静电放电(electrostatic discharge;ESD)的冲击。由于静电放电之电压常远高于正常状况下所提供的系统电压,因此当静电放电发生时,此静电放电电流很可能会将电子元件烧毁。因此必须对电子元件安排若干静电放电防护措施,释放静电放电电流以避免元件损毁。

[0003] 目前常见的作法是在核心电路(Core Circuit)与信号垫(PAD)间,设计静电放电防护装置,以保护其内部电路。传统上使用例如包括串接二极管或栅极接地n型金氧半导体(gate-grounded N-type metal-oxide-semiconductor;GGNMOS)或栅极接电源p型金氧晶体管(gate-connected to drain PMOS;GDPMOS)等元件来实作静电放电防护装置的电路。然而,一旦装置与装置之间有信号的传递且两装置的工作电压不同时,这样的静电放电防护装置便可能在静电放电现象实际并未发生时发生误动作而导致漏电流(Leakage)的情形。如此一来,静电放电防护装置的可靠度因而下降。

发明内容

[0004] 本发明提供一种静电放电保护装置,可防止在正常模式时的信号电压位准下,误导通信号输入端与系统电压端之间的电流路径而导致漏电流,因此具有良好的静电放电保护能力。

[0005] 本发明的静电放电保护装置包括静电放电保护单元以及控制电路。静电放电保护单元耦接在信号输入端以及系统电压端之间。当信号输入端所接收的信号的电压位准达到静电保护电位时,静电放电保护单元将信号从信号输入端传递至系统电压端。控制电路耦接至静电放电保护单元的控制端,并用以藉由静电放电保护单元控制信号输入端以及系统电压端之间的导通状态。控制电路依据信号输入端所接收到的信号的电压位准及系统电压端的系统电压位准产生控制电压以控制静电放电保护单元能牢牢紧闭,防止漏电流,并且使静电放电保护单元在信号输入端所接收的信号的电压位准未达到静电保护电位时不传递信号至系统电压端。

[0006] 基于上述,本发明实施例设置控制电路于静电放电保护单元的控制端,并依据信号输入端所输入信号的电压位准以及系统电压端的系统电压位准来控制静电放电保护单元皆处于紧闭状态。据此,可在小面积的电路布局中,具有良好的静电放电保护能力并提升可靠度。

[0007] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

附图说明

- [0008] 图1绘示本发明一实施例的静电放电保护装置的方块图。
- [0009] 图2绘示本发明一实施例的静电放电保护装置的方块图。
- [0010] 图3绘示本发明一实施例的静电放电保护装置的电路架构示意图。
- [0011] 图4绘示本发明一实施例的静电放电保护装置的电路图。
- [0012] 图5绘示本发明一实施例的静电放电保护装置的电路架构示意图。
- [0013] 图6绘示本发明一实施例的静电放电保护装置的电路图。
- [0014] 附图标记说明
- [0015] 100、200、300、500: 静电放电保护装置
- [0016] 110、210、310、510: 静电放电保护单元
- [0017] 120、220、320、520: 控制电路
- [0018] 221、321、521: 第一电压提供电路
- [0019] 223、323、523: 第二电压提供电路
- [0020] 3211、5211: 第一晶体管
- [0021] 3213: 第一阻抗提供电路
- [0022] 3231、5231: 第二晶体管
- [0023] 3233: 第二阻抗提供电路
- [0024] IN: 信号输入端
- [0025] PWR: 系统电压端

具体实施方式

[0026] 图1绘示本发明一实施例的静电放电保护装置的方块图。在本发明一实施例中,系统电压端PWR提供第一电子元件操作所需的电源(如,操作于0伏特至1.8伏特)。信号输入端IN接收不同电压域的信号电压位准(如,操作于0伏特至3.3伏特)。在上述的情形下,由于所述信号的电压域与静电放电保护装置的电压域不同,因此本发明实施例提供静电放电保护装置100于系统电压端PWR与信号输入端IN之间,除避免信号输入端静电放电现象造成第一电子元件的损坏外,可同时避免从信号输入端IN接收到的较高电压信号时可能发生的漏电流情形。然而,本发明并不加以限制上述电压域的电压范围。另一方面,本发明亦不加以限制信号输入端所接收的信号来源。换言之,在其他实施例中,信号输入端所接收的信号也可例如是来自包括人体静电放电、机械静电放电或其他可能产生高电压的电信号源。

[0027] 请参考图1,本实施例的静电放电保护装置100包括静电放电保护单元110以及控制电路120。静电放电保护装置100耦接于信号输入端IN以及系统电压端PWR之间。控制电路120耦接至静电放电保护单元110的控制端,用以控制信号输入端IN在信号改变电压位准时不会与系统电压端PWR产生漏电流。

[0028] 具体而言,在本实施例中,当静电放电现象发生时,信号输入端IN所接收的信号的电压位准达到(或是远高于)预设的静电保护电位时,静电放电保护单元110会导通信号输入端IN与系统电压端PWR之间的电流路径,以使信号从信号输入端IN传递至系统电压端PWR的电源轨,最后接地,以释放静电放电电流。另一方面,当信号输入端IN所接收的信号的电压位准未达到静电保护电位时,控制电路120会产生控制信号来切断信号输入端IN与系统

电压端PWR之间的电流路径,以使信号从信号输入端IN不传递至系统电压端PWR。

[0029] 值得一提的是,本发明实施例中所述的「静电保护电位」系指可用来判断静电放电保护单元110是否导通信号输入端IN与系统电压端PWR之间的电流路径的一预设电位数值。应用本实施例者应可知晓,可依据静电放电保护单元110的物理状态来设定此预设电位数值。举例而言,当静电放电保护单元110例如为晶体管时,此时静电保护电位可为使晶体管发生骤回崩溃(snapback breakdown)的电位值。换言之,静电保护电位是相对于系统电压端PWR以及静电放电保护单元110本身特性的电位值,而非是绝对的电位阈值。实际的判断方式由所属技术领域具备通常知识者应可从各实施例中所揭露的电路中获致足够的教示。

[0030] 在本实施例中,静电放电保护单元110可以P型金氧半晶体管(P-type metal-oxide-semiconductor;PMOS)或N型金氧半晶体管(N-type metal-oxide-semiconductor;NMOS)来实作,但本发明并不以此为限。此外,静电放电保护单元110至少具有一控制端(例如,栅极)连接至控制电路120,以接收来自控制电路120的控制信号。

[0031] 在本实施例中,控制电路120会依据信号输入端IN所接收到的信号的电压位准以及系统电压端PWR的系统电压位准来产生控制信号并输出至静电放电保护单元110,以使静电放电现象并未发生时,静电放电保护单元110可避免信号输入端IN与系统电压端PWR之前发生漏电流情形。

[0032] 图2绘示本发明一实施例的静电放电保护装置的方块图。本实施例的静电放电保护装置200的架构类似于图1中的静电放电保护装置100,类似元件的说明将不于此赘述。请参考图2,在一实施例中,控制电路220包括第一电压提供电路221以及第二电压提供电路223。如先前段落所述,在静电放电现象未发生,或信号输入端IN所接收到的信号的电压位准未达到静电保护电位时,控制电路220会依据信号输入端IN所接收到的信号的电压位准以及系统电压端PWR的系统电压位准,来控制电路220输出控制电压,以藉由静电放电保护单元210控制信号输入端IN与系统电压端PWR之间的导通状态。

[0033] 举例而言,假设系统电压端PWR的系统电压位准为1.8伏特,信号输入端IN接收电压位准介于0伏特至3.3伏特的信号。在本实施例中,当信号输入端IN接收到的信号的电压位准(例如,3.3伏特)高于系统电压位准时,第一电压提供电路221会依据信号输入端IN所接收到信号的电压位准来提供控制电压,使信号输入端IN的信号不传递至系统电压端PWR。另一方面,当信号输入端IN接收到的信号电压位准(例如,0伏特)低于系统电压位准时,第二电压提供电路223会依据系统电压位准来提供控制电压,使信号输入端IN的信号不传递至系统电压端PWR。

[0034] 为达上述目的,第一电压提供电路221以及第二电压提供电路223可以多种电路布局实现。以下的数个实施例将说明第一电压提供电路221以及第二电压提供电路223的实作方法。然而,本发明并不以实施例中所提出的实作方法为限定,所属技术领域中具有通常知识者当可对各实施例所提出的电路布局作适当的更动,以达到类似的功能或添加额外的功能以符合使用上的需求。

[0035] 图3绘示本发明一实施例的静电放电保护装置的电路架构示意图。图4绘示本发明一实施例的静电保护装置的电路图。本实施例的静电放电保护装置300的架构类似于图2中的静电放电保护装置200,故类似元件的说明将不于此赘述。特别是,图2实施例中的第一电压提供电路221以及第二电压提供电路223可分别以如图3实施例中的第一电压提供电路

321以及第二电压提供电路323实现。

[0036] 请参考图3与图4,在本实施例中,静电放电保护单元310是P型金氧半晶体管,其临界电压值例如为0.5伏特,但本发明不限于此。控制电路320包括第一电压提供电路321以及第二电压提供电路323,其中第一电压提供电路321以及第二电压提供电路323分别耦接于信号输入端IN以及系统电压端PWR之间。

[0037] 详细来说,第一电压提供电路321包括第一晶体管3211以及第一阻抗提供电路3213,第二电压提供电路323包括第二晶体管3231以及第二阻抗提供电路3233。在本实施例中,第一晶体管3211的第二端耦接于信号输入端IN。第一阻抗提供电路3213的第一端耦接于系统电压端PWR,并且第一阻抗提供电路3213的第二端耦接于第一晶体管3211的第一端以及静电放电保护单元310的控制端。另一方面,第二阻抗电路3233的第一端耦接于第二晶体管3231的控制端以及静电放电保护单元310的控制端,第二阻抗提供电路3233的第二端耦接于信号输入端IN。第二晶体管3231的第一端耦接于系统电压端PRW,并且第二晶体管3231的第二端耦接于第二阻抗提供电路3233的第一端。

[0038] 在本实施例中,第一晶体管3211以及第二晶体管3231例如是使用P型金氧半晶体管来实作,并且其中第一晶体管3211与第二晶体管3231的低临界电压值皆略低于静电放电保护单元之晶体管的临界电压值。例如,低临界电压值可以是0.1~0.3伏特。然而,本发明并不限于此,在其他实施例中,第一晶体管3211以及第二晶体管3231可适应电路上的需求而更换以N型金氧半晶体管来实作。

[0039] 在本实施例中,如图4所示,第一阻抗电路3213由至少一个(例如,两个)晶体管串接而成,以调整第一电压提供电路321所输出的控制电压。类似地,第二阻抗电路3233由至少一个(例如,两个)晶体管串接而成,以调整第二电压提供电路323所输出的控制电压。

[0040] 在一实施例中,假设系统电压端PWR的系统电压位准为1.8伏特,信号输入端IN所接收到的信号的电压例如介于0伏特至3.3伏特之间。藉由本实施例的电路实现控制电路310,当信号输入端IN接收到的信号的电压位准是高于系统电压位准的高电压值(例如,3.3伏特)时,由于第一晶体管3211以及第二晶体管3231的低临界电压值皆约为0.2伏特,因此第一晶体管3211的控制端会提供控制电压(例如,约3.1伏特)至静电放电保护单元310的控制端,同时第二晶体管3231系处于截止状态。如此一来,将使静电放电保护单元310处于截止状态,进而使信号输入端IN不传递漏电流至系统电压端PWR。另一方面,当信号输入端IN接收到的信号的电压位准是低于系统电压位准的低电压值(例如,0伏特)时,第一晶体管3211系处于截止状态,并且第二晶体管3231会提供控制电压(例如,约1.6伏特)至静电放电保护单元310。如此一来,将使静电放电保护单元310处于截止状态,进而使信号输入端IN接收到的信号不传递至系统电压端PWR。

[0041] 值得一提的是,本实施例的第一阻抗电路3213以及第二阻抗电路3233可个别由两个P型金氧半晶体管所串接而成,以分别调整第一晶体管3211以及第二晶体管3231所提供的控制电压。然而,本发明并不限制阻抗电路的实现方式。在其他实施例中,第一阻抗电路3213以及第二阻抗电路3233也可由N型金氧半晶体管或电阻串接而成,以串接后的等效阻抗来调整第一晶体管3211以及第二晶体管3231所提供的控制电压。

[0042] 图5绘示本发明一实施例的静电放电保护装置的电路架构示意图。图6绘示本发明一实施例的静电放电保护装置的电路图。本实施例的静电放电保护装置300的架构类似于

图2中的静电放电保护装置200,故类似元件的说明将不于此赘述。特别是,图2实施例中的第一电压提供电路221以及第二电压提供电路223可分别以例如图5实施例中的第一电压提供电路521以及第二电压提供电路523来实作。

[0043] 请参考图5与图6,在一实施例中,静电放电保护单元510可为P型金氧半导体管,其临界电压值为0.5伏特,但本发明不限于此。控制电路520包括第一电压提供电路521以及第二电压提供电路523,其中第一电压提供电路521以及第二电压提供电路523分别耦接于信号输入端IN以及系统电压端PWR之间。

[0044] 在本实施例中,第一电压提供电路521为第一晶体管5211,第二电压提供电路523为第二晶体管5231。如图6所示,第一晶体管5211的第一端耦接至系统电压端PWR。第二晶体管5231的控制端耦接至系统电压端PWR。第一晶体管5211的第二端以及第二晶体管5231的第一端耦接至静电放电保护单元510的控制端,且第二晶体管5231的第二端耦接至信号输入端IN以及第一晶体管5211的控制端。

[0045] 在一实施例中,如图6所示,第一晶体管5211可为P型金氧半导体管,且第二晶体管5231可为N型金氧半导体管。然而,本发明并不以此为限。在另一实施例中,当静电放电保护单元510为N型金氧半导体管时,第一晶体管5211也可为N型金氧半导体管,且第二晶体管5231为P型金氧半导体管。

[0046] 在本实施例中,假设系统电压端PWR的系统电压位准为1.8伏特,信号输入端IN所接收到的信号的电压位准介于0伏特至3.3伏特之间。藉由本实施例的电路来实现控制电路520,当信号输入端IN接收到的信号的电压位准是高于系统电压位准的高电压值(例如,3.3伏特)时,第一晶体管5211为截止状态,且第二晶体管5231为导通状态。因此,由第二晶体管5231来提供静电放电保护单元510的控制端的控制电压(例如,约3.3伏特)。如此一来,将使静电放电保护单元510处于截止状态,进而使信号输入端IN不传递漏电流至系统电压端PWR。另一方面,当信号输入端IN接收到的信号的电压位准是低于系统电压位准的低电压值(例如,0伏特)时,第一晶体管5211为导通状态,且第二晶体管5231为截止状态。因此,由第一晶体管5211来提供静电放电保护单元510的控制端的控制电压(例如,约1.8伏特)。如此一来,将使静电放电保护单元510处于截止状态,进而,使信号输入端IN接收到的信号不传递至系统电压端PWR。

[0047] 综上所述,本发明实施例藉由设置控制电路于静电放电保护单元的控制端,并依据信号输入端所输入信号的电压位准以及系统电压端的系统电压位准来控制静电放电保护单元,以控制信号输入端所输入信号的传递路径。如此一来,在静电放电现象发生时,将电压过高的信号传递至系统电压端,可避免大电流造成电路的损毁。另一方面,在静电放电现象并未发生时,利用控制电路使信号输入端所接收到的信号无论在高电压值或低电压值时都不会传递至系统电压端,可避免信号传递时漏电流现象的发生。据此,本发明实施例所提供的静电放电保护装置,可在小面积的电路布局中,具有良好的静电放电保护能力并提升可靠度。

[0048] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视后附的专利申请范围所界定者为准。

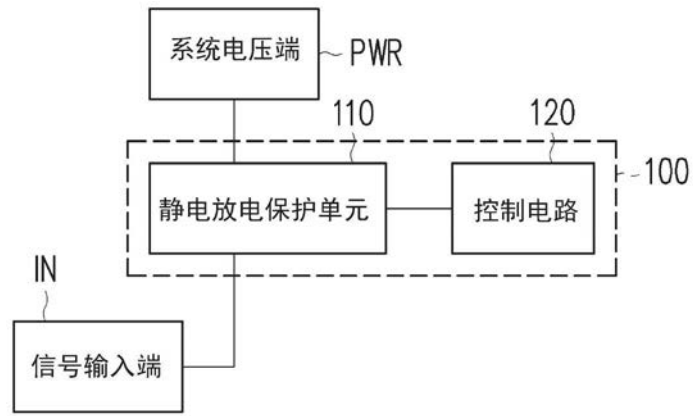


图1

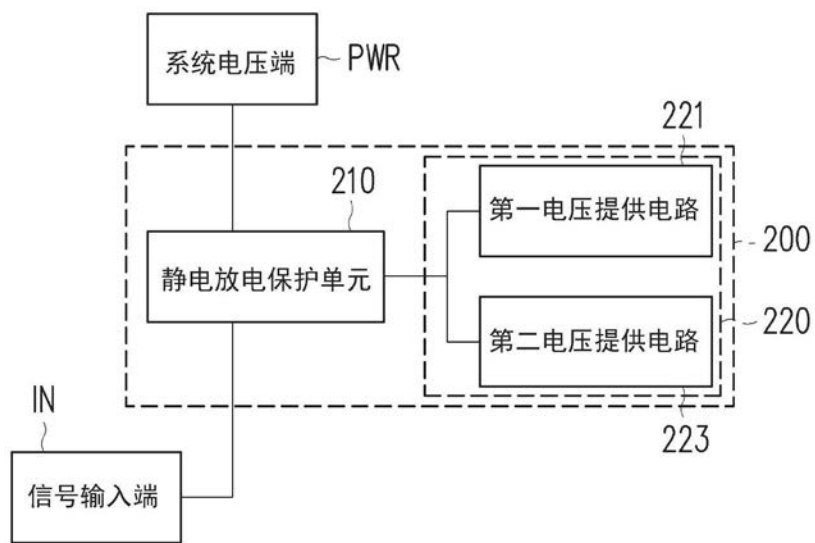


图2

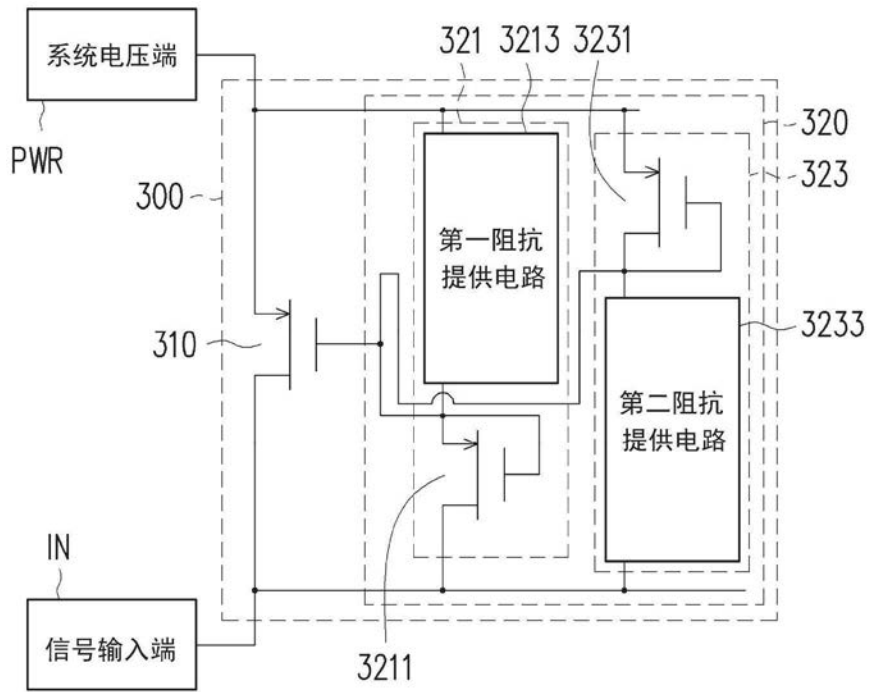


图3

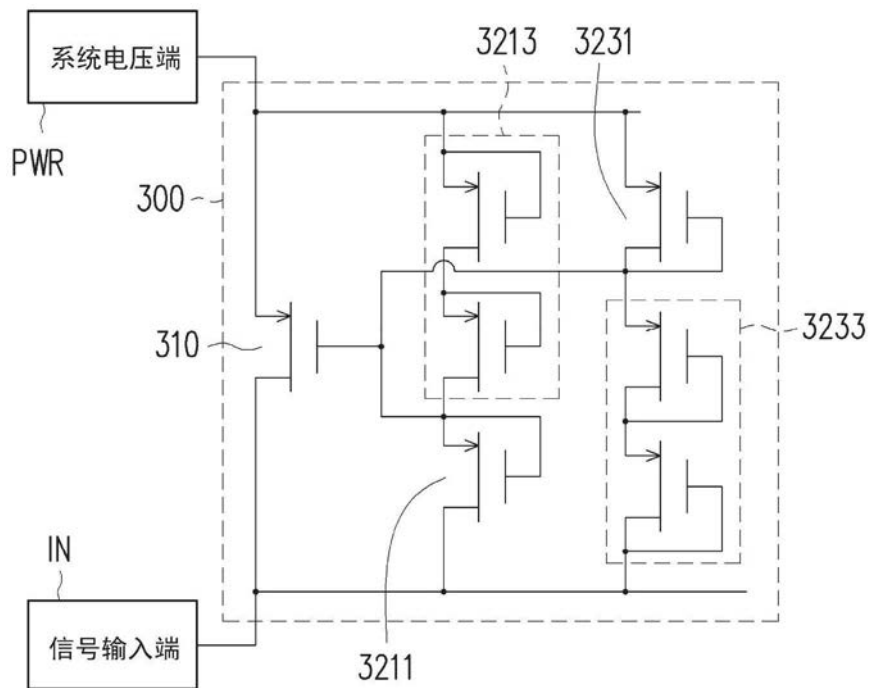


图4

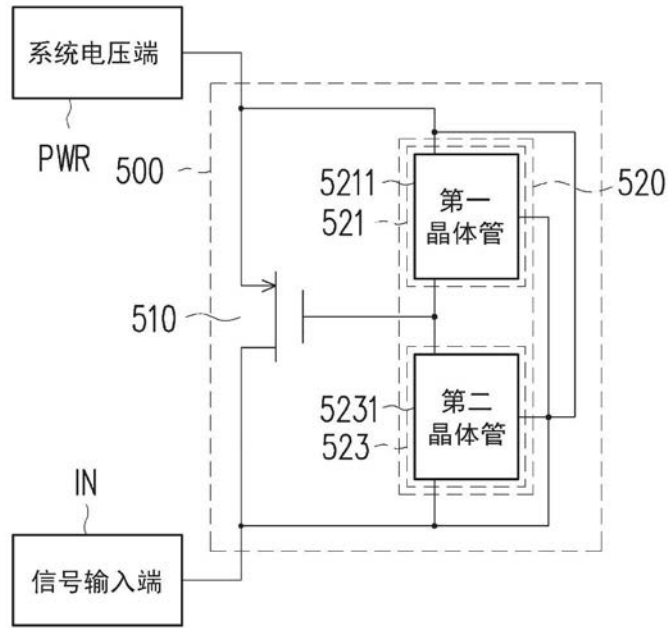


图5

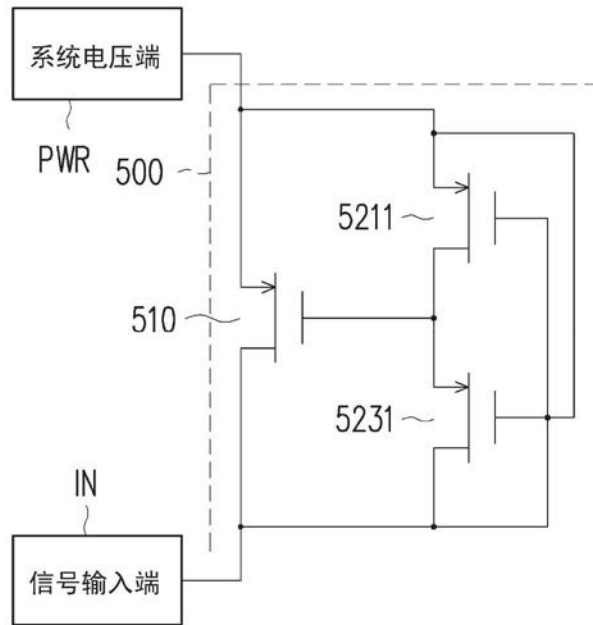


图6