



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년06월08일
 (11) 등록번호 10-1039244
 (24) 등록일자 2011년05월31일

- (51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
B82Y 10/00 (2011.01)
- (21) 출원번호 10-2006-7002156
- (22) 출원일자(국제출원일자) 2004년07월13일
 심사청구일자 2009년07월13일
- (85) 번역문제출일자 2006년01월31일
- (65) 공개번호 10-2006-0054400
- (43) 공개일자 2006년05월22일
- (86) 국제출원번호 PCT/US2004/022436
- (87) 국제공개번호 WO 2005/013281
 국제공개일자 2005년02월10일
- (30) 우선권주장
 10/631,142 2003년07월31일 미국(US)
- (56) 선행기술조사문헌
 KR1019960006051 A
 KR1019990061327 A
 KR1020040023650 A

- (73) 특허권자
 프리스케일 세미컨덕터, 인크.
 미국 텍사스 오스틴 윌리엄 캐논 드라이브 웨스트 6501
- (72) 발명자
 프린즈 에르윈 제이.
 미국 텍사스 78739 오스틴 유티카 코브 6105
- (74) 대리인
 장훈

전체 청구항 수 : 총 10 항

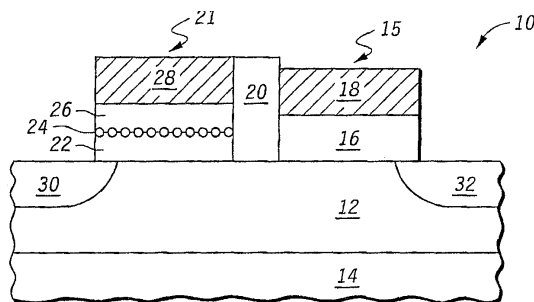
심사관 : 이우리

(54) 비휘발성 메모리 및 그 제조방법

(57) 요약

비휘발성 메모리의 트랜지스터(10)의 전하 저장 위치를 방전시키는 방법은 트랜지스터의 제어 게이트(28) 및 웰 영역(12)에 제1 및 제2 전압들을 각각 인가하는 단계를 포함한다. 제1 전압은 트랜지스터의 제어 게이트에 인가되며, 제어 게이트의 적어도 일부는 트랜지스터의 선택 게이트(18)에 인접하여 위치된다. 트랜지스터는 제어 게이트 밑에 위치된 트랜지스터의 구조의 유전물질(22, 26) 내에 배치된 나노클러스터들(24)을 갖는 전하 저장 위치를 포함한다. 마지막으로, 제2 전압은 제어 게이트 밑에 위치된 웰 영역(12)에 인가된다. 제1 전압 및 제2 전압을 인가하는 단계는 전하 저장 위치의 나노클러스터들로부터 전자들을 방전시키기 위해 구조에 전압차를 발생시킨다.

대표도 - 도1



특허청구의 범위

청구항 1

트랜지스터의 전하 저장 위치를 방전시키는 방법에 있어서,

트랜지스터의 제어 게이트에 제1 전압을 인가하는 단계로서, 상기 제어 게이트는 상기 트랜지스터의 선택 게이트에 인접하여 위치된 적어도 일부를 가지며, 상기 트랜지스터는 상기 제어 게이트 밑에 위치된 상기 트랜지스터의 구조의 유전물질 내에 배치된 나노클러스터들(nanoclusters)을 포함하는 전하 저장 위치를 포함하는, 상기 제1 전압을 인가하는 단계; 및

상기 제어 게이트 밑에 위치된 웰 영역(well region)에 제2 전압을 인가하는 단계로서, 상기 제1 전압을 인가하는 단계 및 상기 제2 전압을 인가하는 단계는 상기 전하 저장 위치의 상기 나노클러스터들로부터 전자들을 방전시키기 위해 상기 구조의 양단에 전압차를 발생시키는, 상기 제2 전압을 인가하는 단계를 포함하는, 트랜지스터의 전하 저장 위치 방전 방법.

청구항 2

제1항에 있어서, 상기 트랜지스터는 상기 제어 게이트와 상기 선택 게이트 사이에 위치된 유전물질 및 상기 제어 게이트와 상기 선택 게이트 사이에 위치된 상기 유전물질내에 배치된 나노클러스터들을 포함하는, 트랜지스터의 전하 저장 위치 방전 방법.

청구항 3

제1항에 있어서, 상기 제1 전압을 상기 제어 게이트에 인가함과 동시에 상기 선택 게이트에 제3 전압을 인가하는 단계로서, 상기 제3 전압은 상기 제2 전압 내지 0V 사이의 범위에 있는, 상기 제3 전압을 인가하는 단계를 더 포함하는, 트랜지스터의 전하 저장 위치 방전 방법.

청구항 4

제1항에 있어서, 상기 트랜지스터는 상기 제어 게이트로부터 상기 선택 게이트의 대향 측 상에 위치된 제2 제어 게이트를 더 포함하고, 상기 트랜지스터는 트랜지스터의 제2 구조의 유전물질내에 배치된 나노클러스터들을 포함하는 제2 전하 저장 위치를 더 포함하고 상기 제2 제어 게이트와 상기 선택 게이트 사이에 위치된 유전물질을 포함하며, 상기 제2 전하 저장 위치에 저장된 전하를 방전하는 단계는,

상기 제2 제어 게이트에 제3 전압을 인가하는 단계; 및

상기 제2 제어 게이트 밑에 위치된 웰 영역에 제4 전압을 인가하는 단계를 포함하며,

상기 제3 전압을 인가하는 단계와 상기 제4 전압을 인가하는 단계는 상기 제2 전하 저장 위치의 상기 나노클러스터들로부터 전자들을 방전시키기 위해 상기 제2 구조의 양단에 전압차를 발생시키는, 트랜지스터의 전하 저장 위치 방전 방법.

청구항 5

복수의 메모리 셀들을 포함하는 메모리 어레이에 있어서, 각각의 메모리 셀은,

기관 상에 위치된 제어 게이트;

상기 기관 상에 위치된 선택 게이트로서, 상기 제어 게이트는 상기 선택 게이트에 인접하여 위치된 적어도 일부를 포함하는, 상기 선택 게이트;

상기 제어 게이트와 상기 기관 사이에 위치된 유전물질내에 배치된 나노클러스터들을 포함하는 전하 저장 위치;

상기 제어 게이트와 선택 게이트 사이에 위치된 유전물질;

상기 기관내의 제1 전류 단자 영역;

상기 기관내의 제2 전류 단자 영역; 및

상기 제1 전류 단자 영역과 상기 제2 전류 단자 영역 사이에 위치된 상기 기관내의 채널 영역을 포함하는 트랜지스터를 포함하고, 상기 제어 게이트는 상기 채널 영역의 적어도 제1 부분 상에 위치되고 상기 선택 게이트는

상기 채널 영역의 적어도 제2 부분 상에 위치되는, 메모리 어레이.

청구항 6

제5항에 있어서, 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터는,

상기 제어 게이트로부터 상기 선택 게이트의 대향 측에 상기 기판 상에 위치한 제2 제어 게이트;

상기 제2 제어 게이트와 상기 기판 사이에 위치한 유전물질내에 배치된 나노클러스터들을 포함하는 제2 전하 저장 위치; 및

상기 제2 제어 게이트와 상기 선택 게이트 사이에 위치한 유전물질을 더 포함하고, 상기 제2 제어 게이트는 상기 채널 영역의 적어도 제3 부분 상에 위치된, 메모리 어레이.

청구항 7

제5항에 있어서, 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터는, 상기 제어 게이트와 상기 선택 게이트 사이에 위치한 상기 유전물질내에 배치된 나노클러스터들을 더 포함하는, 메모리 어레이.

청구항 8

메모리 어레이의 로우(row)에 위치한 복수의 메모리 셀들의 트랜지스터들의 전하 저장 위치들을 방전시키는 방법에 있어서,

제1 워드라인에 제1 전압을 인가하는 단계로서, 메모리 어레이의 로우에 위치한 복수의 메모리 셀들의 각 메모리 셀은 트랜지스터의 제어 게이트와 기판 사이에 위치한 유전물질내에 배치된 나노클러스터들을 포함하는 전하 저장 위치를 갖는 트랜지스터를 포함하고, 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터의 상기 제어 게이트는 상기 제1 워드라인에 결합되고 상기 기판 상에 위치되며, 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터의 상기 제어 게이트의 적어도 일부는 상기 트랜지스터의 선택 게이트에 인접하여 위치되고 유전물질은 상기 제어 게이트와 상기 선택 게이트 사이에 위치되는, 상기 제1 전압을 인가하는 단계; 및

상기 기판의 웰 영역에 제2 전압을 인가하는 단계로서, 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터에 대해서, 상기 제1 전압을 인가하는 단계와 상기 제2 전압을 인가하는 단계는 상기 전하 저장 위치의 나노클러스터들로부터 전자들을 방전시키기 위해서 상기 유전물질내에 배치된 상기 전하 저장 위치의 나노클러스터들을 갖는 상기 유전물질 양단에 전압차를 발생시키는, 상기 제2 전압을 인가하는 단계를 포함하는, 트랜지스터들의 전하 저장 위치 방전 방법.

청구항 9

제8항에 있어서, 상기 제1 전압을 상기 제1 워드라인에 인가함과 동시에 제2 워드라인에 제3 전압을 인가하는 단계를 더 포함하고, 상기 제2 워드라인은 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터의 상기 선택 게이트에 결합되고, 상기 제3 전압은 상기 제2 전압 내지 0V 사이의 범위에 있는, 트랜지스터들의 전하 저장 위치 방전 방법.

청구항 10

제8항에 있어서, 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터는 상기 제어 게이트로부터 상기 선택 게이트의 대향 측 상에 위치한 제2 제어 게이트를 더 포함하고, 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터는 상기 트랜지스터의 상기 제2 제어 게이트와 상기 기판 사이에 위치한 유전물질내에 배치된 나노클러스터들을 포함하는 제2 전하 저장 위치를 더 포함하고 상기 제2 제어 게이트와 상기 선택 게이트 사이에 위치한 유전물질을 포함하며, 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터의 상기 제2 제어 게이트는 제2 워드라인에 결합되고, 상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터의 상기 제2 전하 저장 위치에 저장된 전하를 방전시키는 단계는,

상기 제2 워드라인에 제3 전압을 인가하는 단계; 및

상기 기판의 상기 웰 영역에 제4 전압을 인가하는 단계를 포함하며,

상기 복수의 메모리 셀들의 각각의 메모리 셀의 상기 트랜지스터에 대해서, 상기 제3 전압을 인가하는 단계 및

상기 제4 전압을 인가하는 단계는 상기 제2 전하 저장 위치의 상기 나노클러스터들로부터 전자들을 방전시키기 위해 상기 유전물질내에 배치된 상기 제2 전하 저장위치의 나노클러스터들을 갖는 상기 유전물질의 양단에 전압차를 발생시키는, 트랜지스터들의 전하 저장 위치 방전 방법.

명세서

기술분야

[0001] 본 발명은 일반적으로 메모리 디바이스들에 관한 것으로서, 특히 비휘발성 메모리 디바이스들 및 그 제조하는 방법에 관한 것이다.

배경기술

[0002] 실리콘 나노결정들이 임베딩된 유전체를 갖는 비휘발성 메모리 단일-트랜지스터 비트셀들에는 핫 캐리어 주입(HCI 주입), 역 웰/소스 바이어스(reverse well/source bias)에 의한 HCI 주입, 또는 파울러-노다임(Fowler-Nordheim; FN) 터널링을 사용하여 전자들이 충전될 수 있음을 보여왔다. 나노결정들은 나노결정들에 대한 상층 또는 하층 유전체를 통해 파울러-노다임 터널링에 의해 방전될 수 있다. 단일-트랜지스터 비트셀들에 대해 FN 터널링 프로그램/소거 또는 HCI 프로그램/FN 소거의 어레이 구조 고려들도 이해된다. 수직 FN 프로그래밍은 매우 낮은 전류 동작이긴 하나, 프로그래밍 시간이 길고(예를 들면, 1-10ms 정도) 비트셀 당 두 개의 트랜지스터들을 구비하거나 비트라인 방향으로 두 개의 병렬 도체들을 구비하는 비효율적인 비트셀을 초래한다. HCI 프로그래밍은 효율적인 비트셀 및 빠른 프로그래밍(예를 들면, 1-10 μ s 정도)을 달성하지만, 높은 프로그래밍 전류(예를 들면, 100-200 μ A 정도)가 필요로 된다.

[0003] ONO(oxide-nitride-oxide) 저장층과 함께 분할(split)-게이트 비트셀에 소스측 주입이 핫 정공 소거에 또는 SONOS 디바이스의 얇은 상층 산화물을 통한 소거에 사용할 수 있음을 보여왔다. 그러나, 핫 정공 소거는 산화물 열화가 유발하여 판독 교란(read disturb)이 발생하고, ONO층의 얇은 상층 산화물 소거는 100ms 내지 1초 정도의 소거 시간들 동안에 판독 교란이 발생하기 쉽다.

[0004] 따라서, 고 신뢰성의 프로그램/소거 동작들 및 낮은 기록 전력을 겸비한 비트셀이 필요하다.

[0005] 본 발명을 예로서 예시하나 동일 구성요소에 동일 참조부호를 사용한 도면으로 한정되지 않는다.

실시예

[0010] 또한, 제1 유전체(22)는 상층 산화물/나노클러스터 표면을 포함하며, F/N 터널링 유전체를 형성한다. 제2 유전층(26)은 하층 산화물/나노클러스터 표면을 포함하며 상층 유전체를 형성한다. 당업자들은 도면들 내 구성요소들은 간단하게 하고 명료하게 하기 위해 도시된 것이고 반드시 축척에 맞게 도시될 필요는 없음을 안다. 예를 들면, 도면들 내 구성요소들 중 일부의 크기는 본 발명의 실시예들의 이해를 높일 수 있게 다른 구성요소들에 비해 과장되어 있을 수 있다.

[0011] 도 1은 본 개시의 일 실시예에 따른 전하 저장을 위한 유전층 내에 나노클러스터들이 임베딩되어 있는 분할 게이트를 구비한 비휘발성 메모리 디바이스(10)의 단면도이다. 메모리 디바이스(10)는 제1 도전형과는 반대인 제2 도전형의 딥(deep) 웰(14) 위에 위치된 제1 도전형의 비트셀 웰(12)을 구비한 기판을 포함한다. 일 실시예에서, 제1 도전형은 p형 도펀트를 포함하고 제2 도전형은 n형 도펀트를 포함한다.

[0012] 또한, 메모리 디바이스(10)는 선택 게이트 트랜지스터(15)를 포함하며, 선택 게이트 트랜지스터는 게이트 유전체(16) 및 선택 게이트(18)를 포함한다. 메모리 디바이스(10)는 제어 게이트 트랜지스터(21)를 더 포함하며, 제어 게이트 트랜지스터는 적어도 제1 유전층(22), 나노클러스터 층(24), 제2 유전체(26), 및 제어 게이트(28)를 포함한다. 일 실시예에서, 제1 유전체(22), 나노클러스터층(24), 및 제2 유전체(26)로 된 구조는 전하 저장 구조를 형성하며, 나노클러스터들은 전하 저장에 사용된다. 또한, 제1 유전체(22)는 상층 산화물/나노클러스터 표면을 포함하며, F/N 터널링 유전체를 형성한다. 제2 유전체(26)는 하층 산화물/나노클러스터 표면을 포함하며 상층 유전체를 형성한다. 일 실시예에서, 나노클러스터들은 실리콘 나노결정들을 포함한다.

[0013] 선택 게이트 트랜지스터(15)는 협 유전체(20)에 의해 제어 게이트 트랜지스터(21)로부터 분리된다. 협 유전체(20)는 선택 게이트 트랜지스터와 제어 게이트 트랜지스터 간에 200 옹스트롬 미만(<20nm) 정도의 크기를 갖는다. 협 유전체(20)는 예를 들면 협 산화물 측벽 유전체를 포함할 수 있다. 메모리 디바이스(10)는 또한 소스/드레인 영역들(30, 32)을 포함한다. 여기서 논의되는 메모리 디바이스(10)의 여러 층들 및 도핑된 영역들은 당 분

야에서 공지된 기술을 사용하여 각각 제조될 수 있다.

[0014] 일 실시예에서, 메모리 디바이스(10)는 나노클러스터층이 제1유전층과 제2 유전층 사이에 임베딩된 분할 게이트 디바이스를 포함하며, 여기서 분할 게이트 디바이스는 비휘발성 전하 저장을 위해 이용된다. 즉, 분할 게이트 디바이스는 하측 유전층과 상측 유전체 사이에 임베딩된 나노클러스터들을 구비한 제어 게이트 트랜지스터, 및 게이트 유전체를 구비한 선택 게이트 트랜지스터를 구비한다. 제1 및 제2 유전체층들은 35-70 Å 정도의 두께를 갖는 유전체들을 포함한다. 또한, 분할 게이트 디바이스의 트랜지스터들은 소스측 주입이 가능하도록, 협 유전체영역에 의해 분리된다.

[0015] 메모리 디바이스(10)의 1비트 저장 셀에 인가된 바이어스들에 의한 소스측 주입의 예들이 표1 및 표2에 제공된다. 즉, 표 1은 메모리 디바이스(10)의 1비트 저장 셀의 상측 유전층(26)을 통해 파울러-노다임 터널링에 의해 수행되는 소거 동작을 수행하기 위한 여러 가지 비트셀 동작 전압들을 제공한다. 또한, 표 2는 메모리 디바이스(10)의 1비트 저장 셀의 하측 유전층(22)을 통해 파울러-노다임 터널링에 의해 수행되는 소거 동작을 수행하기 위한 여러 가지 비트셀 동작 전압들을 제공한다. 관독전류는 기록 전류와는 반대되는 방향으로 흐른다.

[0016] 도 1의 실시예에서, 비트셀 동작 전압들은 다음과 같다. 메모리 디바이스(10)의 비트셀 웰(12)은 비트셀 웰 전압, Vpw에서 p형 웰을 포함한다. 선택 게이트(18)는 폴리실리콘 선택 게이트를 포함하며, 여기서 선택 게이트 전압 Vsg이 폴리실리콘 선택 게이트에 인가된다. 제어 게이트(28)는 폴리실리콘 제어 게이트를 포함하며, 여기서 제어 게이트 전압 Vcg이 폴리실리콘 제어 게이트에 인가된다. 소스 및 드레인 영역들(30, 32)은 각각의 소스/드레인 전압들 Vsource/Vdrain에 있다. 표들에서, Vdd는 양의 전원전압을 나타내며, b/c Vt는 비트셀 임계전압을 나타내며, "플로트(float)"는 전압 또는 접지 어느쪽에도 결합되지 않음을 나타낸다.

[0017] 표 1: 1비트 저장에 있어 상측 산화물을 통한 소거를 위한 비트셀 동작 전압들

| 터미널 | 소스 | 선택 게이트 | 제어 게이트 | 드레인 | 비트셀 P-웰 | 딥 N-웰 |
|-----------------|------------|-----------|-------------------------|--------------|---------|-------|
| 프로그래밍, 선택된 비트셀 | 5V | 1V | 5V | 0V | 0V | Vdd |
| 프로그래밍, 비선택된 비트셀 | 5V | 0V | 0V 또는 5V | 5V | 0V | Vdd |
| 소거, 선택된 섹터 | -6V 또는 플로트 | -6V 또는 0V | 6V | -6V 또는 float | -6V | 0V |
| 소거, 비선택된 섹터 | 0V 또는 플로트 | 0V | 0V | 0V 또는 플로트 | 0V | 0V |
| 관독, 선택된 비트셀 | 0V | Vdd | Vdd 또는 0V, 그러나 > b/c Vt | 1V | 0V | Vdd |
| 관독, 비선택된 비트셀 | 0V | 0V | Vdd 또는 0V, 그러나 > b/c Vt | 0V | 0V | Vdd |

[0018]

[0019] 표 2: 1비트 저장에 있어 하측 산화물을 통한 소거를 위한 비트셀 동작 전압들

| 터미널 | 소스 | 선택 게이트 | 제어 게이트 | 드레인 | 비트셀 P-웰 | 딥 N-웰 |
|-----------------|-----------|--------|-------------------------|-----------|---------|-------|
| 프로그래밍, 선택된 비트셀 | 5V | 1V | 5V | 0V | 0V | Vdd |
| 프로그래밍, 비선택된 비트셀 | 5V | 0V | 0V 또는 5V | 5V | 0V | Vdd |
| 소거, 선택된 섹터 | 6V 또는 플로트 | 0V | -6V | 6V 또는 플로트 | 6V | 6V |
| 소거, 비선택된 섹터 | 0V 또는 플로트 | 0V | 0V | 0V 또는 플로트 | 0V | 0V |
| 관독, 선택된 비트셀 | 0V | Vdd | Vdd 또는 0V, 그러나 > b/c Vt | 1V | 0V | Vdd |
| 관독, 비선택된 비트셀 | 0V | 0V | Vdd 또는 0V, 그러나 > b/c Vt | 0V | 0V | Vdd |

[0020]

- [0021] 도 2는 본 개시의 또 다른 실시예에 따른 나노클러스터들이 유전층 내에 임베딩되어 있고 또한 폴리실리콘 스페이서들 밑에 배치된 분할 게이트를 구비한 비휘발성 메모리 디바이스(40)의 단면도이다. 도 2의 실시예에서, 디바이스(40)에는 폴리 스페이서들에 의해 형성된 제어 게이트들(52)이 형성되어 있다. 따라서, 선택 게이트(44)의 양 쪽에 1비트씩, 2비트들이 저장될 수 있다.
- [0022] 일 실시예에서, 도 2의 디바이스(40)에 대한 기록 동작은 대략 1-10 μA 정도의 낮은 프로그래밍 전류와 대략 1-10 μs 정도의 고속 프로그래밍 시간을 갖는다. 소거 동작은 낮은 소거 전류 및 대략 10-100ms 정도의 소거시간을 가지고 한 블록의 비트셀에서 동작한다. 통상적인 비휘발성 메모리 디바이스들에서, 선택 게이트는 대략 50-100 Å 산화물 정도의 얇은 게이트 산화물을 사용하며, 얇은 게이트 산화물은 낮은 전압 트랜지스터 산화물과 유사하다. 그러나, 본 개시의 디바이스(40)에서, 선택 게이트(44)는 대략 70-90 Å 정도의 두께를 가진 고 전압 산화물을 포함한다. 이러한 고 전압 산화물은 입력/출력 트랜지스터(I/O) 산화물과 유사하다. 비트셀(12)과 대응 제어 게이트간 소거 전압들을 분할할 수 있게 하기 위해서 비트셀 웰(12)이 +6V 또는 -6V로 바이어스되는 경우, 90 Å 두께의 산화물이 필요하다.
- [0023] 또 다른 실시예에서, 디바이스(40)는 선택 게이트 트랜지스터(58)를 구비한 나노클러스터 기반의 메모리 디바이스; 50-70 Å 정도의 두께를 갖는 하측 산화물(46)과, 20-25% 표면 피복도(coverage) 정도의 나노클러스터층(48)과, 대략 50 Å 정도의 두께를 갖는 고온 산화물(HTO)의 상측 산화물(50)로 구성된 박막 저장 스택; 및 박막 저장(TFS) 스택 위의, 선택 게이트(44)의 양측 상의 측벽 스페이서 제어 게이트들(52)을 포함한다. 상측 산화물(50)은 HTO가 증착된 산화물이기 때문에, HTO를 포함하고, 저온 산화물(예를 들면, TEOS)내의 많은 수의 전자 또는 정공에 비해, 상기 증착된 산화물 내 전자 또는 정공 트랩 사이트들의 수를 최소화한다. 따라서, 박막 저장 스택은 각각의 게이트 전극(52) 밑에 배치된 영역 내에 상측 산화물(50), 나노클러스터들(48), 및 하측 산화물(46)을 포함한다. 또한, 메모리 디바이스(40)는 소스측 주입 프로그래밍 및 상측 산화물(50)을 통한 파울러-노다임 터널링 소거를 위해 구성된다. 여기에서 논의되는 바와 같은, 메모리 디바이스(40)의 각종의 층들 및 도핑된 영역들은 당 분야에 공지된 기술을 이용하여 각각 제조될 수 있다.
- [0024] 메모리 디바이스(40)의 2비트 저장 셀에 인가된 바이어스들에 의한 소스측 주입의 예들이 표3 및 표4에 제공된다. 즉, 표3은 메모리 디바이스(40)의 2비트 저장 셀의 상측 유전체(50)를 통해 파울러-노다임 터널링에 의해 수행되는 소거 동작을 수행하기 위한 여러 가지 비트셀 동작 전압들을 제공한다. 또한, 표4는 메모리 디바이스(40)의 2비트 저장 셀의 하측 유전체(46)를 통해 파울러-노다임 터널링에 의해 수행되는 소거 동작을 수행하기 위한 여러 가지 비트셀 동작 전압들을 제공한다. 판독 전류는 기록 전류에 반대되는 방향으로 흐른다.
- [0025] 도 2의 실시예에서, 비트셀 동작 전압들은 다음과 같다. 메모리 디바이스(10)의 비트셀 웰(12)은 비트셀 웰 전압 V_{pw} 에서의 p형 웰을 포함한다. 선택 게이트(44)는 폴리실리콘 선택 게이트를 포함하고, 여기서 선택 게이트 전압 V_{sg} 이 폴리실리콘 선택 게이트에 인가된다. 제어 게이트들(52)은 폴리실리콘 제어 게이트들을 포함하고, 이에 제1 및 제2 제어 게이트 전압 V_{cg1} , V_{cg2} 가 폴리실리콘 제어 게이트에 인가된다. 소스 및 드레인 영역들(30, 32)은 각각의 소스/드레인 전압들 V_{source}/V_{drain} 에 있다. 표들에서, V_{dd} 는 양의 전원전압을 나타내며, b/c V_t 는 비트셀 임계전압을 나타내며, V_o 는 나노결정들이 하나 이상이 전자들로 충전되는 프로그램된 임계전압을 나타내며, "플로트(float)"는 전압에도 접지에도 결합되지 않음을 나타낸다.
- [0026] 표3: 2비트 저장에 있어 상측 산화물을 통한 소거를 위한 비트셀 동작전압들

| 터미널 | 소스 | 선택 게이트 | 제어 게이트 1 | 제어 게이트 2 | 드레인 | 비트셀 P-웰 | 딤 N-웰 |
|-----------------------|------------|-----------|---------------------------|---------------------------|------------|---------|-------|
| 프로그래밍, 선택된 비트셀, 좌측 비트 | 5V | 1V | 5V | 5V 또는 0V | 0V | 0V | Vdd |
| 프로그래밍, 선택된 비트셀, 우측 비트 | 0V | 1V | 5V 또는 0V | 5V | 5V | 0V | Vdd |
| 프로그래밍, 비선택된 비트셀 | 5V | 0V | 0V 또는 5V | 0V 또는 5V | 5V | 0V | Vdd |
| 소거, 선택된 섹터 | -6V 또는 플로트 | -6V 또는 0V | 6V | 6V | -6V 또는 플로트 | -6V | 0V |
| 소거, 비선택된 섹터 | 0V 또는 플로트 | 0V | 0V | 0V | 0V 또는 플로트 | 0V | 0V |
| 판독, 선택된 비트셀 | 0V | Vdd | Vdd 또는 0V, 그러나 $> b/c Vt$ | (Vdd + Vo) 또는 Vo | 1V | 0V | Vdd |
| 판독, 비선택된 비트셀 | 0V | 0V | (Vdd + Vo) 또는 Vo | Vdd 또는 0V, 그러나 $> b/c Vt$ | 0V | 0V | Vdd |

[0027]

[0028] 표4: 2비트 저장에 있어 하측 산화물을 통한 소거를 위한 비트셀 동작전압들

| 터미널 | 소스 | 선택 게이트 | 제어 게이트 1 | 제어 게이트 2 | 드레인 | 비트셀 P-웰 | 딤 N-웰 |
|-----------------------|-----------|--------|---------------------------|---------------------------|-----------|---------|-------|
| 프로그래밍, 선택된 비트셀, 좌측 비트 | 5V | 1V | 5V | 5V 또는 0V | 0V | 0V | Vdd |
| 프로그래밍, 선택된 비트셀, 우측 비트 | 0V | 1V | 5V 또는 0V | 5V | 5V | 0V | Vdd |
| 프로그래밍, 비선택된 비트셀 | 5V | 0V | 0V 또는 5V | 0V 또는 5V | 5V | 0V | Vdd |
| 소거, 선택된 섹터 | 6V 또는 플로트 | 0V | -6V | -6V | 6V 또는 플로트 | 6V | 6V |
| 소거, 비선택된 섹터 | 0V 또는 플로트 | 0V | 0V | 0V | 0V 또는 플로트 | 0V | 0V |
| 판독, 선택된 비트셀, 좌측 비트 | 0V | Vdd | Vdd 또는 0V, 그러나 $> b/c Vt$ | (Vdd + Vo) 또는 Vo | 1V | 0V | Vdd |
| 판독, 비선택된 비트셀, 우측 비트 | 0V | Vdd | (Vdd + Vo) 또는 Vo | Vdd 또는 0V, 그러나 $> b/c Vt$ | 1V | 0V | Vdd |
| 판독, 비선택된 비트셀 | 0V | 0V | Vdd 또는 0V, 그러나 $> b/c Vt$ | Vdd 또는 0V, 그러나 $> b/c Vt$ | 0V | 0V | Vdd |

[0029]

[0030] 도 3은 본 개시의 또 다른 실시예에 따른 비휘발성 메모리 디바이스(70)의 개략도이다. 메모리 디바이스(70)는 예를 들면 참조부호 72, 74, 76, 78로 표시한, 여기 개시된 각종 실시예들에 따른 비트 셀들을 포함하여, 로우들 및 칼럼들로 배열된 비트 셀 어레이를 포함한다. 메모리 디바이스(70)는 로우 디코더(80), 칼럼 디코더(82), 센스 증폭기들(84), 및 로우 디코더(80)와 칼럼 디코더(82)를 제어하기 위한 제어회로(88)를 더 포함한다. 로우 디코더(80)는 어드레스 입력(90)을 통해 어드레스 정보를 수신한다. 칼럼 디코더(82)는 어드레스 입력(92)을 통해 어드레스 정보를 수신한다. 센스 증폭기들은 칼럼 디코더(82)로부터 신호 정보를 수신하고, 증폭된 정보 또는 데이터를 데이터 출력(94)에 출력한다. 로우 디코더(80)는 어드레스 입력(90)에 수신된 어드레스 정보를 디코딩하여 적합한 워드라인들(96, 98)에 정보를 출력한다. 칼럼 디코더(82)는 어드레스 입력(92)에 수신된 어드레스 정보를 디코딩하며, 정보를 비트라인들(100, 102, 104)을 통해 수신한다.

[0031] 일 실시예에서, 비트셀(72)은 선택 게이트 트랜지스터(112)와, 게이트 트랜지스터(112)의 대향 양측에 배치된 측벽 트랜지스터들(114, 116)을 구비한 메모리 디바이스를 포함한다. 측벽 트랜지스터들(114, 116)은 각각 유전체 나노클러스터 박막 저장 메모리 스택들(118, 120)을 포함한다. 유전체 나노클러스터 박막 저장 메모리 스택들(118, 120)은 도 1, 도 2, 또는 도 4의 것들과 유사한 스택들을 포함한다. 비트셀(72)은 각각, 대응하는 비트라인들(102, 104)에 결합된 소스/드레인 영역들(122, 124)를 더 포함한다. 또한, 비트셀(72)은 참조부호 126으로 표시한, 전압전위 V_{WELL} 에 결합된 딤 웰 영역을 포함한다.

몇몇의 실시예들에서, 메모리 어레이의 로우(row)에 위치한 메모리 셀들(72, 74, 76, 78)의 트랜지스터들의 전

하 저장 위치들을 방전시키는 방법은 제1 워드라인(108, 106)에 제1 전압을 인가하는 단계를 포함한다. 메모리 어레이의 로우에 위치한 메모리 셀들(72, 74, 76, 78)은 트랜지스터의 제어 게이트와 기판(12) 사이에 위치한 유전물질 내에 배치된 나노클러스터들(118, 120)을 포함하는 전하 저장 위치를 갖는 트랜지스터(114)를 포함한다(도 1 및 도 2). 각각의 메모리 셀(72, 74, 76, 78)의 트랜지스터의 제어 게이트는 제1 워드라인(108)에 결합되고 기판(12) 상에 위치된다. 각각의 메모리 셀(72, 74, 76, 78)의 트랜지스터의 제어 게이트의 적어도 일부는 트랜지스터의 선택 게이트(112)에 인접하여 위치되고 유전물질은 제어 게이트와 선택 게이트 사이에 위치된다. 제2 전압(126)이 기판(12)의 웰 영역(14)에 인가된다. 각각의 메모리 셀(72, 74, 76, 78)의 트랜지스터에 대해서, 제1 전압을 인가하는 단계와 제2 전압을 인가하는 단계는 전하 저장 위치의 나노클러스터들(118)로부터 전자들을 방전시키기 위해서 유전물질 내에 배치된 전하 저장 위치의 나노클러스터들(118)을 갖는 유전물질 양단에 전압차를 발생시킨다.

또 다른 실시예들에서, 메모리 셀들(72, 74, 76, 78)의 트랜지스터들의 전하 저장 위치를 방전시키는 방법은 제1 전압을 제1 워드라인(110)에 인가함과 동시에 제2 워드라인(110)에 제3 전압을 인가하는 단계를 포함하고, 제2 워드라인(110)은 메모리 셀들(72, 74, 76, 78)의 트랜지스터들의 전자 저장 위치들을 방전시키는 각각의 메모리 셀(72, 74, 76, 78)의 트랜지스터의 선택 게이트(112)에 결합된다. 제3 전압은 대략적으로 제2 전압 내지 0V 사이의 범위에 있다.

또 다른 실시예들에서, 메모리 셀들(72, 74, 76, 78)의 트랜지스터들의 전하 저장 위치들을 방전시키는 방법에서, 각각의 메모리 셀(72, 74, 76, 78)의 트랜지스터는 제어 게이트(116)로부터 선택 게이트(112)의 대향 측 상에 위치한 제2 제어 게이트(116)를 더 포함한다. 각각의 메모리 셀(72, 74, 76, 78)의 트랜지스터는 트랜지스터의 제2 제어 게이트(116)와 기판(12) 사이에 위치한 유전물질 내에 배치된 나노클러스터들(120)을 포함하는 제2 전하 저장 위치를 더 포함하고, 제2 제어 게이트(116)와 선택 게이트(112) 사이에 위치한 유전물질을 포함한다. 각각의 메모리 셀(72, 74, 76, 78)의 트랜지스터의 제2 제어 게이트(116)는 제2 워드라인(106)에 결합된다. 각각의 메모리 셀(72, 74, 76, 78)의 트랜지스터의 제2 전하 저장 위치에 저장된 전하를 방전시키는 단계는, 제2 워드라인(106)에 제3 전압을 인가하는 단계, 및 기판(12)의 웰 영역에 제4 전압(126)을 인가하는 단계를 포함한다. 각각의 메모리 셀(72, 74, 76, 78)의 트랜지스터에 대해서, 제3 전압을 인가하는 단계 및 제4 전압을 인가하는 단계는 유전물질 내에 배치된 제2 전하 저장 위치의 나노클러스터들(120)을 갖는 유전물질의 양단에 전압차를 발생시킨다.

[0032] 도 4는 본 개시의 또 다른 실시예에 따른 셀로우 임플란트들(132, 134)을 포함하는 비휘발성 메모리 디바이스(130)의 단면도이다. 제어 게이트 트랜지스터들(54, 56)의 스페이서 디바이스의 전하-중립 제어 게이트 임계전압에 대해 어떠한 가정도 하지 않았다. 선택 게이트 형성(44) 후에 수행되는 셀로우 안티몬 또는 비소 주입 임플란트들(132, 134)를 사용하여, 각각의 스페이서 디바이스의 임계전압 V_t 는 제로 볼트(0V) 미만일 수 있고, 그럼으로써 관동동작동안 제어 게이트들에 바이어스를 가할 필요성이 완화된다. 즉, 메모리 디바이스(40)는 비소(As) 또는 안티몬(Sb)의 자기정렬 카운터 도핑된 임플란트들을 사용하여 각각의 스페이서 디바이스 밑에 선택적으로 낮은 채널 도핑으로 제조된다. As 및 Sb의 카운터 도펀트들은 이들이 후속 가공단계들에서 실질적으로 확산되지 않는 능력에 기인해서 선택된다. 또한, 스페이서 디바이스들은 대략 200-1000 Å 정도의 채널 영역을 갖는다. 즉 단(short) 채널 디바이스이다. 따라서, 스페이서 디바이스들의 임계전압은 단 채널 스페이서 디바이스들의 성능특성들의 열화없이 낮아진다.

[0033] 본 발명이 특정 도전형 또는 전위들의 극성에 관하여 기술되었으나, 당업자들은 도전형들 및 전위들의 극성들은 역으로 할 수 있음을 알 것이다.

[0034] 전술한 명세에서, 본 발명은 구체적인 실시예들에 관하여 기술되었다. 그러나, 당업자는 이하 청구항들에 개시된 본 발명의 범위 내에서 다양한 수정들 및 변경들이 행해질 수 있음을 알 것이다. 따라서, 명세 및 도면들은 한정하기보다는 예시로 간주되어야 할 것이며 모든 이러한 수정들은 본 발명의 범위 내에 포함되도록 의도된다.

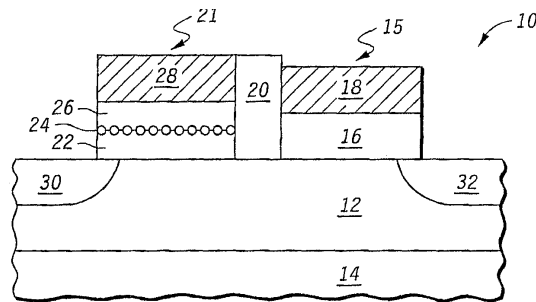
[0035] 이익들, 그 외 이점들, 및 문제들에 대한 해결책들이 구체적인 실시예들에 관하여 위에 기술되었다. 그러나, 이익들, 이점들, 문제들에 대한 해결책들, 및 어떤 이익, 이점, 또는 해결책이 일어나게 하는 또는 더욱 두드러지게 하는 어떤 요소(들)은 청구항들 중 어느 하나 또는 전 청구항들의 결정적, 필요, 또는 필수적 특징 또는 구성요소로서 해석되지 않는다. 여기서 사용되는, "포함하다"라는 용어는 나열된 구성요소들을 포함하는 공정, 방법, 물품 또는 장치가 이들 구성요소들을 포함할 뿐만 아니라 명시적으로 나열되지 않은 또는 이러한 공정, 방법, 물품, 또는 장치에 본연의 다른 구성요소들도 포함하게, 비배타적 포함을 포괄한다.

도면의 간단한 설명

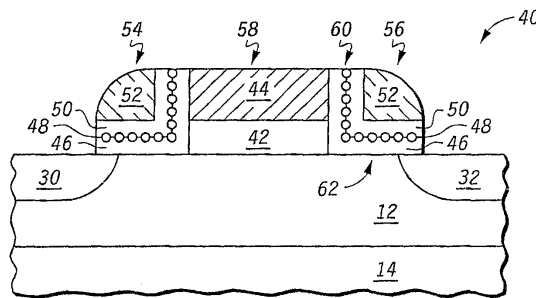
- [0006] 도 1은 본 개시의 일 실시예에 따른 전하 저장을 위한 유전층 내에 나노클러스터들이 임베딩되어 있는 분할 게이트를 구비한 비휘발성 메모리 디바이스의 단면도.
- [0007] 도 2는 본 개시의 또 다른 실시예에 따른 나노클러스터들이 유전층 내에 임베딩되어 있고 또한 폴리실리콘 스페이서들 밑에 배치된 분할 게이트를 구비한 비휘발성 메모리 디바이스의 단면도.
- [0008] 도 3은 본 개시의 또 다른 실시예에 따른 비휘발성 메모리 디바이스의 개략도.
- [0009] 도 4는 본 개시의 또 다른 실시예에 따른 셀로우 임플란트를 포함하는 비휘발성 메모리 디바이스의 단면도.

도면

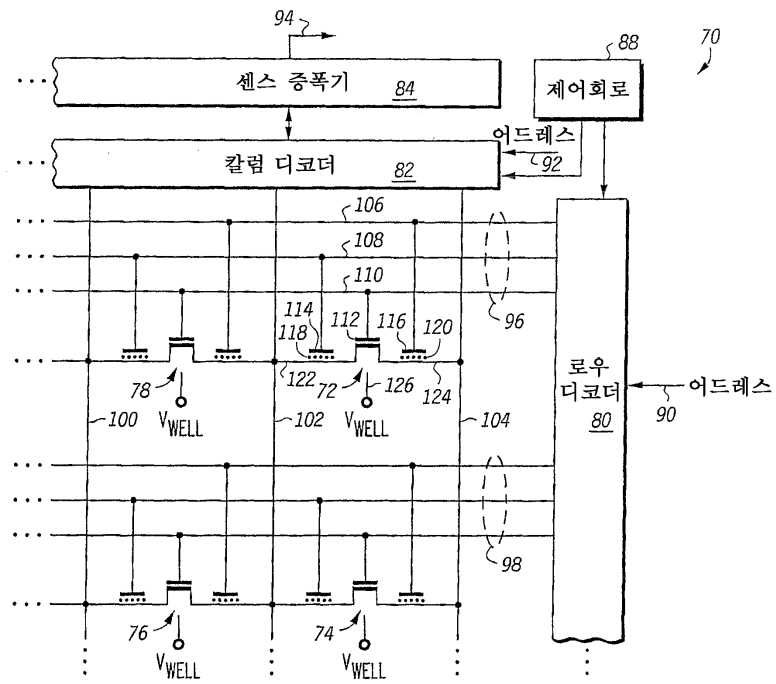
도면1



도면2



도면3



도면4

