

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6984456号
(P6984456)

(45) 発行日 令和3年12月22日(2021.12.22)

(24) 登録日 令和3年11月29日(2021.11.29)

(51) Int.Cl.	F I	
HO 1 L 21/338 (2006.01)	HO 1 L 29/80	F
HO 1 L 29/812 (2006.01)	HO 1 L 29/80	H
HO 1 L 29/778 (2006.01)	HO 1 L 29/58	Z
HO 1 L 29/423 (2006.01)	HO 1 L 21/28	L
HO 1 L 21/28 (2006.01)	HO 1 L 29/44	S

請求項の数 7 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2018-18291 (P2018-18291)	(73) 特許権者	000002130
(22) 出願日	平成30年2月5日(2018.2.5)		住友電気工業株式会社
(65) 公開番号	特開2019-135745 (P2019-135745A)		大阪府大阪市中央区北浜四丁目5番33号
(43) 公開日	令和1年8月15日(2019.8.15)	(74) 代理人	100088155
審査請求日	令和2年7月21日(2020.7.21)		弁理士 長谷川 芳樹
		(74) 代理人	100113435
			弁理士 黒木 義樹
		(74) 代理人	100136722
			弁理士 ▲高▼木 邦夫
		(74) 代理人	100174399
			弁理士 寺澤 正太郎
		(72) 発明者	吉田 智洋
			大阪府大阪市中央区北浜四丁目5番33号
			住友電気工業株式会社内

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

ゲート電極を備える電界効果トランジスタの製造方法であって、
基板上に成長した半導体積層の表面を覆う第1のSiN膜を減圧CVD法により形成する工程と、

前記第1のSiN膜上に第2のSiN膜をプラズマCVD法により形成する工程と、

開口パターンを有するマスクを前記第2のSiN膜上に形成する工程と、

前記開口パターンを介して前記第2のSiN膜および前記第1のSiN膜にドライエッチングを施すことにより、前記第2のSiN膜および前記第1のSiN膜に開口を形成して前記半導体積層を露出させるエッチング工程と、

露出した前記半導体積層上および少なくとも前記第1のSiN膜に形成された前記開口の周囲にゲート電極を形成する工程と、

を含み、

前記第1のSiN膜に対するエッチングレートのアスペクト比A1 ($A1 = a1 / b1$ 、a1は深さ方向のエッチングレート、b1は横方向のエッチングレート)と、前記第2のSiN膜に対するエッチングレートのアスペクト比A2 ($A2 = a2 / b2$ 、a2は深さ方向のエッチングレート、b2は横方向のエッチングレート)との比(A1/A2)が16/5以上である、電界効果トランジスタの製造方法。

【請求項2】

前記エッチング工程では、前記第2のSiN膜に対するエッチングからエッチング条件

を変更することなく前記第1のSiN膜に対するエッチングを行う、請求項1に記載の電界効果トランジスタの製造方法。

【請求項3】

前記第1のSiN膜の厚さを20nm～50nmの範囲内とし、前記第2のSiN膜の厚さを250nm～500nmの範囲内とする、請求項1又は請求項2に記載の電界効果トランジスタの製造方法。

【請求項4】

前記半導体積層の表面に対する前記第1のSiN膜の前記開口の側壁の傾斜角が $\tan^{-1}(8)$ 未満である、請求項1～3のいずれか1項に記載の電界効果トランジスタの製造方法。

10

【請求項5】

前記第1のSiN膜の前記開口の下縁を基準とする前記第2のSiN膜の後退量が0.15 μm 以上である、請求項1～4のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項6】

前記第1のSiN膜を形成する工程において、成膜温度を800～900の範囲内とし、成膜圧力を50Pa～100Paの範囲内とし、ジクロロシランの流量F1とアンモニアガスの流量F2との比(F1/F2)を0.1以上とする、請求項1～5のいずれか1項に記載の電界効果トランジスタの製造方法。

【請求項7】

前記第2のSiN膜を形成する工程において、成膜温度を300～350の範囲内とする、請求項1～6のいずれか1項に記載の電界効果トランジスタの製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果トランジスタの製造方法に関するものである。

【背景技術】

【0002】

特許文献1には、半導体層上に電極を形成する方法が記載されている。この方法では、まず半導体層上にベース絶縁膜を成膜し、このベース絶縁膜に開口(コンタクト窓)を形成する。次に、開口内を含む半導体層上の全面に第1の絶縁膜を成膜する。このとき、開口の形状が第1の絶縁膜に残る。その上に第2の絶縁膜を成膜する。そして、第1及び第2の絶縁膜のエッチングを行い、開口内の半導体層を露出させる。このとき、ベース絶縁膜の側面上に第1及び第2の絶縁膜が残存し、開口の傾斜した側壁が形成される。その後、開口を埋め込むように電極を形成する。

30

【0003】

特許文献2には、化合物半導体装置に関する技術が記載されている。この装置は、SiC基板上に、化合物半導体層と、開口を有し化合物半導体層を覆うSiNの保護膜と、開口を埋め込むよう化合物半導体層上に形成されたゲート電極とを有している。開口は、SiNの保護膜にウェットエッチングを施すことにより形成され、これにより開口の側壁が傾斜する。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第8357571号明細書

【特許文献2】特開平2013-077621号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

電界効果トランジスタのゲート電極を形成する際には、半導体層の表面を覆う絶縁膜に

50

開口を形成し、該開口を覆うようにゲート電極の金属膜を形成する。このとき、ゲート端に電界が集中することによる耐圧の低下やコプラスの悪化を抑制するために、開口の幅が半導体層から離れるに従って徐々に広がるような傾斜を開口の側壁に与える。上述した各文献は、開口の側壁を傾斜させるための種々の方法を開示する。しかしながら、特許文献1に記載された方法では、ベース絶縁膜の側面と第1の絶縁膜との界面が膜内に残存する。通常、ベース絶縁膜の側面には、ドライエッチングの際に残留した反応生成物や大気中に含まれる炭素原子といった不純物が付着している。開口の側壁の近くにこれらの不純物が存在していると、ゲート電極に電圧が印加された際にこれらの不純物がイオン化して、特性の変動や信頼性の低下の原因となる。また、特許文献2に記載された方法のようにウェットエッチングによって開口の側壁を形成する場合、側壁の傾斜角度がウェハ毎にばらつき、またウェハ面内でもばらつく傾向がある。側壁の傾斜角度のばらつきは、素子毎の動作特性のばらつきとして現れる。

10

【0006】

本発明は、このような問題点に鑑みてなされたものであり、ゲート開口近くの絶縁膜内に不純物が混入することを回避し、且つ、ゲート開口の側壁の傾斜のばらつきを抑制することが可能な電界効果トランジスタの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上述した課題を解決するために、一実施形態に係る電界効果トランジスタの製造方法は、ゲート電極を備える電界効果トランジスタの製造方法であって、基板上に成長した半導体積層の表面を覆う第1のSiN膜を減圧CVD法により形成する工程と、第1のSiN膜上に第2のSiN膜をプラズマCVD法により形成する工程と、開口パターンを有するマスクを第2のSiN膜上に形成する工程と、開口パターンを介して第2のSiN膜および第1のSiN膜にドライエッチングを施すことにより、第2のSiN膜および第1のSiN膜に開口を形成して半導体積層を露出させるエッチング工程と、露出した半導体積層上および少なくとも第1のSiN膜に形成された開口の周囲にゲート電極を形成する工程と、を含む。

20

【発明の効果】

【0008】

本発明によれば、ゲート開口近くの絶縁膜内に不純物が混入することを回避し、且つ、ゲート開口の側壁の傾斜のばらつきを抑制することが可能な電界効果トランジスタの製造方法を提供できる。

30

【図面の簡単な説明】

【0009】

【図1】図1は、一実施形態に係る製造方法によって製造されるトランジスタ1Aの一例を示す断面図である。

【図2】図2の(a)及び(b)は、一実施形態に係るトランジスタ1Aの製造方法を説明する図である。

【図3】図3の(a)及び(b)は、一実施形態に係るトランジスタ1Aの製造方法を説明する図である。

40

【図4】図4の(a)及び(b)は、一実施形態に係るトランジスタ1Aの製造方法を説明する図であって、トランジスタ1Aのうちゲート電極23付近の製造方法を拡大して示している。

【図5】図5の(a)及び(b)は、一実施形態に係るトランジスタ1Aの製造方法を説明する図であって、トランジスタ1Aのうちゲート電極23付近の製造方法を拡大して示している。

【図6】図6は、SiN膜11のゲート開口11aの壁面、及びSiN膜12の開口12aの壁面がエッチングにより後退する様子を概念的に示す図である。

【図7】図7は、一実施例により作製した電界効果トランジスタ1Aのゲート電極23付近の断面構造を示すSEM写真である。

50

【発明を実施するための形態】

【0010】

本発明の実施形態に係る電界効果トランジスタの製造方法の具体例を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。以下の説明では、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0011】

図1は、第1実施形態に係る製造方法によって製造される電界効果トランジスタ（以下、単にトランジスタという）の一例を示す断面図である。図1に示されるように、トランジスタ1Aは、基板2、半導体積層7、SiN膜11（第1のSiN膜）、SiN膜12（第2の絶縁膜）、ソース電極21、ドレイン電極22、及びゲート電極23を備える。半導体積層7は、基板2から順に、バッファ層3、チャンネル層4、バリア層5、及びキャップ層6を含む。トランジスタ1Aは高電子移動度トランジスタ（HEMT）であり、チャンネル層4とバリア層5との界面に2次元電子ガス（2DEG：2 Dimensional Electron Gas）が生じることにより、チャンネル層4内にチャンネル領域が形成される。

10

【0012】

基板2は、結晶成長用の基板である。基板2として、例えばSiC基板、GaN基板、又はサファイア（ Al_2O_3 ）基板が挙げられる。本実施形態では、基板2はSiC基板である。バッファ層3は、チャンネル層4及びバリア層5を異種基板である基板2上にエピタキシャル成長するための緩衝層である。バッファ層3は、窒化物半導体で構成され、例えばAlN層である。バッファ層3の厚さは、例えば10nm以上100nm以下である。チャンネル層4は、基板2上（本実施形態ではバッファ層3上）にエピタキシャル成長した層であり、上述した2次元電子ガスが生じ、ドレイン電流が流れるチャンネル領域を有する。チャンネル層4は、窒化物半導体で構成され、例えばGaN層である。チャンネル層4の厚さは、例えば400nm以上2000nm以下である。

20

【0013】

バリア層5は、チャンネル層4上にエピタキシャル成長した層である。バリア層5は、チャンネル層4よりも電子親和力が大きい窒化物半導体で構成され、例えばAlGaN層、InAlN層、およびInAlGaN層を含む。バリア層5には不純物が含まれてもよい。本実施形態では、バリア層5は、n型のAlGaN層である。バリア層5の厚さは、例えば5nm以上30nm以下である。キャップ層6は、バリア層5上にエピタキシャル成長した層である。キャップ層6は、窒化物半導体で構成され、例えばGaN層である。キャップ層6も不純物を含んでもよい。本実施形態では、キャップ層6は、n型GaN層からなる。キャップ層6の厚さの下限値は、例えば1nmである。キャップ層6の厚さの上限値は、例えば5nmである。

30

【0014】

SiN膜11は、キャップ層6上に設けられた窒化シリコン（SiN）からなる絶縁性の保護膜である。SiN膜11は、半導体積層7の表面を保護するために設けられる。後述するように、SiN膜12よりもエッチング耐性を高めるために、SiN膜11は減圧CVD（Low Pressure Chemical Vapor Deposition；LPCVD）法によって形成される。減圧CVD法では成膜温度が高温のため、SiN膜11の膜質は緻密である。また、SiN膜11は、ストイキオメトリなSiN膜よりもSi組成が大きい、いわゆるSiリッチな膜である。SiN膜11の屈折率は例えば2.05以上である。

40

【0015】

SiN膜11の厚さの下限値は例えば20nmであり、上限値は例えば50nmである。SiN膜11には、ゲート開口11aと、ソース開口11bと、ドレイン開口11cとが形成されている。ゲート開口11aは、ソース開口11bとドレイン開口11cとの間に位置する。ゲート開口11a内では、キャップ層6が露出している。ゲート開口11aの側壁は、ゲート開口11aの幅が半導体積層7から離れるほど徐々に広がるように、半

50

導体積層7の表面(本実施形態ではキャップ層6の表面)の法線方向に対して傾斜している。ソース開口11b及びドレイン開口11c内では、キャップ層6が除去されておりバリア層5が露出している。

【0016】

ソース電極21は、ソース開口11bを塞ぎ、かつ、半導体積層7上にも設けられ、ソース開口11bを介してバリア層5と接している。ドレイン電極22は、ドレイン開口11cを塞ぎ、かつ、半導体積層7上にも設けられ、ドレイン開口11cを介してバリア層5と接している。ソース電極21及びドレイン電極22は、オーミック電極であり、例えばチタン(Ti)層とアルミニウム(Al)層との積層構造を合金化して形成されたものである。ソース電極21及びドレイン電極22は、Al層の上に他のTi層をさらに積層化した上で合金化されてもよい。

10

【0017】

ゲート電極23は、ソース電極21とドレイン電極22との間の半導体積層7上の領域に設けられ、SiN膜11、及び開口11aを介してキャップ層6に接している。具体的には、ゲート電極23は、ゲート開口11aを埋め込んでおり、ゲート開口11a内のキャップ層6と、SiN膜11の表面のうちゲート開口11aの周辺部とに接している。ゲート電極23はキャップ層6とショットキ接触する材料を含み、例えばニッケル(Ni)層と金(Au)層との積層構造を有する。この場合、Ni層がキャップ層6にショットキ接触する。なお、キャップ層6とショットキ接触できる材料としては、Niの他にPt(白金)等が挙げられる。Ni層の厚さは例えば200nmであり、Au層の厚さは例えば700nmである。

20

【0018】

SiN膜12は、SiN膜11上に設けられた窒化シリコン(SiN)からなる膜である。後述するように、SiN膜11よりもエッチング耐性を低くするために、SiN膜12はプラズマCVD法によって形成される。プラズマCVD法では成膜温度が低温のため、SiN膜11の膜質はSiN膜12よりも疎である。SiN膜12のSi組成はSiN膜11のSi組成よりも小さく、SiN膜11の屈折率は例えば1.8程度、もしくはそれ以下とされる。SiN膜12の厚さの下限値は例えば250nmであり、上限値は例えば500nmである。SiN膜12には、開口12a、12b及び12cが形成されている。開口12aは、SiN膜11のゲート開口11a上に位置し、SiN膜11のうちゲート開口11a及びその周辺部を露出させる。開口12a内には、開口12aの側壁から間隔をあけてゲート電極23が配置されている。開口12bは、SiN膜12のうちソース電極21を覆う部分に形成されており、ソース電極21の上面を露出させる。ソース電極21は、開口12bを介して、図示しないソース電極パッドと接している。開口12cは、SiN膜12のうちドレイン電極22を覆う部分に形成されており、ドレイン電極22の上面を露出させる。ドレイン電極22は、開口12cを介して、図示しないドレイン電極パッドと接している。

30

【0019】

ここで、図2~図5を参照しながら本実施形態に係るトランジスタ1Aの製造方法を説明する。図2の(a)及び(b)、図3の(a)及び(b)、図4の(a)及び(b)、並びに図5の(a)及び(b)は、本実施形態に係るトランジスタ1Aの製造方法を説明する図である。なお、図4の(a)及び(b)、並びに図5の(a)及び(b)は、トランジスタ1Aのうちゲート電極23付近の製造方法を拡大して示している。

40

【0020】

まず、図2の(a)に示されるように、バッファ層3、チャネル層4、バリア層5、及びキャップ層6を含む半導体積層7を基板2上に形成する。例えば、有機金属気相成長法(Metal Organic Chemical Vapor Deposition; MOCVD)を用いて、バッファ層3として機能するAlN層、チャネル層4として機能するGaN層、バリア層5として機能するAlGaN層、及びキャップ層6として機能するGaN層を、SiC基板上に順に成長する。

50

【0021】

次に、図2の(b)に示されるように、半導体積層7の表面(本実施形態ではキャップ層6の表面)を覆うSiN膜11を成膜する。この工程では、ジクロロシランガス及びアンモニアガスを原料とする減圧CVD法により、SiN膜11をキャップ層6上に堆積する。成膜後のSiN膜11の厚さは、例えば上述したように20nm~50nmの範囲内である。この工程において、SiN膜11の成膜温度の下限値は例えば800であり、上限値は例えば900である。これは、プラズマCVD法における成膜温度よりも極めて高い温度である。但し、この温度は、半導体積層7の成長温度と同等か、それよりも低い。また、SiN膜11の成長圧力の下限値は例えば10Paであり、上限値は例えば100Paである。また、ジクロロシランの流量F1とアンモニアガスの流量F2との比(F1/F2)を例えば0.05以上とする。このジクロロシランの流量比は、ストイキオメトリとなるジクロロシランの流量比よりも大きい。ジクロロシランの流量F1は例えば10sccm~100sccmの範囲内であり、アンモニアガスの流量F2は例えば200sccm~2000sccmの範囲内である。なお、単位sccmは標準状態での立方センチメートル毎分を意味し、 $1\text{ sccm} = 1.69 \times 10^{-4} \text{ Pa} \cdot \text{m}^3 \cdot \text{sec}^{-1}$ で換算される。

10

【0022】

一実施例では、ジクロロシランの流量F1は50sccmであり、アンモニアガスの流量F2は500sccmであり、成膜圧力は50Paであり、成膜温度は850である。このような成膜条件によれば、屈折率がおよそ2.05のSiリッチなSiN膜11を得ることができる。

20

【0023】

続いて、図3の(a)に示されるように、SiN膜11の一部を選択的にエッチングし、ソース開口11b及びドレイン開口11cを形成する。例えば、レジストマスクを介する選択的なドライエッチングにより、SiN膜11にソース開口11b及びドレイン開口11cを形成する。さらに、ソース開口11b及びドレイン開口11c内のキャップ層6を、塩素系ガスを反応ガスとするドライエッチングにより除去する。これにより、ソース開口11b及びドレイン開口11c内においてバリア層5が露出する。その後、ソース開口11b内にソース電極21を形成し、ドレイン開口11c内にドレイン電極22を形成する。この工程では、ソース電極21及びドレイン電極22を、例えば真空蒸着及びリフトオフにより形成する。その後、これらをオーミック電極とするための熱処理による合金化を行う。

30

【0024】

続いて、図3の(b)に示されるように、SiN膜11上にSiN膜12を成膜する。SiN膜12は、SiN膜11、ソース電極21及びドレイン電極22を含む半導体積層7上の全面を覆う。この工程では、シランガス及びアンモニアガスを原料とするプラズマCVD法により、SiN膜12を堆積する。成膜後のSiN膜12の厚さは、例えば上述したように250nm~500nmの範囲内である。この工程において、SiN膜12の成膜温度の下限値は例えば300であり、上限値は例えば350である。このように成膜温度を低くできるのは、SiNの成膜過程をプラズマが補助するからである。SiN膜12の成膜圧力の下限値は例えば50Paであり、上限値は例えば200Paである。シランの流量F1は10sccm~50sccmの範囲内であり、アンモニアガスの流量F2は100sccm~500sccmの範囲内である。

40

【0025】

一実施例では、シランの流量F1は20sccmであり、アンモニアガスの流量F2は200sccmであり、成膜圧力は133Paであり、成膜温度は350であり、RFパワーは200Wである。このような成膜条件によれば、屈折率がおよそ1.8のSiN膜12を得ることができる。

【0026】

続いて、図4の(a)に示されるように、開口パターンRaを有するマスクRをSiN

50

膜12上に形成する。開口パターンRaの形成位置及び平面形状は、ゲート開口11aの形成位置及び平面形状に対応する。マスクRは、例えば紫外線露光用レジスト若しくは電子線露光用レジストからなる。開口パターンRaは、例えば紫外線露光若しくは電子線露光により形成される。開口パターンRaの幅 L_0 は、EB露光の場合には例えば50nmであり、紫外線露光の場合には例えば400nmである。幅 L_0 は、SiN膜11のゲート開口11aの所望の最小幅 L_1 （図4の(b)を参照）から逆算して決定されるとよい。

【0027】

続いて、図4の(b)に示されるように、開口パターンRaを介してSiN膜11, 12に選択的にドライエッチングを施すことにより、SiN膜11, 12に開口11a, 12aを形成して半導体積層7を露出する（エッチング工程）。この工程では、SiN膜11に対するエッチング条件をそのままSiN膜12に対しても適用すると、SiN膜12に有意なサイドエッチを生ずることができる。ドライエッチングは、例えば反応性イオンエッチング（Reactive Ion Etching; RIE）である。エッチングガスとしては、例えばフッ素系ガスが用いられる。フッ素系ガスとしては、例えば、 SF_6 , CF_4 , CHF_3 , C_3F_6 , 及び C_2F_6 からなる群から1つ以上が選択される。RIE装置は、誘導結合型（Inductive Coupled Plasma; ICP）のものであってもよい。フッ素系ガスを用いる場合のエッチング条件としては、例えば、反応圧力が1Paに、RFパワーが100Wにそれぞれ設定される。この工程では、RFパワーと同様に、反応圧力もイオンの平均自由行程に影響するので、エッチングの異方性の程度を左右する。

【0028】

図6は、SiN膜11のゲート開口11aの壁面、及びSiN膜12の開口12aの壁面がエッチングにより後退する様子を概念的に示す図である。図6の(a)は、エッチング深さとSiN膜12の厚さとが互いに等しい状態（すなわちエッチングがSiN膜11の上面に達した状態）を示している。図6の(b), (c)は、SiN膜11, 12に対するエッチングが徐々に進行する様子を示している。図6の(d)は、エッチング深さとSiN膜11, 12の厚さの和とが互いに等しい状態（すなわちエッチングがキャップ層6の上面に達して完了した状態）を示している。また、図中に示された破線の長方形D2は、SiN膜12に対する深さ方向のエッチングレート a_2 と横方向のエッチングレート b_2 とのアスペクト比 A_2 （ $A_2 = a_2 / b_2$ ）を表している。破線の長方形D1は、マスクRと重複する領域のSiN膜11が上方からはエッチングされないと仮定した場合の、SiN膜11に対する深さ方向のエッチングレート a_1 と横方向のエッチングレート b_1 とのアスペクト比 A_1 （ $A_1 = a_1 / b_1$ ）を表している。

【0029】

本実施形態では、SiN膜12がプラズマCVD法によって形成され、SiN膜11が減圧CVD法によって形成される。前述したように、一方、プラズマCVD法によって形成されたSiNは疎であり、RIE等のドライエッチングに対する耐性が相対的に小さい。従って、SiN膜12は化学的な反応主体で等方的にエッチングが進むので、横方向のエッチングレートは比較的大きくなり、深さ方向のエッチングレートに近づく。一方、減圧CVD法によって形成されたSiNは緻密であり、RIE等のドライエッチングに対する耐性が相対的に大きい。従って、SiN膜11は化学的な反応が後退し、イオンのスパッタリング作用が相対的に大きくなり、横方向のエッチングレートは深さ方向のエッチングレートよりも十分に小さくなる。

【0030】

上記のようなSiN膜11, 12のエッチング特性の違いは、これらのエッチングレートに現れる。すなわち、SiN膜11の深さ方向のエッチングレート a_1 はSiN膜12の深さ方向のエッチングレート a_2 よりも遅くなり、また、SiN膜11の横方向のエッチングレート b_1 はSiN膜12の横方向のエッチングレート b_2 よりも遅くなる。更に、SiN膜11のアスペクト比 A_1 は、SiN膜12のアスペクト比 A_2 よりも大きくなる傾向がある。一例では、エッチングレート a_1 は4nm/minであり、エッチングレ

ート a 2 は 20 nm/min であり、比 $(a 2 / a 1)$ は 5 程度である。また、エッチングレート b 1 は 0.5 nm/min であり、エッチングレート b 2 は 8 nm/min であり、比 $(b 2 / b 1)$ は 16 程度である。この場合、これらのアスペクト比 $A 1$ 、 $A 2$ の比 $(A 1 / A 2)$ は $16 / 5$ となる。なお、成膜条件及びエッチング条件を変更することにより、比 $(A 1 / A 2)$ を $16 / 5$ より大きくすることもできる。

【0031】

図 6 の (a) ~ (d) に示されるように、 SiN 膜 1 1 に対する深さ方向のエッチングが進む際、 SiN 膜 1 2 に対する横方向のエッチングが同時に進み、開口 1 2 a の側壁が次第に後退する。従って、ゲート開口 1 1 a の周囲に位置する SiN 膜 1 1 の上面が次第に露出する。このとき、マスク R の開口パターン R a から半導体積層 7 の表面に垂直な方向に沿ってのみエッチングガスが吹き付けられると仮定すると、 SiN 膜 1 1 の上面はエッチングされない。従って、この場合、ゲート開口 1 1 a の側壁は図中の $W a$ となり、半導体積層 7 の表面に対する側壁 $W a$ の傾斜角はアスペクト比 $A 1$ のみに従う。しかし、多くの場合エッチングガスの進行方向は半導体積層 7 の表面に垂直な方向に対して傾斜した成分を含んでおり、本工程では SiN 膜 1 1 の角部分 (エッジ) のスパッタ作用によるエッチングが同時に進行する。図中の $W b$ は、 SiN 膜 1 1 の露出部分がマスク R に覆われておらず SiN 膜 1 1 の角部分のエッチングが十分に進行したと仮定した場合のゲート開口 1 1 a の側壁形状を表している。この場合、ゲート開口 1 1 a の側壁は、ゲート開口 1 1 a の下縁から開口 1 2 a の下縁まで直線状に延びる。実際には、ゲート開口 1 1 a の側壁の形状は $W a$ と $W b$ との間、例えば $W c$ の辺りになる。従って、半導体積層 7 の表面に対する SiN 膜 1 1 のゲート開口 1 1 a の側壁の傾斜角は、 $\tan^{-1} (8)$ 未満となる。

【0032】

SiN 膜 1 1 のゲート開口 1 1 a の下縁を基準とする SiN 膜 1 2 の後退量 B は、 SiN 膜 1 2 が厚くなるほど大きくなる。一例として、 SiN 膜 1 1 の厚さを 20 nm とし、 SiN 膜 1 2 の厚さを 250 nm とした場合、後退量 B は $0.15 \mu\text{m}$ となる。このとき、傾斜角は 50° となる。また、別の例として、 SiN 膜 1 1 の厚さを 20 nm とし、 SiN 膜 1 2 の厚さを 120 nm とした場合、後退量 B は 100 nm となる。このとき、傾斜角は 70° となる。

【0033】

SiN 膜 1 2 が厚くなるに従って傾斜角は小さくなるが、 SiN 膜 1 2 の厚さが 300 nm 以上になると、傾斜角は 50° 程度で飽和する。傾斜角が飽和する理由は、 SiN 膜 1 1 の角部分だけでなくゲート開口 1 1 a の側壁部分もエッチングが進むからである。

【0034】

また、エッチング時の圧力の増大 (例えば 5 Pa) は、傾斜角を小さくする方向に作用する。これは、イオンの平均自由行程が小さくなり、また、イオンの進行方向が等方的になるからである。但し、圧力が増大した場合であっても、 SiN 膜 1 2 の膜厚が厚くなると傾斜角は飽和する。しかしながら、その傾斜角の飽和角度は 45° 程度であり、圧力が高いほど飽和角度は小さくなる。

【0035】

引き続き製造方法を説明すると、図 5 の (a) に示されるように、 SiN 膜 1 2 上からマスク R を除去 (剥離) する。そして、図 5 の (b) に示されるように、露出した半導体積層 7 の表面上、及びゲート開口 1 1 a の周囲の SiN 膜 1 1 上にゲート電極 2 3 を形成する。具体的には、 SiN 膜 1 1 に形成されたゲート開口 1 1 a を露出し、 SiN 膜 1 2 に形成された開口 1 2 a を覆うパターンをフォトレジストにより形成する。その後、ゲート金属としてニッケル (Ni)、金 (Au) の多層膜を、フォトレジストパターンから露出した半導体積層 7 及び SiN 膜 1 1 上に、例えば、抵抗加熱により真空蒸着法により堆積する。この時、フォトレジスト上にもゲート金属は堆積するが、次工程においてフォトレジストを除去することにより、フォトレジスト上のゲート金属もフォトレジストと同時

10

20

30

40

50

に除去される（リフトオフ工程）。以上の工程により図5（b）に示すゲート電極23が形成される。

【0036】

以上の図1、図5（b）に示す例ではゲート電極23はSiN膜12には接していない。しかしながら、ゲート金属を形成するフォトリソに、SiN膜12の開口12aを露出するパターンを設けることにより、ゲート電極23をSiN膜12にも乗り上げさせることができる。

【0037】

以上に説明した本実施形態による電界効果トランジスタ1Aの製造方法によって得られる効果について説明する。本実施形態の製造方法では、SiN膜11を減圧CVD法により形成し、SiN膜12をプラズマCVD法により形成する。この場合、SiN膜12のエッチングレートがSiN膜11のエッチングレートよりも速くなるので、図6に示されたように、SiN膜11のエッチングによりゲート開口11aが形成されている間に、SiN膜12の開口12aの側壁が後退する。そして、ゲート開口11aの周囲のSiN膜11の上面が露出する。この上面が上方向からエッチングされるので、半導体積層7の表面を基準とするゲート開口11aの側壁の傾斜角は、SiN膜11のエッチングレートのアスペクト比A1に基づく角度よりも小さくなる。故に、本実施形態の方法によれば、ゲート開口11aの側壁を十分に傾斜させることができる。よって、ゲート端に電界が集中することによる耐圧の低下やコプラスの悪化を効果的に抑制することができる。

【0038】

更に、本実施形態の方法では、SiN膜11、12を連続して成膜したのちこれらを一度にエッチングするので、ゲート電圧の電界が及ぶ絶縁膜の内部にイオンや炭素原子といった不純物が残存することがない。従って、不純物に起因するトランジスタ1Aの特性の変動や信頼性の低下を回避することができる。また、本実施形態の方法ではドライエッチングにより開口12a及びゲート開口11aの側壁を形成するので、ウェットエッチングによって開口の側壁を形成する場合と比較して、側壁の傾斜角度のウェハ毎及びウェハ面内でのばらつきを低減できるので、素子毎の動作特性のばらつきを抑制することができる。

【0039】

図7は、一実施例により作製した電界効果トランジスタ1Aのゲート電極23付近の断面構造を示すSEM写真である。このSEM写真には、チャンネル層4、バリア層5、キャップ層6、SiN膜11、及びSiN膜12が含まれる。そして、SiN膜11にゲート開口11aが、SiN膜12に開口12aが、それぞれ形成されている。この写真を参照すると、ゲート開口11aの側壁が適切な角度で傾斜していることが容易に理解される。

【0040】

また、本実施形態のように、エッチング工程では、SiN膜12に対するエッチングからエッチング条件を変更することなくSiN膜11に対するエッチングを行ってもよい。これにより、ゲート開口11a及び開口12aを形成するための作業時間を短縮することができる。

【0041】

また、本実施形態のように、SiN膜11に対するエッチングレートのアスペクト比A1と、SiN膜12に対するエッチングレートのアスペクト比A2との比（ $A1/A2$ ）が1.6/5以上であってもよい。このように、SiN膜11とSiN膜12とのエッチングレートのアスペクト比の差を大きくすることによって、図6に示されたようにゲート開口11aの周囲のSiN膜11の上面を多く露出させ、ゲート開口11aの側面の傾斜角度を精度良く制御することができる。

【0042】

また、本実施形態のように、SiN膜11の厚さを20nm～50nmの範囲内とし、SiN膜12の厚さを250nm～500nmの範囲内としてもよい。SiN膜11の厚さを20nm以上とすることにより、SiN膜11の絶縁膜及び保護膜としての機能を十

10

20

30

40

50

分に発揮させることができる。また、SiN膜12の厚さを250nm以上とすることにより、開口12aの側壁の後退量を十分に確保し、ゲート開口11aの側壁を効果的に傾斜させることができる。また、SiN膜11の厚さを薄くし(例えば50nm以下)、SiN膜12の厚さを薄くする(例えば500nm以下)ことにより、レジストマスクを薄くすることが可能となり、寸法制御性を高めることができる。

【0043】

また、本実施形態のように、半導体積層7の表面に対するゲート開口11aの側壁の傾斜角が $\tan^{-1}(8)$ 未満であってもよい。前述したように、或るエッチング条件において、ゲート開口11aの周囲におけるSiN膜11の上面がエッチングされないと仮定した場合、深さ方向のエッチングレートa2と、横方向のエッチングレートb2との比($a2/b2$)は8となる。しかしながら、実際には、ゲート開口11aの周囲におけるSiN膜11の上面は露出し、深さ方向にエッチングされる。従って、本実施形態の方法によれば、 $\tan^{-1}(8)$ 未満の傾斜角を得ることができる。

10

【0044】

また、本実施形態のように、ゲート開口11aの下縁を基準とするSiN膜12の後退量Bが $0.15\mu\text{m}$ 以上であってもよい。このように開口12aの側壁を十分に後退させることによって、ゲート開口11aの周囲におけるSiN膜11の上面の露出範囲を拡げ、ゲート開口11aの側壁を効果的に傾斜させることができる。

【0045】

また、本実施形態のように、SiN膜11を形成する工程において、成膜温度を800~900の範囲内とし、成膜圧力を50Pa~100Paの範囲内とし、ジクロロシランの流量F1とアンモニアガスの流量F2との比($F1/F2$)を0.1以上としてもよい。このような高温且つ低圧でSiN膜11を成膜し、且つSiN膜11をSiリッチな膜とすることにより、SiN膜11とSiN膜12との上述したエッチングレートの違いを効果的に生じさせることができる。

20

【0046】

また、本実施形態のように、SiN膜12を形成する工程において、成膜温度を300~350の範囲内としてもよい。このような低温でSiN膜12を成膜することにより、SiN膜11とSiN膜12との上述したエッチングレートの違いを効果的に生じさせることができる。

30

【0047】

本発明による電界効果トランジスタの製造方法は、上述した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態では、HEMTに本発明を適用した例について説明しているが、本発明の製造方法は、HEMT以外の様々な電界効果トランジスタに適用可能である。また、上記実施形態ではオーミック電極(ソース電極及びドレイン電極)を形成した後に第2のSiN膜を形成しているが、第2のSiN膜を先に形成し、その後にオーミック電極を形成してもよい。その場合、オーミック電極の熱処理(合金化)の際に電極金属が第2のSiN膜に触れないことが好ましい。その場合、第2のSiN膜への電極金属の拡散を回避することができる。但し、第1のSiN膜は緻密な膜質を有するので、電極金属は第1のSiN膜には触れてもよい。

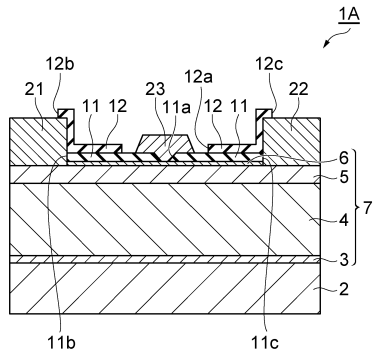
40

【符号の説明】

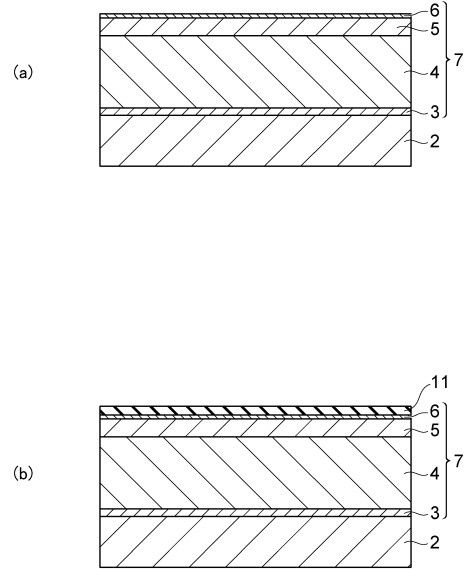
【0048】

1A...電界効果トランジスタ、2...基板、3...バッファ層、4...チャンネル層、5...バリア層、6...キャップ層、7...半導体積層、11...第1のSiN膜、11a...ゲート開口、11b...ソース開口、11c...ドレイン開口、12...第2のSiN膜、12a,12b,12c...開口、21...ソース電極、22...ドレイン電極、23...ゲート電極、a1,a2...エッチングレート、B...後退量、b1,b2...エッチングレート、R...マスク、Ra...開口パターン、...傾斜角。

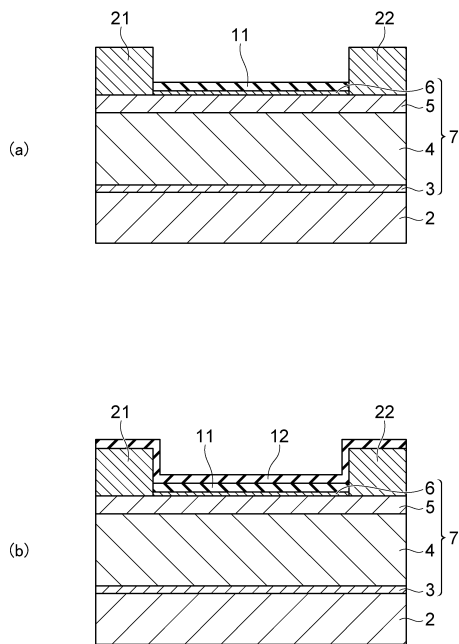
【図1】



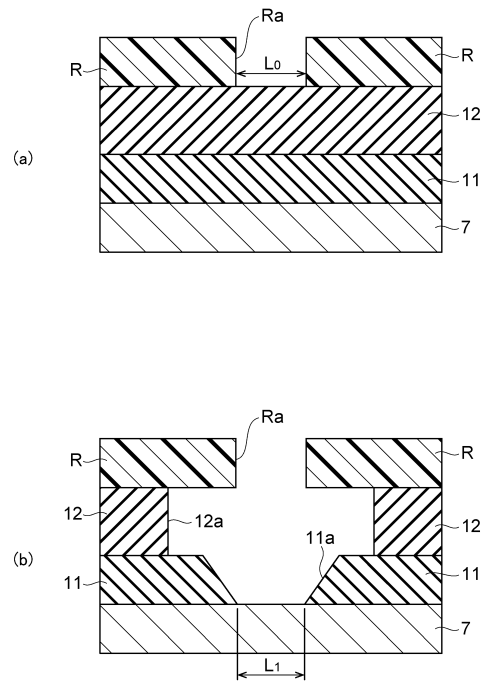
【図2】



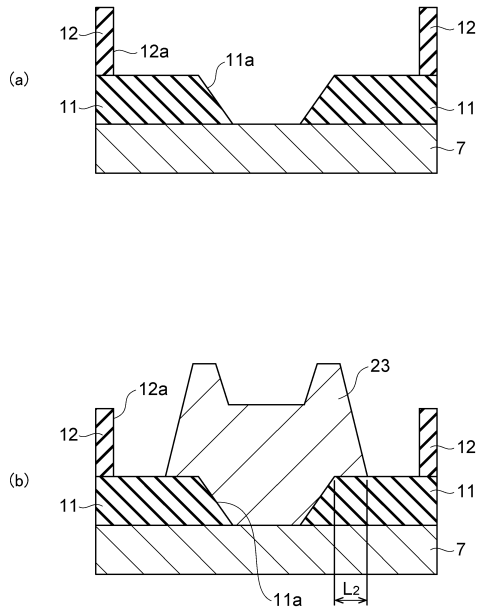
【図3】



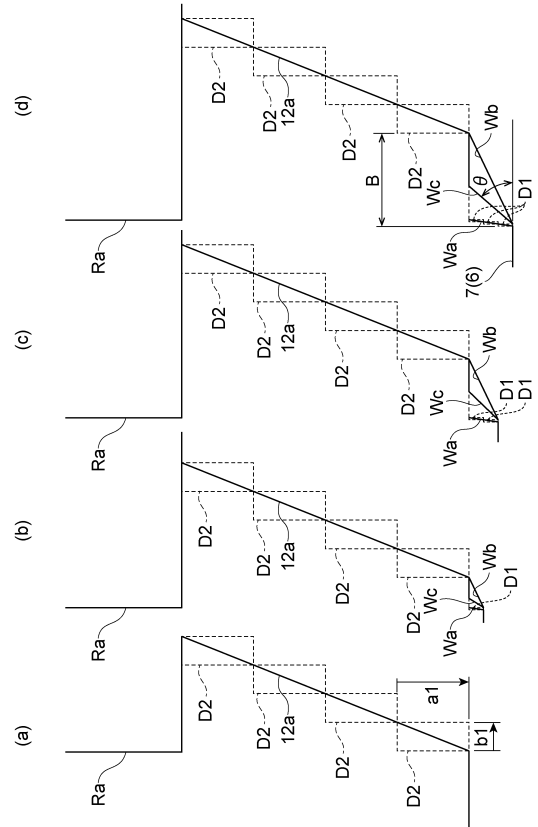
【図4】



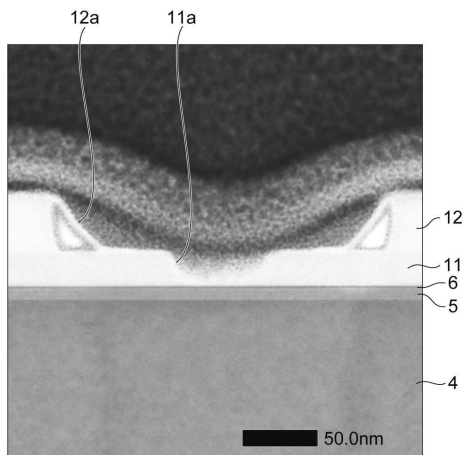
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/41 (2006.01) H 0 1 L 21/318 B
H 0 1 L 21/318 (2006.01)

審査官 杉山 芳弘

(56)参考文献 特開平 1 1 - 2 3 3 7 3 1 (J P , A)
米国特許出願公開第 2 0 1 6 / 0 3 2 5 9 8 7 (U S , A 1)
特開平 1 0 - 0 5 6 0 2 1 (J P , A)
特開 2 0 0 7 - 0 1 2 6 6 6 (J P , A)
米国特許出願公開第 2 0 1 7 / 0 3 3 8 3 3 2 (U S , A 1)
特開 2 0 1 4 - 1 9 9 8 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 9 / 7 7 8
H 0 1 L 2 9 / 8 1 2
H 0 1 L 2 1 / 3 3 8
H 0 1 L 2 1 / 3 1 4
H 0 1 L 2 1 / 2 8 5