



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년11월29일
(11) 등록번호 10-2607890
(24) 등록일자 2023년11월24일

(51) 국제특허분류(Int. Cl.)
H01L 33/48 (2010.01) H01L 33/20 (2010.01)
H01L 33/62 (2010.01)
(52) CPC특허분류
H01L 33/483 (2013.01)
H01L 33/20 (2013.01)
(21) 출원번호 10-2018-0063405
(22) 출원일자 2018년06월01일
심사청구일자 2021년05월27일
(65) 공개번호 10-2019-0137339
(43) 공개일자 2019년12월11일
(56) 선행기술조사문헌
US20160133810 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
쑤저우 레킨 세미컨덕터 컴퍼니 리미티드
중국 쑤저우 타이창 시티 168 창성 노스 로드
(72) 발명자
이교은
서울특별시 중구 후암로 98 (남대문로5가)
(74) 대리인
특허법인다나

전체 청구항 수 : 총 11 항

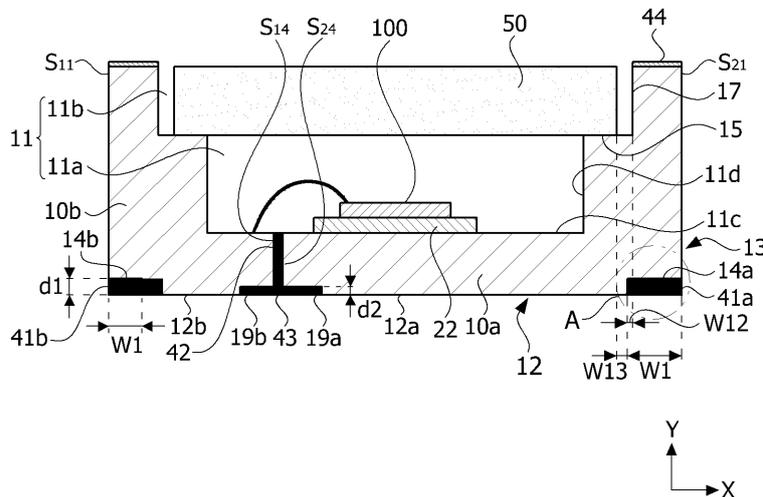
심사관 : 김동우

(54) 발명의 명칭 반도체 소자 패키지

(57) 요약

실시 예는, 캐비티를 포함하는 몸체; 상기 캐비티의 내부에 배치되는 반도체 소자; 및 상기 캐비티의 상부에 배치되는 투광부재를 포함하고, 상기 몸체는 제1방향으로 이격 배치된 제1도전부와 제2도전부, 상기 제1도전부와 제2도전부 사이에 배치되는 제1절연부, 및 상기 몸체의 하면과 측면들이 만나는 에지 영역에 배치되는 제2절연부를 포함하고, 상기 캐비티는 상기 투광부재가 배치되는 단차부를 포함하고, 상기 제2절연부는 상기 몸체의 수직 방향으로 상기 단차부와 중첩되는 반도체 소자 패키지를 개시한다.

대표도 - 도3a



(52) CPC특허분류
H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

캐비티를 포함하는 몸체;

상기 캐비티의 내부에 배치되는 반도체 소자; 및

상기 캐비티의 상부에 배치되는 투광부재를 포함하고,

상기 몸체는 제1방향으로 이격 배치된 제1도전부와 제2도전부, 상기 제1도전부와 제2도전부 사이에 배치되는 제1절연부, 및 상기 몸체의 하면과 측면들이 만나는 에지 영역에 배치되는 제2절연부를 포함하고,

상기 캐비티는 상기 투광부재가 배치되는 단차부를 포함하고,

상기 제2절연부는 상기 몸체의 수직 방향으로 상기 단차부와 중첩되며,

제3 절연부는 상기 몸체의 하면상에 배치되며, 상기 제1 도전부 및 상기 제2 도전부에 연결되는 반도체 소자 패키지를 포함한다.

청구항 2

제1항에 있어서,

상기 제2절연부와 상기 단차부가 중첩되는 제1방향 폭은 상기 제2절연부의 제1방향 폭의 10% 내지 30%인 반도체 소자 패키지.

청구항 3

제1항에 있어서,

상기 제2절연부는 상기 수직 방향으로 상기 투광부재와 중첩되는 반도체 소자 패키지.

청구항 4

제3항에 있어서,

상기 제2절연부와 상기 투광부재가 중첩되는 제1방향 폭은 상기 제2절연부의 제1방향 폭의 5% 내지 50%인 반도체 소자 패키지.

청구항 5

제1항에 있어서,

상기 제2절연부는 상기 수직 방향으로 상기 투광부재와 중첩하지 않는 반도체 소자 패키지.

청구항 6

제5항에 있어서,

상기 제2절연부와 상기 투광부재의 제1방향 이격 거리는 상기 제2절연부의 제1방향 폭의 5% 내지 10%인 반도체 소자 패키지.

소자 패키지.

청구항 7

제1항에 있어서,

상기 제2절연부와 상기 단차부 사이의 수직 거리는 상기 몸체 전체 높이의 50% 내지 70%인 반도체 소자 패키지.

청구항 8

캐비티를 포함하는 몸체;

상기 캐비티 내부에 배치된 반도체소자; 및

상기 캐비티 상부에 배치되는 투광부재를 포함하며, 상기 몸체는 제1 방향으로 이격 배치되는 제1 도전부와 제2 도전부, 상기 제1 도전부와 상기 제2 도전부 사이에 배치된 제1 절연부, 및 상기 몸체의 저면 및 측면이 만나는 가장자리 영역에 배치된 제2 절연부를 포함하며,

상기 캐비티는 상기 투광부재가 배치되는 단차부를 포함하며,

상기 제2 절연부는 상기 몸체의 수직방향으로 상기 단차부와 중첩되며,

상기 제1도전부는 제1하부 도전부 및 제1상부 도전부를 포함하고,

상기 제2도전부는 제2하부 도전부 및 제2상부 도전부를 포함하고,

상기 몸체는 상기 제1하부 도전부와 상기 제1상부 도전부 사이, 및 상기 제2하부 도전부와 상기 제2상부 도전부 사이에 배치되는 제4절연부를 포함하는 반도체 소자 패키지.

청구항 9

제8항에 있어서,

상기 몸체의 하면에서 상기 제4절연부까지의 수직 거리는 상기 몸체의 하면에서 상기 캐비티의 바닥면까지의 수직 거리보다 긴 반도체 소자 패키지.

청구항 10

제1항에 있어서,

상기 제1도전부의 하면은 상기 제2도전부의 하면보다 넓은 반도체 소자 패키지.

청구항 11

제1항에 있어서,

상기 제2절연부의 두께는 상기 몸체의 전체 높이의 5% 내지 10%인 반도체 소자 패키지.

발명의 설명

기술 분야

실시 예는 반도체 소자 패키지에 관한 것이다.

배경 기술

[0001]

- [0002] GaN, AlGaN 등의 화합물을 포함하는 발광 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.
- [0003] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광 소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색, 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성 및 환경 친화성의 장점을 가진다.
- [0004] 또한, 광검출기나 태양 전지와 같은 수광 소자도 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용하여 제작하는 경우 소자 재료의 개발로 다양한 파장 영역의 빛을 흡수하여 광 전류를 생성함으로써 감마선부터 라디오 파장 영역까지 다양한 파장 영역의 빛을 이용할 수 있다. 또한, 빠른 응답속도, 안전성, 환경 친화성 및 소자 재료의 용이한 조절의 장점을 가져 전력 제어 또는 초고주파 회로나 통신용 모듈에도 용이하게 이용할 수 있다.
- [0005] 따라서, 발광 소자는 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트, 신호등, 가스나 화재를 감지하는 센서 등에까지 응용 분야가 확대되고 있다. 또한, 발광 소자는 고주파 응용 회로나 기타 전력 제어 장치, 통신용 모듈에까지 응용 분야가 확대될 수 있다.
- [0006] 특히, 자외선 파장대의 광을 방출하는 발광 소자는 경화작용이나 살균 작용을 하여 경화용, 의료용 및 살균용으로 사용될 수 있다.
- [0007] 최근 자외선 반도체 소자 패키지에 대한 연구가 활발하나, 아직까지 자외선 반도체 소자는 광 추출 효율이 상대적으로 떨어지는 문제가 있고, 내부의 열을 외부로 효과적으로 방출하지 못하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0008] 실시 예는 열 방출이 우수한 반도체 소자 패키지를 제공한다.
- [0009] 실시 예는 광 추출 효율이 우수한 반도체 소자 패키지를 제공한다.
- [0010] 실시 예는 패키지 커팅시 발생하는 버(burr)를 억제할 수 있는 반도체 소자 패키지를 제공한다.
- [0011] 실시 예는 패키지 몸체의 상부가 하부와 절연되어 배치되는 발광 소자 패키지를 제공한다.
- [0012] 실시 예에서 해결하고자 하는 과제는 이에 한정되는 것은 아니며, 아래에서 설명하는 과제의 해결수단이나 실시 형태로부터 파악될 수 있는 목적이나 효과도 포함된다고 할 것이다.

과제의 해결 수단

- [0013] 본 발명의 일 특징에 따른 반도체 소자 패키지는, 캐비티를 포함하는 몸체; 상기 캐비티의 내부에 배치되는 반도체 소자; 및 상기 캐비티의 상부에 배치되는 투광부재를 포함하고, 상기 몸체는 제1방향으로 이격 배치된 제1도전부와 제2도전부, 상기 제1도전부와 제2도전부 사이에 배치되는 제1절연부, 및 상기 몸체의 하면과 측면들이 만나는 에지 영역에 배치되는 제2절연부를 포함하고, 상기 캐비티는 상기 투광부재가 배치되는 단차부를 포함하고, 상기 제2절연부는 상기 몸체의 수직 방향으로 상기 단차부와 중첩된다.
- [0014] 상기 제2절연부와 상기 단차부가 중첩되는 제1방향 폭은 상기 제2절연부의 제1방향 폭의 10% 내지 30%일 수 있다.
- [0015] 상기 제2절연부는 상기 수직 방향으로 상기 투광부재와 중첩될 수 있다.
- [0016] 상기 제2절연부와 상기 투광부재가 중첩되는 제1방향 폭은 상기 제2절연부의 제1방향 폭의 5% 내지 50%일 수 있다.
- [0017] 상기 제2절연부는 상기 수직 방향으로 상기 투광부재와 중첩하지 않을 수 있다.
- [0018] 상기 제2절연부와 상기 투광부재의 제1방향 이격 거리는 상기 제2절연부의 제1방향 폭의 5% 내지 10%일 수

있다.

- [0019] 상기 제1도전부는 제1하부 도전부 및 제1상부 도전부를 포함하고, 상기 제2도전부는 제2하부 도전부 및 제2상부 도전부를 포함하고, 상기 몸체는 상기 제1하부 도전부와 상기 제1상부 도전부 사이, 및 상기 제2하부 도전부와 상기 제2상부 도전부 사이에 배치되는 제4절연부를 포함할 수 있다.
- [0020] 상기 몸체의 하면에서 상기 제4절연부까지의 수직 거리는 상기 몸체의 하면에서 상기 캐비티의 바닥면까지의 수직 거리보다 길 수 있다.
- [0021] 상기 제1도전부의 하면은 상기 제2도전부의 하면보다 넓을 수 있다.
- [0022] 상기 제2절연부의 두께는 상기 몸체의 높이의 5% 내지 10%일 수 있다.

발명의 효과

- [0023] 실시 예에 따르면, 반도체 소자 패키지의 열 방출 효율을 향상시킬 수 있다.
- [0024] 또한, 패키지 커팅시 발생하는 버(burr)를 억제할 수 있다.
- [0025] 또한, 광 추출 효율이 향상될 수 있다.
- [0026] 또한, 패키지 몸체의 상부가 하부와 절연되어 배치됨으로써 상부에 물 또는 화학약품이 접촉하여도 쇼트를 억제할 수 있다.
- [0027] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 제1 실시 예에 따른 반도체 소자 패키지의 사시도이고,
 도 2는 본 발명의 제1 실시 예에 따른 반도체 소자 패키지의 평면도이고,
 도 3a는 본 발명의 제1 실시 예에 따른 반도체 소자 패키지의 단면도이고,
 도 3b는 도 3a의 A 부분 확대도이고,
 도 4는 본 발명의 제1 실시 예에 따른 반도체 소자 패키지의 저면도이고,
 도 5는 본 발명의 제2 실시 예에 따른 반도체 소자 패키지의 단면도이고,
 도 6은 본 발명의 제3 실시 예에 따른 반도체 소자 패키지의 단면도이고,
 도 7은 본 발명의 제4 실시 예에 따른 반도체 소자 패키지의 단면도이고,
 도 8은 본 발명의 제5 실시 예에 따른 반도체 소자 패키지의 단면도이고,
 도 9는 본 발명의 제6 실시 예에 따른 반도체 소자 패키지의 단면도이고,
 도 10은 본 발명의 제7 실시 예에 따른 반도체 소자 패키지의 단면도이고,
 도 11은 본 발명의 제8 실시 예에 따른 반도체 소자 패키지의 단면도이고,
 도 12는 반도체 소자의 개념도이고,
 도 13은 도 12의 변형예이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 실시 예들은 다른 형태로 변형되거나 여러 실시 예가 서로 조합될 수 있으며, 본 발명의 범위가 이하 설명하는 각각의 실시 예로 한정되는 것은 아니다.
- [0030] 특정 실시 예에서 설명된 사항이 다른 실시 예에서 설명되어 있지 않더라도, 다른 실시 예에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 실시 예에 관련된 설명으로 이해될 수 있다.
- [0031] 예를 들어, 특정 실시 예에서 구성 A에 대한 특징을 설명하고 다른 실시 예에서 구성 B에 대한 특징을 설명하였

다면, 구성 A와 구성 B가 결합된 실시 예가 명시적으로 기재되지 않더라도 반대되거나 모순되는 설명이 없는 한, 본 발명의 권리범위에 속하는 것으로 이해되어야 한다.

- [0032] 실시 예의 설명에 있어서, 어느 한 element가 다른 element의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly)접촉되거나 하나 이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [0033] 이하에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0034] 도 1은 본 발명의 일 실시 예에 따른 반도체 소자 패키지의 사시도이고, 도 2는 본 발명의 일 실시 예에 따른 반도체 소자 패키지의 평면도이고, 도 3은 본 발명의 일 실시 예에 따른 반도체 소자 패키지의 단면도이고, 도 4는 본 발명의 일 실시 예에 따른 반도체 소자 패키지의 저면도이다.
- [0035] 도 1 및 도 2를 참조하면, 실시 예에 따른 반도체 소자 패키지는 캐비티(11)를 포함하는 몸체(10), 캐비티(11)의 내부에 배치되는 반도체 소자(100), 및 캐비티(11) 상에 배치되는 투광부재(50)를 포함할 수 있다.
- [0036] 몸체(10)는 알루미늄 기판을 가공하여 제작할 수 있다. 따라서, 실시 예에 따른 몸체(10)는 내면과 외면이 모두 도전성을 가질 수 있다. 이러한 구조는 다양한 이점을 가질 수 있다. AlN, Al₂O₃와 같은 비도전성 재질을 몸체로 사용하는 경우, 자외선 파장대의 반사율이 20% 내지 40%에 불과하므로 별도의 반사부재를 배치해야 하는 문제가 있다. 또한, 리드 프레임과 같은 별도의 도전성 부재 및 회로 패턴이 필요할 수 있다. 따라서, 제작 비용이 상승하고 공정이 복잡해질 수 있다. 또한, 금(Au)과 같은 도전성 부재는 자외선을 흡수하여 광 추출 효율이 감소하는 문제가 있다.
- [0037] 그러나, 실시 예에 따르면, 몸체 자체가 알루미늄으로 구성되므로 자외선 파장대에서 반사율이 높아 광 추출 효율이 높아질 수 있다. 또한, 몸체 자체가 도전성이 있으므로 별도의 회로패턴 및 리드 프레임을 생략할 수 있다. 또한, 알루미늄으로 제작되므로 열전도성이 140W/m.k 내지 160W/m.k으로 우수할 수 있다. 따라서, 열 방출 효율도 향상될 수 있다.
- [0038] 몸체(10)는 제1도전부(10a)와 제2도전부(10b)를 포함할 수 있다. 제1도전부(10a)와 제2도전부(10b) 사이에는 제1절연부(42)가 배치될 수 있다. 제1도전부(10a)와 제2도전부(10b)는 모두 도전성을 가지므로 극을 분리하기 위해 제1절연부(42)가 배치될 필요가 있다.
- [0039] 제1절연부(42)는 절연 기능을 갖는 다양한 재질이 모두 포함될 수 있다. 예시적으로 제1절연부(42)는 폴리 이머드(PI)와 같은 레진을 포함할 수 있으나 반드시 이에 한정하지 않는다. 제1절연부(42)의 두께는 10 μ m 내지 100 μ m일 수 있다. 두께가 10 μ m이상인 경우 제1도전부(10a)와 제2도전부(10b)를 충분히 절연시킬 수 있으며, 두께가 70 μ m이하인 경우 패키지의 사이즈가 커지는 문제를 개선할 수 있다.
- [0040] 몸체(10)는 상면에 배치된 캐비티(11)를 포함할 수 있다. 또한, 몸체(10)는 상면에 배치된 제1열라인 마크(15a)와 제2열라인 마크(15b)를 포함할 수 있다. 제1열라인 마크(15a)와 제2열라인 마크(15b)는 서로 다른 형상을 가질 수 있다. 예시적으로 제1열라인 마크(15a)는 삼각형 형상을 갖고 제2열라인 마크(15b)는 사각형 형상을 가질 수 있으나 반드시 이에 한정하지 않는다.
- [0041] 제1도전부(10a)는 제2도전부(10b)와 마주보게 배치되어 그 사이에 제1절연부(42)가 배치되는 내측면(S14), 및 몸체(10)의 측면을 구성하는 외측면(S11, S12, S13)을 포함할 수 있다.
- [0042] 제2도전부(10b)는 제1도전부(10a)와 마주보게 배치되어 그 사이에 제1절연부(42)가 배치되는 내측면(S24), 및 몸체(10)의 측면을 구성하는 외측면(S21, S22, S23)을 포함할 수 있다.
- [0043] 도 3a를 참조하면, 캐비티(11)는 몸체(10)의 상면에 배치되어 바닥면(11c)과 경사면(11d)을 가질 수 있다. 이때, 제1절연부(42)는 캐비티(11)의 바닥면(11c)과 경사면(11d)으로 노출될 수 있다.
- [0044] 제1캐비티(11a)의 경사면(11d)은 바닥면(11c)에서 수직하게 배치될 수 있다. 그러나, 반드시 이에 한정하는 것은 아니고 경사면(11d)은 바닥면(11c)과 90도보다 큰 각도로 경사지게 배치되어 반도체 소자(100)에서 출사된 광을 상부로 반사시킬 수 있다. 전술한 바와 같이 몸체(10)는 알루미늄으로 제작되므로 캐비티(11)의 내면은 별도의 반사부재가 없어도 자외선 파장대의 광을 상부로 반사할 수 있다.

- [0045] 제2캐비티(11b)는 제1캐비티(11a)의 상부에 배치되고 투광부재(50)가 배치될 수 있는 직경을 가질 수 있다. 투광부재(50)는 제1캐비티(11a)와 제2캐비티(11b)의 직경 차에 의해 형성된 단차부(15)에 지지될 수 있다. 제2캐비티(11b)는 외주면에서 몸체(10)의 모서리를 향해 연장된 복수 개의 리세스(17)를 포함할 수 있다.
- [0046] 몸체(10)는 하면(12)과 측면(13)이 만나는 모서리에 배치되는 제1, 제2홈(14a, 14b), 및 제1, 제2홈(14a, 14b)에 배치되는 제2절연부(41a, 41b)를 포함할 수 있다. 제1, 제2홈(14a, 14b)은 몸체(10)의 하면(12)과 측면(13)이 만나는 에지 영역을 따라 전체적으로 배치될 수 있다.
- [0047] 구체적으로, 몸체(10)는 제1도전부(10a)의 하면(12a)과 외측면(S21)이 만나는 영역에 배치되는 제1홈(14a), 제2도전부(10b)의 하면(12b)과 외측면(S11)이 만나는 영역에 배치되는 제2홈(14b)을 포함할 수 있다.
- [0048] 제2절연부(41a, 41b)는 제1홈(14a)에 배치되는 제2-1절연부(41a)와 제2홈(14b)에 배치되는 제2-2절연부(41b)를 포함할 수 있다. 이때, 제2-1절연부(41a)와 제2-2절연부(41b)는 일체로 형성될 수 있다.
- [0049] 제1홈(14a)과 제2홈(14b)의 형상은 특별히 제한하지 않는다. 제1홈(14a)과 제2홈(14b)의 단면은 다각 형상, 렌즈 형상 등을 모두 포함할 수 있다.
- [0050] 제2절연부(41a, 41b)는 제1절연부(42)와 동일한 재질일 수 있으나 반드시 이에 한정하지 않는다. 제1절연부(42)와 제2절연부(41a, 41b)는 EMC, 화이트 실리콘, PSR(Photoimageable Solder Resist), 실리콘 수지 조성물, 실리콘 변성 에폭시 수지 등의 변성 에폭시 수지 조성물, 에폭시 변성 실리콘 수지 등의 변성 실리콘 수지 조성물, 폴리이미드 수지 조성물, 변성 폴리이미드 수지 조성물, 폴리프탈아미드(PPA), 폴리카보네이트 수지, 폴리페닐렌 설파이드(PPS), 액정 폴리머(LCP), ABS 수지, 페놀 수지, 아크릴 수지, PBT 수지 등의 수지 등이 선택될 수 있다.
- [0051] 실시 예에 따르면, 몸체(10)의 하부 모서리에 제2절연부(41a, 41b)가 배치되므로 패키지 절삭시 모서리에 버(burr)가 발생하는 것을 방지할 수 있다. 알루미늄 기판의 경우 금속 재질이므로 절삭시 버(burr)가 잘 발생할 수 있다. 버(burr)가 발생한 경우, 하면(12)이 평탄하지 않아 회로기판에 실장이 불량해질 수 있다. 또한, 버(burr)가 발생한 경우 두께가 불균일해질 수 있고, 일부 영역이 들뜨게 되어 측정 오차가 발생할 수도 있다. 제2절연부(41a, 41b)는 절연 재질로 제작되므로 절삭시 버(burr)가 잘 발생하지 않을 수 있다.
- [0052] 제1홈(14a)과 제2홈(14b)의 내면은 러프니스(미도시)를 가질 수 있다. 제1홈(14a)과 제2홈(14b)의 내면이 매끄러운 경우 제2절연부(41a, 41b)와 접착력이 약해질 수 있다. 따라서, 제2절연부(41a, 41b)를 고정하기 위해 제1홈(14a)과 제2홈(14b)의 내면은 표면 처리를 통해 러프니스를 형성할 수 있다.
- [0053] 제2절연부(41a, 41b)의 두께(d1)는 50 μ m 내지 150 μ m일 수 있다. 두께가 50 μ m이상인 경우 충분한 두께를 확보하여 패키지 절단시 버(burr)가 발생하는 것을 방지할 수 있으며, 두께가 150 μ m이하인 경우 제2절연부(41a, 41b)가 몸체(10)의 하면(12)으로 돌출되는 것을 방지할 수 있다.
- [0054] 제2절연부(41a, 41b)의 폭(W1)은 100 μ m 내지 300 μ m일 수 있다. 폭이 100 μ m이상인 경우 제1홈(14a)과 제2홈(14b)에 충분히 고정될 수 있으며, 폭이 300 μ m이하인 경우 몸체(10)의 하면(12)에 전극이 실장되는 면적을 확보할 수 있다.
- [0055] 실시 예에 따르면, 제2절연부(41a, 41b)의 두께와 폭의 비(d1:w1)는 1:1.5 내지 1:6일 수 있다. 즉, 제2절연부(41a, 41b)의 폭은 두께보다 클 수 있다. 두께와 폭의 비를 만족하는 경우 제2절연부(41a, 41b)가 제1홈(14)에 충분히 고정되어 버(burr)의 발생을 억제할 수 있다.
- [0056] 몸체(10)는 제1도전부(10a)의 하면(12a)과 내측면(S24)이 만나는 영역에 배치되는 제3홈(19a), 제2도전부(10b)의 하면(12b) 및 내측면(S14)이 만나는 모서리 영역에 배치되는 제4홈(19b), 및 제3홈(19a)과 제4홈(19b)에 배치되는 제3절연부(43)를 포함할 수 있다. 제3절연부(43)는 몸체(10)의 하면(12)에 배치되어 제2절연부(41a, 41b) 및 제1절연부(42)와 연결될 수 있다.
- [0057] 제1홈 내지 제4홈(14a, 14b, 19a, 19b)은 동시에 형성될 수 있다. 또한, 제2절연부(41a, 41b)와 제3절연부(43)는 한번의 코팅 공정에 의해 형성될 수 있다. 따라서, 제3절연부(43)의 재질은 제2절연부(41a, 41b)와 동일할 수 있으나 반드시 이에 한정하지 않는다.
- [0058] 제1도전부(10a)의 하면(12a), 제2도전부(10b)의 하면(12b), 제2절연부(41a, 41b)의 하면 및 제3절연부(43)의 하면은 동일 평면상에 배치될 수 있다. 즉, 제2절연부(41a, 41b)와 제3절연부(43)는 몸체(10)의 하면(12)보다 돌출되지 않아 전체적으로 평탄면을 형성할 수 있다. 따라서, 회로 기판에 실장시 불량율이 감소하고 패키지의

두께를 줄일 수 있다.

- [0059] 제3절연부(43)의 두께(d2)는 10 μ m 내지 100 μ m일 수 있다. 두께가 50 μ m이상인 경우 제2홈(19)에 충분히 고정될 수 있으며, 두께가 100 μ m이하인 경우 제2홈(19)의 깊이를 낮게 제어할 수 있어 반도체 소자(100)가 실장되는 영역의 두께를 확보할 수 있다. 반도체 소자가 실장되는 영역은 캐비티(11)가 형성되어 몸체(10) 중에서 두께가 가장 얇은 영역이므로 가능한 제2홈(19)의 깊이를 얇게 형성하는 것이 유리할 수 있다.
- [0060] 제2절연부(41a, 41b)의 두께(d1)는 제3절연부(43)의 두께(d2)보다 클 수 있다. 그러나, 반드시 이에 한정하는 것은 아니고 제2절연부(41a, 41b)의 두께(d1)는 제3절연부(43)의 두께(d2)와 동일할 수도 있다.
- [0061] 전술한 바와 같이 몸체(10)는 도전성을 가지므로, 제1도전부의 하면(12a)과 제2도전부의 하면(12b)은 각각 전도성을 가질 수 있다. 이때, 제2절연부(41a, 41b)는 모서리를 따라 배치되어 제1도전부의 하면(12a)과 제2도전부의 하면(12b)을 둘러싸고, 제3절연부(43)는 제1도전부의 하면(12a)과 제2도전부의 하면(12b) 사이에 배치될 수 있다. 제3절연부(43)의 양 끝단은 제2절연부(41a, 41b)에 접할 수 있다.
- [0062] 도 4를 참조하면, 제3절연부(43)의 폭(w2)은 300 μ m 내지 700 μ m일 수 있다. 폭이 300 μ m이상인 경우 전극면(12a, 12b) 사이를 충분히 이격시켜 쇼트를 방지할 수 있으며, 폭이 700 μ m이하인 경우 몸체(10)의 하면(12)에 전극이 실장되는 충분한 면적을 확보할 수 있다. 따라서, 제3절연부(43)의 폭(w2)은 제2절연부(41a, 41b)의 폭(w1)보다 클 수 있다.
- [0063] 제1도전부의 하면(12a)은 제2도전부의 하면(12b)보다 넓을 수 있다. 제1도전부의 하면(12a)과 제2도전부의 하면(12b)의 면적비는 1:0.2 내지 1:0.6일 수 있다. 면적비가 1:0.2이상인 경우 제2도전부의 하면(12b)의 면적이 확보되어 쇼트를 방지할 수 있으며, 면적비가 1:0.6이하인 경우 제1도전부의 하면(12a)의 상부에 서브 마운트를 배치할 공간을 확보할 수 있다.
- [0064] 제1홈의 하면의 폭(w1)과 제1도전부의 하면의 폭(w4)의 비율(w1:w4)은 1:3 내지 1:5일 수 있다. 폭의 비율이 1:3 이상인 경우, 제1도전부의 하면(12a)의 면적이 증가하여 서브 마운트가 장착될 면적을 확보할 수 있으며, 폭의 비율이 1:5 이하인 경우 제2절연부의 폭이 증가하여 버(burr)의 발생을 효과적으로 억제할 수 있다.
- [0065] 제3홈의 하면의 폭(w21)과 제1홈의 하면의 폭(w1)의 비율(w21:w4)은 1:0.8 내지 1:1.2일 수 있다. 즉, 제3절연부(43)의 폭(w2)은 제2절연부(41a, 41b)의 폭(w1)보다 2배 이상 클 수 있다. 따라서, 제1도전부와 제2도전부의 하면(12a, 12b)을 충분히 이격시켜 쇼트를 방지할 수 있다.
- [0066] 도 3a를 참조하면, 반도체 소자(100)는 캐비티(11) 내에 배치될 수 있다. 반도체 소자(100)는 제1도전부(10a) 및 제2도전부(10b)와 전기적으로 연결될 수 있다. 캐비티(11)에는 서브 마운트(22)가 배치되고, 그 위에 반도체 소자(100)가 배치될 수 있다. 캐비티(11)의 바닥에는 와이어가 본딩되는 패드부(미도시)가 배치될 수 있다.
- [0067] 반도체 소자(100)는 자외선 파장대의 광을 출력할 수 있다. 예시적으로 반도체 소자(100)는 근자외선 파장대의 광(UV-A)을 출력할 수도 있고, 원자외선 파장대의 광(UV-B)을 출력할 수도 있고, 심자외선 파장대의 광(UV-C)을 출력할 수 있다. 파장범위는 발광구조물(120)의 Al의 조성비에 의해 결정될 수 있다.
- [0068] 예시적으로, 근자외선 파장대의 광(UV-A)은 320nm 내지 420nm 범위의 파장을 가질 수 있고, 원자외선 파장대의 광(UV-B)은 280nm 내지 320nm 범위의 파장을 가질 수 있으며, 심자외선 파장대의 광(UV-C)은 100nm 내지 280nm 범위의 파장을 가질 수 있다.
- [0069] 투광부재(50)는 캐비티(11) 상에 배치될 수 있다. 투광부재(50)는 제1캐비티(11a)와 제2캐비티(11b) 사이에 배치되는 단차부(15)에 지지될 수 있다. 단차부(15)와 투광부재(50) 사이에는 접착층(미도시)이 배치될 수 있다. 접착층이 파충전된 경우 여분의 접착제는 리세스(17)로 후퇴할 수 있다. 따라서, 접착제가 과도하게 도포되어도 투광부재(50)의 수평을 유지할 수 있다.
- [0070] 투광부재(50)는 자외선 파장대의 광을 투과할 수 있는 재질이면 특별히 제한하지 않는다. 예시적으로 투과층은 퀴즈(Quartz)와 같이 자외선 파장 투과율이 높은 광학 재료를 포함할 수 있으나 이에 한정하는 것은 아니다.
- [0071] 도 3a 및 도 3b를 참조하면, 제2절연부(41a, 41b)는 몸체(10)의 수직 방향(Y축 방향)으로 단차부(15)와 중첩될 수 있다. 제2절연부(41a, 41b)와 단차부(15)가 중첩되는 제1방향 폭(W12)은 제2절연부(41a, 41b)의 제1방향 폭(W1)의 10% 내지 30%일 수 있다. 중첩되는 제1방향 폭(W12)이 제1방향 폭(W1)의 10%보다 큰 경우 제2절연부(41a, 41b)의 폭(W1)이 증가하여 몸체(10)에 충분히 고정될 수 있으며, 중첩되는 제1방향 폭(W12)이 30% 이하인 경우 제2절연부(41a, 41b)의 폭이 줄어들어 몸체(10)의 하면(12)에 전극이 실장되는 면적을 확보할 수 있다.

- [0072] 제2절연부(41a, 41b)는 몸체(10)의 수직 방향(Y축 방향)으로 투광부재(50)와 중첩되지 않을 수 있다. 제2절연부(41a, 41b)와 투광부재(50)의 제1방향 이격 거리(W13)는 제2절연부(41a, 41b)의 제1방향 폭(W1)의 5% 내지 10%일 수 있다. 제1방향 이격 거리(W13)가 제1방향 폭(W1)의 5% 이상인 경우 제2절연부(41a, 41b)의 폭이 줄어들어 몸체(10)의 하면(12)에 전극이 실장되는 면적을 확보할 수 있다. 또한, 제1방향 이격 거리(W13)가 10% 이하인 경우 제2절연부(41a, 41b)가 몸체(10)에 충분히 고정될 수 있다.
- [0073] 제2절연부(41a, 41b)의 두께(d1)는 몸체(10)의 높이의 5% 내지 10%일 수 있다. 제2절연부(41a, 41b)의 두께(d1)가 몸체(10) 높이의 5% 이상인 경우 충분한 두께를 확보하여 패키지 절단시 버(burr)가 발생하는 것을 방지할 수 있으며, 10%이하인 경우 제2절연부(41a, 41b)가 몸체(10)의 하면으로 돌출되는 것을 방지할 수 있다.
- [0074] 제2절연부(41a, 41b)와 단차부(15) 사이의 수직 거리는 몸체(10)의 전체 높이의 50% 내지 70%일 수 있다. 제2절연부(41a, 41b)와 단차부(15) 사이의 수직 거리가 몸체(10)의 전체 높이의 50% 이상인 경우 충분한 몸체의 높이를 확보할 수 있으며, 70%이하인 경우 제2절연부의 두께를 확보하여 패키지 절단시 버(burr)가 발생하는 것을 방지할 수 있다.
- [0075] 도 5는 본 발명의 제2 실시 예에 따른 반도체 소자 패키지의 단면도이고, 도 6은 본 발명의 제3 실시 예에 따른 반도체 소자 패키지의 단면도이다.
- [0076] 도 5를 참조하면, 캐비티(11a)의 폭이 증가하고 그에 따라 투광부재(50)의 폭이 증가할 수 있다. 이러한 구조에 의하면 캐비티 내부에 배치될 수 있는 반도체 소자(100)의 면적을 증가시킬 수 있다. 따라서, 동일한 패키지 사이즈에서 대면적 반도체 소자(100)를 장착할 수 있는 장점이 있다.
- [0077] 이러한 구조에 의하면, 제2절연부(41a, 41b)와 투광부재(50)는 수직 방향으로 중첩할 수 있다. 제2절연부(41a, 41b)와 투광부재(50)가 중첩되는 제1방향 폭(W14)은 제2절연부(41a, 41b)의 제1방향 폭의 5% 내지 50%일 수 있다. 제2절연부(41a, 41b)와 투광부재(50)가 중첩되는 제1방향 폭(W14)이 5% 이상인 경우 제2절연부(41a, 41b)의 면적을 확보하면서도 투광부재(50)의 사이즈를 증가시킬 수 있다. 또한, 50%이하인 경우 투광부재(50)의 측면을 지지하는 몸체 측벽(16)의 두께를 확보할 수 있어 안정적인 투광부재(50)의 지지가 가능할 수 있다.
- [0078] 도 6을 참조하면, 제2절연부(41a, 41b)와 단차부(15)는 수직방향으로 중첩되지 않을 수 있다. 즉, 제2절연부(41a, 41b)와 단차부(15)는 소정 간격으로 이격될 수 있다. 따라서, 제2절연부(41a, 41b)는 투광부재(50)와 수직 방향으로 중첩되지 않을 수 있다.
- [0079] 제2절연부(41a, 41b)와 단차부(15)의 제1방향 이격 간격(W15)은 제2절연부(41a, 41b) 폭의 20% 내지 60%일 수 있다. 제2절연부(41a, 41b)와 단차부(15)의 제1방향 이격 간격(W15)이 제2절연부(41a, 41b) 폭의 20% 이상인 경우 제2절연부(41a, 41b)의 폭이 줄어들어 몸체의 하부에 전극을 실장할 면적을 충분히 확보할 수 있다. 또한, 제1방향 이격 간격(W15)이 제2절연부(41a, 41b) 폭의 60% 이하인 경우 제2절연부(41a, 41b)의 폭을 확보하여 몸체(10)와의 부착력을 확보할 수 있다.
- [0080] 도 7은 본 발명의 제4 실시 예에 따른 반도체 소자 패키지의 단면도이고, 도 8은 본 발명의 제5 실시 예에 따른 반도체 소자 패키지의 단면도이다.
- [0081] 도 7을 참조하면, 몸체의 캐비티 내에 별도의 단차부를 형성하지 않고, 투광부재(50)는 몸체의 상단에 직접 배치될 수 있다. 제2절연부(41a, 41b)와 투광부재(50)는 수직 방향으로 중첩할 수 있다. 제2절연부(41a, 41b)와 투광부재(50)가 중첩되는 제1방향 폭(W14)은 제2절연부(41a, 41b)의 제1방향 폭의 5% 내지 50%일 수 있다. 제2절연부(41a, 41b)와 투광부재(50)가 중첩되는 제1방향 폭(W14)이 5% 이상인 경우 제2절연부(41a, 41b)의 면적을 확보하면서도 투광부재(50)의 사이즈를 증가시킬 수 있다. 또한, 50%이하인 경우 제2절연부(41a, 41b)의 충분한 면적을 확보할 수 있다.
- [0082] 도 8을 참조하면, 제2절연부(41a, 41b)는 몸체(10)의 수직 방향(Y축 방향)으로 투광부재(50)와 중첩되지 않을 수 있다. 제2절연부(41a, 41b)와 투광부재(50)의 제1방향 이격 거리(W13)는 제2절연부(41a, 41b)의 제1방향 폭(W1)의 5% 내지 100%일 수 있다. 제1방향 이격 거리(W13)가 5% 이상인 경우 제2절연부(41a, 41b)의 폭이 줄어들어 몸체(10)의 하면(12)에 전극이 실장되는 면적을 확보할 수 있다. 또한, 제1방향 이격 거리(W13)가 100% 이하인 경우 제2절연부(41a, 41b)의 폭이 증가하여 몸체(10)에 충분히 고정될 수 있다.
- [0083] 도 9는 본 발명의 제6 실시 예에 따른 반도체 소자 패키지의 단면도이고, 도 10은 본 발명의 제7 실시 예에 따른 반도체 소자 패키지의 단면도이고, 도 11은 본 발명의 제8 실시 예에 따른 반도체 소자 패키지의 단면도이다.

- [0084] 도 9를 참조하면 몸체(10)의 제1도전부(10a)는 제1하부 도전부(10a-1) 및 제1상부 도전부(10a-2)를 포함하고, 제2도전부(10b)는 제2하부 도전부(10b-1) 및 제2상부 도전부(10b-2)를 포함할 수 있다. 또한, 몸체(10)는 제1하부 도전부(10a-1)와 제1상부 도전부(10a-2) 사이, 및 제2하부 도전부(10b-1)와 제2상부 도전부(10b-2) 사이에 배치되는 제4절연부(44)를 포함할 수 있다.
- [0085] 제4절연부(44)는 절연성 물질로 제작될 수 있다. 일 예로서, 제4절연부(44)는 아크릴(Acryl) 계열의 접착물질을 포함할 수 있다. 제4절연부(44)는 제2절연부(41a, 41b)와 달리 저온, 저압의 환경에서 형성되기 때문이다.
- [0086] 제4절연부(44)를 제2절연부(41a, 41b)와 마찬가지로 고온, 고압의 환경에서 형성하게 되면, 상대적으로 넓은 면적에 접착되는 과정에서 결함이 발생할 수 있고, 먼저 형성된 제2절연부(41a, 41b)가 고온, 고압의 환경으로 인해 깨지거나 갈라지는 현상이 발생할 수 있다.
- [0087] 그러나, 반드시 이에 한정되는 것은 아니고, 제4절연부(44)는 EMC, 화이트 실리콘, PSR(Photoimageable Solder Resist), 실리콘 수지 조성물, 실리콘 변성 에폭시 수지 등의 변성 에폭시 수지 조성물, 에폭시 변성 실리콘 수지 등의 변성 실리콘 수지 조성물, 폴리이미드 수지 조성물, 변성 폴리이미드 수지 조성물, 폴리프탈아미드(PPA), 폴리카보네이트 수지, 폴리페닐렌 설파이드(PPS), 액정 폴리머(LCP), ABS 수지, 페놀 수지, PBT 수지 등을 포함할 수도 있다.
- [0088] 제4절연부(44)는 제2절연부(41a, 41b)와 비교하여 상대적으로 방열 특성, 예를 들어 열전도성이 재료 선택의 중요한 고려요소가 되지 않아 제2절연부(41a, 41b)보다 열전도성이 낮은 물질로 제작될 수 있고, 이에 따라 재료 선택의 폭이 넓게 형성될 수 있다.
- [0089] 제4절연부(44)는 발광 소자 패키지의 실장 시에 솔더링 불량 등으로 인해 제1도전부(10a)와 제2도전부(10b) 사이에 쇼트가 발생하는 것을 억제할 수 있다. 예시적으로 제1상부 도전부(10a-2)와 제2상부 도전부(10b-2) 사이에 쇼트가 발생한 경우에도 제4절연부(44)에 의해 반도체 소자(100)가 배치된 제1하부 도전부(10a-1)와 제2하부 도전부(10b-1)는 전기적으로 절연될 수 있다.
- [0090] 몸체(10)의 하면(12)에서 제4절연부(44)까지의 높이(H2)는 몸체(10)의 하면(12)에서 캐비티의 바닥면(11c)까지의 높이(H1) 보다 높을 수 있다. 몸체(10)의 하면(12)에서부터 제4절연부(44)의 하면까지의 높이(H2)와 몸체(10)의 하면(12)에서부터 캐비티의 바닥면(11c)까지의 높이(H1)의 비는 1.09:1 내지 1.72:1일 수 있다.
- [0091] 높이의 비가 1.09:1 이상(예: 1.10:1)인 경우, 패키지 제조 과정에서 캐비티 내에 이물질이 침투하더라도 몸체(10)의 하부와 몸체(10)의 상부 사이의 간격을 확보하여 절연성을 향상시킬 수 있다. 높이의 비가 1.72:1 이하인 경우, 제4절연부(44)으로 직접 조사되는 광을 줄일 수 있어 광에 의한 제4절연부(44)의 크랙 등을 방지할 수 있다.
- [0092] 제2절연부(41a, 41b)는 몸체(10)의 수직 방향(Y축 방향)으로 단차부(15)와 중첩될 수 있다. 제2절연부(41a, 41b)와 단차부(15)가 중첩되는 제1방향 폭(W12)은 제2절연부(41a, 41b)의 제1방향 폭(W1)의 10% 내지 30%일 수 있다. 중첩되는 제1방향 폭(W12)이 제1방향 폭(W1)의 10%보다 큰 경우 제2절연부(41a, 41b)의 폭(W1)이 증가하여 몸체(10)에 충분히 고정될 수 있으며, 중첩되는 제1방향 폭(W12)이 30% 이하인 경우 제2절연부(41a, 41b)의 폭이 줄어들어 몸체(10)의 하면(12)에 전극이 실장되는 면적을 확보할 수 있다.
- [0093] 제2절연부(41a, 41b)는 몸체(10)의 수직 방향(Y축 방향)으로 투광부재(50)와 중첩되지 않을 수 있다. 제2절연부(41a, 41b)와 투광부재(50)의 제1방향 이격 거리(W13)는 제2절연부(41a, 41b)의 제1방향 폭(W1)의 5% 내지 10%일 수 있다. 제1방향 이격 거리(W13)가 제1방향 폭(W1)의 5% 이상인 경우 제2절연부(41a, 41b)의 폭이 줄어들어 몸체(10)의 하면(12)에 전극이 실장되는 면적을 확보할 수 있다. 또한, 제1방향 이격 거리(W13)가 10% 이하인 경우 제2절연부(41a, 41b)가 몸체(10)에 충분히 고정될 수 있다.
- [0094] 제2절연부(41a, 41b)의 두께(d1)는 몸체(10)의 높이의 5% 내지 10%일 수 있다. 제2절연부(41a, 41b)의 두께(d1)가 몸체(10) 높이의 5% 이상인 경우 충분한 두께를 확보하여 패키지 절단시 버(burr)가 발생하는 것을 방지할 수 있으며, 10%이하인 경우 제2절연부(41a, 41b)가 몸체(10)의 하면으로 돌출되는 것을 방지할 수 있다.
- [0095] 제2절연부(41a, 41b)와 단차부(15) 사이의 수직 거리(H3)는 몸체(10)의 전체 높이의 50% 내지 70%일 수 있다. 제2절연부(41a, 41b)와 단차부(15) 사이의 수직 거리가 몸체(10)의 전체 높이의 50% 이상인 경우 충분한 몸체의 높이를 확보할 수 있으며, 70%이하인 경우 제2절연부의 두께를 확보하여 패키지 절단시 버(burr)가 발생하는 것을 방지할 수 있다.
- [0096] 도 10은 본 발명의 제7 실시 예에 따른 반도체 소자 패키지의 단면도이고, 도 11은 본 발명의 제8 실시 예에 따

른 반도체 소자 패키지의 단면도이다.

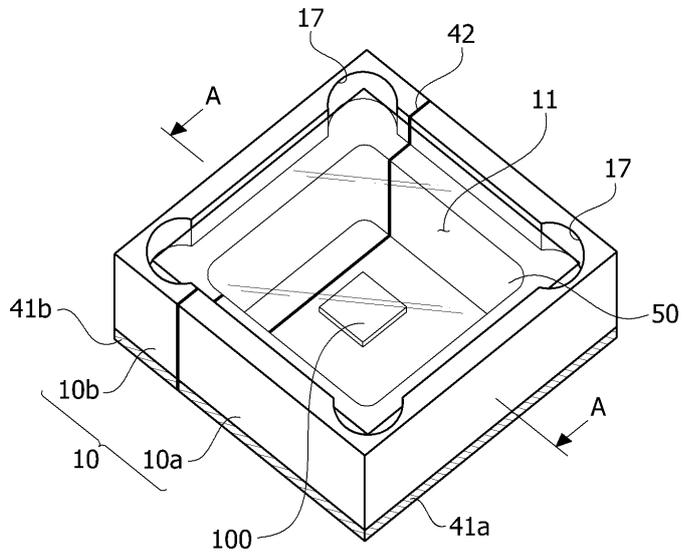
- [0097] 도 10을 참조하면, 캐비티(11a)의 면적이 증가하고 그에 따라 투광부재(50)의 면적도 증가할 수 있다. 이러한 구조에 의하면 캐비티 내부에 배치될 수 있는 반도체 소자(100)의 면적을 증가시킬 수 있다. 따라서, 동일한 패키지 사이즈에서 대면적 반도체 소자(100)를 장착할 수 있는 장점이 있다.
- [0098] 이러한 구조에 의하면, 제2절연부(41a, 41b)와 투광부재(50)는 수직 방향으로 중첩할 수 있다. 제2절연부(41a, 41b)와 투광부재(50)가 중첩되는 제1방향 폭(W14)은 제2절연부(41a, 41b)의 제1방향 폭의 5% 내지 50%일 수 있다. 제2절연부(41a, 41b)와 투광부재(50)가 중첩되는 제1방향 폭(W14)이 5% 이상인 경우 제2절연부(41a, 41b)의 면적을 확보하면서도 투광부재(50)의 사이즈를 증가시킬 수 있다. 또한, 50%이하인 경우 투광부재(50)의 측면을 지지하는 몸체 측벽(16)의 두께를 확보할 수 있어 안정적인 투광부재(50)의 지지가 가능할 수 있다.
- [0099] 도 11을 참조하면, 제2절연부(41a, 41b)와 단차부(15)는 수직방향으로 중첩되지 않을 수 있다. 즉, 제2절연부(41a, 41b)와 단차부(15)는 소정 간격으로 이격될 수 있다. 제2절연부(41a, 41b)와 단차부(15)의 제1방향 이격 간격(W15)은 제2절연부(41a, 41b) 폭의 20% 내지 60%일 수 있다. 제2절연부(41a, 41b)와 단차부(15)의 제1방향 이격 간격(W15)이 제2절연부(41a, 41b) 폭의 20% 이상인 경우 제2절연부(41a, 41b)의 폭이 줄어들어 몸체의 하부에 전극을 실장할 면적을 충분히 확보할 수 있다. 또한, 제1방향 이격 간격(W15)이 제2절연부(41a, 41b) 폭의 60% 이하인 경우 제2절연부(41a, 41b)의 폭을 확보하여 몸체(10)와의 부착력을 확보할 수 있다.
- [0100] 도 12는 반도체 소자의 개념도이고, 도 13은 도 12의 변형예이다.
- [0101] 도 12를 참조하면, 실시 예에 따른 반도체 소자(100)는 서브 마운트(22) 상에 플립칩과 같이 실장될 수 있다. 즉, 반도체 소자(100)의 제1전극(152)과 제2전극(151)이 서브 마운트(22)의 제1패드(23a)와 제2패드(23b)에 플립칩 형태로 실장될 수 있다. 이때, 제1패드(23a)와 제2패드(23b)는 와이어(W)에 의해 몸체(10)에 각각 솔더링될 수 있다.
- [0102] 그러나, 반도체 소자(100)를 실장하는 방법은 특별히 제한하지 않는다. 예시적으로 도 13과 같이 반도체 소자의 기관(110)을 서브 마운트(22)상에 배치하고 제1전극(152)과 제2전극(151)을 직접 몸체(10)에 솔더링할 수도 있다.
- [0103] 실시 예에 따른 반도체 소자는 기관(110), 제1 도전형 반도체층(120), 활성층(130), 및 제2 도전형 반도체층(140)을 포함할 수 있다. 각 반도체층은 자외선 파장대의 광을 방출할 수 있도록 알루미늄 조성을 가질 수 있다.
- [0104] 기관(110)은 도전성 기관 또는 절연성 기관을 포함한다. 기관(110)은 반도체 물질 성장에 적합한 물질이나 캐리어 웨이퍼일 수 있다. 기관(110)은 사파이어(Al₂O₃), SiC, GaAs, GaN, ZnO, Si, GaP, InP 및 Ge 중 선택된 물질로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 필요에 따라 기관(110)은 제거될 수 있다.
- [0105] 제1 도전형 반도체층(120)과 기관(110) 사이에는 버퍼층(미도시)이 더 구비될 수 있다. 버퍼층은 기관(110) 상에 구비된 발광 구조물(160)과 기관(110)의 격자 부정합을 완화할 수 있다.
- [0106] 제1 도전형 반도체층(120)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제1 도전형 반도체층(120)에 제1도펀트가 도핑될 수 있다. 제1 도전형 반도체층(120)은 In_x1Al_y1Ga_{1-x}1-y1N(0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 0 ≤ x+y ≤ 1)의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlGaIn, InGaIn, InAlGaIn 등에서 선택될 수 있다. 그리고, 제1도펀트는 Si, Ge, Sn, Se, Te와 같은 n형 도펀트일 수 있다. 제1도펀트가 n형 도펀트인 경우, 제1도펀트가 도핑된 제1 도전형 반도체층(120)은 n형 반도체층일 수 있다.
- [0107] 활성층(130)은 제1 도전형 반도체층(120)을 통해서 주입되는 전자(또는 정공)와 제2 도전형 반도체층(140)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다. 활성층(130)은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 그에 상응하는 파장을 가지는 빛을 생성할 수 있다.
- [0108] 활성층(130)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(130)의 구조는 이에 한정하지 않는다.
- [0109] 제2 도전형 반도체층(140)은 활성층(130) 상에 형성되며, III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제2 도전형 반도체층(140)에 제2도펀트가 도핑될 수 있다. 제2 도전형 반도체층(140)은 In_x5Al_y2Ga_{1-x}5-y2N (0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 0 ≤ x+y ≤ 1)의 조성식을 갖는 반도체 물질 또는 AlInN, AlGaAs, GaP, GaAs, GaAsP,

AlGaInP 중 선택된 물질로 형성될 수 있다. 제2도펀트가 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트인 경우, 제2도펀트가 도핑된 제2 도전형 반도체층(140)은 p형 반도체층일 수 있다.

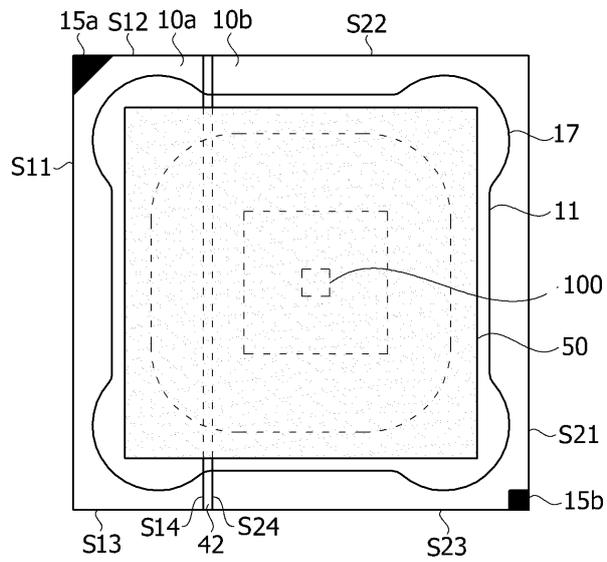
- [0110] 제1전극(152)은 제1 도전형 반도체층(120)과 전기적으로 연결될 수 있고, 제2전극(151)은 제2 도전형 반도체층(140)과 전기적으로 연결될 수 있다. 제1 및 제2전극(152, 151)은 Ti, Ru, Rh, Ir, Mg, Zn, Al, In, Ta, Pd, Co, Ni, Si, Ge, Ag 및 Au와 이들의 선택적인 합금 중에서 선택될 수 있다.
- [0111] 실시 예에서는 수평형 발광소자의 구조로 설명하였으나, 반드시 이에 한정하지 않는다. 예시적으로 실시 예에 따른 발광소자는 수직형 또는 플립칩 구조일 수도 있다.
- [0112] 반도체 소자 패키지는 다양한 종류의 광원 장치에 적용될 수 있다. 예시적으로 광원장치는 살균 장치, 경화 장치, 조명 장치, 및 표시 장치 및 차량용 램프 등을 포함하는 개념일 수 있다. 즉, 반도체 소자는 케이스에 배치되어 광을 제공하는 다양한 전자 디바이스에 적용될 수 있다.
- [0113] 살균 장치는 실시 예에 따른 반도체 소자를 구비하여 원하는 영역을 살균할 수 있다. 살균 장치는 정수기, 에어컨, 냉장고 등의 생활 가전에 적용될 수 있으나 반드시 이에 한정하지 않는다. 즉, 살균 장치는 살균이 필요한 다양한 제품(예: 의료 기기)에 모두 적용될 수 있다.
- [0114] 예시적으로 정수기는 순환하는 물을 살균하기 위해 실시 예에 따른 살균 장치를 구비할 수 있다. 살균 장치는 물이 순환하는 노즐 또는 토출구에 배치되어 자외선을 조사할 수 있다. 이때, 살균 장치는 방수 구조를 포함할 수 있다.
- [0115] 경화 장치는 실시 예에 따른 반도체 소자를 구비하여 다양한 종류의 액체를 경화시킬 수 있다. 액체는 자외선이 조사되면 경화되는 다양한 물질을 모두 포함하는 최광의 개념일 수 있다. 예시적으로 경화장치는 다양한 종류의 레진을 경화시킬 수 있다. 또는 경화장치는 매니큐어와 같은 미용 제품을 경화시키는 데 적용될 수도 있다.
- [0116] 조명 장치는 기관과 실시 예의 반도체 소자를 포함하는 광원 모듈, 광원 모듈의 열을 발산시키는 방열부 및 외부로부터 제공받은 전기적 신호를 처리 또는 변환하여 광원 모듈로 제공하는 전원 제공부를 포함할 수 있다. 또한, 조명 장치는, 램프, 헤드 램프, 또는 가로등 등을 포함할 수 있다.
- [0117] 표시 장치는 바텀 커버, 반사판, 발광 모듈, 도광판, 광학 시트, 디스플레이 패널, 화상 신호 출력 회로 및 컬러 필터를 포함할 수 있다. 바텀 커버, 반사판, 발광 모듈, 도광판 및 광학 시트는 백라이트 유닛(Backlight Unit)을 구성할 수 있다.
- [0118] 반사판은 바텀 커버 상에 배치되고, 발광 모듈은 광을 방출할 수 있다. 도광판은 반사판의 전방에 배치되어 발광 모듈에서 발산되는 빛을 전방으로 안내하고, 광학 시트는 프리즘 시트 등을 포함하여 이루어져 도광판의 전방에 배치될 수 있다. 디스플레이 패널은 광학 시트 전방에 배치되고, 화상 신호 출력 회로는 디스플레이 패널에 화상 신호를 공급하며, 컬러 필터는 디스플레이 패널의 전방에 배치될 수 있다.
- [0119] 반도체 소자 패키지는 표시장치의 백라이트 유닛으로 사용될 때 에지 타입의 백라이트 유닛으로 사용되거나 직하 타입의 백라이트 유닛으로 사용될 수 있다.
- [0120] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

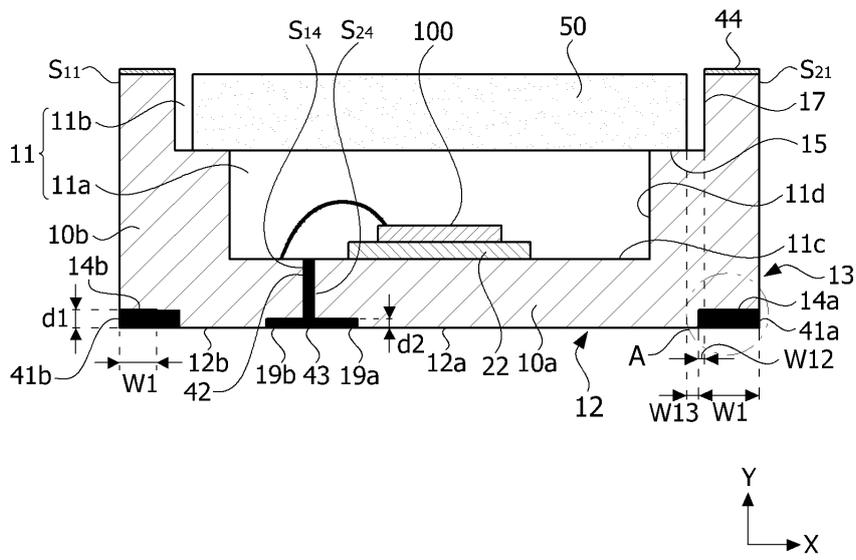
도면1



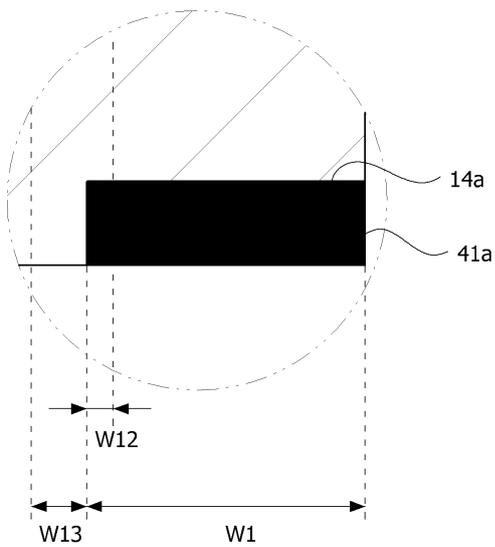
도면2



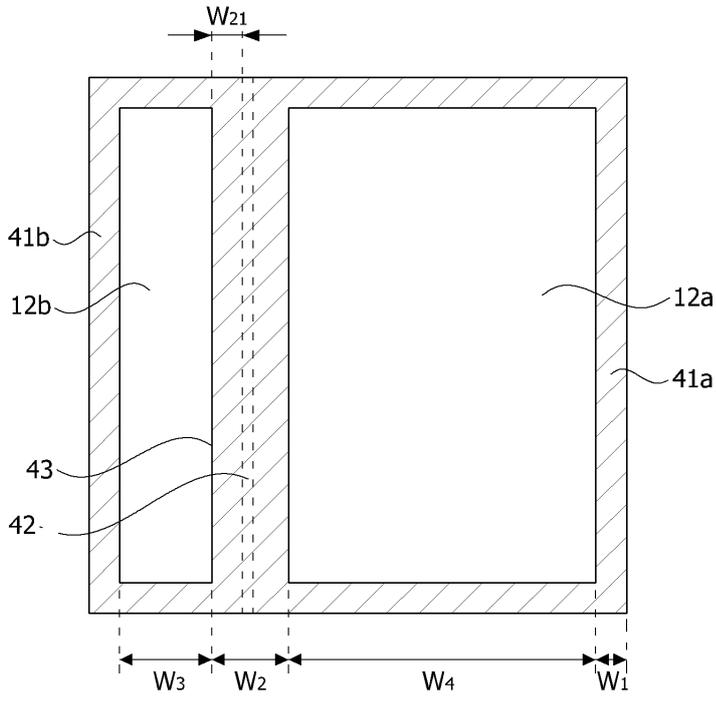
도면3a



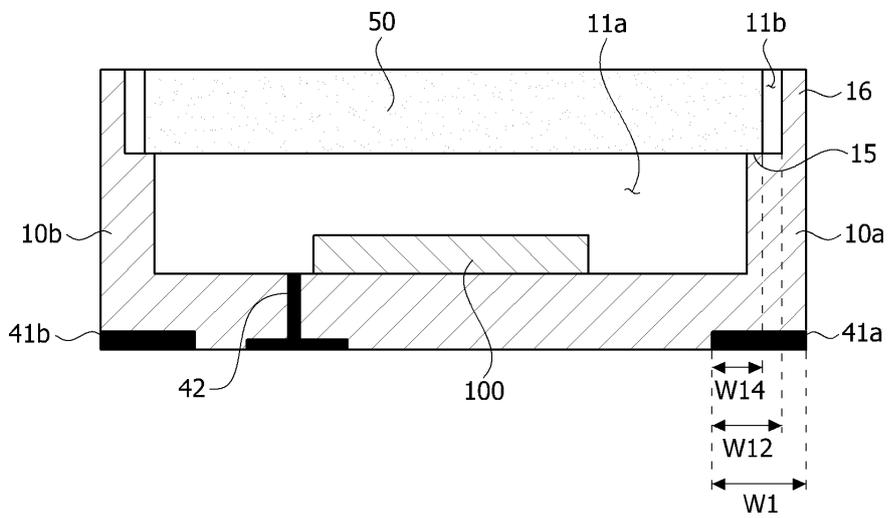
도면3b



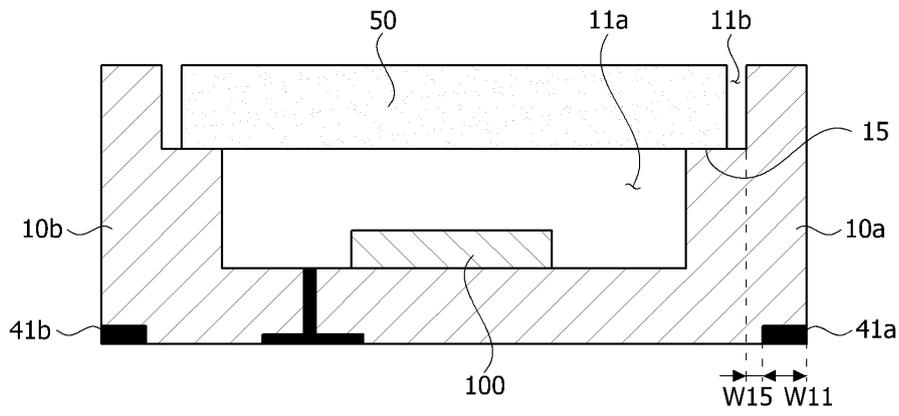
도면4



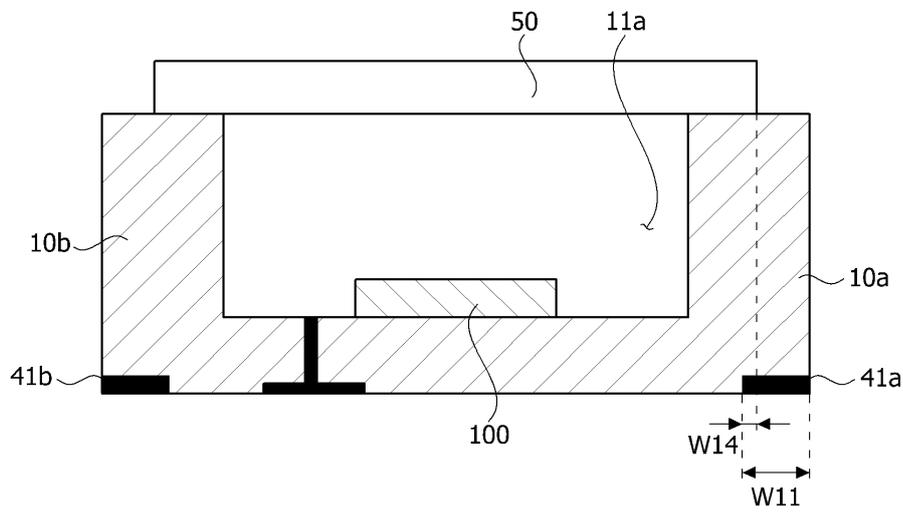
도면5



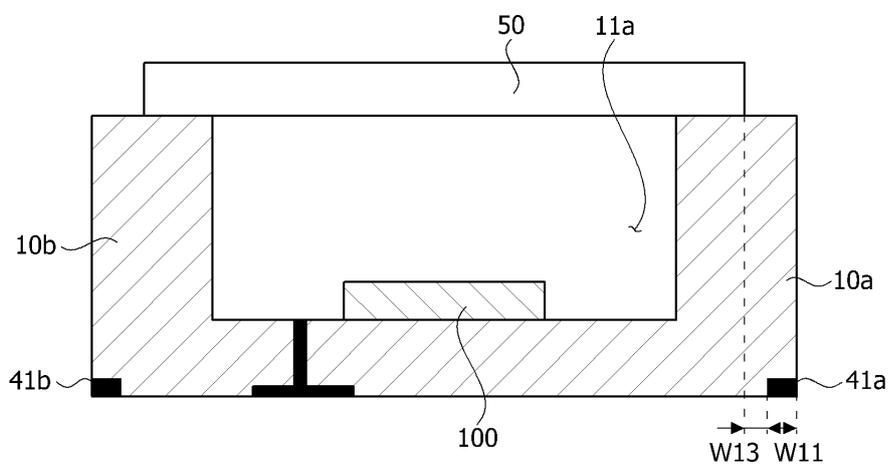
도면6



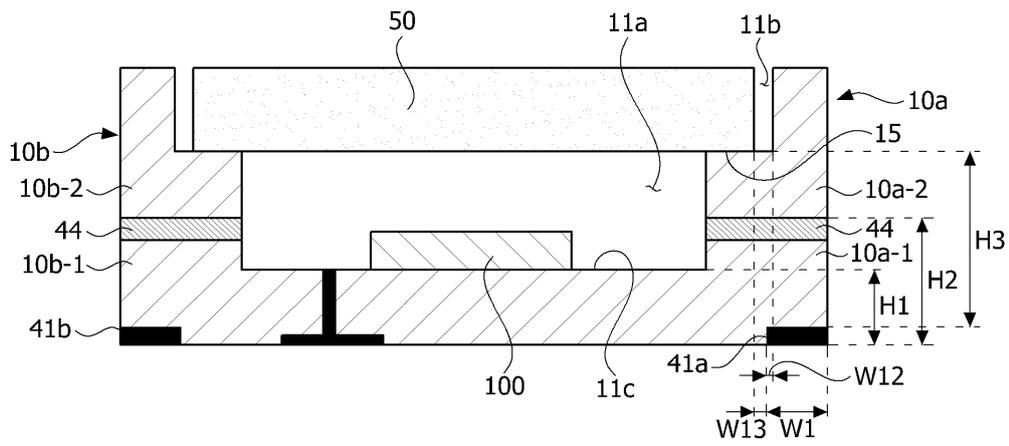
도면7



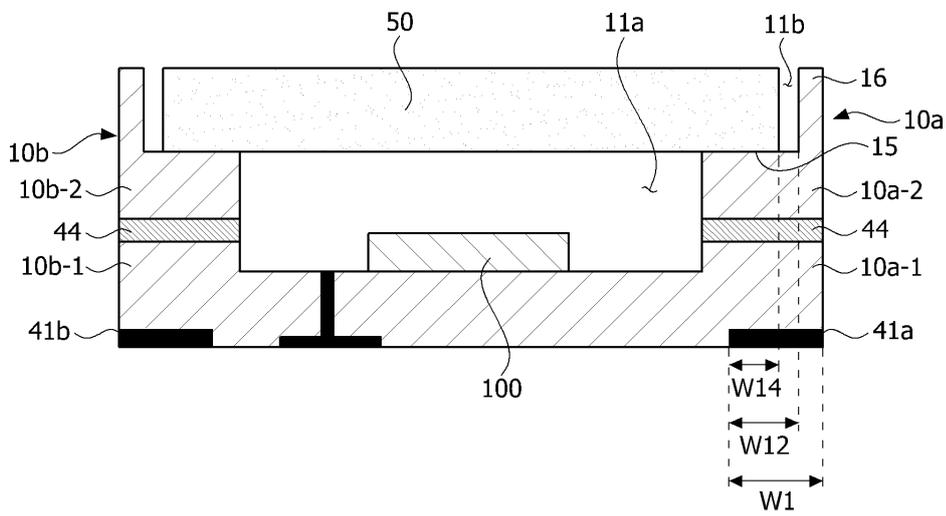
도면8



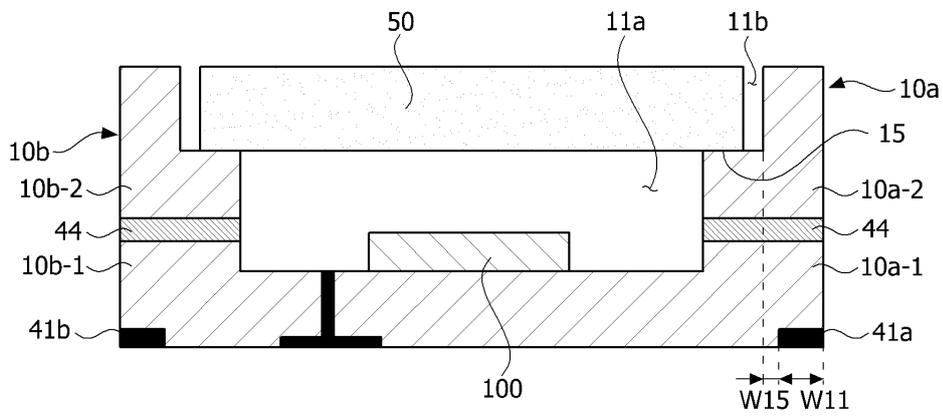
도면9



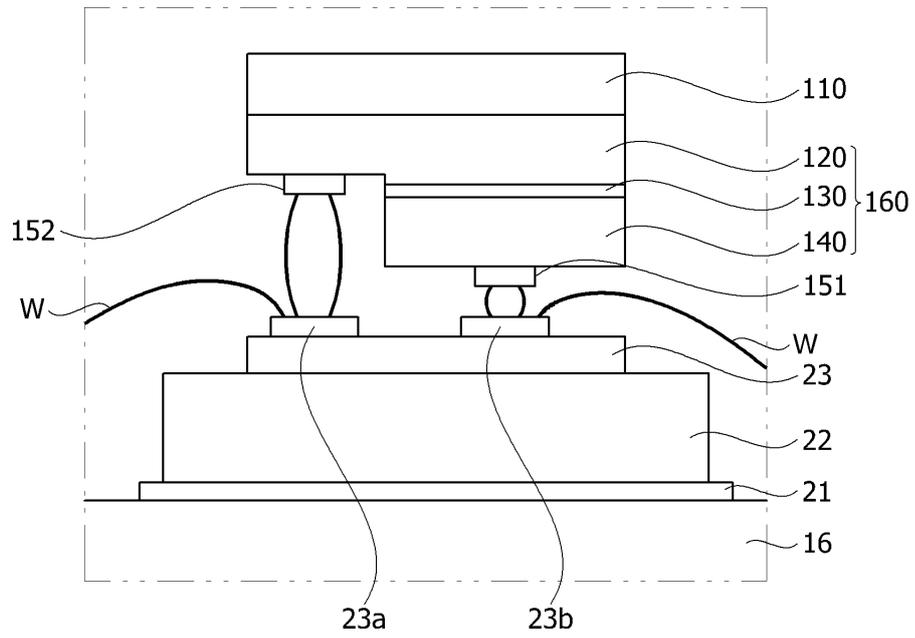
도면10



도면11



도면12



도면13

