

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6708229号
(P6708229)

(45) 発行日 令和2年6月10日(2020.6.10)

(24) 登録日 令和2年5月25日(2020.5.25)

(51) Int.Cl.	F I	
G09G 3/20 (2006.01)	G09G 3/20	6 2 3 F
G09G 3/36 (2006.01)	G09G 3/36	
G09G 3/3275 (2016.01)	G09G 3/3275	
G02F 1/133 (2006.01)	G09G 3/20	6 1 2 F
	G02F 1/133	5 5 0
請求項の数 10 (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2018-137462 (P2018-137462)
 (22) 出願日 平成30年7月23日(2018.7.23)
 (65) 公開番号 特開2020-16678 (P2020-16678A)
 (43) 公開日 令和2年1月30日(2020.1.30)
 審査請求日 令和1年9月19日(2019.9.19)

早期審査対象出願

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100104710
 弁理士 竹腰 昇
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100124682
 弁理士 黒田 泰
 (74) 代理人 100166523
 弁理士 西河 宏晃
 (74) 代理人 100187539
 弁理士 藍原 由和

最終頁に続く

(54) 【発明の名称】 表示ドライバー、電気光学装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

表示データの上位側ビットデータを、前記上位側ビットデータに対応する階調電圧に変換する第1のD/A変換回路と、

前記表示データの低位側ビットデータに応じて変化する基準電圧を出力する第2のD/A変換回路と、

前記基準電圧を基準に前記階調電圧を増幅し、電気光学パネルのデータ線を駆動する反転増幅回路と、

を含み、

前記反転増幅回路は、

第1の耐压のトランジスタで構成され、前記第2のD/A変換回路からの前記基準電圧が非反転入力端子に入力される演算増幅器と、

前記第1のD/A変換回路からの前記階調電圧が入力される前記反転増幅回路の入力ノードと前記演算増幅器の反転入力端子との間に設けられる入力抵抗と、

前記演算増幅器の出力端子と前記反転入力端子との間に設けられる帰還抵抗と、

を有し、

前記第2のD/A変換回路は、

高電位側電源のノードと、前記基準電圧の出力ノードとの間に設けられる第1の抵抗と、

前記出力ノードと第1のノードとの間に設けられる第2の抵抗と、

前記第1のノードと低電位側電源のノードとの間に設けられる基準電圧用ラダー抵抗回路と、

前記第1の耐圧より低い第2の耐圧のトランジスターで構成され、前記基準電圧用ラダー抵抗回路の複数の出力タップと前記低電位側電源のノードとの間に設けられる複数のスイッチ素子を有し、前記下位側ビットデータに応じて前記複数のスイッチ素子がオン又はオフされるスイッチ回路と、

有し、

前記第1の抵抗、前記第2の抵抗及び前記基準電圧用ラダー抵抗回路の抵抗値は、前記第1のノードの電圧が前記第2の耐圧より低い電圧となるように設定されていることを特徴とする表示ドライバー。

10

【請求項2】

請求項1に記載された表示ドライバーにおいて、

前記第2のD/A変換回路は、

前記下位側ビットデータに応じたデータに基づいて、前記複数のスイッチ素子をオン又はオフするスイッチ信号を出力するスイッチ信号生成回路を有することを特徴とする表示ドライバー。

【請求項3】

請求項2に記載された表示ドライバーにおいて、

前記第2の耐圧は、前記スイッチ信号生成回路の電源電圧より高く、

前記第1のノードの電圧は、前記スイッチ信号生成回路の前記電源電圧より低いことを特徴とする表示ドライバー。

20

【請求項4】

請求項2又は3に記載された表示ドライバーにおいて、

前記第1のD/A変換回路は、

前記第1の耐圧のトランジスターにより構成され、

前記スイッチ信号生成回路は、

前記第2の耐圧のトランジスターにより構成されることを特徴とする表示ドライバー。

【請求項5】

請求項1乃至4のいずれか一項に記載された表示ドライバーにおいて、

前記基準電圧用ラダー抵抗回路は、

前記第1のノードと前記低電位側電源のノードとの間に設けられ、直列接続される第1～第kの抵抗(kは2以上の整数)を有し、

前記基準電圧用ラダー抵抗回路の前記複数の出力タップは、第1～第kの出力タップを含み、

前記第jの出力タップ(jは1以上k以下の整数)は、前記第jの抵抗の一端のノードであることを特徴とする表示ドライバー。

30

【請求項6】

請求項5に記載された表示ドライバーにおいて、

前記スイッチ回路の前記複数のスイッチ素子は、第1～第kのスイッチ素子を含み、

前記第jのスイッチ素子は、前記第jの出力タップと前記低電位側電源のノードとの間に設けられることを特徴とする表示ドライバー。

40

【請求項7】

請求項1乃至6のいずれか一項に記載された表示ドライバーにおいて、

前記基準電圧用ラダー抵抗回路の一端は、前記第1のノードに接続され、

前記第2のD/A変換回路は、

前記基準電圧用ラダー抵抗回路の他端と、前記低電位側電源のノードとの間に設けられる第3の抵抗を有することを特徴とする表示ドライバー。

【請求項8】

請求項1乃至7のいずれか一項に記載された表示ドライバーにおいて、

前記下位側ビットデータがmビット(mは1以上の整数)であり、前記反転増幅回路の

50

ゲインが G であり、前記階調電圧の 1 階調に対応する電圧差が V であるとき、

前記第 2 の D/A 変換回路は、

電圧差が $V \times |G| / (1 + |G|)$ である 2 つの電圧の間を 2^m 分割した 2^m 個の電圧のうち、前記下位側ビットデータに対応する電圧を前記基準電圧として出力することを特徴とする表示ドライバー。

【請求項 9】

請求項 1 乃至 8 のいずれかに記載の表示ドライバーと、
前記表示ドライバーにより駆動される電気光学パネルと、
を含むことを特徴とする電気光学装置。

【請求項 10】

請求項 1 乃至 8 のいずれかに記載の表示ドライバーを含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示ドライバー、電気光学装置及び電子機器等に関する。

【背景技術】

【0002】

電気光学パネルを駆動する表示ドライバーは、複数の電圧を生成するラダー抵抗回路と、その複数の電圧の中から表示データに対応する階調電圧を選択する D/A 変換回路と、その階調電圧を増幅又はバッファリング（インピーダンス変換）するアンプ回路と、を含んでいる。このような表示ドライバーの従来技術は、例えば特許文献 1～3 に開示されている。

【0003】

特許文献 1 では、アンプ回路を正転増幅回路で構成している。即ち、演算増幅器の非反転入力端子（正極端子）に階調電圧が入力され、反転入力端子（負極端子）にフィードバック電圧が入力される。

【0004】

特許文献 2、3 では、アンプ回路を反転増幅回路で構成している。反転増幅回路の入力ノードと演算増幅器の反転入力端子との間には第 1 のキャパシターが設けられ、演算増幅器の反転入力端子と出力端子との間には第 2 のキャパシターが設けられ、演算増幅器の非反転入力端子には階調電圧が入力される。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2005 - 292856 号公報

【特許文献 2】特開 2001 - 67047 号公報

【特許文献 3】特開平 10 - 260664 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

プロジェクター等の高性能な表示装置では、多階調数の表示が求められる場合がある。多階調数になると 1 階調あたりの電圧差が小さくなるため、その小さい電圧差を高精度に出力する必要がある。アンプ回路として反転増幅回路を用いた場合において、反転増幅回路に対して階調電圧を出力する第 1 の D/A 変換回路と、反転増幅回路の基準電圧を出力する第 2 の D/A 変換回路とを設ける手法が考えられる。この手法では、第 2 の D/A 変換回路が基準電圧を変化させることで、第 1 の D/A 変換回路による 1 階調が更に分割され、多階調の階調電圧が実現される。

【0007】

このとき、第 2 の D/A 変換回路に含まれるスイッチ回路には、アンプ回路と同等の耐圧が要求されるため、スイッチ回路のレイアウト面積が大きくなるという課題がある。即

10

20

30

40

50

ち、アンプ回路は、ロジック回路等に比べて高い耐圧のトランジスタによって構成されているため、それと同等と耐圧が要求されることによって第2のD/A変換回路のレイアウト面積が大きくなってしまふ。

【課題を解決するための手段】

【0008】

本発明の一態様は、表示データの上位側ビットデータを、前記上位側ビットデータに対応する階調電圧に変換する第1のD/A変換回路と、前記表示データの下位側ビットデータに応じて変化する基準電圧を出力する第2のD/A変換回路と、前記基準電圧を基準に前記階調電圧を増幅し、電気光学パネルのデータ線を駆動する反転増幅回路と、を含み、前記第2のD/A変換回路は、高電位側電源のノードと、前記基準電圧の出力ノードとの間に設けられる第1の抵抗と、前記出力ノードと第1のノードとの間に設けられる第2の抵抗と、前記第1のノードと低電位側電源のノードとの間に設けられる基準電圧用ラダー抵抗回路と、前記基準電圧用ラダー抵抗回路の複数の出力タップと前記低電位側電源のノードとの間に設けられる複数のスイッチ素子を有し、前記下位側ビットデータに応じて前記複数のスイッチ素子がオン又はオフされるスイッチ回路と、有する表示ドライバーに係する。

10

【図面の簡単な説明】

【0009】

【図1】表示ドライバーの構成例。

【図2】表示ドライバーの動作を説明する図。

20

【図3】表示ドライバーの動作を説明する図。

【図4】第2のD/A変換回路の詳細な構成例。

【図5】基準電圧用ラダー抵抗回路及びスイッチ回路、スイッチ信号生成回路の詳細な構成例。

【図6】第2のD/A変換回路における抵抗値の一例。

【図7】第2のD/A変換回路における抵抗値の一例において各スイッチがオンしたときの基準電圧。

【図8】電気光学装置の構成例。

【図9】電子機器の構成例。

【発明を実施するための形態】

30

【0010】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0011】

1. 表示ドライバーの構成例

【0012】

図1は、表示ドライバー100の構成例である。表示ドライバー100は、D/A変換回路10と、反転増幅回路20と、D/A変換回路80と、を含む。また表示ドライバー100は、ラダー抵抗回路50を含むことができる。D/A変換回路10は第1のD/A変換回路であり、D/A変換回路80は第2のD/A変換回路である。表示ドライバー100は、例えば集積回路装置である。

40

【0013】

表示データは $n + m$ ビットのデータである。以下では、MSB側から n ビットのデータを上位側ビットデータと呼び、LSB側から m ビットのデータを下位側ビットデータと呼ぶ。図1では、表示データGRD[10:0]は11ビットのデータであり、上位側ビットデータGRD[10:4]は7ビットのデータであり、下位側ビットデータGRD[3:0]は4ビットのデータである。但し、これに限定されず、 n 、 m は各々1以上の整数であればよい。

【0014】

50

D/A変換回路10は、表示データの上位側ビットデータGRD[10:4]を階調電圧VDAに変換する。階調電圧VDAは、上位側ビットデータGRD[10:4]に対応する電圧である。即ち、D/A変換回路10は、複数の電圧VP1~VP64、VM1~VM64から上位側ビットデータGRD[10:4]に対応した電圧を選択し、その選択した電圧を階調電圧VDAとして出力する。具体的には、GRD[10:4]=0000000、0000001、・・・、0111111の場合、各々、負極性駆動用の電圧VM64、VM63、・・・、VM1を階調電圧VDAとして出力する。GRD[10:4]=1000000、1000001、・・・、1111111の場合、各々、正極性駆動用の電圧VP1、VP2、・・・、VP64が階調電圧VDAとして出力される。なお、ここではGRD[10:4]を2進数で表した。画素、ライン、又はフレーム毎に駆動極性を反転する極性反転駆動において、正極性駆動のとき正極性駆動用の電圧VP1~VP64が選択され、負極性駆動のとき負極性駆動用の電圧VM1~VM64が選択される。

10

【0015】

例えば、D/A変換回路10は、上位側ビットデータGRD[10:4]をデコードするデコーダと、そのデコーダによって制御されるスイッチ回路と、で構成される。スイッチ回路は、複数のスイッチを含み、各スイッチがオン又はオフになることで電圧VM64~VM1、VP1~VP64のいずれかを選択し、その選択した電圧を階調電圧VDAとして出力する。スイッチは例えばトランジスタである。デコーダは、上位側ビットデータGRD[10:4]を、上位側ビットデータGRD[10:4]に対応した電圧を選択する制御信号にデコードする。その制御信号によりスイッチ回路の複数のスイッチがオン又はオフに制御され、上位側ビットデータGRD[10:4]に対応した電圧がスイッチ回路により選択される。

20

【0016】

反転増幅回路20は、基準電圧Vrefを基準に階調電圧VDAを増幅し、電気光学パネルのデータ線を駆動する。即ち、反転増幅回路20は、階調電圧VDAを増幅した出力電圧VQをデータ電圧として、表示ドライバー100のデータ電圧出力端子から電気光学パネルのデータ線に出力する。反転増幅回路20のゲインをGとすると、反転増幅回路20は、基準電圧Vrefを基準として階調電圧VDAをゲインGで反転増幅し、出力電圧VQデータ電圧を出力する。G<0である。出力電圧VQは、表示ドライバー100の端子からデータ電圧として出力され、表示ドライバー100に接続される電気光学パネルのデータ線を駆動する。例えば、VP64<VP63<・・・<VP1<VM1<VM2<・・・<VM64である。負極性駆動用の電圧VM1~VM64は、反転増幅により基準電圧Vrefより低い負極性のデータ電圧となり、正極性駆動用の電圧VP1~VP64は、反転増幅により基準電圧Vrefより高い正極性のデータ電圧となる。

30

【0017】

反転増幅回路20は、演算増幅器OPAと、抵抗R1と、抵抗R2と、を有する。抵抗R1は第1の抵抗である。抵抗R2は第2の抵抗である。演算増幅器OPAの非反転入力端子には、D/A変換回路80から基準電圧Vrefが入力される。非反転入力端子は正極端子であり、非反転入力ノードNIPに接続される。抵抗R1は、階調電圧VDAが入力される入力ノードNIAと演算増幅器OPAの反転入力端子との間に設けられる。反転入力端子は負極端子であり、反転入力ノードNIMに接続される。抵抗R2は、演算増幅器OPAの出力端子と演算増幅器OPAの反転入力端子との間に設けられる。出力端子は出力ノードNQに接続される。演算増幅器OPAの反転入力端子には、階調電圧VDAと出力電圧VQとの間が抵抗R1、R2により分圧された電圧が、入力される。抵抗R1、R2の抵抗値をr1、r2とすると、反転増幅回路20のゲインはG=-r2/r1である。

40

【0018】

D/A変換回路80は、演算増幅器OPAの非反転入力端子に対して、表示データの下位側ビットデータGRD[3:0]に応じて変化する基準電圧Vrefを出力する。ある

50

上位側ビットデータGRD[10:4]に対して階調電圧VDAが反転増幅回路20の入力ノードNIAに入力される。このとき、基準電圧Vrefを変化させると、反転増幅回路20の出力電圧VQが変化する。出力電圧VQにおける1階調あたりの電圧変化をVQとしたとき、このVQを 2^4 分割したとする。D/A変換回路80は、この出力電圧VQ側における 2^4 個の分割電圧に対応した 2^4 個の電圧を生成する。D/A変換回路80は、その 2^4 個の電圧のうち、下位側ビットデータGRD[3:0]に対応する電圧を基準電圧Vrefとして出力する。これにより、下位側ビットデータGRD[3:0]を含む表示データGRD[10:0]に対応した出力電圧VQが出力される。D/A変換回路80の詳細な構成については後述する。なお、D/A変換回路80が 2^m 個の電圧を生成し、VQが 2^m 分割されてもよい。mは1以上の整数である。

10

【0019】

図2、図3は、表示ドライバー100の動作を説明する図である。図2、図3では、上位側ビットデータGRD[10:4]の階調値と下位側ビットデータGRD[3:0]の階調値を10進数で表す。また反転増幅回路20のゲインが-1(即ち $r_1 = r_2$)の場合を例に説明する。なお、反転増幅回路20のゲインは-1に限定されない。

【0020】

図2には、上位側ビットデータGRD[10:4]を変化させたときの電圧特性を示す。図2では下位側ビットデータをGRD[3:0]=0とする。

【0021】

図2に示すように、階調電圧VDAはGRD[10:4]の階調値に対して線形に変化し、GRD[10:4]=0のときVDA=Vpmaxであり、GRD[10:4]=64のときVDA=VCであり、GRD[10:4]=127のときVDA=VMmax=VP64である。反転増幅後のデータ電圧はGRD[10:4]=0のときVQ=VMmaxとなり、GRD[10:4]=64のときVQ=VCとなり、GRD[10:4]=127のときVQ=Vpmaxとなる。従って、階調値「0」~「63」である負極性の階調においてVQ<VC<VDAとなり、階調値「64」~「127」である正極性の階調においてVQ>VC>VDAとなる。なお、Vpmaxは正極性の最大階調電圧であり、VMmaxは負極性の最大階調電圧である。最大階調電圧は、VCから最も離れた階調電圧である。また、VCは下位側ビットデータがGRD[3:0]=0のときの基準電圧Vrefであり、VC=(Vpmax+VMmax)/2である。VCは、例えば、電気光学パネルのコモン電極に供給されるコモン電圧である。図1のラダー抵抗回路50の出力電圧との対応は、Vpmax=VM64、VMmax=VP64、VC=VP1である。

20

30

【0022】

図3には、下位側ビットデータGRD[3:0]を変化させたときの電圧特性を示す。ここでは上位側ビットデータがGRD[10:4]=65であり、VDA=VP2である場合を例に説明する。なお、GRD[3:0]は実際には0から15までであるが、説明のために16まで図示している。

【0023】

GRD[3:0]=0のとき、D/A変換回路80は基準電圧Vref=VC=VP1を出力する。反転増幅回路20は、基準電圧Vrefを基準として階調電圧VDA=VP2をゲイン-1で増幅するので、出力電圧はVQ=VM1となる。上位側ビットデータが1階調上のGRD[10:4]=66のとき、反転増幅回路20の出力電圧はVQ=VM2なので、GRD[3:0]=16のとき、Vref=(VP2+VM2)/2=VC+(VM1-VP1)/2となればよい。V=VM1-VP1としたとき、Vref=VC+(1/2)×Vである。このVCからVC+(1/2)×Vまで線形に変化する電圧を 2^4 で等分割すると、GRD[3:0]の各階調における基準電圧Vrefとなる。即ち、GRD[3:0]=iとしたとき、D/A変換回路80は基準電圧Vref=VC+i×{(1/2)×V/ 2^4 }を出力する。iは0以上15以下の整数である。反転増幅回路20の出力電圧は、VQ=VM1+i×(V/ 2^4)となり、VM1とVM

40

50

2の間を 2^4 で等分割した電圧となる。

【0024】

なお、上記は反転増幅回路20のゲインが $G = -1$ の場合であるが、任意のゲイン $G < 0$ に対して、 $GRD[3:0] = 16$ のときの基準電圧が $V_{ref} = V_C + V \times |G| / (1 + |G|)$ となればよい。即ち、D/A変換回路80は基準電圧 $V_{ref} = V_C + i \times \{ V \times |G| / (1 + |G|) / 2^4 \}$ を出力する。

【0025】

以上に説明したように、D/A変換回路80は基準電圧 V_{ref} を反転増幅回路20に出力している。仮にD/A変換回路80を従来手法で構成した場合、例えば次の構成が考えられる。即ち、D/A変換回路80は、ラダー抵抗回路と、下位側ビットデータ $GRD[3:0]$ に応じてラダー抵抗回路の出力タップを選択するスイッチ回路と、を含む。例えば図8の制御回路180はロジック回路であり、制御回路180は下位側ビットデータ $GRD[3:0]$ をD/A変換回路80に出力する。反転増幅回路20は電気光学パネルを駆動するために、反転増幅回路20の電源電圧はロジック回路の電源電圧よりも高い。このため、反転増幅回路20に基準電圧 V_{ref} を出力するD/A変換回路80のスイッチ回路には、ロジック回路よりも高い耐圧が必要となり、スイッチ回路を、ロジック回路よりも高い耐圧のトランジスタ等により構成する必要がある。また、制御回路180の電源電圧とスイッチ回路の電源電圧が異なるため、レベルシフターが必要となる。これらのことから、従来手法で構成した場合にD/A変換回路80の回路規模、即ちレイアウト面積が大きくなるという課題がある。

【0026】

2. 詳細な構成例

【0027】

上記のような課題を解決できる本実施形態のD/A変換回路80を、図4～図7を用いて説明する。

【0028】

図4は、D/A変換回路80の詳細な構成例である。D/A変換回路80は、抵抗 $RR1 \sim RR3$ と基準電圧用ラダー抵抗回路91とスイッチ回路92とスイッチ信号生成回路93とを含む。抵抗 $RR1$ は第1の抵抗である。抵抗 $RR2$ は第2の抵抗である。抵抗 $RR3$ は第3の抵抗である。

【0029】

抵抗 $RR1$ は、高電位側電源 V_{RH} のノードと、基準電圧 V_{ref} の出力ノード N_{VR} との間に設けられる。即ち、抵抗 $RR1$ の一端は、高電位側電源 V_{RH} のノードに接続され、抵抗 $RR1$ の他端は、出力ノード N_{VR} に接続される。出力ノード N_{VR} は図1の非反転入力ノード N_{IP} に接続される。

【0030】

抵抗 $RR2$ は、出力ノード N_{VR} とノード N_{T0} との間に設けられる。即ち、抵抗 $RR2$ の一端は、出力ノード N_{VR} に接続され、抵抗 $RR2$ の他端は、ノード N_{T0} に接続される。ノード N_{T0} は第1のノードである。

【0031】

基準電圧用ラダー抵抗回路91は、ノード N_{T0} と低電位側電源 V_{RL} のノードとの間に設けられる。具体的には、ノード N_{T0} と低電位側電源 V_{RL} のノードとの間に、基準電圧用ラダー抵抗回路91と抵抗 $RR3$ が直列に接続される。基準電圧用ラダー抵抗回路91の一端はノード N_{T0} に接続され、基準電圧用ラダー抵抗回路91の他端はノード N_{T15} に接続される。抵抗 $RR3$ の一端はノード N_{T15} に接続され、抵抗 $RR3$ の他端は低電位側電源 V_{RL} のノードに接続される。なお、抵抗 $RR3$ は省略されてもよい。この場合、ノード N_{T15} が低電位側電源 V_{RL} のノードとなる。

【0032】

スイッチ回路92は、基準電圧用ラダー抵抗回路91の複数の出力タップと低電位側電源 V_{RL} のノードとの間に設けられる複数のスイッチ素子を有する。その複数のスイッチ

10

20

30

40

50

素子は、下位側ビットデータGRD[3:0]に応じてオン又はオフされる。出力タップは、ラダー抵抗における抵抗間のノードのことである。

【0033】

スイッチ信号生成回路93は、下位側ビットデータGRD[3:0]に応じたデータに基づいてスイッチ信号を出力する。スイッチ信号は、基準電圧用ラダー抵抗回路91の複数のスイッチ素子をオン又はオフする信号である。図4では、スイッチ信号生成回路93は、下位側ビットデータGRD[3:0]に基づいてスイッチ信号を出力するが、これに限定されない。即ち、下位側ビットデータGRD[3:0]に応じたデータは、下位側ビットデータGRD[3:0]そのものであってもよいし、下位側ビットデータGRD[3:0]が加工されたデータであってもよい。

10

【0034】

スイッチ信号生成回路93は、複数のスイッチのうち、下位側ビットデータGRD[3:0]に応じたスイッチをオンさせ、それ以外のスイッチをオフさせる。これにより、下位側ビットデータGRD[3:0]によって選択される出力タップが、低電位側電源VRLのノードに接続される。抵抗RR1~RR3及び基準電圧用ラダー抵抗回路91は、基準電圧Vrefを出力する分圧回路になっている。下位側ビットデータGRD[3:0]によって出力タップが選択されることで、分圧比が変化する。これにより、下位側ビットデータGRD[3:0]に応じて基準電圧Vrefが変化する。

【0035】

以上の実施形態によれば、表示ドライバー100は、表示データの上位側ビットデータGRD[10:4]を階調電圧VDAに変換するD/A変換回路10と、表示データの下位側ビットデータGRD[3:0]に応じて変化する基準電圧Vrefを出力するD/A変換回路80と、を含む。また表示ドライバー100は、基準電圧Vrefを基準に階調電圧VDAを増幅する反転増幅回路20を含む。D/A変換回路80は、抵抗RR1と抵抗RR2と基準電圧用ラダー抵抗回路91とスイッチ回路92とを含む。スイッチ回路92は、基準電圧用ラダー抵抗回路91の複数の出力タップと低電位側電源VRLのノードとの間に設けられる複数のスイッチ素子を有する。複数のスイッチ素子は、下位側ビットデータGRD[3:0]に応じてオン又はオフされる。

20

【0036】

このとき、抵抗RR1は、高電位側電源VRHのノードと、基準電圧Vrefの出力ノードNVRとの間に設けられる。抵抗RR2は、出力ノードNVRとノードNT0との間に設けられる。基準電圧用ラダー抵抗回路91は、ノードNT0と低電位側電源VRLのノードとの間に設けられる。本実施形態によれば、基準電圧Vrefと低電位側電源VRLの間を、抵抗RR2と基準電圧用ラダー抵抗回路91により分圧した電圧が、ノードNT0の電圧となる。即ち、ノードNT0の電圧は基準電圧Vrefよりも低い電圧である。これにより、ノードNT0の電圧をロジック回路の電源電圧よりも低くして、スイッチ回路92及びスイッチ信号生成回路93を低耐圧プロセスで形成することが可能となる。低耐圧プロセスは、反転増幅回路20を形成するプロセスの耐圧よりも低い耐圧のプロセスである。スイッチ回路92及びスイッチ信号生成回路93を低耐圧プロセスで形成することで、D/A変換回路80のレイアウト面積を低減できる。

30

40

【0037】

なお、反転増幅回路20及びD/A変換回路10、D/A変換回路80が設けられたことで、以下のような効果が得られる。即ち、本実施形態によれば、D/A変換回路80が、表示データの下位側ビットデータGRD[3:0]に応じて変化する基準電圧Vrefを出力することで、反転増幅回路20の出力電圧VQを下位側ビットデータGRD[3:0]に応じて変化させることができる。これにより、上位側ビットデータGRD[10:4]の各階調を、更に下位側ビットデータGRD[3:0]で分割し、階調数を拡張できる。例えば、ラダー抵抗回路50及びD/A変換回路10のみで階調数を増加させようとすると、1階調の電圧差が小さくなっていくため、高精度な階調電圧を得ることが困難になったり、或いはD/A変換回路の回路規模が大きくなったりする。この点、基準電圧V

50

refを変化させて上位側ビットデータGRD[10:4]の各階調を分割することで、D/A変換回路の回路規模を抑制しつつ、多階調化を実現できる。

【0038】

図5は、基準電圧用ラダー抵抗回路91及びスイッチ回路92、スイッチ信号生成回路93の詳細な構成例である。

【0039】

基準電圧用ラダー抵抗回路91は、ノードNT0とノードNT15との間に直列に接続される抵抗RLD1~RLD15を含む。

【0040】

抵抗RLD1の一端はノードNT0に接続され、抵抗RLD1の他端はノードNT1に接続される。抵抗RLD2の一端はノードNT1に接続され、抵抗RLD2の他端はノードNT2に接続される。以下、同様である。ノードNT0~NT15は、基準電圧用ラダー抵抗回路91の出力タップである。なお、図5には出力タップ数が16の例を示しているが、出力タップ数はこれに限定されない。基準電圧用ラダー抵抗回路91は、第1~第kの出力タップを有していればよい。kは2以上の整数である。

【0041】

スイッチ回路92は、トランジスタTS0~TS15を含む。トランジスタTS0~TS15はスイッチである。例えば、トランジスタTS0~TS15はN型トランジスタである。D/A変換回路10及び反転増幅回路20は、第1の耐圧のトランジスタにより構成されており、スイッチ回路92のトランジスタTS0~TS15は、第1の耐圧よりも低い第2の耐圧のトランジスタである。第1の耐圧は、D/A変換回路10及び反転増幅回路20の電源電圧よりも高い。第2の耐圧は、スイッチ回路92及びスイッチ信号生成回路93の電源電圧よりも高く、且つ、第1の耐圧よりも低い。耐圧とは、回路素子に印加可能な最大電圧のことである。トランジスタの耐圧とは、トランジスタの端子間に印加可能な最大電圧のことである。即ち、トランジスタの耐圧とは、トランジスタの端子間に印加しても絶縁の劣化又は破壊に至らない最大電圧のことである。

【0042】

トランジスタTS0のソースはノードNT0に接続され、トランジスタTS0のドレインは低電位側電源VRLのノードに接続される。トランジスタTS1のソースはノードNT1に接続され、トランジスタTS1のドレインは低電位側電源VRLのノードに接続される。以下、同様である。

【0043】

スイッチ信号生成回路93は、論理反転回路IN0~IN3と論理積回路AN0~AN15とを含む。スイッチ信号生成回路93は、スイッチ回路92と同様に、第2の耐圧のトランジスタにより構成される。

【0044】

論理反転回路IN0は、ビット信号GRD[0]の論理反転信号を出力する。同様に、論理反転回路IN1~IN3は、ビット信号GRD[1]~GRD[3]の論理反転信号を出力する。以下、GRD[0]~GRD[3]の論理反転信号をXGRD[0]~XGRD[3]と記載する。

【0045】

論理積回路AN0は、XGRD[0]、XGRD[1]、XGRD[2]、XGRD[3]の論理積をスイッチ信号SS0として出力する。GRD[3:0]=0000のときSS0がハイレベルとなり、トランジスタTS0がオンになる。このときSS1~SS15はローレベルであり、トランジスタTS1~TS15はオフである。ノードNT0がトランジスタTS0により低電位側電源VRLのノードに接続され、ノードNT0が低電位側電源VRLの電圧となる。論理積回路AN1は、XGRD[0]、XGRD[1]、XGRD[2]、GRD[3]の論理積をスイッチ信号SS1として出力する。GRD[3:0]=0001のときSS1がハイレベルとなり、トランジスタTS1がオン

10

20

30

40

50

になる。このとき $SS0$ 、 $SS2 \sim SS15$ はローレベルであり、トランジスタ $TS0$ 、 $TS2 \sim TS15$ はオフである。ノード $NT1$ がトランジスタ $TS1$ により低電位側電源 VRL のノードに接続され、ノード $NT1$ が低電位側電源 VRL の電圧となる。以下、同様であり、 $GRD[3:0] = 0010$ 、 0011 、 \dots 、 1111 のとき、それぞれ、トランジスタ $TS2$ 、 $TS3$ 、 \dots 、 $TS15$ がオンになる。

【0046】

以上の実施形態によれば、スイッチ信号生成回路 93 が、下位側ビットデータ $GRD[3:0]$ に基づいてスイッチ信号 $SS0 \sim SS15$ を出力することで、トランジスタ $TS0 \sim TS15$ をオン又はオフさせる。これにより、出力タップであるノード $NT0 \sim NT15$ のいずれかが、下位側ビットデータ $GRD[3:0]$ に応じて選択され、その選択された出力タップが低電位側電源 VRL のノードに接続される。いずれの出力タップが選択されるかによって基準電圧 $Vref$ が変わるので、下位側ビットデータ $GRD[3:0]$ に応じて基準電圧 $Vref$ が制御される。

10

【0047】

図 6 は、 D/A 変換回路 80 における抵抗値の一例である。図 6 には、抵抗 $RR3$ が省略された場合の抵抗値を示す。図 7 は、図 6 の例において各スイッチがオンしたときの基準電圧 $Vref$ を示す。なお、図 6、図 7 では、説明を簡素化するために概略の数値を示す。

【0048】

図 6 では、 $VRH = 15V$ であり、且つ $Vref$ の最小値が $VRH/2$ である場合を想定している。トランジスタ $TS0$ がオンであるとき、抵抗 $RR1$ と抵抗 $RR2$ によって分圧されるので、図 7 に示すように $Vref = 7.5V$ となる。トランジスタ $TS1$ がオンであるとき、抵抗 $RR1$ と、抵抗 $RR2$ 及び $RLD1$ によって分圧されるので、図 7 に示すように $Vref = 7.505V$ となる。トランジスタ $TS2$ がオンであるとき、抵抗 $RR1$ と、抵抗 $RR2$ 及び $RLD1$ 及び $RLD2$ によって分圧されるので、図 7 に示すように $Vref = 7.51V$ となる。即ち、1 階調あたり $5mV$ のステップで基準電圧 $Vref$ が変化する。 $VRH = 15V$ なので、図 6 の例では 1 あたり $1mV$ の電圧降下を生じる。下位側ビットデータ $GRD[3:0]$ が 1 階調変化すると、基準電圧用ラダー抵抗回路 91 の抵抗値が 10 変化するので、ノード $NT0$ の電圧は $10mV$ 変化する。この $10mV$ の変化は、基準電圧 $Vref$ を $5mV$ 変化させる。このため、1 階調あたりの基準電圧 $Vref$ のステップが $5mV$ となっている。

20

30

【0049】

図 6 の例では、トランジスタ $TS15$ がオンであるとき、ノード $NT0$ の電圧は最大値 $150mV$ となる。スイッチ信号生成回路 93 の電源電圧を VDL とすると、ノード $NT0$ の最大電圧 $< VDL$ となるように、抵抗 $RR1$ 、 $RR2$ 、 $RLD1 \sim RLD15$ の抵抗値を決めておく。また、抵抗 $RR3$ を更に設ける場合、ノード $NT0$ の最大電圧 $< VDL$ となるように、抵抗 $RR1 \sim RR3$ 、 $RLD1 \sim RLD15$ の抵抗値を決めておく。このようにすれば、トランジスタ $TS0 \sim TS15$ の耐圧を、スイッチ信号生成回路 93 を構成するトランジスタの耐圧と同じにできる。上述した通り、この耐圧は、反転増幅回路 20 を構成するトランジスタの耐圧よりも低い。

40

【0050】

なお、 $Vref$ の最小値は $VRH/2$ でなくてもよい。抵抗 $RR1$ 、 $RR2$ の抵抗値を調整することで、 $Vref$ の最小値を調整できる。

【0051】

上記では抵抗 $RR3$ を省略しているが、抵抗 $RR3$ を設けることで、下位側ビットデータ $GRD[3:0]$ に対する基準電圧 $Vref$ の特性を向上できる。例えば、下位側ビットデータ $GRD[3:0]$ に対する基準電圧 $Vref$ の線形性を向上できる。

【0052】

具体的には、トランジスタ $TS0 \sim TS15$ はオン抵抗を有している。このため、抵抗 $RR3$ を設けなかった場合、トランジスタ $TS0 \sim TS15$ のオン抵抗によって基準

50

電圧 V_{ref} の線形性が低下するおそれがある。例えば、トランジスタ T_{S15} がオンであるとき、ノード N_{T15} と低電位側電源 V_{RL} との間の抵抗は、トランジスタ T_{S15} のオン抵抗である。トランジスタ T_{S14} がオンであるとき、ノード N_{T14} と低電位側電源 V_{RL} との間の抵抗は、トランジスタ T_{S14} のオン抵抗と抵抗 R_{LD15} との並列抵抗となる。このため、見かけ上のオン抵抗が階調によって異なってしまい、それが基準電圧 V_{ref} の線形性を低下させる原因となる。

【0053】

一方、抵抗 R_{R3} を設けた場合には、トランジスタ T_{S15} がオンであるとき、ノード N_{T15} と低電位側電源 V_{RL} との間の抵抗は、トランジスタ T_{S15} のオン抵抗と抵抗 R_{R3} との並列抵抗となる。トランジスタ T_{S14} がオンであるとき、ノード N_{T14} と低電位側電源 V_{RL} との間の抵抗は、トランジスタ T_{S14} のオン抵抗と、抵抗 R_{LD15} 及び抵抗 R_{R3} との並列抵抗となる。抵抗 R_{R3} の抵抗値を、トランジスタのオン抵抗よりも十分大きくしておけば、上記の並列抵抗の抵抗値は、実質的にトランジスタのオン抵抗の抵抗値となる。これにより、見かけ上のオン抵抗を階調に依らず一定にすることができ、基準電圧 V_{ref} の線形性を向上できる。

【0054】

3. 電気光学装置、電子機器

【0055】

図8は、表示ドライバー100を含む電気光学装置400の構成例である。電気光学装置400は、表示ドライバー100、電気光学パネル200を含む。電気光学装置400を表示装置とも呼ぶ。なお以下では表示ドライバー100が相展開駆動を行う場合を例に説明するが、本発明の適用対象はこれに限定されず、例えばマルチプレクス駆動等にも適用できる。

【0056】

電気光学パネル200は、画素アレイ210、サンプルホールド回路220を含む。電気光学パネル200は、例えば液晶表示パネルや、EL (Electro Luminescence) 表示パネル等である。

【0057】

画素アレイ210は、複数の画素がアレイ状に配置されたものである。相展開駆動では、画素アレイ210のソース線が p 本ずつ順次に駆動される。 p は2以上の整数である。以下では $p = 8$ とする。サンプルホールド回路220は、表示ドライバー100からのデータ電圧 $V_{Q1} \sim V_{Q8}$ を画素アレイ210のソース線にサンプルホールドする回路である。即ち、電気光学パネル200の第1～第8のデータ線にデータ電圧 $V_{Q1} \sim V_{Q8}$ が入力される。画素アレイ210が例えば第1～第640のソース線を有するとする。サンプルホールド回路220は、第1の期間において第1～第8のデータ線と第1～第8のソース線を接続し、次の第2の期間において第1～第8のデータ線と第9～第16のソース線を接続し、以下同様にして、第80の期間において第1～第8のデータ線と第633～第640のソース線を接続する。このような動作を各水平走査期間において行う。

【0058】

表示ドライバー100は、ラダー抵抗回路50、D/A変換部110、駆動部120、電圧生成回路150、記憶部160、インターフェース回路170、制御回路180を含む。

【0059】

インターフェース回路170は、表示ドライバー100と外部の処理装置との間の通信を行う。処理装置は、例えば図9の処理部310である。例えば外部の処理装置からインターフェース回路170を介してクロック信号及びタイミング制御信号、表示データが制御回路180に入力される。

【0060】

制御回路180はインターフェース回路170を介して入力されたクロック信号及びタイミング制御信号、表示データに基づいて、表示ドライバー100の各部及び電気光学パ

10

20

30

40

50

ネル 200 の各部を制御する。例えば制御回路 180 は、表示タイミングの制御を行い、その表示タイミングに従って D/A 変換部 110、サンプルホールド回路 220 の制御を行う。表示タイミングの制御とは、画素アレイ 210 の水平走査線の選択、及び垂直同期制御、相展開駆動の制御等である。

【0061】

電圧生成回路 150 は、各種電圧を生成して駆動部 120 や D/A 変換部 110 に出力する。例えば、電圧生成回路 150 は、D/A 変換部 110 及び駆動部 120 の電源を生成する。電圧生成回路 150 は、例えばレギュレーター等で構成される。

【0062】

D/A 変換部 110 は、D/A 変換回路 11~18、81~88 を含む。D/A 変換回路 11~18 の各々は、図 1 で説明した D/A 変換回路 10 と同じ構成である。D/A 変換回路 81~88 の各々は、図 1 で説明した D/A 変換回路 80 と同じ構成である。駆動部 120 は、反転増幅回路 21~28 を含む。反転増幅回路 21~28 の各々は、図 1 等で説明した反転増幅回路 20 と同じ構成である。D/A 変換回路 11~18 は、制御回路 180 からの表示データの上位側ビットデータを D/A 変換し、その D/A 変換された電圧を反転増幅回路 21~28 に出力する。D/A 変換回路 81~88 は、表示データの低位側ビットデータを D/A 変換し、その D/A 変換された電圧を基準電圧として反転増幅回路 21~28 に出力する。反転増幅回路 21~28 は、D/A 変換回路 11~18 からの電圧を D/A 変換回路 81~88 からの基準電圧を基準として反転増幅し、データ電圧 VQ1~VQ8 を電気光学パネル 200 に出力する。

【0063】

記憶部 160 は、表示ドライバー 100 の制御に用いる種々のデータ（例えば設定データ）を記憶する。種々のデータは、例えば表示ドライバー 100 の動作を設定するための設定データを含む。記憶部 160 は、不揮発性メモリー又は RAM 等で構成される。

【0064】

図 9 は、表示ドライバー 100 を含む電子機器 300 の構成例である。電子機器 300 の具体例としては、表示装置を搭載する種々の電子機器を想定できる。電子機器 300 は、例えばプロジェクター又はヘッドマウントディスプレイ、携帯情報端末、車載装置、携帯型ゲーム端末、情報処理装置等である。車載装置は、例えばメーターパネル、又はカーナビゲーションシステム等である。

【0065】

電子機器 300 は、処理部 310、記憶部 320、操作部 330、インターフェース部 340、表示ドライバー 100、電気光学パネル 200 を含む。処理部 310 は、例えば CPU 等のプロセッサ、或いは表示コントローラー、或いは ASIC 等である。記憶部 320 は、例えばメモリー、又はハードディスク等である。操作部 330 を操作装置とも呼ぶ。インターフェース部 340 をインターフェース回路、又はインターフェース装置とも呼ぶ。

【0066】

操作部 330 は、ユーザーからの種々の操作を受け付けるユーザーインターフェースである。例えば、ボタンやマウス、キーボード、電気光学パネル 200 に装着されたタッチパネル等である。インターフェース部 340 は、画像データや制御データの入出力を行うデータインターフェースである。インターフェース部 340 は、例えば USB 等の有線通信インターフェースや、或は無線 LAN 等の無線通信インターフェースである。記憶部 320 は、インターフェース部 340 から入力されたデータを記憶する。或は、記憶部 320 は、処理部 310 のワーキングメモリーとして機能する。処理部 310 は、インターフェース部 340 から入力された或いは記憶部 320 に記憶された表示データを処理して表示ドライバー 100 に転送する。表示ドライバー 100 は、処理部 310 から転送された表示データに基づいて電気光学パネル 200 に画像を表示させる。

【0067】

例えば電子機器 300 がプロジェクターである場合、電子機器 300 は更に光源と光学

装置とを含む。光学装置は、例えばレンズ、プリズム、ミラー等である。電気光学パネル 200 が透過型である場合、光学装置が光源からの光を電気光学パネル 200 に入射させ、電気光学パネル 200 を透過した光がスクリーンに投影される。電気光学パネル 200 が反射型である場合、光学装置が光源からの光を電気光学パネル 200 に入射させ、電気光学パネル 200 から反射された光がスクリーンに投影される。

【0068】

以上の実施形態によれば、表示ドライバーは、第 1 の D/A 変換回路と第 2 の D/A 変換回路と反転増幅回路とを含む。第 1 の D/A 変換回路は、表示データの上位側ビットデータを、上位側ビットデータに対応する階調電圧に変換する。第 2 の D/A 変換回路は、表示データの低位側ビットデータに応じて変化する基準電圧を出力する。反転増幅回路は、基準電圧を基準に階調電圧を増幅し、電気光学パネルのデータ線を駆動する。第 2 の D/A 変換回路は、第 1 の抵抗と第 2 の抵抗と基準電圧用ラダー抵抗回路とスイッチ回路とを含む。第 1 の抵抗は、高電位側電源のノードと、基準電圧の出力ノードとの間に設けられる。第 2 の抵抗は、出力ノードと第 1 のノードとの間に設けられる。基準電圧用ラダー抵抗回路は、第 1 のノードと低電位側電源のノードとの間に設けられる。スイッチ回路は、基準電圧用ラダー抵抗回路の複数の出力タップと低電位側電源のノードとの間に設けられる複数のスイッチ素子を有する。複数のスイッチ素子は、低位側ビットデータに応じてオン又はオフされる。

10

【0069】

本実施形態によれば、基準電圧と低電位側電源の間が、第 2 の抵抗と基準電圧用ラダー抵抗回路により分圧され、その分圧された電圧が、第 1 のノードに出力される。即ち、第 1 のノードの電圧は基準電圧よりも低い。これにより、スイッチ回路を構成するスイッチ素子の耐圧を、反転増幅回路を構成するトランジスターの耐圧よりも低くすることが可能となる。スイッチ回路を低耐圧プロセスにより構成できるので、スイッチ回路を反転増幅回路と同じ高耐圧プロセスで構成した場合に比べて第 2 の D/A 変換回路のレイアウト面積を低減できる。

20

【0070】

また本実施形態では、第 2 の D/A 変換回路はスイッチ信号出力回路を有してもよい。スイッチ信号生成回路は、低位側ビットデータに応じたデータに基づいて、複数のスイッチ素子をオン又はオフするスイッチ信号を出力してもよい。

30

【0071】

本実施形態によれば、スイッチ回路を低耐圧プロセスにより構成できるので、そのスイッチ回路にスイッチ信号を出力するスイッチ信号生成回路も低耐圧プロセスにより構成できる。これにより、スイッチ回路及びスイッチ信号生成回路を反転増幅回路と同じ高耐圧プロセスで構成した場合に比べて、第 2 の D/A 変換回路のレイアウト面積を低減できる。

【0072】

また本実施形態では、第 1 の D/A 変換回路及び反転増幅回路は、第 1 の耐圧のトランジスターにより構成されてもよい。スイッチ回路及びスイッチ信号出力回路は、第 1 の耐圧よりも低い第 2 の耐圧のトランジスターにより構成されてもよい。

40

【0073】

第 1 の D/A 変換回路は、階調電圧の上限から下限までを反転増幅回路に出力する必要があるため、第 1 の D/A 変換回路及び反転増幅回路は、同じ耐圧のトランジスターにより構成される。一方、第 2 の D/A 変換回路は基準電圧を下位側ビットデータに応じて変化させるので、基準電圧の変化範囲は小さい。このとき第 1 の D/A 変換回路を上述のような構成とすることで、スイッチ回路及びスイッチ信号出力回路を、第 1 の耐圧よりも低い第 2 の耐圧のトランジスターにより構成できる。

【0074】

また本実施形態では、基準電圧用ラダー抵抗回路は、第 1 のノードと低電位側電源のノードとの間に設けられ、直列接続される第 1 ~ 第 k の抵抗 (k は 2 以上の整数) を有して

50

もよい。基準電圧用ラダー抵抗回路の複数の出力タップは、第1～第kの出力タップを含んでもよい。第jの出力タップ（jは1以上k以下の整数）は、第jの抵抗の一端のノードであってもよい。

【0075】

上述のように、スイッチ回路は、基準電圧用ラダー抵抗回路の複数の出力タップと低電位側電源のノードとの間に設けられる複数のスイッチ素子を有する。この複数のスイッチ素子が下位側ビットデータに応じてオン又はオフされることで、複数の出力タップのいずれかが低電位側電源のノードに接続される。第1の抵抗及び第2の抵抗、基準電圧用ラダー抵抗回路の分圧によって基準電圧が生成される。いずれの出力タップが低電位側電源のノードに接続されるかに応じて、その分圧比が変わるので、下位側ビットデータに応じた基準電圧を出力できる。

10

【0076】

また本実施形態では、スイッチ回路の複数のスイッチ素子は、第1～第kのスイッチ素子を含んでもよい。第jのスイッチ素子は、第jの出力タップと低電位側電源のノードとの間に設けられてもよい。

【0077】

本実施形態によれば、第jのスイッチ素子がオンであるとき、第jのスイッチ素子により第jの出力タップと低電位側電源のノードとが接続される。スイッチ信号生成回路が、下位側ビットデータに応じて第1～第kのスイッチ素子のいずれかをオンさせることで、第1～第kの出力タップのいずれかを低電位側電源のノードに接続できる。このようにして、下位側ビットデータに応じた基準電圧を出力できる。

20

【0078】

また本実施形態では、第2のD/A変換回路は、基準電圧用ラダー抵抗回路の一端と、低電位側電源のノードとの間に設けられる第3の抵抗を有してもよい。

【0079】

基準電圧用ラダー抵抗回路の出力タップと低電位側電源のノードとの間を接続するスイッチ素子は、オン抵抗を有する。このとき、出力タップと低電位側電源のノードとの間に接続される抵抗と、スイッチ素子とが、並列に接続されている。いずれの出力タップが低電位側電源のノードに接続されるかによって、スイッチ素子に並列に接続される抵抗値が変化するため、基準電圧の線形性が低下するおそれがある。本実施形態によれば、第3の抵抗を設けたことで、基準電圧の線形性を向上できる。即ち、第3の抵抗の抵抗値をスイッチ素子のオン抵抗よりも高くしておくことで、出力タップと低電位側電源のノードとの間の抵抗値が、実質的にスイッチ素子のオン抵抗になる。これにより、基準電圧の線形性を向上できる。

30

【0080】

また本実施形態では、第1のノードの電圧は、スイッチ信号出力回路の電源電圧より低くてもよい。

【0081】

スイッチ信号生成回路がスイッチ素子に出力するスイッチ信号は、スイッチ信号出力回路の電源電圧の信号レベルを有する。このため、第1のノードの電圧がスイッチ信号出力回路の電源電圧より低いことで、スイッチ素子に印加される電圧が、スイッチ信号出力回路の電源電圧より低くなる。これにより、スイッチ回路とスイッチ信号生成回路を、同じ耐圧のトランジスターにより構成できる。

40

【0082】

また本実施形態では、下位側ビットデータがmビット（mは1以上の整数）であり、反転増幅回路のゲインがGであり、階調電圧の1階調に対応する電圧差がVであってもよい。このとき、第2のD/A変換回路は、電圧差が $V \times |G| / (1 + |G|)$ である2つの電圧の間を 2^m 分割した 2^m 個の電圧のうち、下位側ビットデータに対応する電圧を基準電圧として出力してもよい。

【0083】

50

本実施形態によれば、第2のD/A変換回路が、下位側ビットデータに対応した基準電圧を出力することで、上位側ビットデータの1階調を 2^m 分割できる。具体的には、反転増幅回路が、上位側ビットデータの1階調に対応する電圧差 V を 2^m 分割した出力電圧を、出力できるようになる。上位側ビットデータのビット数を n ビットとした場合、 n ビットの上位側ビットデータに対して m ビット分の多階調化を実現できる。

【0084】

また本実施形態では、電気光学装置は、上記のいずれかに記載の表示ドライバーと、表示ドライバーにより駆動される電気光学パネルと、を含む。

【0085】

また本実施形態では、電子機器は、上記のいずれかに記載の表示ドライバーを含む。

10

【0086】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語と共に記載された用語は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また本実施形態及び変形例の全ての組み合わせも、本発明の範囲に含まれる。また表示ドライバー、電気光学装置及び電子機器の構成及び動作等も、本実施形態で説明したものに限定されず、種々の変形実施が可能である。

【符号の説明】

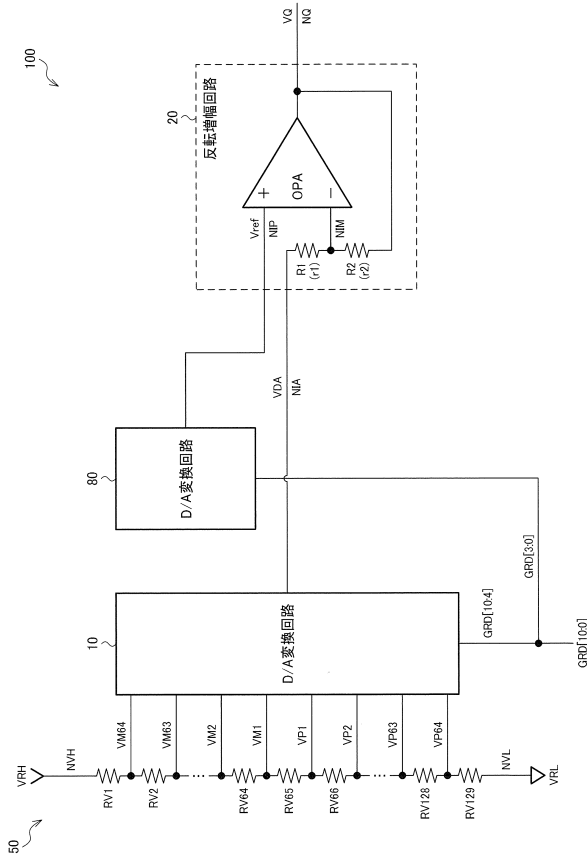
20

【0087】

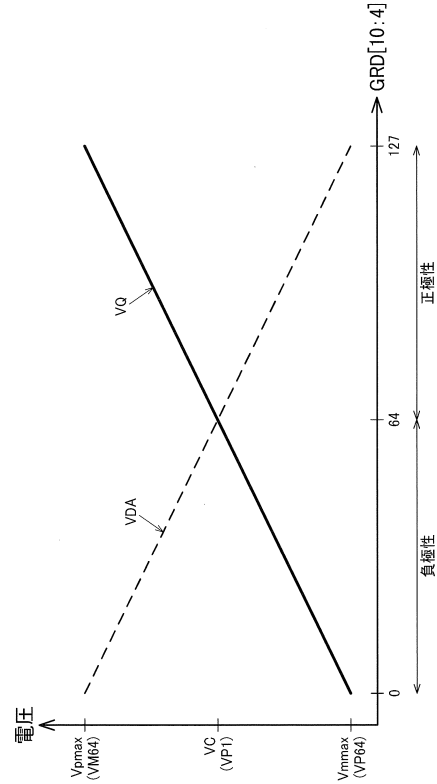
10...D/A変換回路、11~18...D/A変換回路、20...反転増幅回路、21~28...反転増幅回路、50...ラダー抵抗回路、80...D/A変換回路、81~88...D/A変換回路、91...基準電圧用ラダー抵抗回路、92...スイッチ回路、93...スイッチ信号生成回路、100...表示ドライバー、110...D/A変換部、120...駆動部、150...電圧生成回路、160...記憶部、170...インターフェース回路、180...制御回路、200...電気光学パネル、210...画素アレイ、220...サンプルホールド回路、300...電子機器、310...処理部、320...記憶部、330...操作部、340...インターフェース部、400...電気光学装置、GRD[3:0]...下位側ビットデータ、GRD[10:4]...上位側ビットデータ、GRD[10:0]...表示データ、R1...抵抗、R2...抵抗、RLD1~RLD15...抵抗、RR1~RR3...抵抗、SS0~SS15...スイッチ信号、TS0~TS15...トランジスタ、VDA...階調電圧、VQ...出力電圧、VQ1~VQ8...データ電圧、VRH...高電位側電源、VRL...低電位側電源、Vref...基準電圧

30

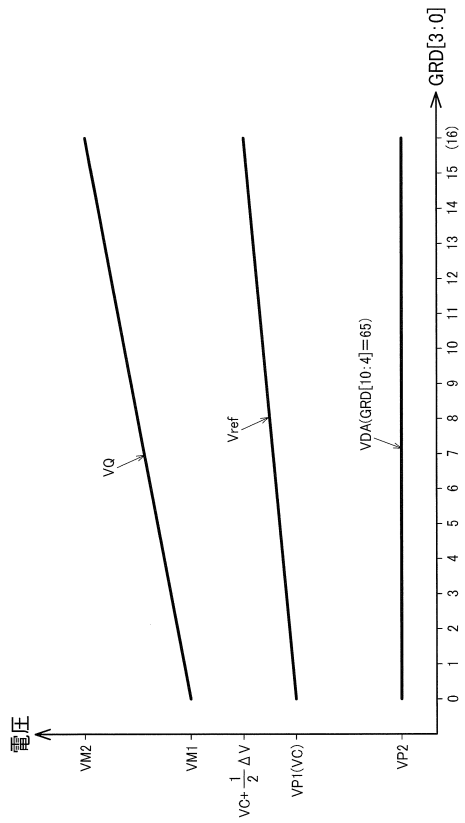
【図1】



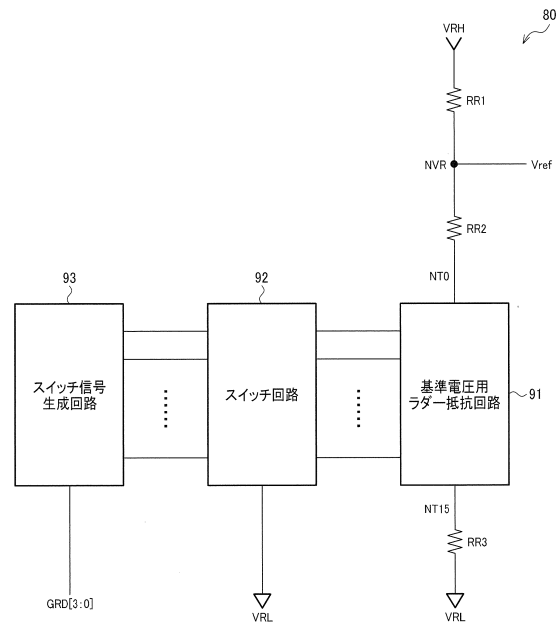
【図2】



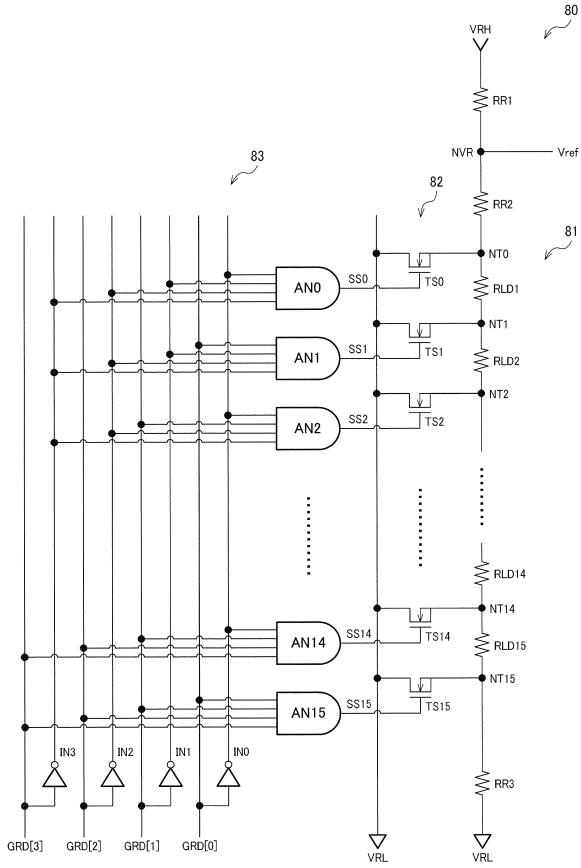
【図3】



【図4】



【図5】



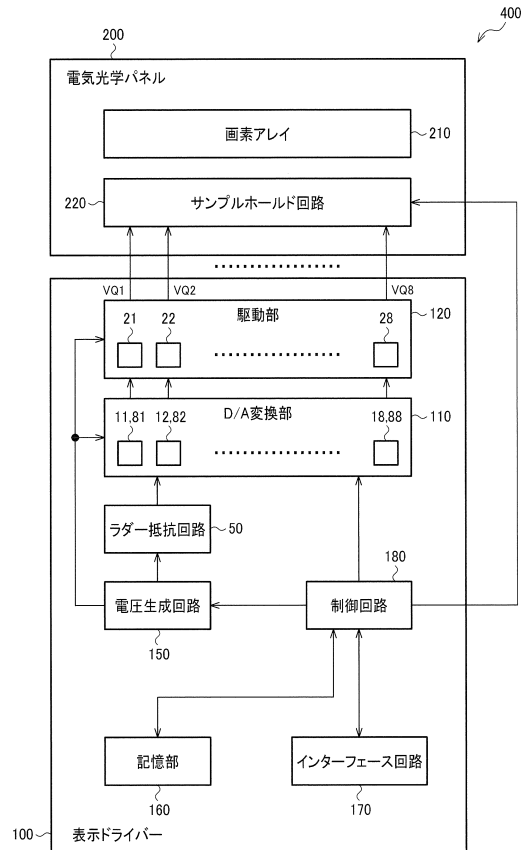
【図6】

	抵抗値[Ω]
RR1	7420
RR2	7420
RLD1	10
RLD2	10
RLD3	10
RLD4	10
RLD5	10
RLD6	10
RLD7	10
RLD8	10
RLD9	10
RLD10	10
RLD11	10
RLD12	10
RLD13	10
RLD14	10
RLD15	10

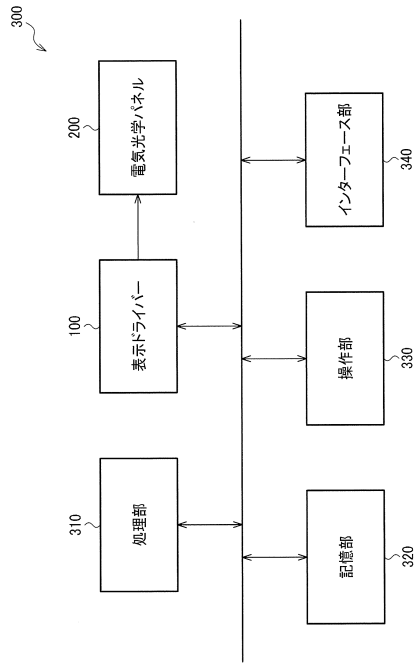
【図7】

	Vref[V]	Step[mV]
TS0	7.5	
TS1	7.505	5
TS2	7.51	5
TS3	7.515	5
TS4	7.52	5
TS5	7.525	5
TS6	7.53	5
TS7	7.535	5
TS8	7.54	5
TS9	7.545	5
TS10	7.55	5
TS11	7.555	5
TS12	7.56	5
TS13	7.565	5
TS14	7.57	5
TS15	7.575	5

【図8】



【図9】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 7 5

(72)発明者 森田 晶
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 西島 篤宏

(56)参考文献 特開平06-120832(JP,A)
特開平08-107357(JP,A)
特開2019-090957(JP,A)
特開2000-151407(JP,A)
米国特許出願公開第2017/0272093(US,A1)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3