



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년02월01일
(11) 등록번호 10-2210539
(24) 등록일자 2021년01월26일

(51) 국제특허분류(Int. Cl.)
H04N 5/378 (2011.01) H04N 5/374 (2011.01)
(21) 출원번호 10-2013-0164302
(22) 출원일자 2013년12월26일
심사청구일자 2018년11월28일
(65) 공개번호 10-2015-0075896
(43) 공개일자 2015년07월06일
(56) 선행기술조사문헌
KR1020060090151 A*
KR1020120015702 A*
US20110248149 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
양한
서울특별시 성동구 매봉길 15, 105동 106호 (옥수동, 래미안 옥수 리버젠)
이광현
경기도 성남시 분당구 동판교로 153, 802동 404호 (삼평동, 봇들마을8단지아파트)
(74) 대리인
박영우

전체 청구항 수 : 총 17 항

심사관 : 양정미

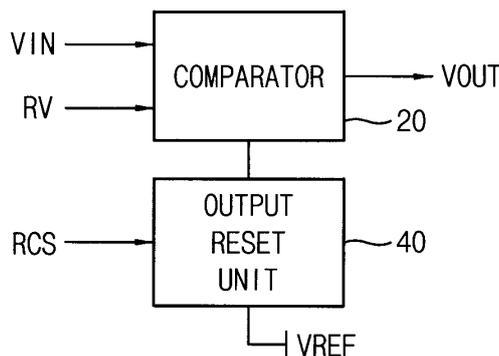
(54) 발명의 명칭 **상관 이중 샘플링 회로, 이를 포함하는 아날로그-디지털 컨버터, 및 이미지 센서**

(57) 요약

상관 이중 샘플링 회로는 샘플링부 및 출력 리셋부를 포함한다. 상기 샘플링부는 램프 신호를 기초로 픽셀 어레이로부터 제공되는 입력 신호에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링(Correlated Double Sampling; CDS)을 수행하여 출력 신호를 발생한다. 상기 출력 리셋부는 상기 램프 신호와 상기 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 상기 램프 신호와 상기 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압 레벨로 리셋시킨다.

대표도 - 도1

10



명세서

청구범위

청구항 1

램프 신호를 기초로 픽셀 어레이로부터 제공되는 입력 신호에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링(Correlated Double Sampling; CDS)을 수행하여 출력 신호를 발생하고, 상기 램프 신호를 수신하는 제1(양의) 입력 단자, 상기 입력 신호를 수신하는 제2(음의) 입력 단자 및 상기 출력 신호를 제공하는 출력 단자를 구비하는 비교기를 포함하는 샘플링부; 및

상기 램프 신호와 상기 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 상기 램프 신호와 상기 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각 중 적어도 하나에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압의 레벨로 리셋시키는 출력 리셋부를 포함하고,

상기 출력 리셋부는 상기 기준 전압에 연결되는 제1 단자 및 상기 비교기의 출력 단자에 연결되는 제2 단자를 구비하는 리셋 스위치를 포함하는 상관 이중 샘플링 회로.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제1 리셋 구간과 상기 제2 리셋 구간은 동일한 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 4

제1항에 있어서,

상기 비교기는 전원 전압과 제1 노드 사이에 연결되는 바이어스부; 및

상기 바이어스부와 접지 전압 사이에 연결되고, 상기 램프 신호와 상기 입력 신호를 비교하여 상기 출력 신호를 발생하는 비교부를 포함하고,

상기 기준 전압은 상기 전원 전압의 레벨을 가지고,

상기 바이어스부는 상기 전원 전압과 상기 제1 노드 사이에 연결되는 제1 피모스 트랜지스터를 포함하고, 상기 제1 피모스 트랜지스터는 게이트에 인가되는 바이어스 전압에 응답하여 상기 비교부에 제공되는 전류를 조절하는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 5

제4항에 있어서, 상기 비교부는

상기 제1 노드에 연결되며 게이트로는 상기 램프 신호를 수신하는 제2 피모스 트랜지스터;

상기 제1 노드에 상기 제2 피모스 트랜지스터와 병렬로 연결되며 게이트로는 상기 입력 신호를 수신하는 제3 피모스 트랜지스터;

제2 노드에서 상기 제2 피모스 트랜지스터에 연결되는 드레인, 상기 접지 전압에 연결되는 소스를 구비하는 제1 엔모스 트랜지스터; 및

제3 노드에서 상기 제3 피모스 트랜지스터에 연결되는 드레인, 상기 접지 전압에 연결되는 소스를 구비하는 제2 엔모스 트랜지스터를 포함하고,

상기 제3 노드에서 상기 출력 신호가 제공되고,

상기 제1 및 제2 엔모스 트랜지스터는 전류 미러 구조를 갖는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 6

제1항에 있어서,

상기 비교기는 접지 전압과 제1 노드 사이에 연결되는 바이어스부; 및

상기 바이어스부와 전원 전압 사이에 연결되고, 상기 램프 신호와 상기 입력 신호를 비교하여 상기 출력 신호를 발생하는 비교부를 포함하고,

상기 기준 전압은 상기 접지 전압의 레벨을 가지고,

상기 바이어스부는 상기 접지 전압과 상기 제1 노드 사이에 연결되는 제1 엔모스 트랜지스터를 포함하고, 상기 제1 엔모스 트랜지스터는 게이트에 인가되는 바이어스 전압에 응답하여 상기 비교부에 제공되는 전류를 조절하는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 7

제6항에 있어서, 상기 비교부는

상기 제1 노드에 연결되며 게이트로는 상기 램프 신호를 수신하는 제2 엔모스 트랜지스터;

상기 제1 노드에 상기 제2 엔모스 트랜지스터와 병렬로 연결되며 게이트로는 상기 입력 신호를 수신하는 제3 엔모스 트랜지스터;

제2 노드에서 상기 제2 엔모스 트랜지스터에 연결되는 드레인, 상기 접지 전압에 연결되는 소스를 구비하는 제1 피모스 트랜지스터; 및

제3 노드에서 상기 제3 엔모스 트랜지스터에 연결되는 드레인, 상기 상기 접지 전압에 연결되는 소스를 구비하는 제2 피모스 트랜지스터를 포함하고,

상기 제3 노드에서 상기 출력 신호가 제공되고,

상기 제1 및 제2 피모스 트랜지스터는 전류 미러 구조를 갖는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 8

제1항에 있어서,

상기 제1 비교 구간 이전의 오토-제로 구간에서 오토-제로(auto-zero) 제어 신호에 응답하여 상기 입력 신호가 인가되는 상기 샘플링부의 입력 단자를 상기 출력 신호가 제공되는 상기 샘플링부의 출력 노드와 연결시키는 오토-제로 스위치를 더 포함하는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 9

제8항에 있어서,

상기 제1 리셋 구간은 상기 제1 비교 구간 이전의 제1 프리차지 구간에 포함되고, 상기 제1 리셋 구간의 상기 제1 프리차지 구간 보다 크지 않고

상기 제1 프리차지 구간에서 상기 램프 신호는 오프셋 레벨을 가지는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 10

제8항에 있어서,

상기 제2 리셋 구간은 상기 제2 비교 구간 이전의 제2 프리차지 구간에 포함되고, 상기 제2 리셋 구간은 상기 제2 프리차지 구간보다 작고,

상기 제2 프리차지 구간에서 상기 램프 신호는 오프셋 레벨을 가지는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 11

제1항에 있어서,

상기 출력 리셋부는 상기 제1 리셋 구간 및 제2 리셋 구간 각각에서 상기 출력 신호를 상기 기준 전압 레벨로 리셋시켜 상기 출력 신호의 안정화(settling) 시간을 감소시키는 것을 특징으로 하는 상관 이중 샘플링 회로.

청구항 12

픽셀 어레이로부터 제공되는 입력 신호를 샘플링하여 출력 신호를 발생하는 상관 이중 샘플링 회로; 및

상기 출력 신호를 디지털 변환하여 디지털 신호를 발생하는 디지털 신호 발생부를 포함하고,

상기 상관 이중 샘플링 회로는

램프 신호를 기초로 상기 입력 신호에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링(Correlated Double Sampling; CDS)을 수행하여 상기 출력 신호를 발생하고, 상기 램프 신호를 수신하는 제1(양의) 입력 단자, 상기 입력 신호를 수신하는 제2(음의) 입력 단자 및 상기 출력 신호를 제공하는 출력 단자를 구비하는 비교기를 포함하는 샘플링부; 및

상기 램프 신호와 상기 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 상기 램프 신호와 상기 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각 중 적어도 하나에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압의 레벨로 리셋시키는 출력 리셋부를 포함하고,

상기 출력 리셋부는 상기 기준 전압에 연결되는 제1 단자 및 상기 비교기의 출력 단자에 연결되는 제2 단자를 구비하는 리셋 스위치를 포함하는 아날로그-디지털 컨버터.

청구항 13

삭제

청구항 14

제12항에 있어서,

상기 디지털 신호 발생부는 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 출력 신호에 기초하여 입력 클럭 신호를 카운팅하여 상기 디지털 신호를 발생하는 카운터를 포함하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 15

제12항에 있어서,

상기 디지털 신호 발생부는 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 출력 신호에 기초하여 카운터 출력 신호를 래치하여 상기 디지털 신호를 발생하는 래치 회로를 포함하는 것을 특징으로 하는 아날로그-디지털 컨버터.

청구항 16

입사광을 감지하여 상기 입사광에 반응하는 픽셀 신호들을 발생하는 복수의 단위 픽셀들을 구비하는 픽셀 어레이;

상기 픽셀 신호들에 대한 상관 이중 샘플링을 수행하여 출력 신호들을 발생하는 상관 이중 샘플링 블록; 및

상기 출력 신호들을 디지털 변환하여 상기 출력 신호들에 상응하는 디지털 신호 발생 블록을 포함하고,

상기 상관 이중 샘플링 블록은 상기 픽셀 어레이의 컬럼 라인들과 각각 연결되는 복수의 상관 이중 샘플링 회로들을 포함하며, 상기 복수의 상관 이중 샘플링 회로들 각각은

램프 신호를 기초로 상기 픽셀 신호에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링(Correlated Double Sampling; CDS)을 수행하여 상기 출력 신호를 발생하고, 상기 램프 신호를 수신하는 제1(양의) 입력 단

자, 상기 픽셀 신호를 수신하는 제2(음의) 입력 단자 및 상기 출력 신호를 제공하는 출력 단자를 구비하는 비교기를 포함하는 샘플링부; 및

상기 램프 신호와 상기 픽셀 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 상기 램프 신호와 상기 픽셀 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 중 적어도 하나에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압의 레벨로 리셋시키는 출력 리셋부를 포함하고,

상기 출력 리셋부는 상기 기준 전압에 연결되는 제1 단자 및 상기 비교기의 출력 단자에 연결되는 제2 단자를 구비하는 리셋 스위치를 포함하는 이미지 센서.

청구항 17

삭제

청구항 18

제16항에 있어서,

상기 디지털 신호 발생 블록은 상기 복수의 상관 이중 샘플링 회로들과 연결되는 복수의 카운터들을 포함하고, 상기 복수의 카운터들 각각은 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 출력 신호에 기초하여 입력 클럭 신호를 카운팅하여 상기 디지털 신호를 발생하는 카운터를 포함하고,

상기 입력 클럭 신호를 상기 카운터들에 제공하는 제어부를 더 포함하는 것을 특징으로 하는 이미지 센서.

청구항 19

제16항에 있어서,

상기 디지털 신호 발생 블록은 상기 복수의 상관 이중 샘플링 회로들과 연결되는 복수의 래치 회로들을 포함하고, 상기 복수의 카운터들 각각은 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 출력 신호에 기초하여 카운터 출력 신호를 래치하여 상기 디지털 신호를 발생하는 것을 특징으로 하는 이미지 센서.

청구항 20

제19항에 있어서,

상기 카운터 출력 신호를 발생하여 상기 래치 회로들에 제공하는 글로벌 카운터를 더 포함하는 것을 특징으로 하는 이미지 센서.

발명의 설명

기술 분야

[0001] 본 발명은 상관 이중 샘플링에 관한 것으로, 보다 상세하게는 상관 이중 샘플링 회로, 이를 포함하는 아날로그-디지털 컨버터 및 이미지 센서에 관한 것이다.

배경 기술

[0002] 영상을 촬상하기 위한 장치로서 CCD(Charge Coupled Device) 이미지 센서와 CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서가 널리 사용되고 있다. 일반적으로, CMOS 이미지 센서의 픽셀 어레이로부터 출력되는 아날로그 픽셀 신호는 FPN(Fixed Pattern Noise) 등과 같은 픽셀 고유의 특성 차이에 의한 편차가 있다. FPN을 감소시키기 위하여, CMOS 이미지 센서에서는 상관 이중 샘플링(Correlated Double Sampling; CDS) 기술이 이용되고 있다.

발명의 내용

해결하려는 과제

[0003] 이에 따라, 본 발명의 일 목적은 비교기 출력의 안정화 시간을 감소시켜 동작 속도를 높일 수 있는 상관 이중

샘플링 회로를 제공하는 것이다.

[0004] 본 발명의 일 목적은 상기 상관 이중 샘플링 회로를 포함하여 동작 속도를 높일 수 있는 아날로그-디지털 컨버터를 제공하는데 있다.

[0005] 본 발명의 일 목적은 상기 상관 이중 샘플링 회로를 포함하여 고정 패턴 잡음(FPN)을 감소시킬 수 있는 이미지 센서를 제공하는데 있다.

과제의 해결 수단

[0006] 상기 본 발명의 일 목적을 달성하기 위한 본 발명의 일 실시예에 따른 상관 이중 샘플링 회로는 샘플링부 및 출력 리셋부를 포함한다. 상기 샘플링부는 램프 신호를 기초로 픽셀 어레이로부터 제공되는 입력 신호에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링(Correlated Double Sampling; CDS)을 수행하여 출력 신호를 발생한다. 상기 출력 리셋부는 상기 램프 신호와 상기 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 상기 램프 신호와 상기 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압 레벨로 리셋시킨다.

[0007] 예시적인 실시예에 있어서, 상기 샘플링부는 상기 램프 신호와 상기 입력 신호를 비교하여 출력 노드에서 상기 출력 신호를 제공하는 비교기를 포함하고, 상기 출력 리셋부는 상기 리셋 제어 신호에 기초하여 상기 제1 리셋 구간과 상기 제2 리셋 구간 각각에서 상기 기준 전압을 상기 출력 노드에 연결시키는 리셋 스위치를 포함할 수 있다.

[0008] 상기 제1 리셋 구간과 상기 제2 리셋 구간은 동일할 수 있다.

[0009] 상기 비교기는 바이어스부 및 비교부를 포함하고, 상기 바이어스부는 전원 전압과 제1 노드 사이에 연결되고, 상기 비교부는 상기 바이어스부와 접지 전압 사이에 연결되고, 상기 램프 신호와 상기 입력 신호를 비교하여 상기 출력 전압을 발생할 수 있다. 상기 기준 전압은 상기 전원 전압의 레벨을 가질 수 있다.

[0010] 상기 바이어스부는 상기 전원 전압과 상기 제1 노드 사이에 연결되는 제1 피모스 트랜지스터를 포함하고, 상기 제1 피모스 트랜지스터는 게이트에 인가되는 바이어스 전압에 응답하여 상기 비교부에 제공되는 전류를 조절할 수 있다.

[0011] 상기 비교부는 상기 제1 노드에 연결되며 게이트로는 상기 램프 신호를 수신하는 제2 피모스 트랜지스터; 상기 제1 노드에 상기 제2 피모스 트랜지스터와 병렬로 연결되며 게이트로는 상기 입력 신호를 수신하는 제2 피모스 트랜지스터; 제2 노드에서 상기 제2 피모스 트랜지스터에 연결되는 드레인, 상기 접지 전압에 연결되는 소스를 구비하는 제1 엔모스 트랜지스터; 및 제3 노드에서 상기 제3 피모스 트랜지스터에 연결되는 드레인, 상기 접지 전압에 연결되는 소스를 구비하는 제2 엔모스 트랜지스터를 포함할 수 있다. 상기 제3 노드에서 상기 출력 전압이 제공되고, 상기 제1 및 제2 엔모스 트랜지스터는 전류 미러 구조를 가질 수 있다.

[0012] 상기 비교기는 바이어스부 및 비교부를 포함하고, 상기 바이어스부는 접지 전압과 제1 노드 사이에 연결되고, 상기 비교부는 상기 바이어스부와 전원 전압 사이에 연결되고, 상기 램프 신호와 상기 입력 전압을 비교하여 상기 출력 전압을 발생할 수 있다. 상기 기준 전압은 상기 접지 전압의 레벨을 가질 수 있다.

[0013] 상기 바이어스부는 상기 접지 전압과 상기 제1 노드 사이에 연결되는 제1 엔모스 트랜지스터를 포함하고, 상기 제1 엔모스 트랜지스터는 게이트에 인가되는 바이어스 전압에 응답하여 상기 비교부에 제공되는 전류를 조절할 수 있다.

[0014] 상기 비교부는 상기 제1 노드에 연결되며 게이트로는 상기 램프 신호를 수신하는 제2 엔모스 트랜지스터; 상기 제1 노드에 상기 제2 엔모스 트랜지스터와 병렬로 연결되며 게이트로는 상기 입력 신호를 수신하는 제2 엔모스 트랜지스터; 제2 노드에서 상기 제2 엔모스 트랜지스터에 연결되는 드레인, 상기 접지 전압에 연결되는 소스를 구비하는 제1 피모스 트랜지스터; 및 제3 노드에서 상기 제3 엔모스 트랜지스터에 연결되는 드레인, 상기 접지 전압에 연결되는 소스를 구비하는 제2 피모스 트랜지스터를 포함할 수 있다. 상기 제3 노드에서 상기 출력 전압이 제공되고, 상기 제1 및 제2 피모스 트랜지스터는 전류 미러 구조를 가질 수 있다.

[0015] 예시적인 실시예에 있어서, 상기 상관 이중 샘플링 회로는 상기 제1 비교 구간 이전의 오토-제로(auto-zero) 구간에서 오토-제로 제어 신호에 응답하여 상기 입력 신호가 인가되는 상기 샘플링부의 입력 단자를 상기 출력 신호가 제공되는 상기 샘플링부의 출력 노드와 연결시키는 오토-제로 스위치를 더 포함할 수 있다.

- [0016] 상기 제1 리셋 구간은 상기 제1 비교 구간 이전의 제1 프리차지 구간에 포함되고, 상기 제1 리셋 구간의 상기 제1 프리차지 구간 보다 크지 않을 수 있다.
- [0017] 상기 제1 프리차지 구간에서 상기 램프 신호는 오프셋 레벨을 가질 수 있다.
- [0018] 상기 제2 리셋 구간은 상기 제2 비교 구간 이전의 제2 프리차지 구간에 포함되고, 상기 제2 리셋 구간은 상기 제2 프리차지 구간보다 작을 수 있다.
- [0019] 상기 제2 프리차지 구간에서 상기 램프 신호는 오프셋 레벨을 가질 수 있다.
- [0020] 예시적인 실시예에 있어서, 상기 출력 리셋부는 상기 제1 리셋 구간 및 제2 리셋 구간 각각에서 상기 출력 신호를 상기 기준 전압 레벨로 리셋시켜 상기 출력 신호의 안정화(settling) 시간을 감소시킬 수 있다.
- [0021] 상기 일 목적을 달성하기 위한 본 발명의 일 실시예에 따른 아날로그-디지털 컨버터는 상관 이중 샘플링 회로 및 디지털 신호 발생부를 포함한다. 상기 상관 이중 샘플링 회로는 픽셀 어레이로부터 제공되는 입력 신호를 샘플링하여 출력 신호를 발생한다. 상기 디지털 신호 발생부는 상기 출력 신호를 디지털 변환하여 디지털 신호를 발생한다. 상기 상관 이중 샘플링 회로는 샘플링부 및 출력 리셋부를 포함한다. 상기 샘플링부는 램프 신호를 기초로 상기 입력 신호에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링(Correlated Double Sampling; CDS)을 수행하여 상기 출력 신호를 발생한다. 상기 출력 리셋부는 상기 램프 신호와 상기 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 상기 램프 신호와 상기 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압 레벨로 리셋시킨다.
- [0022] 예시적인 실시예에 있어서, 상기 샘플링부는 상기 램프 신호와 상기 입력 신호를 비교하여 출력 노드에서 상기 출력 신호를 제공하는 비교기를 포함하고, 상기 출력 리셋부는 상기 리셋 제어 신호에 기초하여 상기 제1 리셋 구간과 상기 제2 리셋 구간 각각에서 상기 기준 전압을 상기 출력 노드에 연결시키는 리셋 스위치를 포함할 수 있다.
- [0023] 예시적인 실시예에 있어서, 상기 디지털 신호 발생부는 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 출력 신호에 기초하여 입력 클럭 신호를 카운팅하여 상기 디지털 신호를 발생하는 카운터를 포함할 수 있다.
- [0024] 상기 디지털 신호 발생부는 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 출력 신호에 기초하여 카운터 클럭 신호를 래치하여 상기 디지털 신호를 발생하는 래치 회로를 포함할 수 있다.
- [0025] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 이미지 센서는 픽셀 어레이, 상관 이중 샘플링 블록 및 디지털 신호 발생부를 포함한다. 상기 픽셀 어레이는 입사광을 감지하여 상기 입사광에 상응하는 픽셀 신호들을 발생하는 복수의 단위 픽셀들을 구비한다. 상기 상관 이중 샘플링 블록은 상기 픽셀 신호들에 대한 상관 이중 샘플링을 수행하여 출력 신호들을 발생한다. 상기 디지털 신호 발생부는 상기 출력 신호들을 디지털 변환하여 상기 출력 신호들에 상응하는 디지털 신호를 발생한다. 상기 상관 이중 샘플링 블록은 상기 픽셀 어레이의 컬럼 라인들과 각각 연결되는 복수의 상관 이중 샘플링 회로들을 포함하며, 상기 복수의 상관 이중 샘플링 회로들 각각은 샘플링부 및 출력 리셋부를 포함한다. 상기 샘플링부는 램프 신호를 기초로 상기 픽셀 신호에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링(Correlated Double Sampling; CDS)을 수행하여 상기 출력 신호를 발생한다. 상기 출력 리셋부는 상기 램프 신호와 상기 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 상기 램프 신호와 상기 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압 레벨로 리셋시킨다.
- [0026] 예시적인 실시예에 있어서, 상기 샘플링부는 상기 램프 신호와 상기 입력 신호를 비교하여 출력 노드에서 상기 출력 신호를 제공하는 비교기를 포함하고, 상기 출력 리셋부는 상기 리셋 제어 신호에 기초하여 상기 제1 리셋 구간과 상기 제2 리셋 구간 각각에서 상기 기준 전압을 상기 출력 노드에 연결시키는 리셋 스위치를 포함할 수 있다.
- [0027] 예시적인 실시예에 있어서, 상기 디지털 신호 발생부는 상기 복수의 상관 이중 샘플링 회로들과 연결되는 복수의 카운터들을 포함하고, 상기 복수의 카운터들 각각은 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 출력 신호에 기초하여 입력 클럭 신호를 카운팅하여 상기 디지털 신호를 발생하는 카운터를 포함할 수 있다.
- [0028] 상기 이미지 센서는 상기 입력 클럭 신호를 상기 카운터들에 제공하는 제어부를 더 포함할 수 있다.

[0029] 예시적인 실시예에 있어서, 상기 디지털 신호 발생부는 상기 복수의 상관 이중 샘플링 회로들과 연결되는 복수의 래치 회로들을 포함하고, 상기 복수의 카운터를 각각은 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상기 출력 신호에 기초하여 카운터 출력 신호를 래치하여 상기 디지털 신호를 발생할 수 있다.

[0030] 상기 이미지 센서는 상기 카운터 출력 신호를 발생하여 상기 래치 회로들에 제공하는 글로벌 카운터를 더 포함할 수 있다.

발명의 효과

[0031] 본 발명에 실시예들에 따르면, 상관 이중 샘플링 회로는 램프 신호와 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호와 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호(RCS)에 기초하여 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시켜 비교기의 출력 안정화 시간을 감소시켜 동작 속도를 증가시킬 수 있다.

도면의 간단한 설명

- [0032] 도 1은 본 발명의 일 실시예에 따른 상관 이중 샘플링 회로를 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 도 1의 상관 이중 샘플링 회로의 예를 나타내는 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 도 2의 비교기의 구성의 예를 나타내는 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 도 2의 비교기의 구성의 예를 나타내는 회로도이다.
- 도 5는 도 2의 상관 이중 샘플링 회로의 동작을 설명하기 위한 타이밍도이다.
- 도 6은 비교기에서 램프 신호의 천이와 출력 신호의 천이 사이의 관계를 나타내는 도면이다.
- 도 7은 본 발명의 실시예에 따른 샘플링부와 비교하기 위한 비교 실시예로서 샘플링부에 출력 리셋부가 포함되지 않는 경우의 실시예를 나타낸다.
- 도 8은 본 발명의 일 실시예에 따른 이미지 센서의 구성을 나타내는 블록도이다.
- 도 9는 본 발명의 일 실시예에 따른 도 8의 이미지 센서의 구성을 구체적으로 나타내는 블록도이다.
- 도 10은 도 9의 이미지 센서에서 하나의 단위 픽셀과 하나의 상관 이중 샘플링 회로의 연결을 나타낸다.
- 도 11은 도 9의 이미지 센서의 동작을 나타내는 타이밍도이다.
- 도 12 내지 도 14는 도 9의 이미지 센서의 픽셀 어레이에 포함되는 단위 픽셀의 예들을 나타내는 회로도들이다.
- 도 15는 본 발명의 일 실시예에 따른 이미지 센서의 구성의 예를 나타내는 블록도이다.
- 도 16은 도 15의 비교기 블록에서 하나의 비교기의 구성을 보다 상세히 나타낸다.
- 도 17은 본 발명의 일 실시예에 따른 이미지 센서의 구성의 예를 나타내는 블록도이다.
- 도 18은 본 발명의 일 실시예에 따른 이미지 센서를 카메라에 응용한 예를 나타내는 블록도이다.
- 도 19는 본 발명의 일 실시예에 따른 아날로그-디지털 변환 방법을 나타내는 순서도이다.
- 도 20은 본 발명의 실시예들에 따른 모바일 기기를 나타내는 평면도이다.
- 도 21은 도 20의 모바일 기기의 일 예를 나타내는 블록도이다.
- 도 22는 도 20의 모바일 기기에 포함되는 3차원 이미지 센서의 일 예를 나타내는 블록도이다.
- 도 23은 도 20의 모바일 기기에 포함되는 2차원 이미지 센서의 일 예를 나타내는 블록도이다.
- 도 24는 본 발명의 실시예들에 따른 모바일 기기의 다른 예를 나타내는 평면도이다.
- 도 25는 도 24의 모바일 기기의 일 예를 나타내는 블록도이다.
- 도 26은 본 발명의 실시예들에 따른 모바일 기기의 다른 예를 나타내는 평면도이다.

도 27은 도 26의 모바일 기기의 일 예를 나타내는 블록도이다.

도 28은 도 27의 모바일 기기에 포함되는 이미지 센서의 일 예를 나타내는 블록도이다.

도 29 및 도 30은 도 28의 이미지 센서에 포함되는 센싱부의 예들을 나타내는 도면들이다.

도 31은 본 발명의 실시예들에 따른 모바일 기기에서 사용되는 인터페이스의 일 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0034] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.
- [0035] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0036] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0037] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0038] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0039] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0040] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 상관 이중 샘플링 회로를 나타내는 블록도이다.
- [0042] 도 1에 도시된 상관 이중 샘플링 회로(10)는 픽셀 어레이로부터 출력되는 아날로그 픽셀 신호에 대하여 상관 이중 샘플링(Correlated Double Sampling; CDS) 동작을 수행하는 이미지 센서에 적용될 수 있다. 이하, CMOS(complementary metal oxide semiconductor) 이미지 센서를 중심으로 본 발명의 실시예들을 설명하지만, 본 발명의 실시예들에 따른 상관 이중 샘플링 회로는 CCD(charge-coupled device) 이미지 센서에도 이용될 수 있다.
- [0043] 도 1을 참조하면, 상관 이중 샘플링 회로(10)는 샘플링부(20) 및 출력 리셋부(40)를 포함하여 구성될 수 있다.

- [0044] 샘플링부(20)는 램프 신호(RV)를 기초로 픽셀 어레이로부터 제공되는 입력 신호(VIN)에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링을 수행하여 출력 신호(VOUT)를 발생한다. 상기 픽셀 어레이로부터 출력되는 아날로그 픽셀 신호(즉, 입력 신호(VIN))는 각 화소마다 FPN(Fixed Pattern Noise) 등의 픽셀 고유의 특성 차이에 의한 편차 및/또는 픽셀로부터 전압 신호를 출력하기 위한 로직의 특성 차이에 편차가 있기 때문에, 리셋 성분에 따른 신호 전압과 신호 성분에 따른 신호 전압의 차를 취함으로써 유효한 신호 성분을 추출할 필요가 있다. 이와 같이 픽셀을 초기화하였을 때의 리셋 성분 및 신호 성분(즉, 이미지 성분)을 구하고 그 차이를 유효한 신호 성분으로 추출하는 것을 상관 이중 샘플링이라고 한다.
- [0045] 출력 리셋부(40)는 샘플링부(20)와 연결된다. 보다 상세하게는 출력 리셋부(40)는 샘플링부(20)의 출력 노드와 연결되고, 램프 신호(RV)와 입력 신호(VIN)의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호(RV)와 입력 신호(VIN)의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 중 적어도 하나에서 활성화되는 리셋 제어 신호(RCS)에 기초하여 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시킨다.
- [0046] 종래의 이미지 센서에서는 상관 이중 샘플링 회로의 출력 신호의 랜덤 노이즈를 감소시키기 위하여, 픽셀 어레이에서 출력되는 픽셀 신호에 대한 샘플링을 여러 차례 수행하여 노이즈를 평균화(averaging)시키는 다중 샘플링(multiple sampling) 기술, 및/또는 상기 픽셀 신호의 출력 경로에 PGA(Programmable Gain Amplifier)를 배치하여 SNR(Signal-to-Noise Ratio) 특성을 개선하는 기술 등이 이용되었다. 하지만 상기와 같은 종래의 기술들을 적용하는 경우에, 이미지 센서에 포함되는 신호 처리부의 복잡도가 증가하여 이미지 센서의 크기가 증가하는 문제가 있었다. 또한 샘플링부(20)에서 제공되는 출력 신호(VOUT)의 안정화 시간(settling time)이 램프 신호(RV)가 오프셋 레벨로 도달하는 시간에 따라 달라지는 문제점이 있어 출력 신호(VOUT)가 안정화 될 때까지 기다려야 되므로 동작 속도가 증가하는 문제점이 있었다.
- [0047] 본 발명의 실시예에 따른 상관 이중 샘플링 회로에서는 출력 신호(VOUT)가 안정화 될 때까지 기다리지 않고 제1 리셋 구간 및 제2 리셋 구간에서 각각 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시켜 이후의 동작을 곧바로 개시할 수 있어 동작 속도를 감소시킬 수 있다.
- [0048] 도 2는 본 발명의 일 실시예에 따른 도 1의 상관 이중 샘플링 회로의 예를 나타내는 회로도이다.
- [0049] 도 2를 참조하면, 상관 이중 샘플링 회로(10)는 비교기(21)로 구성되는 샘플링 회로(20) 및 리셋 스위치(41)로 구성되는 출력 리셋부(40)를 포함한다. 상관 이중 샘플링 회로(10)는 비교기(21)의 출력 노드(NO)를 입력 신호(VIN)가 인가되는 제1 입력 단자와 선택적으로 연결하는 오토-제로 스위치(43)를 더 포함할 수 있다.
- [0050] 비교기(21)는 입력 신호(VIN)가 입력되는 제1 입력(음의) 입력 단자, 램프 신호(RV)가 인가되는 제2 입력(양의) 입력 단자 및 출력 신호(VOUT)를 제공하는 출력 단자(출력 노드, NO)를 포함할 수 있다.
- [0051] 출력 리셋부(40)의 리셋 스위치(41)는 기준 전압(RVEF)에 연결되는 제1 단자 및 비교기(21)의 출력 노드(NO)에 연결되는 제2 단자를 구비하고, 리셋 제어 신호(RCS)에 응답하여 스위칭되어 제1 리셋 구간 및 제2 리셋 구간에서 각각 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시켜 출력 전압(VOUT)의 안정화 시간을 감소시킬 수 있다. 오토 제로 스위치(43)는 제1 비교 구간 이전의 프리차지 구간에서 오토-제로(auto-zero) 제어 신호(AZC)에 응답하여 입력 신호(VIN)가 인가되는 비교기(21) 제1 입력 단자를 출력 신호(VOUT)가 제공되는 비교기(21) 출력 노드(NO)와 연결시킨다. 오토 제로 스위치(43)는 프리차지 구간에서 비교기(21) 제1 입력 단자를 비교기(21) 출력 노드(NO)와 연결시킴으로써 입력 신호(VIN)의 리셋 노이즈와 비교기(41)의 오프셋을 제거할 수 있다. 여기서 기준 전압(RVEF)은 전원 전압(VDD) 레벨이나 접지 전압(GND) 레벨을 가질 수 있다.
- [0052] 도 3은 본 발명의 일 실시예에 따른 도 2의 비교기의 구성의 예를 나타내는 회로도이다.
- [0053] 도 3을 참조하면, 비교기(21a)는 바이어스부(22) 및 비교부(24)를 포함하여 구성될 수 있다.
- [0054] 바이어스부(22)는 전원 전압(VDD)과 제1 노드(N11) 사이에 연결되고, 비교부(24)는 제1 노드(N11)와 접지 전압(GND) 사이에 연결되고 입력 신호(VIN)와 램프 신호(RV)를 비교하여 출력 전압(VOUT)을 발생한다. 바이어스부(22)는 전원 전압(VDD)과 제1 노드(N11) 사이에 연결되는 피모스 트랜지스터(MP11)를 포함할 수 있고, 피모스 트랜지스터(MP11)는 게이트에 인가되는 바이어스 전압(BIAS)에 응답하여 비교부(24)에 제공되는 전류의 양을 조절할 수 있다. 즉 바이어스부(22)는 비교부(24)에 일정한 전류를 공급하는 전류원으로서 동작할 수 있다.
- [0055] 비교부(24)는 피모스 트랜지스터들(MP12, MP13) 및 엔모스 트랜지스터들(MN11, MN12)를 포함할 수 있다. 피모스 트랜지스터(MP12)는 제1 노드(N11)와 제2 노드(N12) 사이에 연결되고 게이트로는 램프 전압(RV)을 수신할 수 있

다. 피모스 트랜지스터(MP13)는 제1 노드(N11)와 제3 노드(N13) 사이에 피모스 트랜지스터(MP12)와 병렬로 연결되고, 게이트로는 입력 신호(VIN)를 수신할 수 있다. 엔모스 트랜지스터(MN11)는 제2 노드(N12)와 제5 노드(N15) 사이에 연결되고 엔모스 트랜지스터(NM12)는 제3 노드(N13)와 제5 노드(N15) 사이에 연결되고 엔모스 트랜지스터(NM11)와 커런트 미러를 형성한다. 즉 엔모스 트랜지스터들(NM11, NM12)의 게이트들은 제4 노드(N14)에서 서로 연결되고 제4 노드(N14)는 제2 노드(N12)에 연결된다. 또한 제5 노드(N15)는 접지 전압(GND)에 연결된다. 또한 제3 노드(N13)에서 출력 전압(VOUT)이 제공될 수 있다.

- [0056] 비교기(21a)는 피모스 트랜지스터(PM13)의 게이트에 연결되어 입력 전압(VIN)의 DC 노이즈를 제거하는 커패시터(C1)를 더 포함할 수 있다. 도 2의 비교기(21)가 도 3의 비교기(21a)로 구현되는 경우 기준 전압(RVEF)은 전원 전압(VDD) 레벨을 가질 수 있다. 즉 전원 전압(VDD)은 도 2의 리셋 스위치(41)의 제1 단자에 연결되어, 리셋 제어 신호(RCS)가 활성화되는 경우, 전원 전압(VDD)을 비교기(21a)의 출력 노드(NO)에 제공할 수 있다.
- [0057] 비교기(21a)는 바이어스부(22)에서 제공되는 전류를 기초로 입력 신호(VIN)와 램프 신호(RV)의 차이를 증폭하고, 유한한 대역폭을 가지기 때문에 입력 신호(VIN)와 램프 신호(RV) 중 하나의 레벨이 변경되면, 이를 증폭하여 출력 신호(VOUT)로 제공하는데 안정화 시간(settling time)을 필요로 하게 된다. 하지만 본 발명의 실시예에서는 제1 리셋 구간 및 제2 리셋 구간 중 적어도 하나에서 출력 신호(VOUT)를 기준 전압 레벨(VREF)로 리셋시켜 출력 전압(VOUT)의 안정화 시간을 감소시킬 수 있다.
- [0058] 도 4는 본 발명의 일 실시예에 따른 도 2의 비교기의 구성의 예를 나타내는 회로도이다.
- [0059] 도 4를 참조하면, 비교기(21b)는 바이어스부(25) 및 비교부(27)를 포함하여 구성될 수 있다.
- [0060] 바이어스부(25)는 접지 전압(GND)과 제1 노드(N21) 사이에 연결되고, 비교부(27)는 제1 노드(N21)와 전원 전압(VDD) 사이에 연결되고 입력 신호(VIN)와 램프 신호(RV)를 비교하여 출력 전압(VOUT)을 발생한다. 바이어스부(25)는 접지 전압(GND)과 제1 노드(N21) 사이에 연결되는 엔모스 트랜지스터(MN11)를 포함할 수 있고, 엔모스 트랜지스터(MN11)는 게이트에 인가되는 바이어스 전압(BIAS)에 응답하여 비교부(27)에 제공되는 전류의 양을 조절할 수 있다. 즉 바이어스부(25)는 비교부(27)에 일정한 전류를 공급하는 전류원으로서 동작할 수 있다.
- [0061] 비교부(27)는 엔모스 트랜지스터들(MN12, MN13) 및 피모스 트랜지스터들(MP11, MP12)을 포함할 수 있다. 엔모스 트랜지스터(MN12)는 제1 노드(N21)와 제2 노드(N22) 사이에 연결되고 게이트로는 램프 전압(RV)을 수신할 수 있다. 엔모스 트랜지스터(MP13)는 제1 노드(N21)와 제3 노드(N23) 사이에 엔모스 트랜지스터(MN12)와 병렬로 연결되고, 게이트로는 입력 신호(VIN)를 수신할 수 있다. 피모스 트랜지스터(MP11)는 제2 노드(N22)와 제5 노드(N25) 사이에 연결되고 피모스 트랜지스터(NP12)는 제3 노드(N23)와 제5 노드(N25) 사이에 연결되고 피모스 트랜지스터(NP11)와 커런트 미러를 형성한다. 즉 피모스 트랜지스터들(NP11, NP12)의 게이트들은 제4 노드(N24)에서 서로 연결되고 제4 노드(N24)는 제2 노드(N22)에 연결된다. 또한 제5 노드(N25)는 전원 전압(VDD)에 연결된다. 또한 제3 노드(N23)에서 출력 전압(VOUT)이 제공될 수 있다.
- [0062] 비교기(21b)는 엔모스 트랜지스터(MN22)의 게이트에 연결되어 입력 전압(VIN)의 DC 노이즈를 제거하는 커패시터(C2)를 더 포함할 수 있다. 도 2의 비교기(21)가 도 4의 비교기(21b)로 구현되는 경우 기준 전압(RVEF)은 접지 전압(GND) 레벨을 가질 수 있다. 즉 접지 전압(GND)은 도 2의 리셋 스위치(41)의 제1 단자에 연결되어, 리셋 제어 신호(RCS)가 활성화되는 경우, 전원 전압(VDD)을 비교기(21b)의 출력 노드(NO)에 제공할 수 있다.
- [0063] 비교기(21b)는 바이어스부(25)에서 제공되는 전류를 기초로 입력 신호(VIN)와 램프 신호(RV)의 차이를 증폭하고, 유한한 대역폭을 가지기 때문에 입력 신호(VIN)와 램프 신호(RV) 중 하나의 레벨이 변경되면, 이를 증폭하여 출력 신호(VOUT)로 제공하는데 안정화 시간(settling time)을 필요로 하게 된다. 하지만 본 발명의 실시예에서는 제1 리셋 구간 및 제2 리셋 구간에서 각각 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시켜 출력 전압(VOUT)의 안정화 시간을 감소시킬 수 있다.
- [0064] 도 5는 도 2의 상관 이중 샘플링 회로의 동작을 설명하기 위한 타이밍도이다.
- [0065] 도 5에서는 도 2의 비교기(21)가 도3의 비교기(21b)로 구현되는 경우의 실시예를 설명한다.
- [0066] 이하에서는 도 2, 3 및 도 5를 참조하여, 본 발명의 일 실시예에 따른 상관 이중 샘플링 회로(10)의 동작을 상세하게 설명한다.
- [0067] 도 5는 픽셀 어레이에 입사광이 인가되지 않는 다크 상태에서의 상관 이중 샘플링 회로(10)의 동작을 설명한다.
- [0068] 시간들 t0~t11 사이의 오토-제로 구간에서 램프 신호(RV)는 시작 전압 레벨(SL)을 가지고, 오토 제로 제어 신호

(AZC)가 활성화되어 비교기(21)의 제1 입력 단자와 출력 노드(NO)가 서로 연결되어, 입력 신호(VIN)는 출력 신호(VOUT)와 동일한 리셋 레벨을 가지게 된다. 시작 전압 레벨(SL)은 리셋 레벨과 실질적으로 동일할 수 있다.

- [0069] 시간 t11에서, 램프 신호(RV)가 시작 전압 레벨(SL)에서 일정한 오프셋 값만큼 증가된 오프셋 레벨(OL)을 가진다. 오프셋 레벨(OL)은 리셋 레벨보다 높을 수 있다. 램프 신호(RV)는 시간 t11 내지 시간 t12의 제1 프리차지 구간에서 오프셋 레벨(OL)을 가질 수 있다.
- [0070] 상기 제1 프리차지 구간에서 리셋 제어 신호(RCS)가 활성화되고, 활성화된 리셋 제어 신호(RCS)에 응답하여 리셋 스위치(41)가 연결되어, 출력 노드(NO)를 기준 전압(RVEF) 레벨, 여기서는 전원 전압(VDD)으로 리셋시킨다. 여기서, 제1 프리차지 구간은 리셋 제어 신호(RCS)가 활성화되는 구간과 실질적으로 동일하므로 제1 프리차지 구간은 제1 리셋 구간과 동일할 수 있다. 하지만 다른 실시예에서는 제1 리셋 구간은 제1 프리차지 구간에 포함되고 제1 리셋 구간은 제1 프리차지 구간보다 크지 않을 수 있다. 이 때, 비교기(21)는 입력 신호(VIN)와 램프 신호(RV)를 비교하고 그 차이를 증폭하여 출력 전압(VOUT)을 생성하며, 시간(t12)에 출력 전압(VOUT)은 전원 전압 레벨(VDD)로 리셋된다.
- [0071] 시간 t12에 램프 인에이블 신호(RVEN)가 활성화되며, 이에 따라 시간 t12 내지 시간 t15의 제1 비교 구간에서 램프 신호(RV)가 활성화된다. 램프 인에이블 신호(RVEN)는 도 8의 램프 전압 생성기(170)에 인가되는 신호이다. 램프 전압 생성기(170)는 램프 인에이블 신호(RVEN)에 기초하여 램프 신호(RV)를 제공할 수 있다.
- [0072] 여기서, "램프 인에이블 신호(RVEN)가 활성화된다"는 것은 램프 인에이블 신호(RVEN)가 상기 제1 논리 레벨에서 상기 제2 논리 레벨로 천이되는 것을 나타낸다. 이와 다르게, "램프 신호(RV)가 활성화된다"는 것은 램프 신호(RV)가 오프셋 레벨(OL)부터 일정한 기울기로 감소되는 것을 나타낸다.
- [0073] 제1 비교 구간에서 비교기(21)는 램프 신호(RV)와 입력 신호(VIN)의 리셋 성분에 대한 제1 비교 동작을 수행하여 출력 전압(VOUT)을 발생한다. 제1 리셋 구간(t11 내지 t12)에서 출력 전압(VOUT)이 전원 전압(VDD) 레벨로 리셋되었기 때문에 시간 t12 내지 시간 t14의 리셋 성분에 대한 아날로그-디지털 변환 타이밍(Trst)의 개시 시점이 빨라져서 상관-이중 샘플링 회로의 동작 속도를 높일 수 있다.
- [0074] 시간 t16에서, 램프 인에이블 신호(RVEN)가 비활성화되며, 이에 따라 시간 t16 내지 t18의 제2 프리차지 구간에서 램프 신호(RV)가 비활성화되어 오프셋 레벨(OL)을 가진다. 또한 시간 t16 내지 t17의 전송 구간에서 전송 제어 신호(TX)가 활성화되어 픽셀 어레이에 포함되는 단위 픽셀을 구성하는 전송 트랜지스터가 활성화되어 포토 다이오드에 집적된 광전 변환 신호가 플로팅 노드에 확산된다.
- [0075] 상기 제2 프리차지 구간은 시간 t17 내지 시간 t18의 제2 리셋 구간을 포함할 수 있다. 상기 제2 리셋 구간에서 리셋 제어 신호(RCS)가 활성화되고, 활성화된 리셋 제어 신호(RCS)에 응답하여 리셋 스위치(41)가 연결되어, 출력 노드(NO)를 기준 전압(RVEF) 레벨, 여기서는 전원 전압(VDD)으로 리셋시킨다. 여기서 제2 리셋 구간의 길이는 제1 리셋 구간과 실질적으로 동일할 수 있다.
- [0076] 시간 t18에 램프 인에이블 신호(RVEN)가 활성화되며, 이에 따라 시간 t18 내지 시간 t22의 제2 비교 구간에서 램프 신호(RV)가 활성화된다.
- [0077] 제2 비교 구간에서 비교기(21)는 램프 신호(RV)와 입력 신호(VIN)의 신호 성분에 대한 제2 비교 동작을 수행하여 출력 전압(VOUT)을 발생한다. 제2 리셋 구간(t17 내지 t18)에서 출력 전압(VOUT)이 전원 전압(VDD) 레벨로 리셋되었기 때문에 시간 t18 내지 시간 t20의 신호 성분에 대한 아날로그-디지털 변환 타이밍(Tsig)의 개시 시점이 빨라져서 상관-이중 샘플링 회로의 동작 속도를 높일 수 있다. 또한 도 5에서는 픽셀 어레이에 입사광이 인가되지 않는 다크 상태를 가정하였으므로 리셋 성분에 대한 아날로그-디지털 변환 타이밍(Trst)과 신호 성분에 대한 아날로그-디지털 변환 타이밍(Tsig)이 실질적으로 동일하다. 시간 t22에 램프 인에이블 신호(RVEN)가 비활성화된다.
- [0078] 도 5에서 참조 번호(48)는 비교기(21)의 이상적인 출력 신호를 나타내는데 이상적인 출력 신호는 시간 t13과 시간 t19에 각각 하이 레벨에서 로우 레벨로 천이한다. 도 5에서 램프 인에이블 신호(RVEN)는 도 8의 제어 신호(CTL2)에 포함될 수 있고, 오토-제로 제어 신호(AZC)와 리셋 제어 신호(RCS)는 도 8의 제어 신호(CTL3)에 포함될 수 있다.
- [0079] 도 6은 비교기에서 램프 신호의 천이와 출력 신호의 천이 사이의 관계를 나타내는 도면이다.
- [0080] 도 6에서는 램프 신호(RV)가 오프셋 레벨(OL)로의 천이 시점에 따른 출력 신호(VOUT)의 안정화 시간과의 관계를

나타낸다.

- [0081] 도 6을 참조하면, 입력 신호(VIN)가 일정한 레벨을 가지고, 램프 신호(RV)가 시간들 t31, t32, t33 각각에서 시작 전압 레벨(SL)에서 오프셋 레벨(OL)로 천이되는 경우에, 안정화 시간 t34에서 제공되는 출력 신호(VOUT)의 레벨이 각각 V1, V2, V3로서 서로 달라지게 된다. 여기서 안정화 시간 t34는 비교기(21)의 출력이 충분히 안정화되기에는 부족한 시간으로 이는 불완전한 안정화 상황에서 비교기(21)의 출력 신호(VOUT)의 레벨이 서로 달라짐을 나타낸다. 이렇게 서로 다른 시작 전압들(V1, V2, V3)에서 출발한 출력 신호(VOUT)가 아날로그-디지털 변환의 결정 기준 시점까지 도달하는데 걸리는 시간 역시 시간들 t37, t36, t35로서 서로 달라지게 된다. 즉 이는 비교기(21)에 동일한 램프 신호(RV) 및 동일한 입력 신호(VIN)가 인가되더라도 비교기(21)의 출력 신호(VOUT)의 시작 레벨에 따라 아날로그-디지털 변환된 디지털 신호의 값이 달라진다는 것을 나타낸다. 이러한 현상을 방지하게 위하여는 아날로그-디지털 변환의 개시 전에 비교기(21)의 출력 신호(VOUT)가 안정화 될 수 있도록 충분한 시간을 주는 방안이 있는데, 이는 결과적으로 아날로그-디지털 변환기의 동작 속도를 느리게 한다.
- [0082] 하지만 상술한 바와 같이 본 발명의 실시예에 따른 상관 이중 샘플링 회로에서는 아날로그-디지털 변환의 개시 전에 강제적으로 출력 전압(VOUT)의 시작 레벨을 기준 전압(VREF) 레벨로 리셋함으로써 출력 신호(VOUT)의 안정화 시간을 대폭적으로 감소시킬 수 있다.
- [0083] 도 7은 본 발명의 실시예에 따른 샘플링부와 비교하기 위한 비교 실시예로서 샘플링부에 출력 리셋부가 포함되지 않는 경우의 실시예를 나타낸다.
- [0084] 도 7을 참조하면, 시간 t0 내지 t41의 구간에서 램프 신호(RV)는 시작 전압 레벨(SL)을 가지고 출력 신호(VOUT)도 시작 전압 레벨(SL)을 가질 수 있다.
- [0085] 시간 t41에서, 램프 신호(RV)가 시작 전압 레벨(SL)에서 일정한 오프셋 값만큼 증가된 오프셋 레벨(OL)을 가진다. 오프셋 레벨(OL)은 리셋 레벨보다 높을 수 있다. 램프 신호(RV)는 시간 t41 내지 시간 t42의 제1 프리차지 구간에서 오프셋 레벨(OL)을 가질 수 있다.
- [0086] 시간 t42 내지 시간 t45 제1 비교 구간에서 램프 신호(RV)가 활성화되고, 비교기는 상기 제1 비교 구간에서 램프 신호(RV)와 입력 신호(VIN)의 리셋 성분에 대한 제1 비교 동작을 수행하여 출력 전압(VOUT)을 발생한다. 시간 t42 내지 시간 t44의 구간은 리셋 성분에 대한 아날로그-디지털 변환 타이밍(Trst)에 해당한다.
- [0087] 시간 t45 내지 t46의 제2 프리차지 구간에서 램프 신호(RV)가 비활성화되어 오프셋 레벨(OL)을 가진다.
- [0088] 시간 t46 내지 시간 t49 제1 비교 구간에서 램프 신호(RV)가 활성화되고, 비교기는 상기 제2 비교 구간에서 램프 신호(RV)와 입력 신호(VIN)의 신호 성분에 대한 제2 비교 동작을 수행하여 출력 전압(VOUT)을 발생한다. 시간 t46 내지 시간 t48의 구간은 신호 성분에 대한 아날로그-디지털 변환 타이밍(Tsig)에 해당한다.
- [0089] 도 7에서는 픽셀 어레이에 입사광이 인가되지 않는 다크 상태를 가정하였는데 제1 비교 동작과 제2 비교 동작에서 출력 신호(OOUT)의 시작 레벨이 서로 동일하지 않으므로 리셋 성분에 대한 아날로그-디지털 변환 타이밍(Trst)과 신호 성분에 대한 아날로그-디지털 변환 타이밍(Tsig)이 서로 다르다. 시간 t49에 램프 신호(RV)가 시작 전압 레벨(SL)을 가진다.
- [0090] 도 7에서 참조 번호(49)는 비교기의 이상적인 출력 신호를 나타내는데 이상적인 출력 신호는 시간 t43과 시간 t47에 각각 하이 레벨에서 로우 레벨로 천이한다.
- [0091] 도 8은 본 발명의 일 실시예에 따른 이미지 센서의 구성을 나타내는 블록도이다.
- [0092] 도 8을 참조하면, 이미지 센서(100)는 픽셀 어레이(111)로 구성되는 감지부(110), 로우 드라이버(Row Driver, 120), 상관 이중 샘플링(CDS: Correlated Double Sampling) 블록(130), 카운터 블록(160), 램프 신호 생성기(Ramp Generator, 170), 제어부(180), 및 버퍼(Buffer, 190)를 포함한다. 여기서 CDS 블록(140)과 카운터 블록(또는 디지털 신호 발생부, 160)은 아날로그-디지털 컨버터(ADC, 130)를 구성할 수 있다.
- [0093] 상기 이미지 센서(100)는 외부의 이미지 프로세서의 제어에 의해 렌즈(50)를 통해 촬상된 피사체(60)를 센싱하고, 상기 이미지 프로세서는 상기 이미지 센서(100)에 의해 센싱되어 출력된 이미지를 디스플레이 유닛에 출력할 수 있다. 이때, 디스플레이 유닛은 영상을 출력할 수 있는 모든 장치를 포함한다. 예컨대, 상기 디스플레이 유닛은 컴퓨터, 휴대폰 및 기타 영상 출력 단말을 포함할 수 있다.
- [0094] 이미지 신호 프로세서는 상기 버퍼(190)의 출력 신호인 이미지 데이터를 입력받아 이미지를 사람이 보기 좋도록 가공/처리하여 가공/처리된 이미지를 디스플레이 유닛으로 출력한다. 상기 이미지 신호 프로세서는 이미지 센서

외부에 위치하거나 이미지 센서(100) 내부에 위치할 수 있다.

- [0095] 픽셀 어레이(111)는 다수의 광 감지 소자, 예컨대 포토(photo) 다이오드 또는 핀드 포토 다이오드(pinned photo diode) 등의 광 감지 소자(또는 단위 픽셀)를 포함한다. 픽셀 어레이(111)는 다수의 광 감지 소자를 이용하여 빛을 감지하고, 이를 전기적 신호로 변환하여 이미지 신호를 생성한다.
- [0096] 제어부(180)는 로우 드라이버(120), CDS 블록(140), ADC(140) 및 램프 신호 생성기(170) 각각에 제어 신호(CTL1-CTL4)를 출력하여 상기 로우 드라이버(120), CDS 블록(140), 카운터 블록(160) 및 램프 신호 생성기(170)의 동작을 제어할 수 있다. 또한 제어부(180)는 입력 클럭 신호(CNCLK)를 카운터 블록(160)에 제공할 수 있다.
- [0097] 로우 드라이버(120)는 제어부(180)에서 생성된 행 제어신호(CTL1, 예컨대, 어드레스 신호)를 디코딩하고, 디코딩된 행 제어신호에 응답하여 픽셀 어레이(111)를 구성하는 행 라인들 중에서 적어도 어느 하나의 행 라인을 선택할 수 있다.
- [0098] CDS 블록(140)은 픽셀 어레이(111)를 구성하는 컬럼 라인(COL)에 접속된 단위 픽셀(112)로부터 출력되는 픽셀 전압 신호를 입력 신호로서 수신하고, 램프 신호(RV)를 기초로 상기 입력 신호에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링을 수행할 수 있다. CDS 블록(140)은 복수의 컬럼 라인들 각각에 연결되는 복수의 상관 이중 샘플링 회로들을 포함하고, 상기 상관 이중 샘플링 회로들 각각은 램프 신호(RV)와 상기 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호(RV)와 상기 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 중 적어도 하나에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압 레벨로 리셋시켜 상관 이중 샘플링 동작을 보다 빠르게 수행할 수 있다. CDS 블록(140)은 제어 신호(CTL3)에 응답하여 상관 이중 샘플링 동작을 수행하며, 제어 신호(CTL3)는 오토-제로 제어 신호(AZC) 및 리셋 제어 신호(RCS)를 포함할 수 있다.
- [0099] 카운터 블록(160)은 복수의 상관 이중 샘플링 회로들 각각에 연결되는 복수의 카운터들을 포함할 수 있고, 카운터들 각각은 제1 비교 구간 및 상기 제2 비교 구간 각각에서 상관 이중 샘플링 회로로부터의 출력 신호에 기초하여 입력 클럭 신호(CNCLK)를 카운팅하여 디지털 신호(DGS)를 발생할 수 있다.
- [0100] 버퍼(190)는 상기 카운터 블록(160)으로부터 출력된 디지털 신호(DGS)를 임시 저장한 후 센싱하고 증폭하여 이미지 데이터(IDTA)로 출력한다. 이때, 상기 버퍼(190)는 임시 저장을 위해 각 열에 하나씩 포함된 복수의 컬럼 메모리 블록(예컨대, SRAM) 및 상기 카운터 블록(160)로부터 출력된 디지털 신호를 센싱하고 증폭하기 위한 센스 앰프(SA)를 포함할 수 있다.
- [0101] 도 9는 본 발명의 일 실시예에 따른 도 8의 이미지 센서의 구성을 구체적으로 나타내는 블록도이다.
- [0102] 도 9를 참조하면, 상기 이미지 센서(100)는 픽셀 어레이(active pixel array, 111)로 구성되는 감지부(110), 로우 드라이버(row driver, 120), CDS 블록(140), 카운터 블록(160), 램프 신호 생성기(ramp generator, 170), 제어부(180) 및 버퍼(190)를 포함한다. 이때, CDS 블록(140) 및 카운터 블록(160)은 아날로그-디지털 컨버터(130)를 구성할 수 있다.
- [0103] 픽셀 어레이(111)는 각각이 다수의 행(row) 라인들 및 다수의 컬럼(column) 라인들과 접속되는 매트릭스 형태의 다수의 단위 픽셀(112)들을 포함할 수 있다.
- [0104] 다수의 단위 픽셀(112)들 각각은 레드(red) 스펙트럼 영역의 빛을 전기 신호로 변환하기 위한 레드 픽셀, 그린(green) 스펙트럼 영역의 빛을 전기 신호로 변환하기 위한 그린 픽셀, 및 블루(blue) 스펙트럼 영역의 빛을 전기 신호로 변환하기 위한 블루 픽셀을 포함할 수 있다. 또한, 픽셀 어레이(111)를 구성하는 다수의 단위 픽셀(112)들 각각의 상부에는 특정 스펙트럼 영역의 빛을 투과시키기 위한 각각의 컬러 필터 어레이가 배열될 수 있다.
- [0105] 로우 드라이버(120)는 제어부(180)에서 생성된 행 제어신호(CTL1, 예컨대, 어드레스 신호)를 디코딩하고, 디코딩된 행 제어신호에 응답하여 픽셀 어레이(111)를 구성하는 행 라인들 중에서 적어도 어느 하나의 행 라인을 선택할 수 있다.
- [0106] CDS 블록(140)은 픽셀 어레이(111)를 구성하는 컬럼 라인(COL)에 접속된 단위 픽셀(112)로부터 출력되는 픽셀 전압 신호(PV, 또는 입력 신호(VIN))에 대해 상관 이중 샘플링을 수행할 수 있다. CDS 블록(140)은 복수의 컬럼 라인들 각각에 연결되는 복수의 상관 이중 샘플링 회로들(200)을 포함하고, 상기 상관 이중 샘플링 회로들(200)

각각은 램프 신호(RV)와 상기 입력 신호(VIN)의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호(RV)와 상기 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압 레벨로 리셋시켜 상관 이중 샘플링 동작을 보다 빠르게 수행할 수 있다.

[0107] 보다 상세하게는, 상관 이중 샘플링 회로들(200) 각각은 비교기(230)로 구성되는 샘플링부, 리셋 스위치(210)로 구성되는 출력 리셋부, 오토 제로 스위치(220) 및 커패시터(C)를 포함하여 구성될 수 있다. 비교기(230)는 램프 신호를 기초로 픽셀 어레이(111)로부터 제공되는 입력 신호(VIN)에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링(Correlated Double Sampling; CDS)을 수행하여 출력 신호(VOUT)를 발생한다. 리셋 스위치(210)는 제1 리셋 구간 및 제2 리셋 구간 중 적어도 하나에서 활성화되는 리셋 제어 신호(RCS)에 응답하여 비교기(230)의 출력 노드(NO)를 기준 전압(RVEF)로 리셋시킨다. 오토 제로 스위치(220)는 제1 프리차지 구간 이전의 오토 제로 구간에서 오토 제로 제어 신호(AZC)에 응답하여 비교기(230)의 제1 입력 단자와 출력 노드(NO)를 서로 연결시킨다. 커패시터(C)는 입력 신호(VIN)의 DC 노이즈를 제거한다.

[0108] 상기 카운터 블록(160)은 복수의 카운터들(161)들을 포함하며, 상기 카운터들(161)은 각각 상기 비교기(230)들의 출력단(출력 노드(NO))에 연결되며, 상기 출력 신호(VOUT)에 기초하여 제어부(180)로부터 입력되는 입력 클럭 신호(CNCLK)를 카운팅하여 디지털 신호로 출력한다.

[0109] 이때, 상기 카운터(161)는 업/다운 카운터(Up/Down Counter) 및 비트-와이즈 카운터(Bit-wise Inversion Counter)를 포함한다. 이때, 상기 비트-와이즈 카운터는 상기 업/다운 카운터와 비슷한 동작을 수행할 수 있다. 예컨대, 상기 비트-와이즈 카운터는 업 카운트만 수행하는 기능 및 특정 신호가 들어오면 카운터 내부의 모든 비트를 반전하여 1의 보수(1's complement)로 만드는 기능을 수행할 수 있기 때문에, 이를 이용하여 리셋 카운트(reset count)를 수행한 후 이를 반전하여 1의 보수, 즉, 음수 값으로 변환할 수 있다.

[0110] 상기 버퍼(190)는 컬럼 메모리 블록(191) 및 센스 앰프(192)를 포함하고, 상기 컬럼 메모리 블록(191)은 복수의 메모리(193)들을 포함한다. 상기 메모리(193)들은 상기 제어부(170)에서 발생된 제어신호에 기초하여, 상기 컬럼 메모리 블록(191) 내부 또는 제어부(180) 내부에 위치한 메모리 컨트롤러(미도시)에 의해 발생된 메모리 제어 신호에 따라 동작할 수 있으며, 상기 메모리(193)는 SRAM에 해당할 수 있다.

[0111] 상기 컬럼 메모리 블록(191)은 상기 메모리 제어 신호에 따라, 상기 카운터 회로(200)들이 카운팅하여 출력한 디지털 신호를 임시 저장한 후 센스 앰프(192)로 출력하며, 상기 센스 앰프(192)는 이를 센싱하고 증폭해 디지털 신호(IDTA, 또는 이미지 데이터)로서 출력할 수 있다.

[0112] 도 10은 도 9의 이미지 센서에서 하나의 단위 픽셀과 하나의 상관 이중 샘플링 회로의 연결을 나타낸다.

[0113] 도 10을 참조하면, 단위 픽셀(112a)은 광 감지기(photo sensitive device(PD)), 전송 트랜지스터(TG), 플로팅 확산 노드(FD), 리셋 트랜지스터(RT), 드라이브 트랜지스터(DT), 및 선택 트랜지스터(ST)를 포함한다.

[0114] 단위 픽셀(112a)은 포토다이오드(PD), 포토다이오드(PD)에 집적된 광전 변환 신호를 전송하기 위해 전송 제어 신호(TX)에 따라 제어되는 게이트를 포함하는 전송 트랜지스터(TG), 플로팅 접합에 의한 기생 용량을 통해 전송 트랜지스터(TG)를 통해 전달된 광전 변환 신호를 저장하는 플로팅 확산 노드(floating diffusion node; FD), 리셋 신호(RST)에 응답하여 플로팅 확산 노드(FD)를 리셋시키는 리셋 트랜지스터(RT) 저장하는 플로팅 확산 노드(floating diffusion node; FD), 소스 팔로워(source follower) 구조를 통해 플로팅 확산 노드(FD)의 전압을 소스를 통해 출력하는 드라이브 트랜지스터(DT), 및 단위 픽셀(112a)로부터 생성된 신호를 컬럼 선택 신호(SE L)에 따라 출력하기 위해 해당 타이밍에 맞춰 턴-온되는 선택 트랜지스터(ST)를 포함한다.

[0115] 여기서, 광 감지기(PD)는 포토다이오드(photo diode), 포토트랜지스터(photo transistor), 포토게이트(photo gate), 핀드 포토다이오드(pinned photo diode(PPD)), 및 이들의 조합 중 적어도 하나를 포함할 수 있다.

[0116] 도 10에서는 하나의 광 감지기(PD)와 4개의 MOS트랜지스터들(TG, RT, DT, 및 ST)을 구비하는 4T 구조의 단위 픽셀을 예시하고 있지만, 본 발명에 따른 실시예가 이에 한정되는 것은 아니며, 드라이브 트랜지스터(DT)와 선택 트랜지스터(ST)를 포함하는 적어도 3개의 트랜지스터들과 광 감지기(PD)를 포함하는 모든 회로들에 본 발명에 따른 실시예가 적용될 수 있다. 단위 픽셀의 다른 실시예가 도 12 내지 도 14에 도시된다.

[0117] 상관 이중 샘플링 회로(200)는 비교기(230)로 구성되는 샘플링부, 리셋 스위치(210)로 구성되는 출력 리셋부, 오토 제로 스위치(220) 및 커패시터(C)를 포함하여 구성될 수 있다. 비교기(230)는 램프 신호를 기초로 픽셀 어레이(111)로부터 제공되는 입력 신호(VIN)에 포함되는 리셋 성분 및 이미지 성분에 대한 상관 이중 샘플링

(Correlated Double Sampling; CDS)을 수행하여 출력 신호(VOUT)를 발생한다. 리셋 스위치(210)는 제1 리셋 구간 및 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호(RCS)에 응답하여 비교기(230)의 출력 노드(NO)를 기준 전압(RVEF)로 리셋시킨다. 오토 제로 스위치(220)는 제1 프리차지 구간 이전의 오토 제로 구간에서 오토 제로 제어 신호(AZC)에 응답하여 비교기(230)의 제1 입력 단자와 출력 노드(NO)를 서로 연결시킨다. 커패시터(C)는 입력 신호(VIN)의 DC 노이즈를 제거한다.

- [0118] 상술한 바와 같이 상관 이중 샘플링 회로(200)는 램프 신호(RV)와 상기 입력 신호(VIN)의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호(RV)와 상기 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호에 기초하여 상기 출력 신호를 기준 전압 레벨로 리셋시켜 상관 이중 샘플링 동작을 보다 빠르게 수행할 수 있다.
- [0119] 도 11은 도 9의 이미지 센서의 동작을 나타내는 타이밍도이다.
- [0120] 도 11에서는 단위 픽셀(112)이 도 10의 단위 픽셀(112a)로 구현되는 경우의 타이밍도를 나타낸다.
- [0121] 도 9 내지 도 11을 참조하면, 시간 t0에 선택 트랜지스터(ST)에 인가되는 컬럼 선택 신호(SEL)가 활성화되고, 시간 t51에서 리셋 신호(RST)가 비활성화된다. 시간들 t52~t53 사이의 오토-제로 구간에서 램프 신호(RV)는 시작 전압 레벨(SL)을 가지고, 오토 제로 제어 신호(AZC)가 활성화되어 비교기(230)의 제1 입력 단자와 출력 노드(NO)가 서로 연결되어, 입력 신호(VIN)는 출력 신호(VOUT)와 동일한 리셋 레벨을 가지게 된다. 시작 전압 레벨(SL)은 리셋 레벨과 실질적으로 동일할 수 있다.
- [0122] 시간 t53에서, 램프 신호(RV)가 시작 전압 레벨(SL)에서 일정한 오프셋 값만큼 증가된 오프셋 레벨(OL)을 가진다. 오프셋 레벨(OL)은 리셋 레벨보다 높을 수 있다. 램프 신호(RV)는 시간 t53 내지 시간 t54의 제1 프리차지 구간에서 오프셋 레벨(OL)을 가질 수 있다.
- [0123] 상기 제1 프리차지 구간에서 리셋 제어 신호(RCS)가 활성화되고, 활성화된 리셋 제어 신호(RCS)에 응답하여 리셋 스위치(210)가 연결되어, 출력 노드(NO)를 기준 전압(RVEF) 레벨로 리셋시킨다. 여기서, 제1 프리차지 구간은 리셋 제어 신호(RCS)가 활성화되는 구간과 실질적으로 동일하므로 제1 프리차지 구간은 제1 리셋 구간과 동일할 수 있다. 하지만 다른 실시예에서는 제1 리셋 구간은 제1 프리차지 구간에 포함되고 제1 리셋 구간은 제1 프리차지 구간보다 크지 않을 수 있다. 시간(t54)에 출력 전압(VOUT)은 전원 전압 레벨(VDD)로 리셋된다.
- [0124] 시간 t54 내지 시간 t56의 제1 비교 구간에서 램프 신호(RV)가 활성화된다. "램프 신호(RV)가 활성화된다"는 것은 램프 신호(RV)가 오프셋 레벨(OL)부터 일정한 기울기로 감소되는 것을 나타낸다. 제1 비교 구간에서 비교기(21)는 램프 신호(RV)와 입력 신호(VIN)의 리셋 성분에 대한 제1 비교 동작을 수행하여 출력 전압(VOUT)을 발생한다. 램프 신호(RV)의 레벨이 입력 신호(VIN)의 레벨보다 높은 구간(t54 내지 t55)에서 카운터(161)는 입력 클럭 신호(CNCLK)를 카운팅하여 리셋 성분에 대한 카운터 출력 신호(COUT)를 생성한다. 제1 리셋 구간(t53 내지 t54)에서 출력 전압(VOUT)이 기준 전압(VREF) 레벨로 리셋되었기 때문에 시간 t54 내지 시간 t55의 리셋 성분에 대한 아날로그-디지털 변환 타이밍의 개시 시점이 빨라져서 아날로그-디지털 변환기의 동작 속도가 증가될 수 있다.
- [0125] 시간 t56 내지 t58의 제2 프리차지 구간에서 램프 신호(RV)가 비활성화되어 오프셋 레벨(OL)을 가진다. 또한 시간 t56 내지 t57의 전송 구간에서 전송 제어 신호(TX)에 응답하여 전송 트랜지스터(TG)가 활성화되어 포토 다이오드(PD)에 집적된 광전 변환 신호가 플로팅 노드(FD)에 확산된다.
- [0126] 상기 제2 프리차지 구간은 시간 t57 내지 시간 t58의 제2 리셋 구간을 포함할 수 있다. 상기 제2 리셋 구간에서 리셋 제어 신호(RCS)가 활성화되고, 활성화된 리셋 제어 신호(RCS)에 응답하여 리셋 스위치(210)가 연결되어, 출력 노드(NO)를 기준 전압(RVEF) 레벨로 리셋시킨다.
- [0127] 시간 t58 내지 시간 t60의 제2 비교 구간에서 램프 신호(RV)가 활성화된다.
- [0128] 제2 비교 구간에서 비교기(230)는 램프 신호(RV)와 입력 신호(VIN)의 신호 성분에 대한 제2 비교 동작을 수행하여 출력 전압(VOUT)을 발생한다. 램프 신호(RV)의 레벨이 입력 신호(VIN)의 레벨보다 높은 구간(t58 내지 t59)에서 카운터(161)는 입력 클럭 신호(CNCLK)를 카운팅하여 신호 성분에 대한 카운터 출력 신호(COUT)를 생성한다. 제2 리셋 구간(t57 내지 t58)에서 출력 전압(VOUT)이 전원 전압(VDD) 레벨로 리셋되었기 때문에 시간 t58 내지 시간 t60의 신호 성분에 대한 아날로그-디지털 변환 타이밍의 개시 시점이 빨라져서 아날로그-디지털 변환기의 동작 속도가 증가될 수 있다. 시간 t60에 램프 신호(RV)가 시작 레벨(SL)을 가진다.

- [0129] 도 12 내지 도 14는 도 9의 이미지 센서의 픽셀 어레이에 포함되는 단위 픽셀의 예들을 나타내는 회로도들이다.
- [0130] 도 12에 도시된 단위 픽셀(112b)은 3-트랜지스터(3T) 구조의 광 감지 소자로서, 광 감지기(PD), 리셋 트랜지스터(RT), 드라이브 트랜지스터(또는, 소스 팔로워 트랜지스터, DT) 및 선택 트랜지스터(ST)를 포함한다.
- [0131] 도 13에 도시된 단위 픽셀(112c)은 5-트랜지스터(5T) 구조의 광 감지 소자로서, 광 감지기(PD), 리셋 트랜지스터(RT), 드라이브 트랜지스터(또는, 소스 팔로워 트랜지스터, DT), 및 선택 트랜지스터(ST) 이외에 하나의 트랜지스터(GT)를 더 포함한다.
- [0132] 도 14에 도시된 단위 픽셀(112d)은 5-트랜지스터 광 감지 소자로서, 광 감지기(PD), 리셋 트랜지스터(RT), 드라이브 트랜지스터(또는, 소스 팔로워 트랜지스터, DT), 선택 트랜지스터(ST) 외에 두 개의 트랜지스터(TG와 PT)를 더 포함한다.
- [0133] 한편, 도 11 및 도 12 내지 도 14에 도시된 바와 같은 다양한 형태의 단위 픽셀은 전술한 바와 같이 각 픽셀이 독립적인 구조를 가질 수도 있고, 적어도 하나의 구성 요소를 서로 공유할 수 있다. 예컨대, 도 11의 구성에서 2개 또는 4개의 픽셀이 광 감지기(PD)와 전송 트랜지스터(TG)만을 독립적으로 구성하고, 나머지 부분은 서로 공유한 상태에서 타이밍 컨트롤을 통해 독립된 동작을 할 수 있다.
- [0134] 도 15는 본 발명의 일 실시예에 따른 이미지 센서의 구성의 예를 나타내는 블록도이다.
- [0135] 도 15를 참조하면, 이미지 센서(300)는 픽셀 어레이(310), 드라이버/어드레스 디코더(320), 제어부(330), 램프 신호 발생기(340), CDS 블록(450), 비교기 블록(460), 래치부(370) 및 글로벌 카운터(380)를 포함하여 구현될 수 있다.
- [0136] 픽셀 어레이(310)는 단위 구성 요소(예를 들어, 단위 화소(pixel))에 의해 입사광을 전기적인 아날로그 신호로 변환하여 출력하기 위하여 배열된 복수의 픽셀들을 포함한다. APS(Active Pixel Sensor) 또는 게인 셀(gain cell)이라고 지칭되는 이미지 센서에서는 단위 화소의 배열을 포함하는 화소부에 대하여 어드레스 제어를 하여 임의로 선택된 개개의 단위 화소로부터 신호가 관측되도록 하고 있다. APS는 어드레스 제어형의 촬상 장치의 일례라 할 수 있으며, 드라이버/어드레스 디코더(320)는 행 및/또는 열 단위로 픽셀 어레이의 동작을 제어하기 위하여 구비된다. 제어부(330)는 이미지 센서(300)의 각 구성 요소의 동작 타이밍을 제어하기 위한 제어 신호들을 발생한다.
- [0137] 픽셀 어레이(310)로부터 관측된 아날로그의 화소 신호는, 비교부(360), 래치부(370), 글로벌 카운터(380) 등으로 구현된 아날로그-디지털 컨버터에 의해 디지털 신호로 변환된다. 화소 신호는 일반적으로 칼럼(column) 단위로 출력되어 처리되며 이를 위하여 CDS 블록(350), 비교기 블록(360), 및 래치부(370)는 각각 칼럼 단위로 구비된 복수의 상관 이중 샘플링 회로(351)들, 비교기(361)들 및 래치(371)들을 포함할 수 있다.
- [0138] 픽셀 어레이(310)로부터 출력되는 아날로그 신호는 각 화소마다 리셋 성분(또는 오프셋 성분)에 편차가 있기 때문에 리셋 성분에 따른 신호 전압과 신호 성분에 따른 신호 전압의 차를 취함으로써 유효한 신호 성분을 추출할 필요가 있다. 이와 같이 화소를 초기화하였을 때의 리셋 성분 및 신호 성분(즉 이미지 신호 성분)을 구하고 그 차이를 유효한 신호 성분으로 추출하는 것을 상관 이중 샘플링(CDS; Correlated Double Sampling)이라고 한다.
- [0139] CDS 블록(350)은 캐패시터, 스위치 등을 이용하여 리셋 성분을 나타내는 아날로그 전압과 포토다이오드 등을 통하여 감지된 신호 성분을 나타내는 아날로그 전압의 차이를 구하여 아날로그 더블 샘플링(ADS; Analog Double Sampling)을 수행하고 유효한 신호 성분에 상응하는 아날로그 전압을 출력한다. 비교기 블록(360)은 CDS 블록(350)으로부터 칼럼 단위로 출력되는 아날로그 전압과 램프 신호 발생기(340)로부터 발생하는 램프 신호(RV)를 비교하여 유효한 신호 성분에 따른 각각의 천이 시점을 갖는 비교 신호들을 칼럼 단위로 출력한다. 이 때, 비교기 블록(360)에는 제어부(330)로부터 리셋 제어 신호(RCS)가 인가되어 유효한 신호 성분에 대한 비교 동작을 수행하기 전에 비교기(361)의 출력을 기준 전압 레벨로 리셋시킬 수 있다.
- [0140] 카운터(380)에서 출력되는 카운터 출력 신호(COUT)는 각각의 래치(371)에 공통으로 제공되며, 래치부(370)는 각 비교 신호의 천이 시점에 응답하여 카운터(380)로부터 출력되는 카운터 출력 신호(COUT)를 래치하고, 래치된 디지털 신호를 칼럼 단위로 출력한다.
- [0141] 도 16은 도 15의 비교기 블록에서 하나의 비교기의 구성을 보다 상세히 나타낸다.
- [0142] 도 16을 참조하면, 비교기(361)의 제1(음)의 입력 단자에는 상관 이중 샘플링 회로(351)의 출력(CDS_OUT)이 인가되고, 제2(양)의 입력 단자에는 램프 신호(RV)가 입력된다. 또한 비교기(361)의 출력 단자(출력 노드(N01)에

서는 출력 신호(COM_OUT)가 제공되고, 리셋 스위치(362)는 출력 노드(N01)와 기준 전압(VREF)를 연결하고, 리셋 제어 신호(RCS)에 응답하여 출력 노드(N01)를 기준 전압(VREF) 레벨로 리셋시킨다.

- [0143] 도 17은 본 발명의 일 실시예에 따른 이미지 센서의 구성의 예를 나타내는 블록도이다.
- [0144] 도 17을 참조하면, 이미지 센서(400)는 픽셀 어레이(410), 드라이버/어드레스 디코더(420), 제어부(430), 램프 신호 발생기(440), 상관 이중 샘플링 블록(460) 및 래치부(또는 디지털 신호 발생부, 470)를 포함하여 구현될 수 있다.
- [0145] 드라이버/어드레스 디코더(420)는 행 및/또는 열 단위로 픽셀 어레이의 동작을 제어하기 위하여 구비된다. 제어 회로(430)는 이미지 센서(400)의 각 구성 요소의 동작 타이밍을 제어하기 위한 제어 신호들을 발생한다.
- [0146] 도 15의 이미지 센서(300)와 비교하여 도 17의 이미지 센서(400)의 래치부(470)는 디지털 더블 샘플링을 수행하기 위한 구성을 갖는다. 칼럼 단위로 구비된 각각의 래치 회로(471)는 제1 래치(472) 및 제2 래치(473)를 포함한다. 픽셀 어레이(410)는 상관 이중 샘플링을 위한 리셋 성분을 나타내는 제1 아날로그 신호 및 이미지 신호 성분을 나타내는 제2 아날로그 신호를 순차적으로 출력한다. 제1 샘플링 과정에서 CDS 블록(460)은 리셋 성분을 나타내는 제1 아날로그 전압과 램프 신호 발생기(440)로부터 발생하는 램프 신호(RV)를 비교하여 리셋 성분에서 각각의 천이 시점을 갖는 비교 신호들을 칼럼 단위로 출력한다. 카운터(100)에서 출력되는 카운터 출력 신호(COUT)는 래치 회로(471)에 공통으로 제공되며, 각각의 래치 회로(471)는 각 비교 신호의 천이 시점에 응답하여 카운터(480)로부터 출력되는 카운터 출력 신호(COUT)를 래치하여 리셋 성분에 관한 디지털 신호를 제1 래치(472)에 저장한다. 제2 샘플링 과정에서 CDS 블록(460)은 신호 성분을 나타내는 제2 아날로그 전압과 램프 신호 발생기(440)로부터 발생하는 램프 신호(RV)를 비교하여 이미지 신호 성분에서 각각의 천이 시점을 갖는 비교 신호들을 칼럼 단위로 출력한다. 래치부(470)는 각 비교 신호의 천이 시점에 응답하여 카운터(480)로부터 출력되는 카운터 출력 신호(COUT)를 래치하여 신호 성분에 관한 디지털 신호를 제2 래치(473)에 저장한다. 제1 래치(472) 및 제2 래치(473)에 저장된 디지털 신호들은 논리 연산을 수행하는 내부 회로에 제공되어 유효한 이미지 신호 성분을 나타내는 값들이 계산되고, 이와 같은 방식으로 디지털 더블 샘플링이 수행될 수 있다.
- [0147] CDS 블록(460)에 포함되는 상관 이중 샘플링 회로(461)들 각각은 도 2의 상관 이중 샘플링 회로(10)로 구현될 수 있다. 따라서 상관 이중 샘플링 회로(461)는 제1 샘플링 과정 전의 제1 리셋 구간 및 제2 샘플링 과정 전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호(RCS)에 응답하여 비교기의 출력을 기준 전압(VREF) 레벨로 리셋시켜 비교기의 출력 안정화 시간을 감소시켜 아날로그-디지털 변환기의 동작 속도를 증가시킬 수 있다. 여기서, 리셋 제어 신호(RCS)는 제어부(430)로부터 제공될 수 있다.
- [0148] 도 18은 본 발명의 일 실시예에 따른 이미지 센서를 카메라에 응용한 예를 나타내는 블록도이다.
- [0149] 도 18을 참조하면, 카메라(500)는 수광 렌즈(510), 이미지 센서 칩(505) 및 엔진부(540)를 포함할 수 있다. 이미지 센서 칩(505)은 이미지 센서(520) 및 광원 모듈(530)을 포함할 수 있다. 실시예에 따라, 이미지 센서(520) 및 광원 모듈(530)은 각각 별도의 장치로 구현되거나, 광원 모듈(530) 중 적어도 일부의 구성이 이미지 센서(520)에 포함되도록 구현될 수 있다. 또한 수광 렌즈(510)는 이미지 센서 칩(505)의 일부 구성 요소로서 포함될 수도 있다. 광원 모듈(530)은 광원(531) 및 렌즈(532)를 포함할 수 있다. 이미지 센서(520)는 도 9에 도시된 바와 같이 픽셀 어레이(active pixel array, 111)로 구성되는 감지부(110), 로우 드라이버(row driver, 120), CDS 블록(140), 카운터 블록(160), 램프 신호 생성기(ramp generator, 170), 제어부(180) 및 버퍼(190)를 포함한다. 이미지 센서(520)는 도 15의 이미지 센서(300) 또는 도 17의 이미지 센서(400)로도 구성될 수 있다.
- [0150] 이때, CDS 블록(140)은 도 2와 같은 복수의 상관 이중 샘플링 회로(10)들을 포함하고, 상관 이중 샘플링 회로(10)는 비교기(21)로 구성되는 샘플링부(20)와 리셋 스위치(41)로 구성되는 출력 리셋부(40)를 포함할 수 있다. 따라서 이미지 센서(520)는 램프 신호와 입력 신호의 리셋 성분에서 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호와 입력 신호의 이미지 성분에서 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호(RCS)에 기초하여 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시켜 비교기의 출력 안정화 시간을 감소시켜 동작 속도를 증가시킬 수 있다.
- [0151] 수광 렌즈(510)는 이미지 센서 칩(520)의 수광 영역(예를 들어, 도 5의 픽셀 어레이(810))로 입사광을 집광시킬 수 있다. 이미지 센서 칩(520)은 수광 렌즈(510)를 통하여 입사된 광을 처리하여 컬러 및/또는 거리 정보를 포함하는 데이터(DATA1)를 생성할 수 있다. 예를 들어, 이미지 센서 칩(520)에서 생성되는 데이터(DATA1)는 광원 모듈(530)에서 방출된 적외선 또는 근적외선을 이용하여 생성된 거리 데이터 및 외부 가시광선을 이용하여 생성

된 베이어 패턴의 RGB 데이터를 포함할 수 있다. 이미지 센서 칩(520)은 클럭 신호(CLK)에 기초하여 데이터(DATA1)를 엔진부(540)에 제공할 수 있다. 실시예에 따라, 이미지 센서 칩(520)은 MIPI(Mobile Industry Processor Interface) 및/또는 CSI(Camera Serial Interface)를 통하여 엔진부(540)와 인터페이싱할 수 있다.

[0152] 엔진부(540)는 이미지 센서(505)를 제어한다. 또한, 엔진부(540)는 이미지 센서 칩(520)으로부터 수신된 데이터(DATA1)를 처리할 수 있다. 예를 들어, 엔진부(540)는 이미지 센서 칩(520)으로부터 수신된 데이터(DATA1)에 기초하여 컬러 데이터를 생성할 수 있다. 다른 예에서, 엔진부(540)는 데이터(DATA1)에 포함된 상기 RGB 데이터에 기초하여 휘도 성분, 상기 휘도 성분과 청색 성분의 차, 및 휘도 성분과 적색 성분의 차를 포함하는 YUV 데이터를 생성하거나, 압축 데이터, 예를 들어 JPEG(Joint Photography Experts Group) 데이터를 생성할 수 있다. 엔진부(540)는 호스트/어플리케이션(550)에 연결될 수 있으며, 엔진부(540)는 마스터 클럭(MCLK)에 기초하여 데이터(DATA2)를 호스트/어플리케이션(550)에 제공할 수 있다. 또한, 엔진부(540)는 SPI(Serial Peripheral Interface) 및/또는 I2C(Inter Integrated Circuit)를 통하여 호스트/어플리케이션(550)과 인터페이싱할 수 있다.

[0153] 도 19는 본 발명의 일 실시예에 따른 아날로그-디지털 변환 방법을 나타내는 순서도이다.

[0154] 도 9 내지 도 10 및 도 19를 참조하면, 제1 비교 구간 이전의 제1 리셋 구간에서 리셋 제어 신호(RCS)에 응답하여 상관 이중 샘플링 회로(200)의 비교기(230)의 출력 신호(VOUT)를 기준 전압(VREF) 레벨로 리셋시킨다(S110). 제1 비교 구간에서 카운터(161)를 이용하여 램프 신호(RV)와 출력 신호(VOUT)에 기초하여 입력 신호(VIN)에 포함되는 리셋 성분에 해당하는 제1 아날로그 신호를 디지털 코드로 변환한다(S120). 제2 비교 구간 이전의 제2 리셋 구간에서 리셋 제어 신호(RCS)에 응답하여 상관 이중 샘플링 회로(200)의 비교기(230)의 출력 신호(VOUT)를 기준 전압(VREF) 레벨로 다시 리셋시킨다(S130). 제2 비교 구간에서 카운터(161)를 이용하여 램프 신호(RV)와 출력 신호(VOUT)에 기초하여 입력 신호(VIN)에 포함되는 신호 성분에 해당하는 제2 아날로그 신호를 디지털 코드로 변환한다(S140).

[0155] 본 발명의 실시예에 따른 아날로그-디지털 변환 방법에서도 제1 리셋 구간과 제2 리셋 구간 각각에서 비교기(230)의 출력 신호(VOUT)를 기준 전압(VREF)로 리셋시킨 후 리셋 성분과 신호 성분에 대한 비교 동작을 수행하므로 비교기(230)의 출력 안정화 시간을 감소시켜 아날로그-디지털 변환 시간을 감소시킬 수 있다.

[0156] 도 20은 본 발명의 실시예들에 따른 모바일 기기를 나타내는 평면도이다.

[0157] 도 20을 참조하면, 모바일 기기(600)는 3차원 이미지 센서(700), 2차원 이미지 센서(800) 및 디스플레이 장치(641)를 포함한다. 모바일 기기(600)는 터치 스크린(644), 버튼들(643, 645), 마이크(647) 및 스피커(648)를 더 포함할 수 있다.

[0158] 3차원 이미지 센서(700)는 모바일 기기(600)의 제1 면(예를 들어, 전면)에 장착되며, 피사체의 근접 여부를 감지하는 제1 센싱 및 상기 피사체에 대한 거리 정보를 획득하여 상기 피사체의 움직임을 인식(gesture recognition)하는 제2 센싱을 수행한다. 3차원 이미지 센서(700)는 복수의 거리 픽셀들을 구비하는 제1 센싱부(710) 및 적외선 광 또는 근적외선 광을 방출하는 광원부(740)를 포함할 수 있다.

[0159] 2차원 이미지 센서(800)는 모바일 기기(600)의 상기 제1 면에 장착되며, 상기 피사체에 대한 컬러 영상 정보를 획득하는 제3 센싱을 수행할 수 있다. 2차원 이미지 센서(800)는 복수의 컬러 픽셀들을 구비하는 제2 센싱부(810)를 포함할 수 있다.

[0160] 도 20의 실시예에서, 3차원 이미지 센서(700) 및 2차원 이미지 센서(800)는 두 개의 분리된 집적 회로 칩들로 제조될 수 있다. 즉, 모바일 기기(600)는 두 개의 센싱 모듈들을 포함할 수 있다. 이 경우, 상기 복수의 거리 픽셀들 및 상기 복수의 컬러 픽셀들은 두 개의 분리된 픽셀 어레이들을 형성할 수 있다.

[0161] 디스플레이 장치(641)는 모바일 기기(600)의 상기 제1 면에 장착되며, 상기 제1 센싱의 결과, 상기 제2 센싱의 결과 및 상기 제3 센싱의 결과를 표시한다.

[0162] 도 21은 도 20의 모바일 기기의 일 예를 나타내는 블록도이다.

[0163] 도 21을 참조하면, 모바일 기기(600)는 어플리케이션 프로세서(610), 통신부(620), 메모리 장치(630), 3차원 이미지 센서(700), 2차원 이미지 센서(800), 사용자 인터페이스(640) 및 파워 서플라이(650)를 포함한다. 실시예에 따라서, 모바일 기기(600)는 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 태블릿(Tablet) PC, 노트북(Laptop Computer), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 계

임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등과 같은 임의의 모바일 기기일 수 있다.

- [0164] 어플리케이션 프로세서(610)는 모바일 기기(600)를 구동하기 위한 운영 체제(Operating System; OS)를 실행할 수 있다. 또한, 어플리케이션 프로세서(610)는 인터넷 브라우저, 게임, 동영상 등을 제공하는 다양한 어플리케이션들을 실행할 수 있다. 실시예에 따라서, 어플리케이션 프로세서(610)는 하나의 프로세서 코어(Single Core)를 포함하거나, 복수의 프로세서 코어들(Multi-Core)을 포함할 수 있다. 또한, 실시예에 따라서, 어플리케이션 프로세서(610)는 내부 또는 외부에 위치한 캐시 메모리(Cache Memory)를 더 포함할 수 있다.
- [0165] 통신부(620)는 외부 장치와 통신을 수행할 수 있다. 예를 들어, 통신부(620)는 범용 직렬 버스(Universal Serial Bus; USB) 통신, 이더넷(Ethernet) 통신, 근거리 무선 통신(Near Field Communication; NFC), 무선 식별(Radio Frequency Identification; RFID) 통신, 이동 통신(Mobile Telecommunication), 메모리 카드 통신 등을 수행할 수 있다. 예를 들어, 통신부(620)는 베이스밴드 칩 셋(Baseband Chipset)을 포함할 수 있고, GSM, GPRS, WCDMA, HSxPA 등의 통신을 지원할 수 있다.
- [0166] 메모리 장치(630)는 어플리케이션 프로세서(610)에 의해 처리되는 데이터를 저장하거나, 동작 메모리(Working Memory)로서 작동할 수 있다. 또한, 메모리 장치(630)는 모바일 기기(600)를 부팅하기 위한 부트 이미지(boot image), 모바일 기기(600)를 구동하기 위한 상기 운영 체제와 관련된 파일 시스템(file system), 모바일 기기(600)와 연결되는 외부 장치와 관련된 장치 드라이버(device driver), 모바일 기기(600)에서 실행되는 상기 어플리케이션 등을 저장할 수 있다. 예를 들어, 메모리 장치(630)는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM, DDR SDRAM, LPDDR SDRAM, GDDR SDRAM, RDRAM 등과 같은 휘발성 메모리를 포함할 수도 있고, EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리를 포함할 수도 있다.
- [0167] 3차원 이미지 센서(700)는 상기 제1 센싱 및 상기 제2 센싱을 수행할 수 있다. 2차원 이미지 센서(800)는 상기 제3 센싱을 수행할 수 있다.
- [0168] 사용자 인터페이스(640)는 키패드, 버튼, 터치 스크린(도 27의 644)과 같은 하나 이상의 입력 장치, 및/또는 스피커(도 27의 648), 디스플레이 장치(도 27의 641)와 같은 하나 이상의 출력 장치를 포함할 수 있다. 파워 서플라이(650)는 모바일 기기(600)의 동작 전압을 공급할 수 있다.
- [0169] 모바일 기기(600) 또는 모바일 기기(600)의 구성요소들은 다양한 형태들의 패키지를 이용하여 실장될 수 있는데, 예를 들어, PoP(Package on Package), BGAs(Ball grid arrays), CSPs(Chip scale packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Wafer Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(Ceramic Dual In-Line Package), MQFP(Plastic Metric Quad Flat Pack), TQFP(Thin Quad Flat-Pack), SOIC(Small Outline Integrated Circuit), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline Package), TQFP(Thin Quad Flat-Pack), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-Level Processed Stack Package) 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0170] 도 22는 도 20의 모바일 기기에 포함되는 3차원 이미지 센서의 일 예를 나타내는 블록도이다.
- [0171] 도 22를 참조하면, 3차원 이미지 센서(700)는 센싱부(710), 로우 구동부(RD)(720), 아날로그-디지털 변환(Analog-to-Digital Converting; ADC)부(730), 광원부(740), 디지털 신호 처리(Digital Signal Processing; DSP)부(750) 및 제어부(760)를 포함할 수 있다.
- [0172] 광원부(740)는 소정의 파장을 가진 광(TX)(예를 들어, 적외선 또는 근적외선)을 출력할 수 있다. 광원부(740)는 동작 모드에 따라서 선택적으로 활성화되거나 다른 휘도의 광을 방출할 수 있다.
- [0173] 광원부(740)는 광원(741) 및 렌즈(743)를 포함할 수 있다. 광원(741)은 광(TL)을 발생할 수 있다. 예를 들어, 광원(741)은 발광 다이오드(light emitting diode, LED), 레이저 다이오드 등으로 구현될 수 있다. 일 실시예에서, 광원(741)은 세기가 주기적으로 변하도록 변조된 광을 발생할 수 있다. 예를 들어, 방출되는 광(TL)의 세기는 연속적인 펄스들을 가지는 펄스 파, 사인 파, 코사인 파 등과 같은 형태를 가지도록 변조될 수 있다. 다른 실시예에서, 광원(741)은 세기가 일정한, 변조되지 않은 광을 발생할 수 있다. 렌즈(743)는 광원(741)에서 방출된 광(TL)을 피사체(780)에 집중시킬 수 있다.

- [0174] 센싱부(710)는 피사체(780)에서 반사되어 되돌아온 광(RX)을 수신하고 수신된 광(RX)을 전기적인 신호로 변환할 수 있다. 일 실시예에서, 수신된 광(RX)은 광원부(740)에서 방출되는 적외선 또는 근적외선(TL)에 기초하여 발생될 수 있다. 다른 실시예에서, 수신된 광(RX)은 주변 광(ambient light)에 포함되는 적외선 또는 근적외선에 기초하여 발생될 수 있다. 또 다른 실시예에서, 수신된 광(RX)은 주변 광에 포함되는 가시광선에 기초하여 발생될 수 있다. 또 다른 실시예에서, 수신된 광(RX)은 적외선 또는 근적외선 및 가시광선 모두에 기초하여 발생될 수 있다.
- [0175] 센싱부(710)는 복수의 거리 픽셀들(depth pixel)(711)을 포함할 수 있다. 복수의 거리 픽셀들(711)은 동작 모드에 따라서 일부 또는 전부가 활성화될 수 있다. 복수의 거리 픽셀들(711)은 픽셀 어레이의 형태로 배치되며, 3차원 이미지 센서(700)로부터 피사체(780)까지의 거리에 대한 정보를 제공할 수 있다. 예를 들어, 적외선 필터 또는 근적외선 필터가 복수의 거리 픽셀들(711) 상에 형성될 수 있다. 복수의 거리 픽셀들(711)에서는 전송 게이트의 길이 방향의 양 측 중 적어도 하나가 소자 분리 영역과 중첩하지 않도록 형성되어 전기장에 의한 노이즈성 전자의 발생을 억제함으로써 다크 특성을 향상시킬 수 있다.
- [0176] 로우 구동부(720)는 센싱부(710)의 각 로우에 연결되고, 상기 각 로우를 구동하는 구동 신호를 생성할 수 있다. 예를 들어, 로우 구동부(720)는 센싱부(710)에 포함되는 복수의 거리 픽셀들(711)을 로우 단위로 구동할 수 있다.
- [0177] ADC부(730)는 센싱부(710)의 각 컬럼에 연결되고, 센싱부(710)로부터 출력되는 아날로그 신호를 디지털 신호로 변환할 수 있다. 일 실시예에서, ADC부(730)는 복수의 아날로그-디지털 변환기들을 포함하며, 각 컬럼 라인마다 출력되는 아날로그 신호들을 병렬로(즉, 동시에) 디지털 신호들로 변환하는 컬럼 ADC를 수행할 수 있다. 다른 실시예에서, ADC부(730)는 단일의 아날로그-디지털 변환기를 포함하며, 상기 아날로그 신호들을 순차적으로 디지털 신호들로 변환하는 단일 ADC를 수행할 수 있다.
- [0178] 실시예에 따라서, ADC부(730)는 유효 신호 성분을 추출하기 위한 상관 이중 샘플링(Correlated Double Sampling; CDS)부를 포함할 수 있다. 일 실시예에서, 상기 CDS부는 리셋 성분을 나타내는 아날로그 리셋 신호와 신호 성분을 나타내는 아날로그 데이터 신호의 차이에 기초하여 상기 유효 신호 성분을 추출하는 아날로그 더블 샘플링(Analog Double Sampling)을 수행할 수 있다. 다른 실시예에서, 상기 CDS부는 상기 아날로그 리셋 신호와 상기 아날로그 데이터 신호를 디지털 신호들로 각각 변환한 후 상기 유효 신호 성분으로서 두 개의 디지털 신호의 차이를 추출하는 디지털 더블 샘플링(Digital Double Sampling)을 수행할 수 있다. 또 다른 실시예에서, 상기 CDS부는 상기 아날로그 더블 샘플링 및 상기 디지털 더블 샘플링을 모두 수행하는 듀얼 상관 이중 샘플링을 수행할 수 있다. 상기 CDS부는 도 2와 같은 복수의 상관 이중 샘플링 회로(10)들을 포함하고, 상관 이중 샘플링 회로(10)는 비교기(21)로 구성되는 샘플링부(20)와 리셋 스위치(41)로 구성되는 출력 리셋부(40)를 포함할 수 있다. 따라서 상기 CDS부는 램프 신호와 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호와 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호(RCS)에 기초하여 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시켜 비교기의 출력 안정화 시간을 감소시켜 동작 속도를 증가시킬 수 있다.
- [0179] DSP부(750)는 ADC부(730)로부터 출력된 디지털 신호를 수신하고, 상기 디지털 신호에 대하여 이미지 데이터 처리를 수행할 수 있다. 예를 들어, DSP부(750)는 이미지 보간(Image Interpolation), 색 보정(Color Correction), 화이트 밸런스(White Balance), 감마 보정(Gamma Correction), 색 변환(Color Conversion) 등을 수행할 수 있다.
- [0180] 제어부(760)는 로우 구동부(720), ADC부(730), 광원부(740) 및 DSP부(750)를 제어할 수 있다. 제어부(760)는 로우 구동부(720), ADC부(730), 광원부(740) 및 DSP부(750)의 동작에 요구되는 클럭 신호, 타이밍 컨트롤 신호 등과 같은 제어 신호들을 공급할 수 있다. 일 실시예에서, 제어부(760)는 로직 제어 회로, 위상 고정 루프(Phase Lock Loop; PLL) 회로, 타이밍 제어 회로 및 통신 인터페이스 회로 등을 포함할 수 있다.
- [0181] 도 23은 도 20의 모바일 기기에 포함되는 2차원 이미지 센서의 일 예를 나타내는 블록도이다.
- [0182] 도 23을 참조하면, 2차원 이미지 센서(800)는 센싱부(810), 로우 구동부(820), ADC부(830), DSP부(850) 및 제어부(860)를 포함할 수 있다.
- [0183] 센싱부(810)는 입사광(예를 들어, 가시광선)을 전기적인 신호로 변환할 수 있다. 제2 센싱부(810)는 복수의 컬러 픽셀들(811)을 포함할 수 있다. 복수의 컬러 픽셀들(811)은 픽셀 어레이의 형태로 배치되며, 피사체에 대한

컬러 영상 정보를 제공할 수 있다. 예를 들어, 레드 필터, 그린 필터 및 그린 필터가 복수의 컬러 픽셀들(811) 상에 형성될 수 있다. 다른 예에서, 옐로우 필터, 시안 필터 및 마젠타 필터가 복수의 컬러 픽셀들(811) 상에 형성될 수 있다. 복수의 거리 픽셀들(811)에서는 전송 게이트의 길이 방향의 양 측 중 적어도 하나가 소자 분리 영역과 중첩하지 않도록 형성되어 전기장에 의한 노이즈성 전자의 발생을 억제함으로써 다크 특성을 향상시킬 수 있다.

- [0184] 로우 구동부(820)는 센싱부(810)의 각 로우에 연결되고, 상기 각 로우를 구동하는 구동 신호를 생성할 수 있다. ADC부(830)는 센싱부(810)의 각 컬럼에 연결되고, 제2 센싱부(810)로부터 출력되는 아날로그 신호를 디지털 신호로 변환할 수 있다. 실시예에 따라서, ADC부(830)는 유효 신호 성분을 추출하기 위한 CDS부를 포함할 수 있다. 상기 CDS부는 도 2와 같은 복수의 상관 이중 샘플링 회로(10)들을 포함하고, 상관 이중 샘플링 회로(10)는 비교기(21)로 구성되는 샘플링부(20)와 리셋 스위치(41)로 구성되는 출력 리셋부(40)를 포함할 수 있다. 따라서 상기 CDS부는 램프 신호와 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호와 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호(RCS)에 기초하여 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시켜 비교기의 출력 안정화 시간을 감소시켜 동작 속도를 증가시킬 수 있다. DSP부(850)는 ADC부(830)로부터 출력된 디지털 신호를 수신하고, 상기 디지털 신호에 대하여 이미지 데이터 처리를 수행할 수 있다. 제어부(860)는 로우 구동부(820), ADC부(830) DSP부(850)를 제어할 수 있다.
- [0185] 도 24는 본 발명의 실시예들에 따른 모바일 기기의 다른 예를 나타내는 평면도이다.
- [0186] 도 24를 참조하면, 모바일 기기(900)는 이미지 센서(910) 및 디스플레이 장치(641)를 포함한다. 모바일 기기(900)는 터치 스크린(644), 버튼들(643, 645), 마이크(647) 및 스피커(648)를 더 포함할 수 있다.
- [0187] 이미지 센서(910)는 모바일 기기(900)의 제1 면(예를 들어, 전면)에 장착되며, 피사체의 근접 여부를 감지하는 제1 센싱, 상기 피사체에 대한 거리 정보를 획득하여 상기 피사체의 움직임을 인식(gesture recognition)하는 제2 센싱 및 상기 피사체에 대한 컬러 영상 정보를 획득하는 제3 센싱을 수행한다. 이미지 센서(910)는 복수의 거리 픽셀들을 구비하는 제1 센싱부(710), 적외선 광 또는 근적외선 광을 방출하는 광원부(740) 및 복수의 컬러 픽셀들을 구비하는 제2 센싱부(810)를 포함할 수 있다.
- [0188] 도 24의 실시예에서, 3차원 이미지 센서 및 2차원 이미지 센서는 하나의 집적 회로 칩으로 제조될 수 있다. 즉, 모바일 기기(900)는 하나의 센싱 모듈을 포함할 수 있다. 이 경우, 상기 복수의 거리 픽셀들 및 상기 복수의 컬러 픽셀들은 두 개의 분리된 픽셀 어레이들을 형성할 수 있다.
- [0189] 디스플레이 장치(641)는 모바일 기기(900)의 상기 제1 면에 장착되며, 상기 제1 센싱의 결과, 상기 제2 센싱의 결과 및 상기 제3 센싱의 결과를 표시한다.
- [0190] 도 24의 모바일 기기(900)는 3차원 이미지 센서 및 2차원 이미지 센서가 하나의 집적 회로 칩으로 제조되는 것을 제외하면 도 21의 모바일 기기(600)와 실질적으로 동일할 수 있다.
- [0191] 도 25는 도 24의 모바일 기기의 일 예를 나타내는 블록도이다.
- [0192] 도 25를 참조하면, 모바일 기기(900)는 어플리케이션 프로세서(610), 통신부(620), 메모리 장치(630), 이미지 센서(910), 사용자 인터페이스(640) 및 파워 서플라이(650)를 포함한다.
- [0193] 도 21의 모바일 기기(600)와 비교하였을 때, 도 25의 모바일 기기(900)는 3차원 이미지 센서(700) 및 2차원 이미지 센서(800)가 통합된 하나의 이미지 센서(910)를 포함할 수 있다.
- [0194] 이미지 센서(910)는 상기 제1 센싱, 상기 제2 센싱 및 상기 제3 센싱을 수행할 수 있다. 예를 들어, 이미지 센서(910)는 상기 제1 센싱을 먼저 수행하고, 상기 제1 센싱의 결과에 기초하여 제2 센싱 및 상기 제3 센싱 중 적어도 하나를 수행할 수 있다.
- [0195] 도 26은 본 발명의 실시예들에 따른 모바일 기기의 다른 예를 나타내는 평면도이다.
- [0196] 도 26을 참조하면, 모바일 기기(1110)는 이미지 센서(1115) 및 디스플레이 장치(641)를 포함한다. 모바일 기기(1110)는 터치 스크린(644), 버튼들(643, 645), 마이크(647) 및 스피커(648)를 더 포함할 수 있다.
- [0197] 이미지 센서(1115)는 모바일 기기(1110)의 제1 면(예를 들어, 전면)에 장착되며, 피사체의 근접 여부를 감지하는 제1 센싱, 상기 피사체에 대한 거리 정보를 획득하여 상기 피사체의 움직임을 인식(gesture recognition)하는 제2 센싱 및 상기 피사체에 대한 컬러 영상 정보를 획득하는 제3 센싱을 수행한다. 이미지 센서(1110)는 복

수의 거리 픽셀들 및 복수의 컬러 픽셀들을 구비하는 센싱부(1120), 및 적외선 광 또는 근적외선 광을 방출하는 광원부(1140)를 포함할 수 있다.

- [0198] 도 26의 실시예에서, 3차원 이미지 센서 및 2차원 이미지 센서는 하나의 집적 회로 칩으로 제조될 수 있다. 즉, 모바일 기기(1110)는 하나의 센싱 모듈을 포함할 수 있다. 이 경우, 상기 복수의 거리 픽셀들 및 상기 복수의 컬러 픽셀들은 하나의 픽셀 어레이를 형성할 수 있다. 즉, 이미지 센서(1115)는 3차원 컬러 이미지 센서일 수 있으며, 예를 들어 RGBZ 센서일 수 있다.
- [0199] 디스플레이 장치(641)는 모바일 기기(1110)의 상기 제1면에 장착되며, 상기 제1 센싱의 결과, 상기 제2 센싱의 결과 및 상기 제3 센싱의 결과를 표시한다.
- [0200] 도 26의 모바일 기기(1110)는 3차원 이미지 센서 및 2차원 이미지 센서가 하나의 집적 회로 칩으로 제조되고 복수의 거리 픽셀들 및 복수의 컬러 픽셀들이 하나의 픽셀 어레이를 형성하는 것을 제외하면 도 25의 모바일 기기(600)와 실질적으로 동일할 수 있다.
- [0201] 도 27은 도 26의 모바일 기기의 일 예를 나타내는 블록도이다.
- [0202] 도 26을 참조하면, 모바일 기기(1110)는 어플리케이션 프로세서(610), 통신부(620), 메모리 장치(630), 이미지 센서(1115), 사용자 인터페이스(640) 및 파워 서플라이(650)를 포함한다.
- [0203] 도 21의 모바일 기기(600)와 비교하였을 때, 도 26의 모바일 기기(1110)는 3차원 이미지 센서 및 2차원 이미지 센서가 통합되고 복수의 거리 픽셀들 및 복수의 컬러 픽셀들이 하나의 픽셀 어레이를 형성하는 3차원 컬러 이미지 센서(1115)를 포함할 수 있다.
- [0204] 이미지 센서(1115)는 상기 제1 센싱, 상기 제2 센싱 및 상기 제3 센싱을 수행할 수 있다. 예를 들어, 이미지 센서(1115)는 상기 제1 센싱을 먼저 수행하고, 상기 제1 센싱의 결과에 기초하여 제2 센싱 및 상기 제3 센싱 중 적어도 하나를 수행할 수 있다.
- [0205] 도 28은 도 27의 모바일 기기에 포함되는 이미지 센서의 일 예를 나타내는 블록도이다. 도 29 및 도 30은 도 28의 이미지 센서에 포함되는 센싱부의 예들을 나타내는 도면들이다.
- [0206] 도 28을 참조하면, 이미지 센서(1115)는 센싱부(1120), 제1 로우 구동부(1120a), 제2 로우 구동부(1120b), 제1 ADC부(1130a), 제2 ADC부(1130b), 광원부(1140), DSP부(1150) 및 제어부(1160)를 포함할 수 있다.
- [0207] 광원부(1140)는 소정의 파장을 가진 광(TL)(예를 들어, 적외선 또는 근적외선)을 출력할 수 있다. 광원부(1140)는 동작 모드에 따라서 선택적으로 활성화되거나 다른 휘도의 광을 방출할 수 있다. 광원부(1140)는 광(TL)을 발생하는 광원(1141) 및 방출된 광(TL)을 피사체(780)에 집중시키는 렌즈(1143)를 포함할 수 있다.
- [0208] 센싱부(1120)는 피사체(780)에서 반사되어 되돌아온 광(RX)을 수신하고 수신된 광(RX)을 전기적인 신호로 변환하여 거리 정보를 제공할 수 있다. 또한 센싱부(1120)는 입사광(예를 들어, 가시광선)을 전기적인 신호로 변환하여 컬러 영상 정보를 제공할 수 있다.
- [0209] 센싱부(1120)는 복수의 거리 픽셀들 및 복수의 컬러 픽셀들을 포함할 수 있다. 실시예에 따라서, 센싱부(1120)는 다양한 개수 비 및 사이즈 비로 거리 픽셀들 및 컬러 픽셀들을 포함할 수 있다. 예를 들어, 도 36에 도시된 것처럼 센싱부(1120a)는 거리 픽셀들(1121a) 및 컬러 픽셀들(1123a)을 포함할 수도 있고, 도 37에 도시된 것처럼 센싱부(1120b)는 거리 픽셀들(1121b) 및 컬러 픽셀들(1123b)을 포함할 수도 있다. 또한 센싱부(1120b)는 도 23의 단위 픽셀들을 포함할 수도 있다. 일 실시예에서, 적외선(또는 근적외선) 필터가 상기 거리 픽셀들 상에 형성되고, 컬러 필터(예를 들어, 레드, 그린 및 블루 필터들)가 상기 컬러 픽셀들 상에 형성될 수 있다.
- [0210] 제1 로우 구동부(1120a)는 상기 컬러 픽셀들의 각 로우에 연결되고, 상기 컬러 픽셀들의 각 로우를 구동하는 제1 구동 신호를 생성할 수 있다. 제2 로우 구동부(1120b)는 상기 거리 픽셀들의 각 로우에 연결되고, 상기 거리 픽셀들의 각 로우를 구동하는 제2 구동 신호를 생성할 수 있다. 제1 ADC부(1130a)는 상기 컬러 픽셀들의 각 컬럼에 연결되고, 상기 컬러 픽셀들의 각 컬럼으로부터 출력되는 제1 아날로그 신호를 제1 디지털 신호로 변환할 수 있다. 제2 ADC부(1130b)는 상기 거리 픽셀들의 각 컬럼에 연결되고, 상기 거리 픽셀들의 각 컬럼으로부터 출력되는 제2 아날로그 신호를 제2 디지털 신호로 변환할 수 있다. DSP부(1150)는 제1 및 제2 ADC부들(1130a, 1130b)로부터 출력된 제1 및 제2 디지털 신호들을 수신하고, 상기 제1 및 제2 디지털 신호들에 대하여 이미지 데이터 처리를 수행할 수 있다. 제어부(1160)는 제1 로우 구동부(1120a), 제2 로우 구동부(1120b), 제1 ADC부(1130a), 제2 ADC부(1130b), 광원부(1140) 및 DSP부(1150)를 제어할 수 있다.

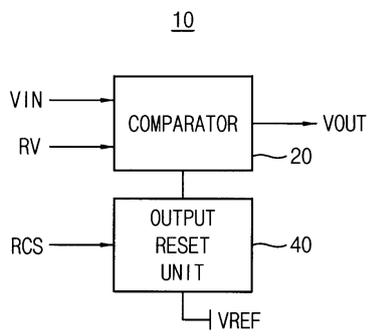
- [0211] 제1 ADC부(1130a) 및 제2 ADC부(1130b)는 각각 복수의 상관 이중 샘플링 회로들을 포함하고, 상기 상관 이중 샘플링 회로들 각각은 도 2의 상관 이중 샘플링 회로(10)로 구현되어 비교기(21)로 구성되는 샘플링부(20)와 리셋 스위치(41)로 구성되는 출력 리셋부(40)를 포함할 수 있다. 따라서 상기 CDS부는 램프 신호와 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호와 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호(RCS)에 기초하여 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시켜 비교기의 출력 안정화 시간을 감소시켜 동작 속도를 증가시킬 수 있다.
- [0212] 도 31은 본 발명의 실시예들에 따른 모바일 기기에서 사용되는 인터페이스의 일 예를 나타내는 블록도이다.
- [0213] 도 31을 참조하면, 모바일 기기(2000)는 MIPI 인터페이스를 사용 또는 지원할 수 있는 데이터 처리 장치(예를 들어, 휴대폰, 개인 정보 단말기, 휴대형 멀티미디어 플레이어, 스마트 폰 등)로 구현될 수 있고, 어플리케이션 프로세서(2111), 이미지 센서(2140) 및 디스플레이(2150) 등을 포함할 수 있다.
- [0214] 어플리케이션 프로세서(2111)의 CSI 호스트(2112)는 카메라 시리얼 인터페이스(Camera Serial Interface; CSI)를 통하여 이미지 센서(2140)의 CSI 장치(2141)와 시리얼 통신을 수행할 수 있다. 일 실시예에서, CSI 호스트(2112)는 광 디시리얼라이저(DES)를 포함할 수 있고, CSI 장치(2141)는 광 시리얼라이저(SER)를 포함할 수 있다. 어플리케이션 프로세서(2111)의 DSI 호스트(2112)는 디스플레이 시리얼 인터페이스(Display Serial Interface; DSI)를 통하여 디스플레이(2150)의 DSI 장치(2151)와 시리얼 통신을 수행할 수 있다. 일 실시예에서, DSI 호스트(2112)는 광 시리얼라이저(SER)를 포함할 수 있고, DSI 장치(2151)는 광 디시리얼라이저(DES)를 포함할 수 있다.
- [0215] 또한, 모바일 기기(2000)는 어플리케이션 프로세서(2111)와 통신을 수행할 수 있는 알에프(Radio Frequency; RF) 칩(2160)을 더 포함할 수 있다. 모바일 기기(2000)의 PHY(2113)와 RF 칩(2160)의 PHY(2161)는 MIPI(Mobile Industry Processor Interface) DigRF에 따라 데이터 송수신을 수행할 수 있다. 또한, 어플리케이션 프로세서(2111)는 PHY(2161)의 MIPI DigRF에 따른 데이터 송수신을 제어하는 DigRF MASTER(2114)를 더 포함할 수 있고, RF 칩(2160)은 DigRF MASTER(2114)를 통하여 제어되는 DigRF SLAVE(2162)를 더 포함할 수 있다.
- [0216] 한편, 모바일 기기(2000)는 지피에스(Global Positioning System; GPS)(2120), 스토리지(2170), 마이크(2180), 디램(Dynamic Random Access Memory; DRAM)(2185) 및 스피커(2190)를 포함할 수 있다. 또한, 모바일 기기(2000)는 초광대역(Ultra WideBand; UWB)(2210), 무선랜(Wireless Local Area Network; WLAN)(2220) 및 와이맥스(Worldwide Interoperability for Microwave Access; WIMAX)(2230) 등을 이용하여 통신을 수행할 수 있다. 다만, 모바일 기기(2000)의 구조 및 인터페이스는 하나의 예시로서 이에 한정되는 것이 아니다.
- [0217] 상술한 바와 같이 본 발명의 실시예들에 따른 상관 이중 샘플링 회로에서는 램프 신호와 입력 신호의 리셋 성분에 대한 제1 비교 동작이 수행되는 제1 비교 구간이 시작되기 이전의 제1 리셋 구간 및 램프 신호와 입력 신호의 이미지 성분에 대한 제2 비교 동작이 수행되는 제2 비교 구간이 시작되기 이전의 제2 리셋 구간 각각에서 활성화되는 리셋 제어 신호(RCS)에 기초하여 출력 신호(VOUT)를 기준 전압 레벨(RVEF)로 리셋시켜 비교기의 출력 안정화 시간을 감소시켜 동작 속도를 증가시킬 수 있다.

산업상 이용가능성

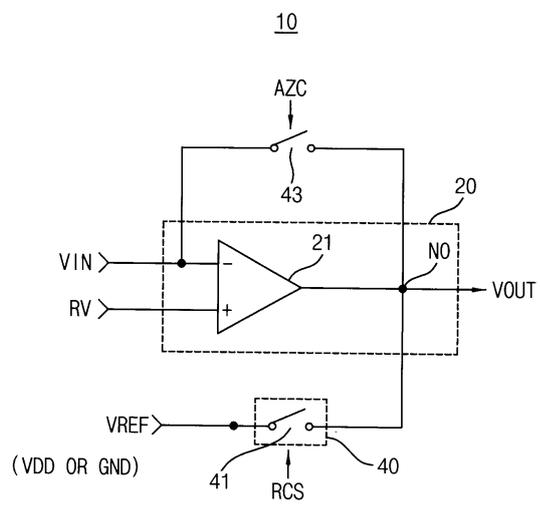
- [0218] 본 발명은 다양한 분야의 이미지 센서 및 이미지 시스템에서 이용될 수 있다. 예를 들어, 본 발명은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 캠코더(Camcoder), 개인용 컴퓨터(Personal Computer; PC), 서버 컴퓨터(Server Computer), 워크스테이션(Workstation), 노트북(Laptop), 디지털 TV(Digital Television), 셋-탑 박스(Set-Top Box), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템, 스마트 카드(Smart Card), 프린터(Printer) 등에 유용하게 이용될 수 있다.
- [0219] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다. 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

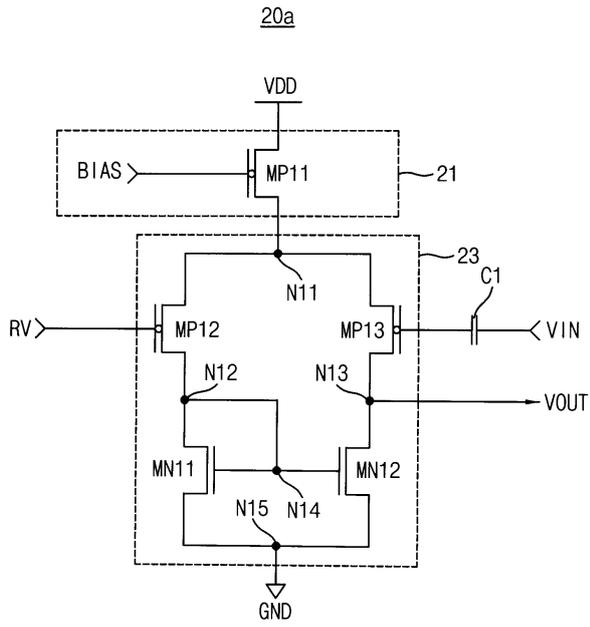
도면1



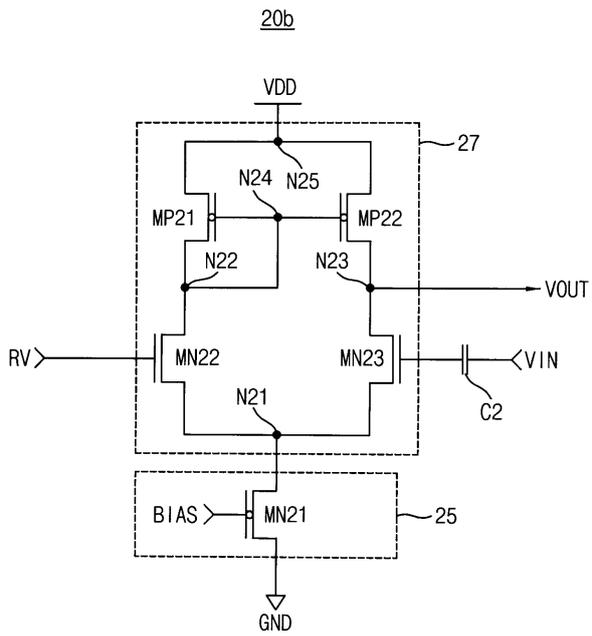
도면2



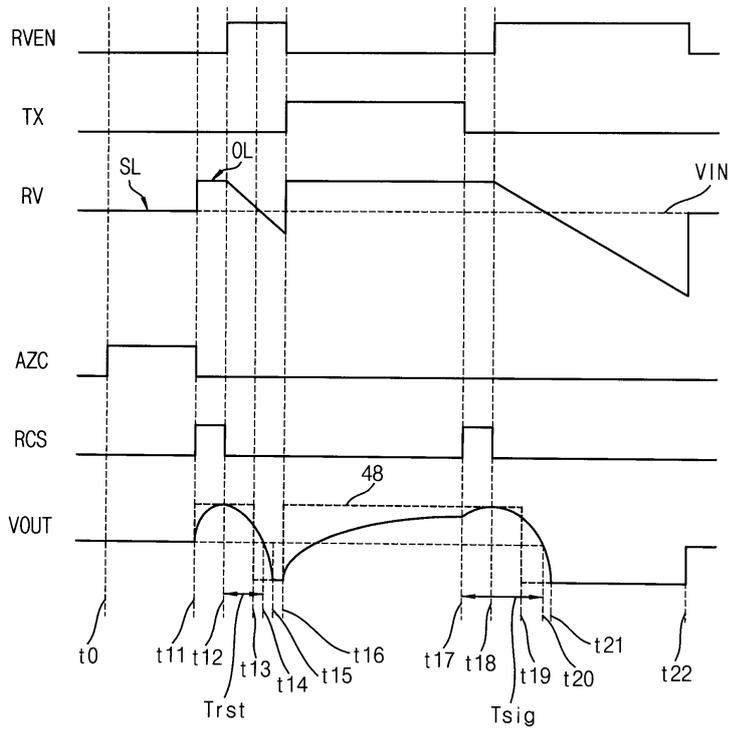
도면3



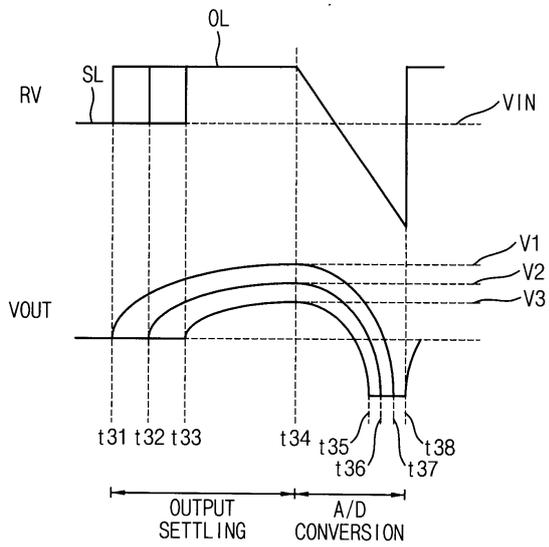
도면4



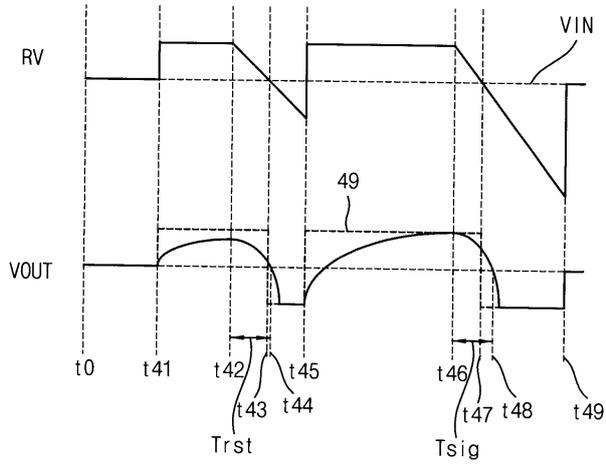
도면5



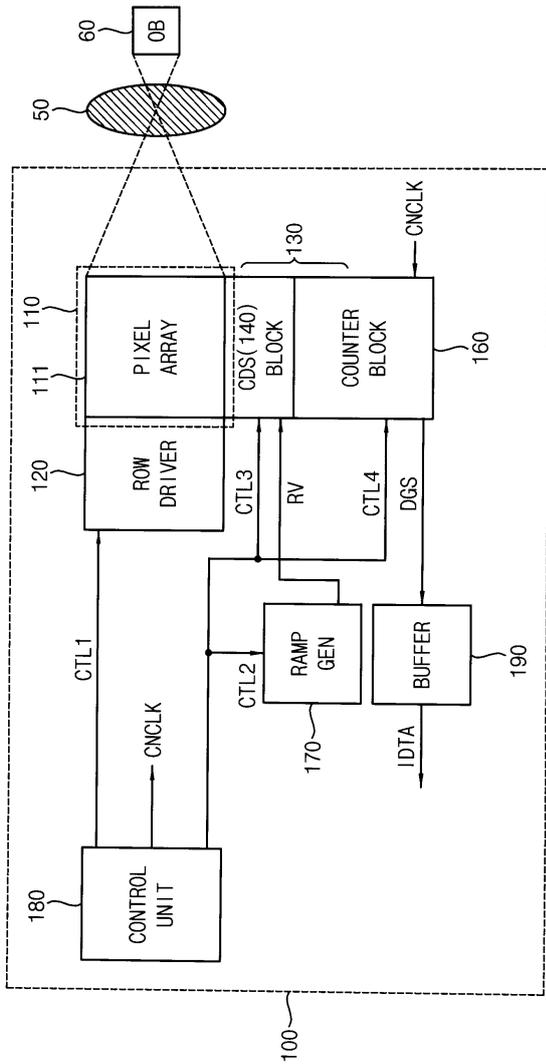
도면6



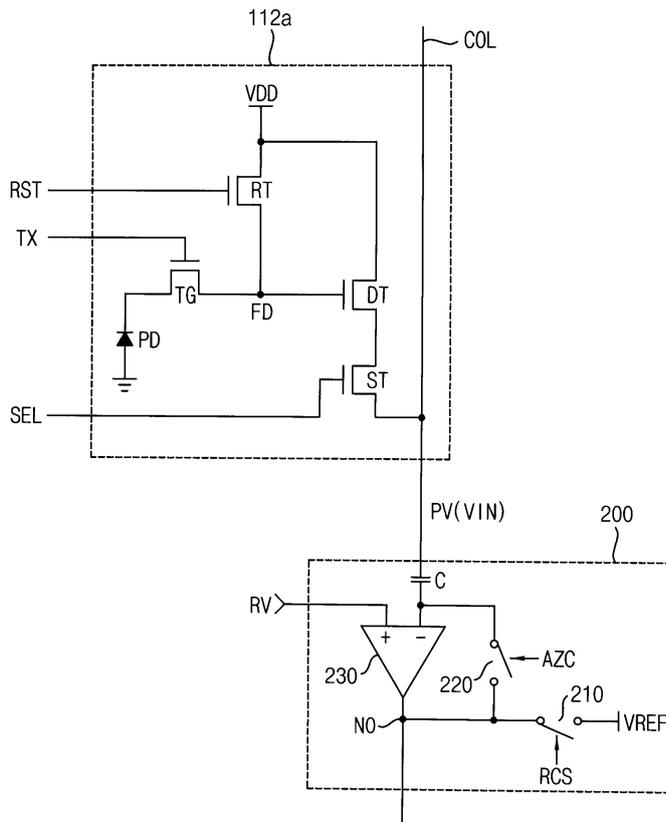
도면7



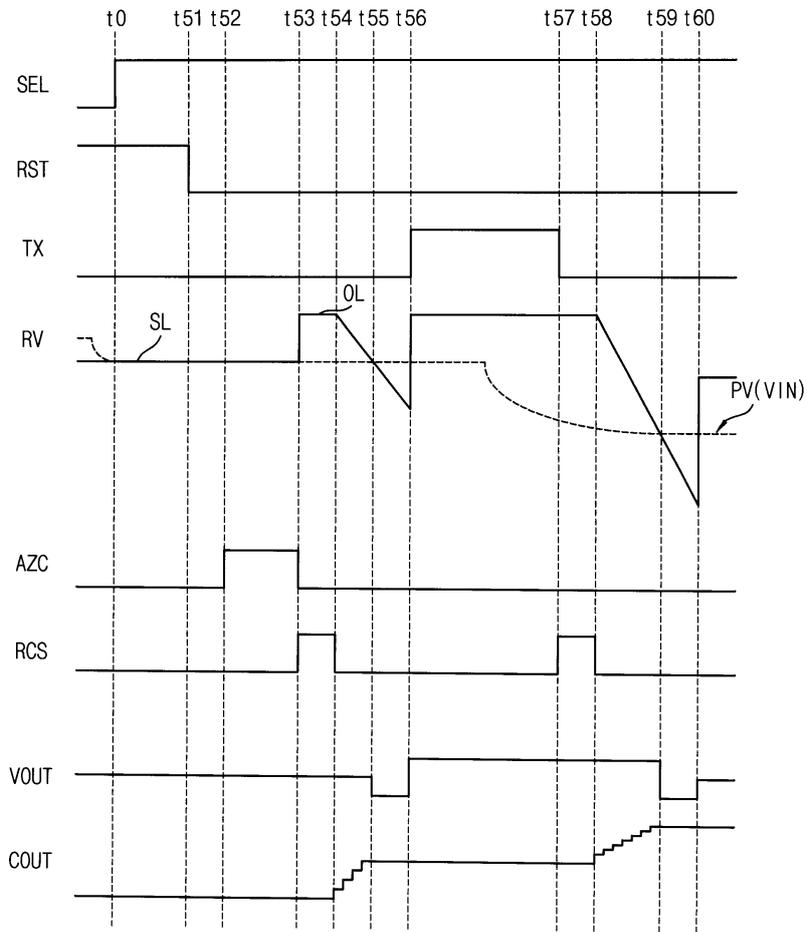
도면8



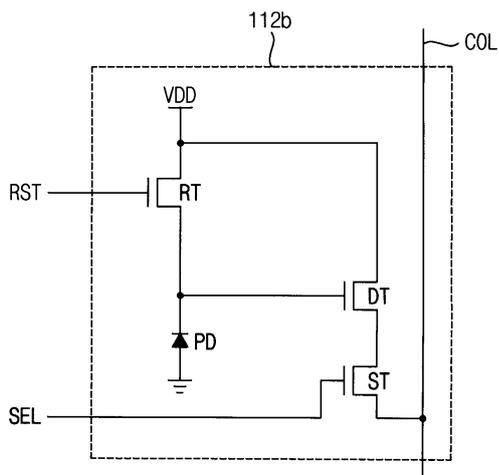
도면10



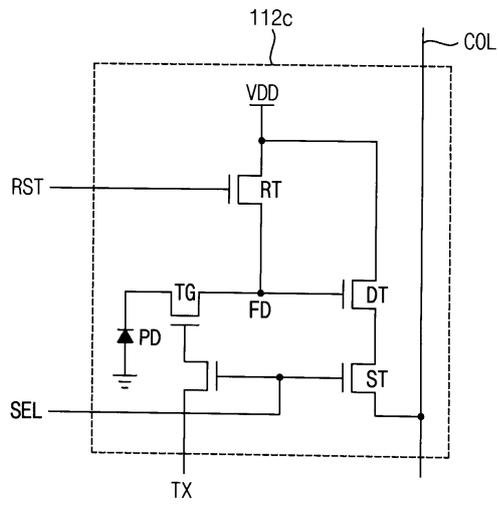
도면11



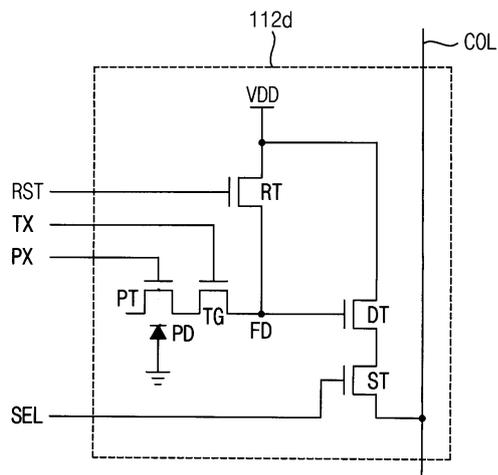
도면12



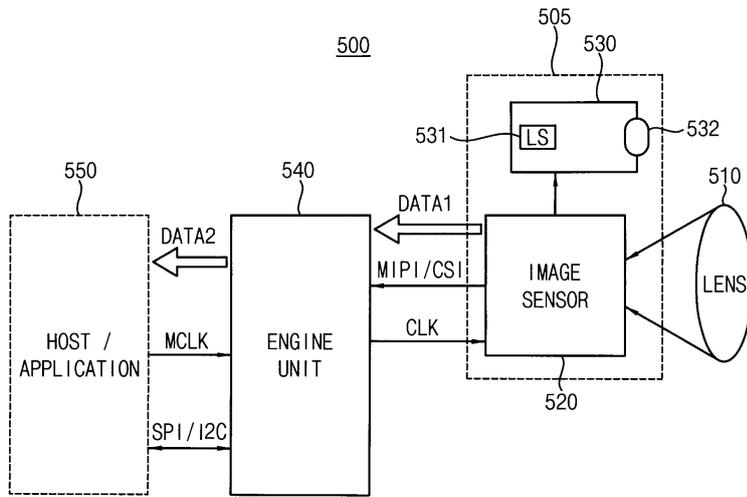
도면13



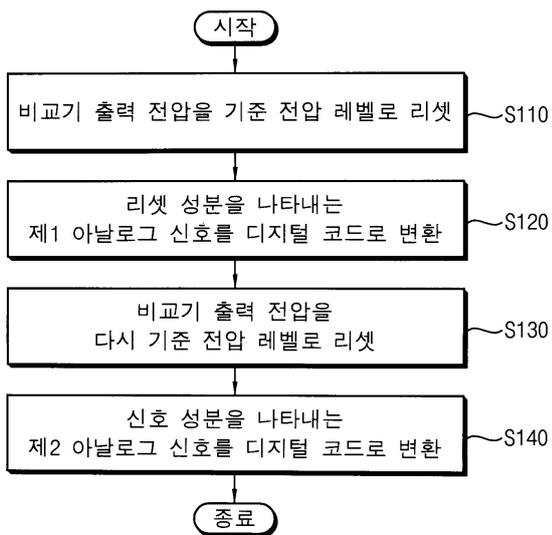
도면14



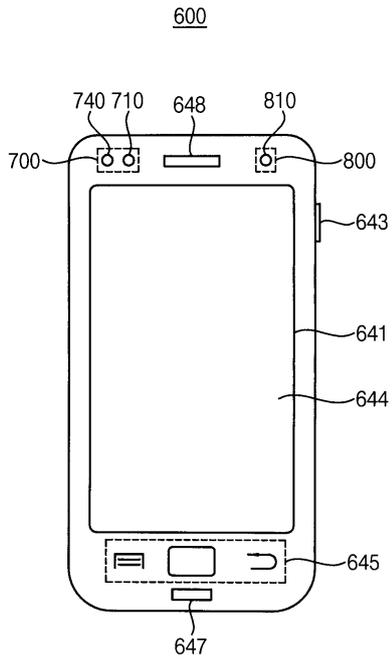
도면18



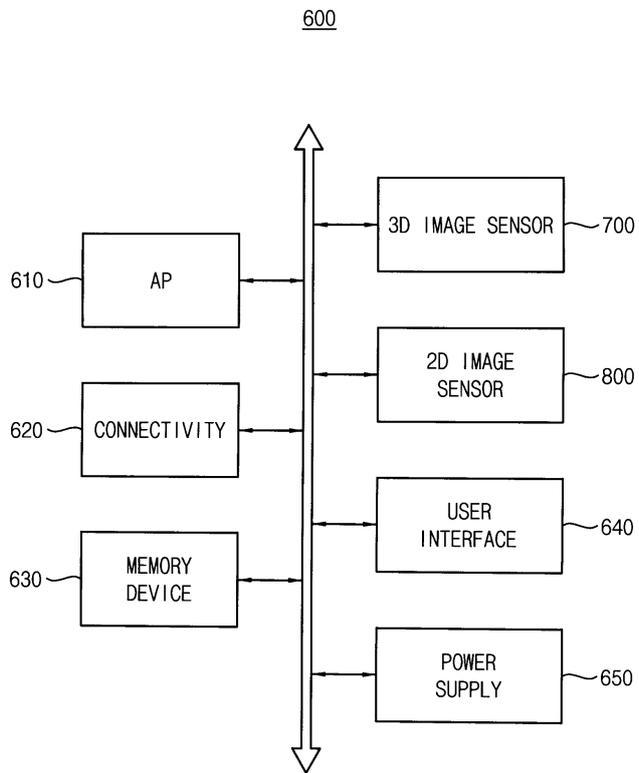
도면19



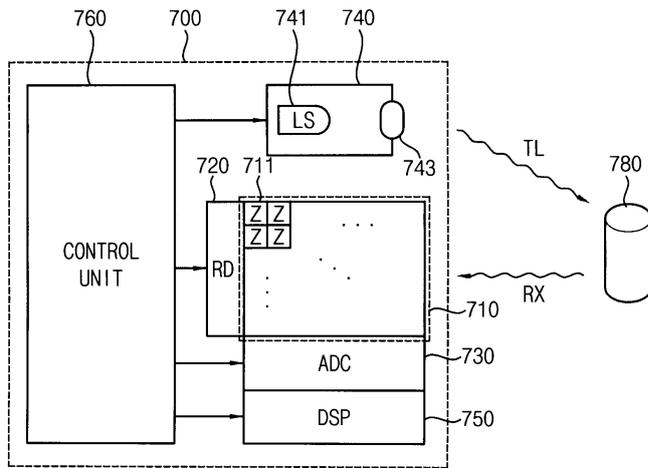
도면20



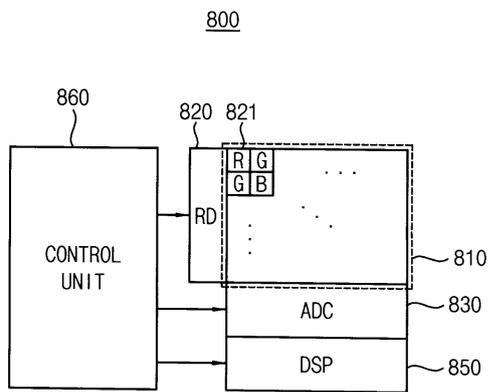
도면21



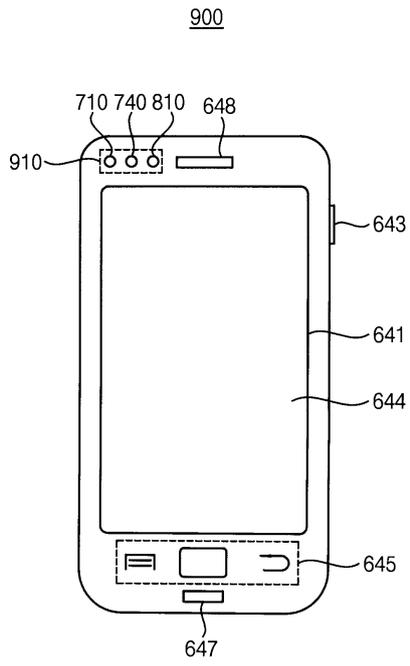
도면22



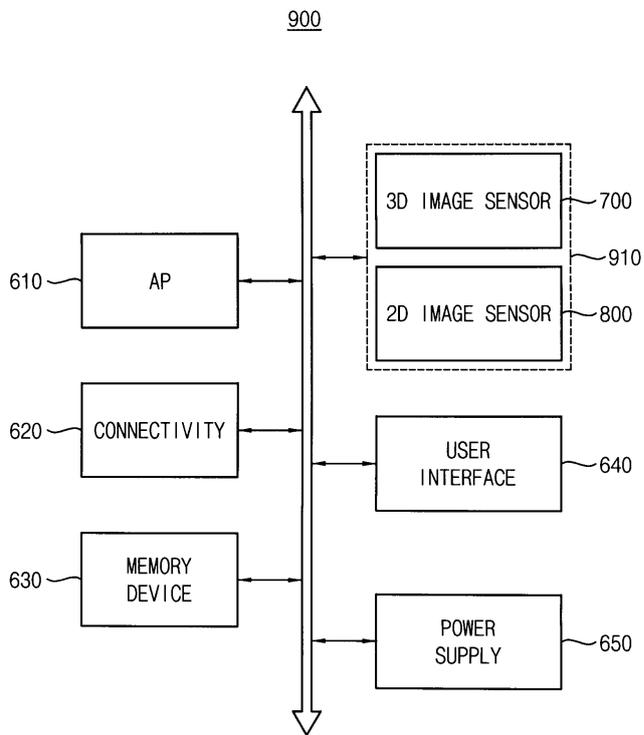
도면23



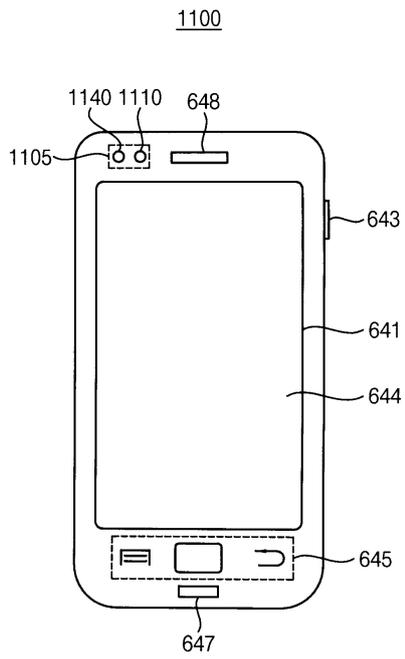
도면24



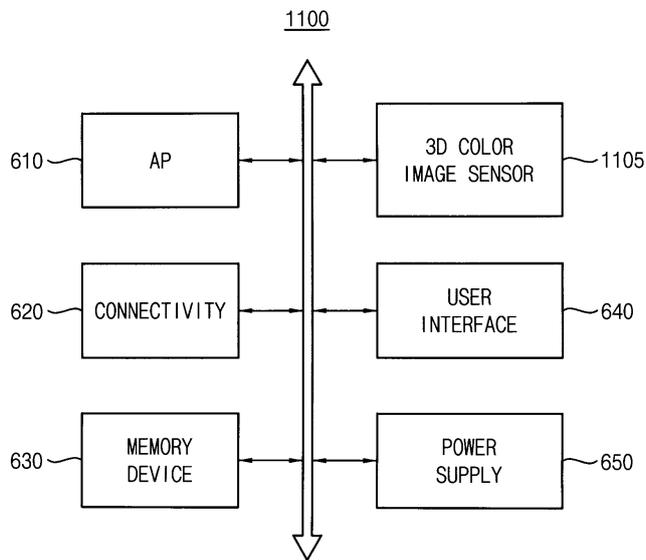
도면25



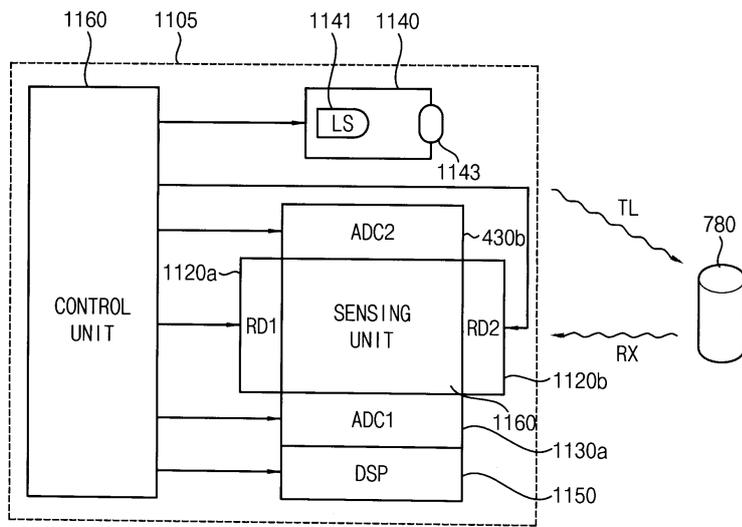
도면26



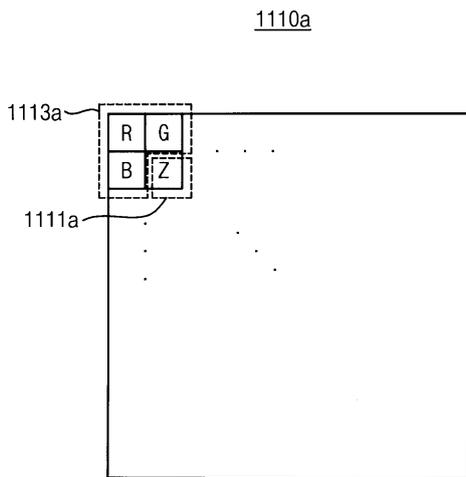
도면27



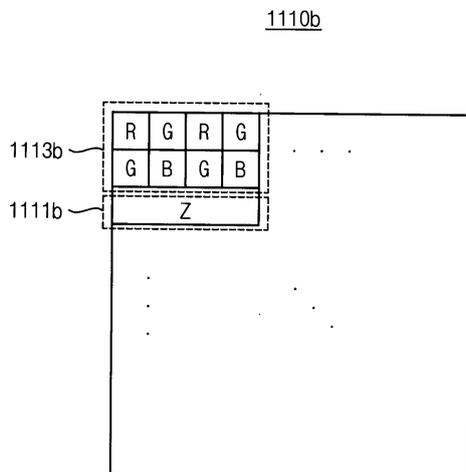
도면28



도면29



도면30



도면31

