

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-118645

(P2010-118645A)

(43) 公開日 平成22年5月27日(2010.5.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 E 3 1 7
HO 1 L 23/52 (2006.01)	HO 1 L 23/32 D	5 F 0 3 3
HO 1 L 23/32 (2006.01)	HO 1 L 25/08 Z	5 F 0 4 4
HO 1 L 25/065 (2006.01)	HO 1 L 21/60 3 1 1 S	
HO 1 L 25/07 (2006.01)	HO 5 K 1/11 N	

審査請求 未請求 請求項の数 12 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2009-194245 (P2009-194245)
 (22) 出願日 平成21年8月25日 (2009. 8. 25)
 (31) 優先権主張番号 特願2008-267870 (P2008-267870)
 (32) 優先日 平成20年10月16日 (2008. 10. 16)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000002897
 大日本印刷株式会社
 東京都新宿区市谷加賀町一丁目1番1号
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 前川 慎志
 東京都新宿区市谷加賀町一丁目一番一号
 大日本印刷株式会社内
 (72) 発明者 鈴木 美雪
 東京都新宿区市谷加賀町一丁目一番一号
 大日本印刷株式会社内
 Fターム(参考) 5E317 AA24 BB01 BB11 BB12 CC25
 CC33 GG11

最終頁に続く

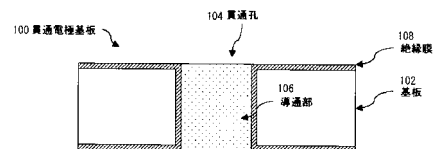
(54) 【発明の名称】 貫通電極基板及びその製造方法、並びに貫通電極基板を用いた半導体装置

(57) 【要約】

【課題】 基板の表裏を導通する導通部における電気特性を向上した貫通電極基板及びそれを用いた半導体装置を提供すること。

【解決手段】 本発明の貫通電極基板100は、表裏を貫通する貫通孔104を有する基板102と、貫通孔104内に充填される金属材料を含む導通部106と、を備え、導通部106は、面積重み付けした平均結晶粒径が13µm以上の金属材料を少なくとも含む。また、導通部106は、結晶粒径が29µm以上の金属材料を含む。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表裏を貫通する貫通孔を有する基板と、
前記貫通孔内に充填され、金属材料を含む導通部と、
を備え、
前記導通部は、面積重み付けした平均結晶粒径が $1.3 \mu\text{m}$ 以上の金属材料を少なくとも含むことを特徴とする貫通電極基板。

【請求項 2】

前記導通部は、結晶粒径が $2.9 \mu\text{m}$ 以上の金属材料を少なくとも含むことを特徴とする請求項 1 に記載の貫通電極基板。

10

【請求項 3】

前記導通部の一端は、前記導通部の他端より面積重み付けした平均結晶粒径が大きい金属材料を少なくとも含むことを特徴とする請求項 1 又は 2 に記載の貫通電極基板。

【請求項 4】

前記基板はシリコンからなり、
前記導通部は、少なくとも前記基板側に設けた絶縁層上に形成されていることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の貫通電極基板。

【請求項 5】

前記貫通孔の開口径は $10 \mu\text{m} \sim 100 \mu\text{m}$ であり、かつ前記基板の厚みは $20 \sim 100 \mu\text{m}$ であることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の貫通電極基板。

20

【請求項 6】

前記貫通孔の開口径は $10 \mu\text{m} \sim 100 \mu\text{m}$ であり、かつ前記基板の厚みは $300 \sim 800 \mu\text{m}$ であることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の貫通電極基板。

【請求項 7】

請求項 1 乃至 6 の何れか一に記載の貫通電極基板を複数有し、前記複数の貫通電極基板が積層されていることを特徴とする半導体装置。

【請求項 8】

接続端子部を備えた半導体チップを少なくとも 1 つ含み、
前記接続端子部と請求項 1 乃至 7 のいずれか一項に記載の貫通電極基板の導通部とを接続して構成された半導体装置。

30

【請求項 9】

基板に表裏を貫通する貫通孔を形成し、
前記基板及び前記貫通孔の表面に絶縁膜を形成し、
前記基板の少なくとも一方及び / 又は前記貫通孔に金属からなるシード膜を形成し、
前記シード膜にパルス電流を供給する電解めっき法により、前記貫通孔内に金属材料を充填することを特徴とする貫通電極基板の製造方法。

【請求項 10】

前記電解めっき法は、前記シード膜にプラス電圧とマイナス電圧を周期的に印加することによって行うことを特徴とする請求項 9 に記載の貫通電極基板の製造方法。

【請求項 11】

前記シード膜に第 1 の時間直流電流を供給する電解めっき法により、前記貫通孔に金属材料を形成した後、前記シード膜に第 2 の時間パルス電流を供給する電解めっき法により、前記貫通孔内に金属材料を充填することを特徴とする請求項 10 に記載の貫通電極基板の製造方法。

40

【請求項 12】

前記シード膜にパルス電流を供給する前記電解めっき法は、前記パルス電流の電流密度を大きくしながら前記貫通孔内に前記金属材料を充填する工程を含むことを特徴とする請求項 9 乃至 11 のいずれか一項に記載の貫通電極基板の製造方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、基板の表裏を貫通する貫通電極を備えた貫通電極基板及びその製造方法、並びに貫通電極基板を用いた半導体装置に関する。本明細書において、半導体装置とは、半導体特性を利用して機能し得る装置全般を指し、半導体集積回路、電子機器は半導体装置の範囲に含むものとする。

【背景技術】

【0002】

近年、電子機器の高密度、小型化が進み、LSIチップが半導体パッケージと同程度まで縮小化しており、LSIチップを2次元配置することのみによる高密度化は限界に達しつつある。そこで実装密度を上げるためにLSIチップを分け、それらを3次元に積層する必要がある。また、LSIチップを積層した半導体パッケージ全体を高速動作させるために積層回路同士を近づけ、積層回路間の配線距離を短くする必要がある。

10

【0003】

そこで、上記の要求に応えるべく、LSIチップ間のインターポーザとして基板の表裏を導通する導通部を備えた貫通電極基板が提案されている（特許文献1）。特許文献1によれば、貫通電極基板は、基板に設けられた貫通孔内部を電解めっきによって導電材（Cu）を充填することで形成される。

【先行技術文献】

【特許文献】

20

【0004】

【特許文献1】特開2006-54307号公報

【特許文献2】特開2006-147971号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

貫通電極基板を複数のLSIチップ間の接続あるいはLSIチップとMEMSデバイスなどとの間の接続に用いる場合には、電解めっきで形成された導通部において確実に導通性が確保できること、そして抵抗値が低いこと等の電気特性の向上が求められる。

【0006】

30

一方、貫通電極の製造工程において、ポイド（空隙）を低減する技術が特許文献2などに開示されている。しかしながら、特許文献2では、導通部の導通性確保に対するアプローチが検討されているが、導通部における電気特性に関して検討がなされていない。

【0007】

そこで、本発明は上記の課題を鑑みてなされたものであり、基板の表裏を導通する導通部における電気特性を向上した貫通電極基板及びそれを用いた半導体装置を提供することにある。

【課題を解決するための手段】

【0008】

40

本発明の一実施形態によると、表裏を貫通する貫通孔を有する基板と、前記貫通孔内に充填され、金属材料を含む導通部と、を備え、前記導通部は、面積重み付けした平均結晶粒径が13 μ m以上の金属材料を少なくとも含むことを特徴とする貫通電極基板が提供される。

【0009】

前記導通部は、結晶粒径が29 μ m以上の金属材料を少なくとも含むことが好ましい。

【0010】

前記導通部の一端は、面積重み付けした平均結晶粒径が13 μ mより小さい金属材料を含み、前記導通部の他端は、面積重み付けした平均結晶粒径が13 μ m以上の金属材料を少なくとも含むことが好ましい。

【0011】

50

前記基板はシリコンからなり、前記導通部は、少なくとも前記基板側に設けた絶縁層上に形成されているようにしてもよい。

【0012】

前記貫通孔の開口径は10 μ m~100 μ mであり、かつ前記基板の厚みは20~100 μ mであるのが好ましい。

【0013】

前記貫通孔の開口径は10 μ m~100 μ mであり、かつ前記基板の厚みは300~800 μ mであるのが好ましい。

【0014】

前記貫通電極基板を複数積層してもよい。

10

【0015】

接続端子部を備えた半導体チップを少なくとも1つ含み、前記接続端子部と前記貫通電極基板の導通部とを接続して半導体装置を構成してもよい。

【0016】

また、本発明の一実施形態によると、基板に表裏を貫通する貫通孔を形成し、前記基板及び前記貫通孔の表面に絶縁膜を形成し、前記基板の少なくとも一方の面及び/又は前記貫通孔に金属からなるシード膜を形成し、前記シード膜にパルス電圧を供給する電解めっき法により、前記貫通孔内に金属材料を充填する貫通電極基板の製造方法が提供される。

【0017】

前記電解めっき法は、前記シード膜にプラス電圧とマイナス電圧を周期的に印加することによって行うようにしてもよい。

20

【0018】

前記シード膜に第1の時間直流電流を供給する電解めっき法により、前記貫通孔に金属材料を形成した後、前記シード膜に第2の時間パルス電流を供給する電解めっき法により、前記貫通孔内に金属材料を充填するようにしてもよい。

【0019】

前記シード膜にパルス電流を供給する前記電解めっき法は、前記パルス電流の電流密度を段階的に上昇させて前記貫通孔内に前記金属材料を充填するようにしてもよい。

【発明の効果】

【0020】

本発明よれば、基板の表裏を導通する導通部における電気特性を向上した貫通電極基板及びその製造方法並びにそれを用いた半導体装置を提供することができる。

30

【図面の簡単な説明】

【0021】

【図1】一実施形態に係る本発明の貫通電極基板100の断面図である。

【図2】一実施形態に係る本発明の貫通電極基板100の製造工程を説明する図である。

【図3】一実施形態に係る本発明の貫通電極基板100の製造工程を説明する図である。

【図4】一実施形態に係る本発明の貫通電極基板100の貫通孔104に金属材料を充填するための電解めっきに用いるパルス電圧を説明する図である。

【図5】一実施形態に係る本発明の貫通電極基板100の貫通孔104に金属材料を充填するための電解めっきに用いるパルス電圧を説明する図である。

40

【図6】一実施形態に係る本発明の貫通電極基板100の貫通孔104に金属材料を充填するための電解めっきに用いる直流電圧を説明する図である。

【図7】EBS装置の構成を説明する図である。

【図8】EBSにより測定する試料測定の方法を説明する図である。

【図9】一実施形態に係る本発明の貫通電極基板100の導通部106金属材料の結晶粒径を測定した領域を示した図である。

【図10】実施例1に係る本発明の貫通電極基板100の導通部106の金属材料の面積重み付けした結晶粒径分布図である。

【図11】比較例1に係る貫通電極基板の導通部の金属材料の面積重み付けした結晶粒径

50

分布図である。

【図 1 2】比較例 2 に係る貫通電極基板の導通部の金属材料の面積重み付けした結晶粒径分布図である。

【図 1 3】実施例 1 に係る本発明の貫通電極基板 1 0 0 の導通部 1 0 6 の直流電流領域 1 0 6 b における金属材料の面積重み付けした結晶粒径分布図である。

【図 1 4】実施例 1 に係る本発明の貫通電極基板 1 0 0 の導通部 1 0 6 の直流 - パルス切替領域 1 0 6 c における金属材料の面積重み付けした結晶粒径分布図である。

【図 1 5】実施例 1 に係る本発明の貫通電極基板 1 0 0 の導通部 1 0 6 の電流初期領域 1 0 6 e における金属材料の面積重み付けした結晶粒径分布図である。

【図 1 6】実施例 1 に係る本発明の貫通電極基板 1 0 0 の導通部 1 0 6 のパルス電流後期領域 1 0 6 d における金属材料の面積重み付けした結晶粒径分布図である。

【図 1 7】電解めっき法による充填めっきの成長速度ばらつき及び膜厚を示す模式図である。

【図 1 8】一実施形態に係る本発明の貫通電極基板 1 0 0 の貫通電極基板 1 0 0 の導通部 1 0 6 のめっきの膜厚 d の測定位置を示す模式図である。

【図 1 9】本発明に係る貫通電極基板 1 0 0 上に L S I チップが積層された半導体装置及び本発明に係る貫通電極基板 1 0 0 を積層した積層型貫通電極基板 3 0 0 を説明するための断面図である。

【図 2 0】物理量センサにより検出される加速度の変位信号を処理する加速度処理回路の一例を示す図である。

【図 2 1】センサモジュールを実装したモバイル端末機の一例を示す図である。

【発明を実施するための形態】

【0 0 2 2】

以下、図面を参照して本発明に係る貫通電極基板及びその製造方法について説明する。但し、本発明の貫通電極基板は多くの異なる態様で実施することが可能であり、以下に示す実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、本実施の形態及び実施例で参照する図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0 0 2 3】

(1 . 貫通電極基板の構成)

図 1 は本実施形態に係る本発明の貫通電極基板 1 0 0 の断面図である。本実施形態に係る本発明の貫通電極基板 1 0 0 は、コアとなる基板 1 0 2 の表裏を貫通する貫通孔 1 0 4 を備えている。貫通孔 1 0 4 の内部には導通部 1 0 6 が形成されている。基板 1 0 2 はシリコンなどの半導体材料からなり、後述するがエッチング、レーザー、サンドブラストなどの方法により貫通孔 1 0 4 が形成されている。基板 1 0 2 の厚みは例えば 1 0 ~ 8 0 0 μm であるが、これに限定されるものではない。なお、図 1 においては、説明の便宜上、貫通孔 1 0 4 を 1 つしか示していないが、基板 1 0 2 に複数の貫通孔 1 0 4 が形成され、それぞれの貫通孔 1 0 4 に導通部 1 0 6 が形成されるようにしてもよい。また、好ましくは、3 0 0 ~ 8 0 0 μm 、又は 2 0 ~ 1 0 0 μm の範囲の厚さの基板を用途に合わせて適宜選択すればよい。

【0 0 2 4】

本実施形態において、貫通孔 1 0 4 の内壁及び基板 1 0 2 の表面には電気絶縁性確保のための絶縁膜 1 0 8 が設けられている。絶縁膜 1 0 8 は例えば SiO_2 からなり、熱酸化法、CVD法などにより形成される。絶縁膜 1 0 8 の厚みは 0 . 1 ~ 2 μm 程度であり、十分な絶縁性が確保できればその厚みは特に限定されない。

【0 0 2 5】

本実施形態においては、貫通孔 1 0 4 の開口径は 1 0 ~ 1 0 0 μm 程度である。なお、貫通孔 1 0 4 の開口径はこれに限定されるわけではなく、貫通電極基板 1 0 0 の用途等に応じて適宜設定し得る。

【0 0 2 6】

10

20

30

40

50

本実施形態において、導通部 106 は貫通電極基板 100 の表裏の導通をとる配線であり、金属材料を含む導電材料が充填されている。本実施形態においては、導通部 106 は、後述するように電解めっきにより金属材料が充填される。導通部 106 に用いる金属材料としては、例えば、銅を用いることができる。

【0027】

本実施形態に係る本発明の貫通電極基板 100 において、導通部 106 の金属材料は、後述するとおり、面積重み付けした平均結晶粒径が $13\ \mu\text{m}$ 以上の結晶粒を含んでいる。また、本実施形態に係る本発明の貫通電極基板 100 において、導通部 106 の金属材料は、後述するとおり、最大結晶粒径が $29\ \mu\text{m}$ 以上の結晶粒を含んでいる。本実施形態に係る本発明の貫通電極基板 100 において、上記構成により導通部 106 での電気特性を向上することができる。

10

【0028】

(2. 貫通電極基板 100 の製造方法)

ここで、図 2 及び図 3 を参照して本実施形態に係る本発明の貫通電極基板 100 の製造方法について説明する。

【0029】

(2-1. 貫通電極基板 100 の製造方法 1)

(1) 基板 102 の準備及び貫通孔 104 の穿設 (図 2 (A))

本実施形態においては、シリコンからなる基板 102 を準備する。基板 102 の厚みは特に限定されないが、 $300\sim 800\ \mu\text{m}$ である。基板 102 の一方の面側にレジスト、シリコン酸化膜、シリコン窒化膜、金属などから選択されるマスク (図示せず) を形成した後、そのマスクを介して基板 102 を厚み方向にエッチングし、貫通孔 104 を形成する。エッチング方法としては RIE 法、DRIE 法などを用いることができる。なお、基板 102 に対して表裏貫通する貫通孔 104 をエッチングのみで形成してもよいし、基板 102 に有底孔を形成した後バックグラインドにより研磨して開口させることによって貫通孔 104 を形成してもよい。研磨により、基板 102 の厚みを $300\ \mu\text{m}$ 以下にしてもよい。

20

【0030】

(2) 絶縁膜 108 の形成 (図 2 (B))

基板 102 の表面に絶縁膜 108 を形成する。本実施形態においては、絶縁膜 108 は酸化シリコン膜であり、熱酸化法あるいは CVD 法により形成する。絶縁膜 108 には、酸化シリコン膜の他、窒化シリコン膜、窒化酸化シリコン膜、それらの積層膜などを用いてもよい。

30

【0031】

(3) シード層の形成 (図 2 (C))

基板 102 の少なくとも一方の面にシード層 110 を形成する。シード層 110 は基板 102 側に Ti 層、その上に Cu 層 (以下、Cu/Ti 層)、Cu 層/TiN 層又は Cu/Cr 層などにより構成される。本実施形態においては、シード層 110 には Cu/Cr 層を用いる。シード層 110 の成膜方法は、PVD、スパッタ法などから適宜選択できる。シード層 110 に用いる金属材料は、導通部 106 の金属材料によって適宜選択することができる。シード層 110 は、電解メッキによって導通部 106 を形成するためのシード部及び給電部となる。

40

【0032】

(4) 導通部 106 の形成 (図 2 (D))

電解めっき法を用いてシード層 110 に給電し、貫通孔 104 内に金属材料を充填していく。本実施形態においては、貫通孔 104 に充填する金属材料として、銅 (Cu) を用いる。本実施形態においては、図 4 又は図 5 に示すように、シード層 110 に電流をパルス状に供給する電解めっき法によって、貫通孔 104 内に金属材料を充填する。図 4 に示すパルス電流の供給方法は、極性を反転させないパルス電流をシード層 110 に供給する方法である。また、図 5 に示すパルス電流の供給方法は、周期的に極性を反転させたパルス

50

電流をシード層 110 に印加する方法である。図 5 に示すパルス電流の供給によるめっき方法は、P R C (Periodical Reversed Current) 法と呼ばれ、シード層 110 にプラス電圧とマイナス電圧を周期的に印加することによって、シード層 110 に流れる電流を一定の周期でフォワード (めっきされる側、即ちシード層 110 側がマイナス電位となる状態 (正電流が流れる状態)) とリバース (めっきされる側、即ちシード層 110 側がプラス電位となる状態 (負電流が流れる状態)) とを切り替えて行うめっき方法の一つであり、好ましいめっき方法の一つである。また、本実施形態のパルス電流による電解めっきにおいては、印加電圧、供給電流、電流密度、パルス切り替え時間 (デューティ比) を適宜選択することができる。また、印加電圧、電流密度、パルス切り替え時間 (デューティ比) を電解めっきの途中で変化させてもよい。パルス電流を供給することによってシード層 110 に流れる電流は、正電圧が印加されているときには 0.5 A 以上 1.5 A 以下の電流が流れ、負電圧が印加されているときには -6 A 以上 -2 A 以下の電流が流れるようにしてもよい。

10

20

30

40

50

【0033】

なお、パルス電流を供給する前に、図 6 に示すように、一定の直流電流をシード層 110 に供給する電解めっき法により、シード層 110 が形成されている面の貫通孔 104 の底部に蓋状の金属層を形成するようにしてもよい。貫通孔 104 に充填する金属材料としては、Cu の他、金 (Au)、ロジウム (Rh)、銀 (Ag)、白金 (Pt)、スズ (Sn)、アルミニウム (Al)、ニッケル (Ni)、クロム (Cr) 等の金属及びこれらの合金などから選択され組み合わせた材料を用いることができる。

【0034】

直流電流を供給して蓋状の金属層を形成した場合には、パルス電流に切り替えた初期段階には一定時間は電流密度を小さくし、徐々に (例えば、経過時間に対して段階的に又は比例的に) 電流密度を大きくしていく方法が好ましい。直流電流を供給して蓋状の金属層を形成すると、金属層の成長は貫通孔 104 に接する部分において速くなる傾向にある。そのため、蓋状の金属層は中心部に向かって窪んだ形状となる。パルス電流に切り替えた初期段階に、小さな電流密度のパルス電流を一定時間供給することで、この窪部を平坦化するような金属層の成長が生じると考えられる。このような電解めっき法を用いることで、電気特性に優れた貫通電極を得られるとともに、貫通電極基板の製造性も向上する。

【0035】

(5) 不要な部分の除去 (図 2 E)

シード層 110 及び導通部 106 の不要部をエッチングあるいは C M P (Chemical Mechanical Polishing: 化学機械研磨) により除去することにより、導通部 106 を形成する。以上のプロセスによって、本実施形態に係る本発明の貫通電極基板 100 を得ることができる。

【0036】

(2-2. 貫通電極基板の製造方法 2)

ここでは、本実施形態に係る本発明の貫通電極基板 100 の製造方法の別の例について説明する。上述の貫通電極基板 100 の製造方法 1 と同様の構成については、改めて説明しない場合がある。なお、ここで説明する本実施形態に係る本発明の貫通電極基板 100 の製造方法 2 は、貫通孔の深さが比較的浅い場合 (例えば、20 μm ~ 100 μm 程度) の又は厚さが 20 ~ 100 μm 程度の薄い貫通電極基板を得たい場合によく用いられる。

【0037】

(1) 基板 102 の準備及び孔の形成 (図 3 (A))

基板 102 の一方の面側にレジスト、シリコン酸化膜、シリコン窒化膜、金属などから選択されるマスク (図示せず) を形成した後、そのマスクを介して基板 102 を厚み方向にエッチングし、基板 102 を貫通しない有底孔 112 を形成する。エッチング方法としては R I E 法、D R I E 法などを用いることができる。

【0038】

(2) 絶縁膜 108 の形成 (図 3 (B))

基板 102 の表面に絶縁膜 108 を形成する。

【0039】

(3) シード層の形成 (図3(C))

絶縁膜 108 が形成されている基板 102 面にシード層 114 を形成する。このシード層 114 は、図3(C)に示すように、孔 112 の内部にも形成する。シード層 114 は、上述のシード層 110 と同様、Cu層/Ti層などにより構成される。シード層 114 は、シード層 110 と同様、電解メッキによって導通部 106 を形成するためのシード部及び給電部となる。シード層 114 は、MOCVD法、スパッタ法又は蒸着法等によって形成される。

【0040】

(4) 導通部 106 の形成 (図3(D))

電解めっき法を用いてシード層 114 に給電し、孔 112 内に金属材料を充填していく。本実施形態の貫通電極基板の製造方法 2 においても、貫通電極基板の製造方法 1 と同様、図4又は図5に示すように、シード層 110 に電流をパルス状に供給する電解めっき法によって、貫通孔 112 内に金属材料を充填する。なお、パルス電流を供給する前に、図6に示すように、一定の直流電流をシード層 110 に供給してもよい。本実施形態においては、孔 112 に充填する金属材料として、銅(Cu)を用いた。貫通孔 104 に充填する金属材料としては、銅の他、金(Au)、ロジウム(Rh)、銀(Ag)、白金(Pt)、スズ(Sn)、アルミニウム(Al)、ニッケル(Ni)、クロム(Cr)等の金属及びこれらの合金などから選択され組み合わせられた材料を用いることができる。

【0041】

(5) 不要な部分の除去 (図3(E))

シード層 114 及び導通部 106 の不要部をエッチングあるいはCMPにより除去する。また、孔 112 が形成されている側と反対側の基板 102 面をバックグラインドによって導通部 106 の表面が露出するまで研磨することにより、導通部 106 を形成する。研磨により、基板 102 の厚さを薄くしてもよい。以上のプロセスによって、本実施形態に係る本発明の貫通電極基板 100 を得ることができる。

【0042】

(実施例 1)

以下、本発明の貫通電極基板 100 の実施例について説明する。厚さ 650 μm の基板 102 を洗浄後、基板 102 の一方の面側にレジストを塗布し、露光、現像することにより、マスク (図示せず) を形成する。その後、そのマスクを介して基板 102 を厚み方向にDRIE法によりエッチングし、430 μm の有底孔 112 を形成する (図2(A))。レジストからなるマスクを除去した後、バックグラインドにより400 μm の厚さとなるまで基板 102 を研磨する。

【0043】

基板 102 を洗浄後、熱酸化法により基板 102 の表面に厚さ 1 μm の熱酸化膜を形成する。その後、LPCVD法により、厚さ 200 nm の窒化シリコン膜を形成する。これら熱酸化膜及び窒化シリコン膜が絶縁膜 108 を構成する (図2(B))。

【0044】

基板 102 の一方の面に厚さ 30 nm のCrと厚さ 200 nm のCuを順に蒸着することによりシード層 110 を形成する (図2(C))。

【0045】

その後、基板 102 をアッシングする。次に、図6に示す直流電流の供給による電解めっき法を用いて、シード層 110 に給電し、シード層 110 が形成されている面の貫通孔 104 の底部に蓋状の金属層を形成する。本実施例 1 においては、電流 1.54 A、電流密度 1 A / dm^2 の直流電流を供給したその後、図5に示すパルス電圧の印加による電解めっき法を用いて、シード層 110 に給電し、貫通孔 104 内にCuを充填する (図2(D))。パルス切り替え時間は、正電流を 80 msec、負電流を 2 msec 供給するようにした。正電流が供給されているときには 1.05 A の電流が流れ (電流密度 3 A / dm^2

10

20

30

40

50

)、負電流が供給されているときには - 4.2 A の電流 (電流密度 - 1.2 A / dm²) が流れた。

【0046】

なお、図5に示すパルス電流の供給による電解めっき法によってCuを充填し始める際、最初の1時間程度は小さな電流を供給し、正電流が供給されているときには0.35 Aの電流が流れ(電流密度1 A / dm²)、負電流が供給されているときには-1.4 Aの電流(電流密度-4 A / dm²)が流れるようにした。このような電解めっき法を用いることで、電気特性に優れた貫通電極を得られるとともに、貫通電極基板の製造性も向上した。

【0047】

基板102を洗浄後、シード層110及び導通部106の不要部をCMPにより除去することにより、導通部106を形成する。以上のプロセスによって、本実施例に係る本発明の貫通電極基板100を得ることができた。

10

【0048】

(3. 後方散乱電子線回折法 (Electron backscatter diffraction Pattern: EBSD) による結晶状態の分析)

ここで、図7及び図8を参照して、本実施形態に係る導通部106の金属材料の結晶粒径の分析に用いる後方散乱電子線回折法 (Electron backscatter diffraction Pattern: EBSD) について説明する。

【0049】

(3-1. EBSDの説明)

20

(結晶粒径の測定)

本実施形態に係る本発明の貫通電極基板100の導通部106を構成する金属材料の結晶粒径の測定は、EBSD法によって行う。図7はEBSD装置の構成を説明する図である。また、図8はEBSD装置により測定する試料測定概念を説明する図である。本実施形態に係る導通部106の結晶粒径を測定するにあたっては、貫通部106の断面部に電子線212が照射されるように調節する。

【0050】

EBSD装置200は、走査型電子顕微鏡 (SEM: Scanning Electron Microscopy) 202に専用の検出器204を設け、一次電子の後方散乱電子から結晶方位を分析する手法である。具体的には、電子銃210から出射される電子線212を鏡体214を通して試料室205内の試料台206に載置された結晶構造を持った試料208に入射させる(照射する)と、試料208で非弾性散乱が起こり、後方散乱電子216が発生する。その中には試料208中でブラッグ回折による結晶方位に特有の線状パターン(一般的に菊地像と呼ばれる)も合わせて観察される。この後方散乱電子216をスクリーン218を通してSEM202の検出器204で検出する。そして、検出された菊地像を解析することにより試料208の結晶粒径を求めることができる。

30

【0051】

各結晶粒径が異なった結晶構造の場合には、試料208に照射する電子線の位置を移動させつつ結晶粒径測定を繰り返す(マッピング測定)ことで、面状の試料208について結晶粒径の情報を得ることができる。結晶粒の面積(A)は結晶粒の数(N)に測定のステップサイズ(s)で決まる測定点の面積をかけて算出する。EBSD測定では測定点を六角形として表わすことで、結晶粒の面積(A)は以下の式(1)で表すことができる。

40

【0052】

$$A = N \cdot \frac{\sqrt{3}}{2} s^2 \quad \dots (1)$$

【0053】

結晶粒径(D)は結晶粒の面積(A)と等しい面積を持つ円の直径として計算する。結晶粒径(D)は以下の式(2)で表すことができる。

【0054】

$$D = \left(\frac{4A}{\pi} \right)^{1/2} \quad (\text{但し、}\pi\text{は円周率)} \quad \dots (2)$$

【0055】

50

本明細書で定義する「結晶粒径」とは、以上のようにして測定した値を指すものとする。また、結晶粒径の測定においては、エッジグレイン (Edge Grain) を含むものとする。

【0056】

次に、実施例1による本発明の貫通電極基板100の導通部106を構成する金属材料、並びに比較例1及び2 (プロセスの詳細については後述する) による貫通電極基板の導通部を構成する金属材料をEBSD測定した結果について説明する。ここでは、それぞれの導通部を構成する金属材料の断面をアルゴンイオンにより加工する、いわゆるイオンポリッシュ法によって測定試料を作製した。また、EBSD測定における測定ポイントは、それぞれ、図9に示す導通部の深さ方向中央部106a辺りである。

【0057】

図10は実施例1による本発明の貫通電極基板100の導通部106を構成する金属材料の結晶の面積重み付けした結晶粒径分布図である。結晶粒径(D)を横軸にとり、面積率(Rs)を縦軸にとったヒストグラムによって、導通部106を構成する結晶粒径の最大値、および平均値を算出できる。

【0058】

ここで、面積率Rs (結晶粒径を含む割合 (面積重み付け)) は、測定領域の面積 (Sm) を用いて、以下の式(3)で表すことができる。

【0059】

$$R_s = A \times (N / S_m) \quad \dots (3)$$

【0060】

図10に示すヒストグラムの横軸は結晶粒径の値(D)、縦軸(area fraction)はその値の結晶粒を含む割合を面積重み付けして示している。例えば図10の縦軸の0.15は割合15%を意味している。そして、各結晶粒径(D)に対して、その割合(Rs)を掛けたものを積算すると以下の式(4)のとおり面積重み付けした平均結晶粒径(Ds)が決まる。

【0061】

$$D_s = \{ R_s \times D \} \quad \dots (4)$$

【0062】

本実施例においては、結晶粒径の測定において、測定領域を有限 (本実施例では50 μm × 150 μmの領域) とするため、所望の領域から上記面積領域を切出して観測することになる。測定領域の縁 (Edge) に含まれた結晶粒 (Grain) を含んだ値を本明細書では結晶粒径としている。また、分析結果は誤差を含んでいるため、小数点以下を考慮せず、切り捨てした数値を用いることにする。

【0063】

測定条件は以下のとおりである。

使用した分析装置

SEM 日本電子製 JSM-7000FEBSDTSL社製 OIM ソフトウェア Ver. 4.6

観察条件

EBSD測定

加速電圧 25 kV

試料傾斜角 70°

測定ステップ 0.3 μm

【0064】

実施例1による本発明の貫通電極基板100の導通部106の金属材料の最大粒径は29 μm、平均粒径 (面積重み付け) は13 μmであった。導通部106の電気特性を評価した結果、実施例1による本発明の貫通電極基板100の導通部106の抵抗値は3.15 × 10⁻⁴ であったことから導通部106は優れた電気特性を有し、優位性があることが確認された。

【0065】

10

20

30

40

50

一方、比較例 1（比較例 1 において貫通孔に金属材料を充填する前までの工程については実施例 1 と同様であるので、実施例 1 における貫通部 106 の直径及び長さ（即ち基板の厚さ）と比較例 1 における貫通部の直径及び長さ（即ち基板の厚さ）とは、同一である。）による貫通電極基板の導通部を構成する金属材料の結晶の面積重み付けした結晶粒径分布図を図 11 に示す。比較例 1 による貫通電極基板の導通部を構成する金属材料の最大粒径は $10 \mu\text{m}$ 、平均粒径（面積重み付け）は $2 \mu\text{m}$ であった。比較例 1 による貫通電極基板の導通部 106 の抵抗値は 7.25×10^{-3} であったことから、導通部の電気特性は実施例 1 に比して劣ることがわかる。

【0066】

よって、実施例 1 による本発明の貫通電極基板 100 の導通部 106 の抵抗は、比較例 1 の導通部の抵抗と比較して $1/23$ にまで小さくなった。

10

【0067】

また、比較例 2 による貫通電極基板の導通部を構成する金属材料の結晶の面積重み付けした結晶粒径分布図を図 12 に示す。比較例 2 による貫通電極基板の導通部を構成する金属材料の最大粒径は $11 \mu\text{m}$ 、平均粒径（面積重み付け）は $2 \mu\text{m}$ であった。比較例 2 による貫通電極基板の導通部の抵抗値を測定するために、図 3 に示したように、シード層 114 及び導通部 106 の不要部を除去し、孔 112 が形成されている側と反対側の基板 102 面を導通部 106 の表面が露出するまで研磨した。比較例 2 による貫通電極基板の導通部 106 の抵抗値は 1.08×10^{-3} であったことから、導通部の電気特性は実施例 1 に比して劣ることがわかる。

20

【0068】

ここで、実施例 1、比較例 1 及び比較例 2 における最大粒径及び平均粒径を纏めると、以下の表のとおり示すことができる。

【表 1】

	平均粒径（面積重み付け） [μm]	最大粒径 [μm]
実施例 1	13	29
比較例 1	2	10
比較例 2	2	11

30

【0069】

以上の結果により、貫通電極基板 100 の導通部 106 の平均粒径（面積重み付け）が $13 \mu\text{m}$ 以上のとき、抵抗値が小さく、導通部 106 は優れた電気特性を有することがわかる。これは、貫通電極基板 100 の導通部 106 の金属粒径が大きいと、抵抗が小さくなるためであると考えられる。また、貫通電極基板 100 の導通部 106 の最大粒径が $29 \mu\text{m}$ 以上のとき、抵抗値が小さく、導通部 106 は優れた電気特性を有することがわかる。

40

【0070】

ここで、実施例 1 について、直流電流を供給することにより蓋状の金属層を形成した導通部 106 の金属充填開始側と、パルス電流を供給することによって金属材料を充填した金属充填終了側について、結晶粒径を測定して比較した。

【0071】

図 9 は、導通部 106 に充填した金属材料の結晶粒径を測定した領域を示した図である。測定領域は、めっき開始側から直流電流領域 106 b、直流 - パルス切替領域 106 c およびパルス電流後期領域 106 d とする。直流電流領域 106 b では、基板 102 に接す

50

る部分の充填速度が速い傾向にあり、直流電流からパルス電流への切替えの境界では、導通部 106 の中心部が窪んだような金属材料の結晶の充填状態となる。

【0072】

導通部 106 の直流電流領域 106 b では、図 13 に示したように、面積重み付けした平均粒径は $1.92 \mu\text{m}$ であった。直流 - パルス切替領域 106 c では、図 14 に示したように、面積重み付けした平均粒径は $4.82 \mu\text{m}$ であった。しかし、直流 - パルス切替領域 106 c のパルス電流初期領域 106 e では、図 15 に示したように、面積重み付けした平均粒径は $5.84 \mu\text{m}$ であり、直流電流領域に比して平均粒径は顕著に大きくなっていることがわかる。さらに、パルス電流後期領域 106 d においては、図 16 に示したように、面積重み付けした平均粒径は $23.58 \mu\text{m}$ となり、 $50 \mu\text{m}$ 以上の粒径を有する結晶も生じていた。

10

【0073】

以下、上述した比較例 1 及び 2 について説明する。

(比較例 1)

貫通孔に金属材料を充填する前までの工程については、実施例 1 と同様である。熱酸化膜形成前の基板 102 の厚さは $400 \mu\text{m}$ であった。基板にシード層を形成した後、電解めっき法を用いて図 6 に示す直流電流をシード層に供給し、導通部に金属材料を充填する。このときの電流は 1.54 A (電流密度 $1 \text{ A} / \text{d m}^2$) であった。その後の工程は実施例 1 と同様であった。

【0074】

20

(比較例 2)

貫通孔に金属材料を充填する前までの工程については、2 - 2 . 貫通電極基板の製造方法 2 と同様である基板にシード層を形成した後、電解めっき法を用いて図 6 に示す直流電流をシード層に供給し、導通部に金属材料を充填する。このときの電流は 1.54 A (電流密度 $1 \text{ A} / \text{d m}^2$) であった。その後の工程は実施例 1 と同様であった。熱酸化膜形成前の基板 102 の厚さは $70 \mu\text{m}$ であった。

【0075】

実施例 1 および比較例 1 はそれぞれ電解めっき法を用いており、図 17 に示すように、充填めっきの成長速度は、貫通電極基板の導通部ごとに異なる。電解めっき法においては、図 17 (a) に示すとおり、貫通孔 104 のシード 110 側に金属材料による蓋めっき 107 を形成し、続いて図 17 (b) に示すように、金属材料を充填する。ここで、「蓋めっき」とは、電解めっきの初期段階において、シード層表面に金属材料が析出し、電解密度の高い貫通孔の開口部に集中的に金属材料が析出することにより、貫通孔の開口部を閉塞するように形成される金属層のことをいう。電解めっき法により、蓋めっき 107 から貫通孔 104 の上方に向かって金属層が成長する。このとき、金属層の成長速度は貫通孔 104 ごとに異なってしまう。

30

【0076】

電解めっき法による金属材料の充填は、絶縁膜 108 と貫通孔 104 に充填されためっきとの段差を測定しながら行い、図 17 (c) に示すような成長が最も遅い貫通孔 104 における金属層の上面と基板 102 の絶縁膜 108 の表面との段差がなくなった時点で終了する。すべての貫通孔 104 に金属層が充填された貫通電極基板について、図 17 (d) に示すように貫通電極基板からはみ出して成長した金属層の膜厚 d をいくつかの導通部について測定して比較した。

40

【0077】

実施例 1 および比較例 1 について、図 18 に示す 9 つの測定点 (A ~ I) の導通部について膜厚 d を測定した。実施例 1 については 3 枚の基板について測定を行い、比較例 1 については 4 枚の基板を用いて測定を行った。それらの測定結果を表 2 に示す。

【表 2】

	実施例 1			比較例 1			
	1	2	3	1	2	3	4
ばらつき (%)	13	10	8	50	69	69	62

【0078】

膜厚のばらつきは、膜厚の平均を ave 、膜厚の最大値を Max 、最小値を Min として、 $\{(Max-Min)/ave/2 \times 100\}$ で表す。表 2 に示したように、実施例 1 では膜厚のばらつきは各基板間のばらつきを見ても 10% 前後と小さいのに対して、比較例 1 では膜厚のばらつきは 50% 以上で 70% 近い大きなばらつきを示す基板もあった。つまり、実施例 1 のパルス電流を供給することによる金属層の成長は、比較例 1 の直流電流の供給による金属層の成長に比してばらつきの少ない均一な成長を実現できるという優れた効果を奏する。

10

【0079】

(実施形態 2)

本実施形態 2 においては、実施形態 1 に係る本発明の貫通電極基板 100 上に LSI チップが積層された半導体装置の例及び実施形態 1 に係る本発明の貫通電極基板 100 を複数層積層した半導体装置の例について説明する。なお、実施形態 1 と同様の構成や製造方法については、ここでは改めて説明しない。

20

【0080】

図 19 (A) 及び (B) を参照する。図 19 (A) には、3 つの実施形態 1 に係る本発明の貫通電極基板 100 が積層された本実施形態に係る半導体装置が示されている。貫通電極基板 100 には DRAM 等の半導体素子が形成されている。3 つの貫通電極基板 100 は積層され、バンプ 302 を介して互いに接続されている。貫通電極基板 100 は、それぞれに形成された DRAM を電氣的に接続するインターポーザとしての役割を果たしている。3 層に積層された貫通電極基板 100 は、バンプ 302 を介して LSI 基板 304 に接続される。なお、積層する貫通電極基板 100 の数は 3 層に限定されない。バンプ 304 には、In (インジウム)、Cu、Au 等の金属を用いることができる。また、貫通電極基板 100 同士の接合には、主として、ポリイミド、BCB (ベンゾシクロブテン) などの樹脂を用いて、塗布、焼成して接着してもよい。また、貫通電極基板 100 同士の接合には、エポキシ樹脂を用いてもよい。さらに、貫通電極基板 100 同士の接合には、プラズマ活性化による接合、共晶接合などを用いてもよい。

30

【0081】

本実施形態のように本発明の貫通電極基板 100 が積層した場合、本発明の貫通電極基板 100 の導通部 106 (貫通孔) の抵抗を R_i 、積層し接続する本発明の貫通電極基板 100 の積層数を N とすると、直列に接続される導通部 106 (貫通孔) 全体の抵抗は $N \times R_i$ となり、導通部 106 (貫通孔) の抵抗を小さくすることができる。

40

【0082】

図 19 (B) には、MEMS デバイスや CPU、メモリ等の LSI チップ (半導体チップ) 306-1 及び 306-2 が搭載された貫通電極基板 100 を有する半導体装置の例を示す。LSI チップ 306-1 及び 306-2 の接続端子である電極パッド 308-1 及び 308-2 がそれぞれバンプ 304 を介して貫通電極基板 100 の導通部 106 と電氣的に接続されている。LSI チップ 306-1 及び 306-2 が搭載された貫通電極基板 100 は、LSI 基板 306 に搭載され、LSI 基板 306 と LSI チップ 306-1 とがワイヤボンディングによって接続されている。例えば、LSI チップ 306-1 を 3 軸加速度センサとし、LSI チップ 306-2 を 2 軸磁気センサとすることによって、5 軸モーションセンサを一つのモジュールで実現することができる。このように、実施形態 1

50

に係る本発明の貫通電極基板 100 は、複数の L S I チップ同士を 3 次元実装するためのインターポーザとして用いることができる。

【0083】

また、実施形態 1 に係る本発明の貫通電極基板 100 は、上述したように導通部 106 の抵抗値が小さく電気特性が向上しており、その結果、貫通電極基板 100 を半導体装置に用いたときの導通部 106 で生じる発熱量を小さくすることができる。これにより、貫通電極基板 100 を高密度実装した半導体装置を実現することができる。

【0084】

(実施形態 3)

本実施形態 3 においては、上述の実施形態 1 及び 2 の貫通電極基板に搭載される L S I チップとして、M E M S デバイスを用いる場合について説明する。本実施形態においては、M E M S デバイスは、物理量センサ 302 - 1 を例にとって説明する。

【0085】

以下、物理量センサ 302 - 1 により検出される加速度の変位信号を処理する処理回路について説明する。

【0086】

< 処理回路 >

上記物理量センサ 302 - 1 により検出される加速度の変位信号を処理する各処理回路の構成例について図 20 を参照して説明する。

【0087】

図 20 は、物理量センサ 302 - 1 により検出される加速度の変位信号を処理する加速度処理回路 400 の回路構成を示す図である。この場合、物理量センサはピエゾ抵抗型加速度センサである。図 20 において、加速度処理回路 400 は、増幅回路 401 と、サンプルホールド回路 (S / H) 402 ~ 404 と、出力抵抗 R o u t と、キャパシタ C x , C y , C z と、から構成される。なお、図中の X 軸出力、Y 軸出力、Z 軸出力は、印加される加速度に応じて物理量センサ 302 - 1 から出力される X 軸方向、Y 軸方向、Z 軸方向の各変位信号である。なお、出力抵抗 R o u t とキャパシタ C x , C y , C z は、加速度信号に対応する周波数成分を通過させるローパスフィルタとして機能する。

【0088】

増幅回路 401 は、印加される加速度に応じて物理量センサ 302 - 1 から出力される X 軸方向、Y 軸方向、Z 軸方向の各変位信号 (静電容量変化) を所定の増幅率で増幅してサンプルホールド回路 402 ~ 404 にそれぞれ出力する。サンプルホールド回路 402 は、増幅回路 401 で増幅された X 軸方向変位信号を所定のタイミングでサンプル / ホールドして出力抵抗 R o u t 及びキャパシタ C x を介して X 方向の加速度検出信号 X o u t を出力する。サンプルホールド回路 403 は、増幅回路 401 で増幅された Y 軸方向変位信号を所定のタイミングでサンプル / ホールドして出力抵抗 R o u t 及びキャパシタ C y を介して Y 方向の加速度検出信号 Y o u t を出力する。サンプルホールド回路 404 は、増幅回路 401 で増幅された Z 軸方向変位信号を所定のタイミングでサンプル / ホールドして出力抵抗 R o u t 及びキャパシタ C z を介して Z 方向の加速度検出信号 Z o u t を出力する。

【0089】

この物理量センサ 302 - 1 と処理回路 400 等を実装した本発明の貫通電極基板 100 又は本発明の積層型貫通電極基板 300 は、センサモジュールとして携帯情報端末や携帯電話などに搭載される。図 21 は、物理量センサ 302 - 1 と処理回路 400 等を実装した本発明の貫通電極基板 100 又は本発明の積層型貫通電極基板 300 を実装した半導体装置の一例である携帯型情報端末 500 の一例を示す図である。図 21 において、携帯型情報端末 500 は、筐体 501、ディスプレイ部 502 と、キーボード部 503、から構成される。センサモジュールは、キーボード部 502 の内部に実装されている。携帯型情報端末 500 は、その内部に各種プログラムを記憶し、各種プログラムにより通信処理や情報処理等を実行する機能を有する。この携帯型情報端末 500 では、物理量センサ 30

10

20

30

40

50

2 - 1 と処理回路 4 0 0 等が実装されたセンサモジュールにより検出される加速度や角速度をアプリケーションプログラムで利用することにより、例えば、落下時の加速度を検出して電源をオフさせる等の機能を付加することが可能になる。

【 0 0 9 0 】

上記のように物理量センサ 3 0 2 - 1 と処理回路 4 0 0 等が実装されたセンサモジュールをモバイル端末機に実装することにより、新たな機能を実現することができ、モバイル端末機の利便性や信頼性を向上させることが可能になる。

【 符号の説明 】

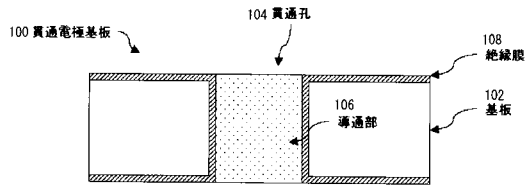
【 0 0 9 1 】

- 1 0 0 : 貫通電極基板
- 1 0 2 : 基板
- 1 0 4 : 貫通孔
- 1 0 6 : 導通部
- 1 0 6 a : 中央部
- 1 0 6 b : 直流電流領域
- 1 0 6 c : 直流 - パルス切替領域
- 1 0 6 d : パルス電流後期領域
- 1 0 6 e : パルス電流初期領域
- 1 0 7 : 蓋めっき
- 1 0 8 : 絶縁膜
- 1 1 0 : シード層
- 3 0 2 : バンプ
- 3 0 4、3 0 6 : L S I 基板
- 3 0 6 - 1、3 0 6 - 2 : チップ
- 3 0 8 - 1、3 0 8 - 2 : 電極パッド

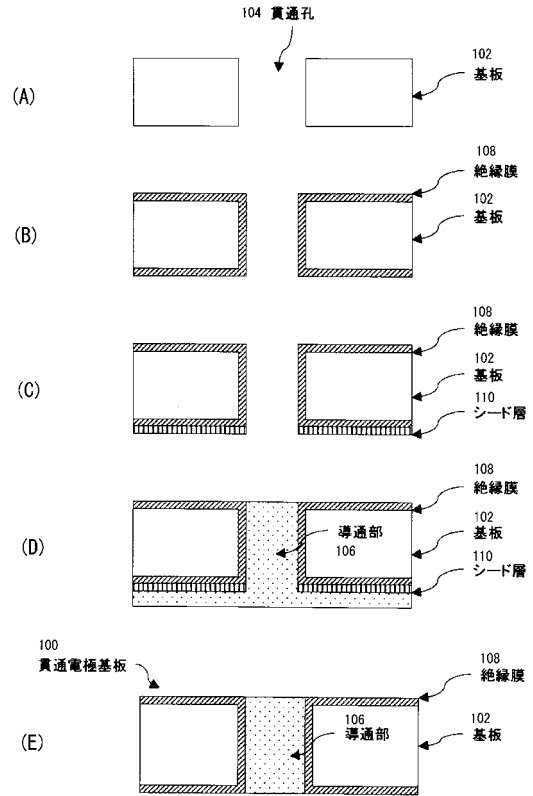
10

20

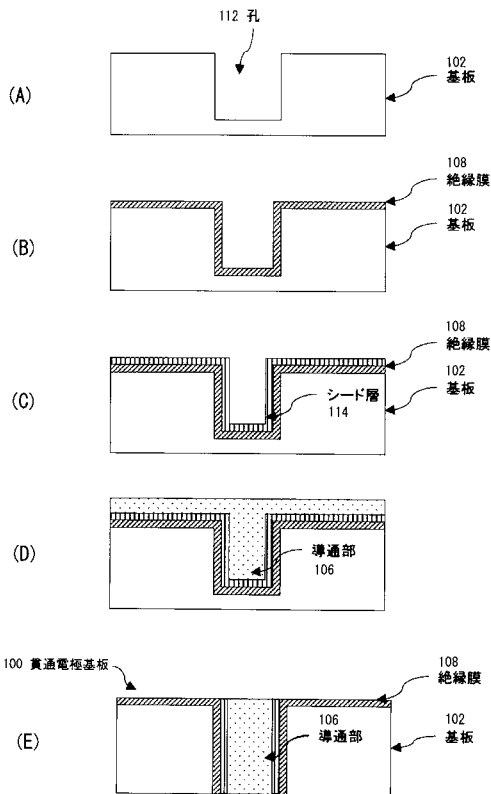
【 図 1 】



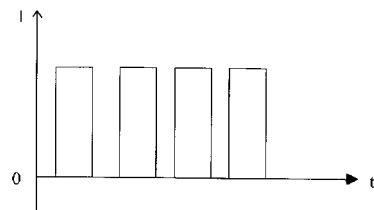
【 図 2 】



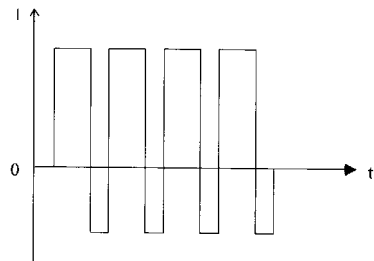
【 図 3 】



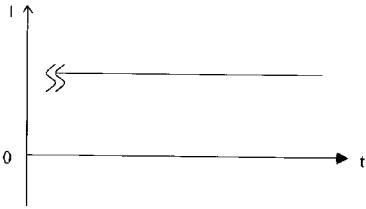
【 図 4 】



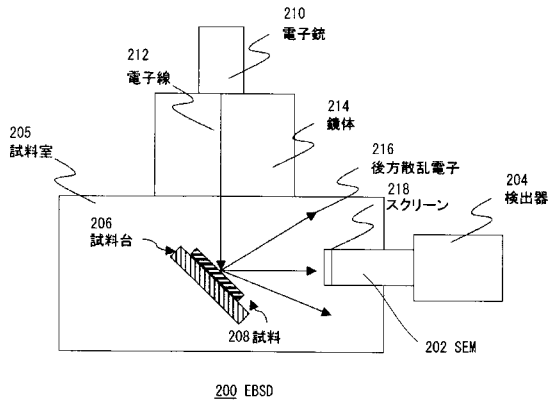
【 図 5 】



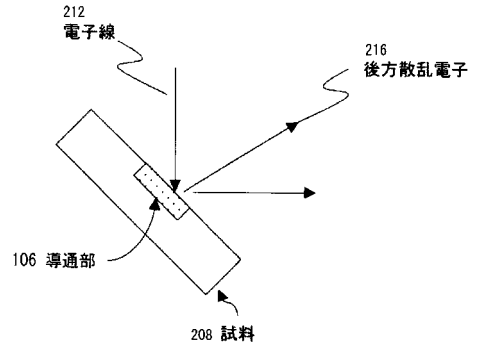
【図6】



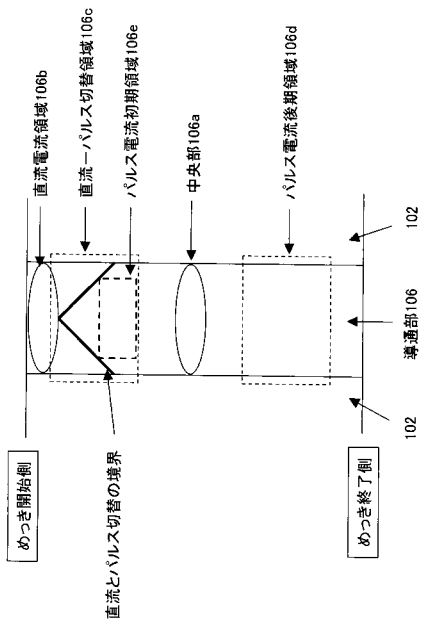
【図7】



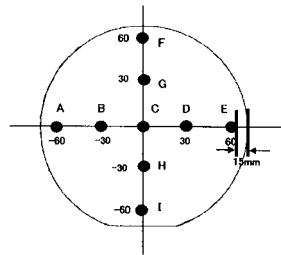
【図8】



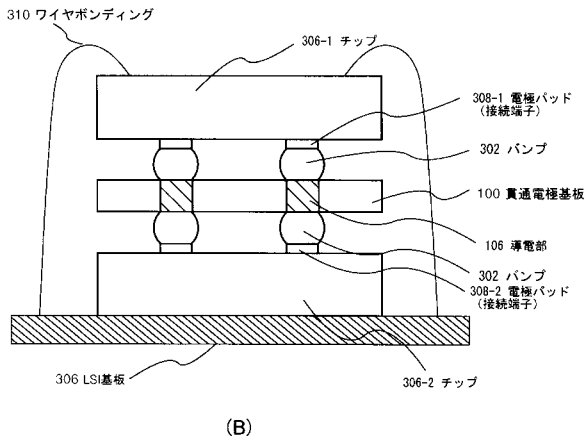
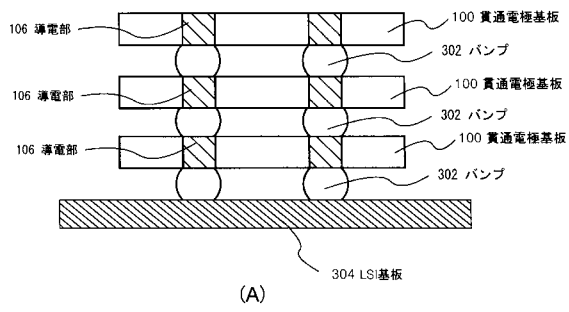
【図9】



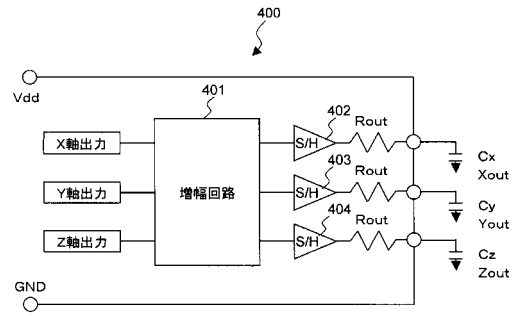
【図18】



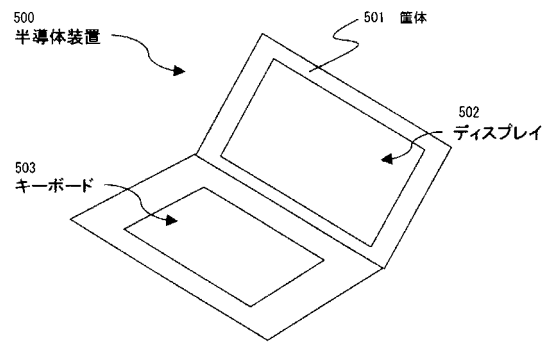
【図19】



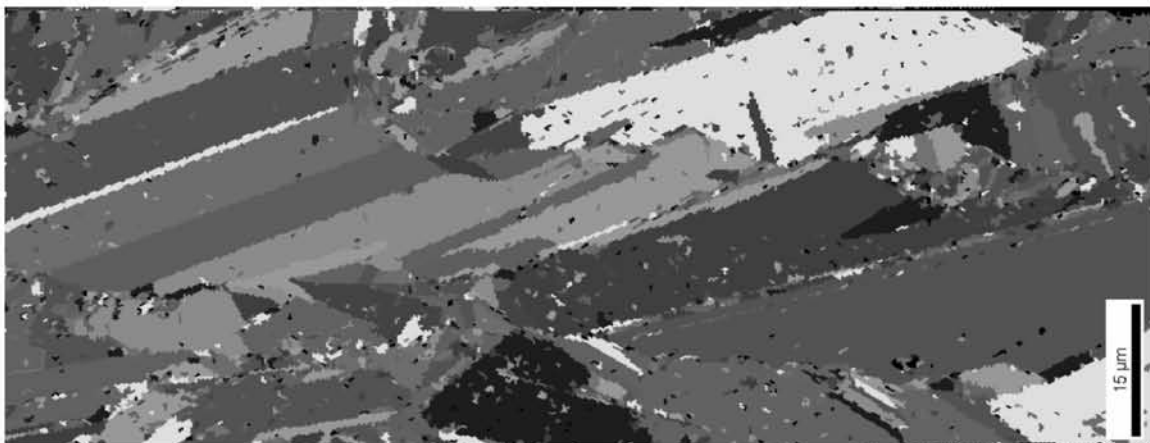
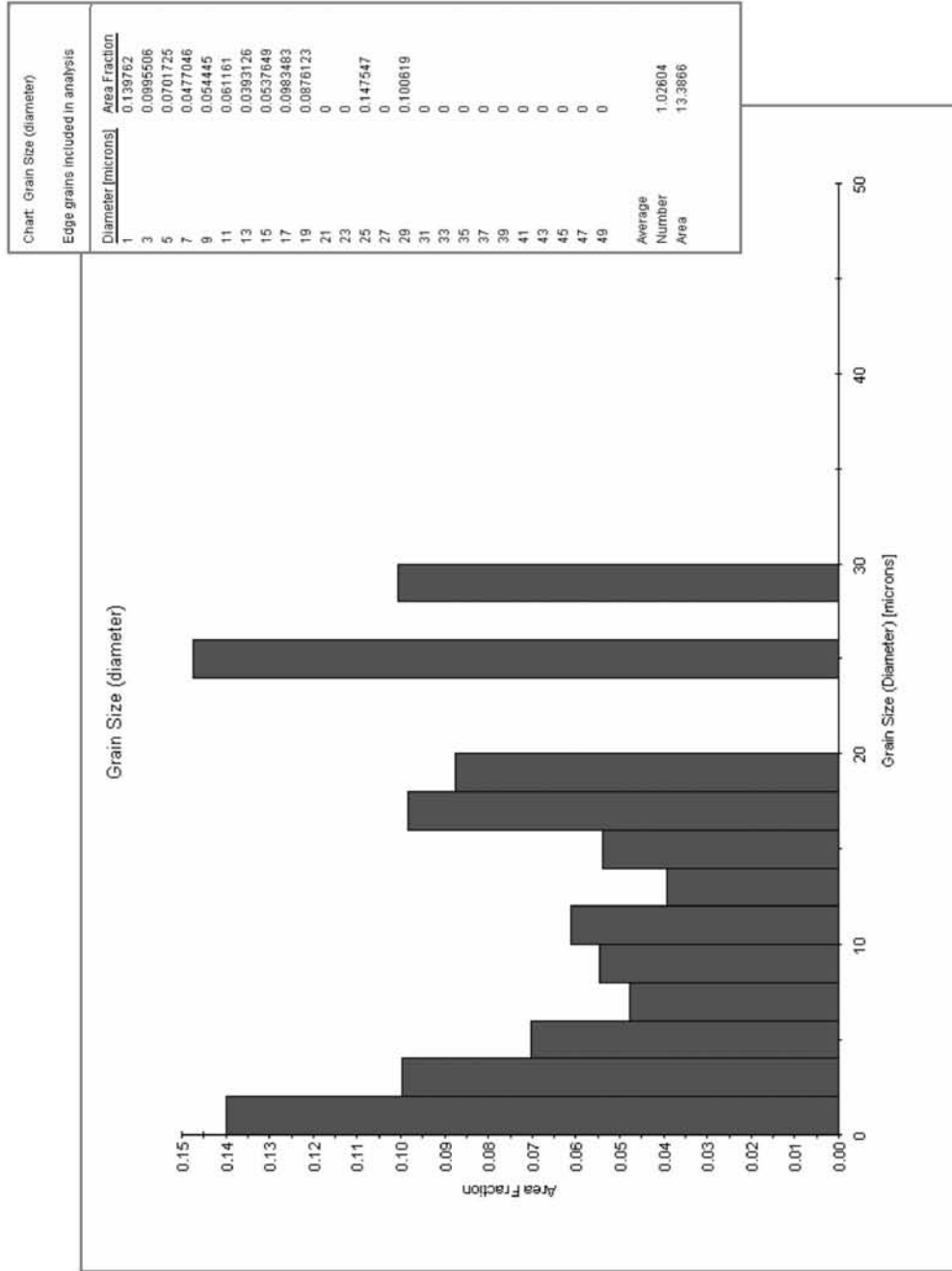
【図20】



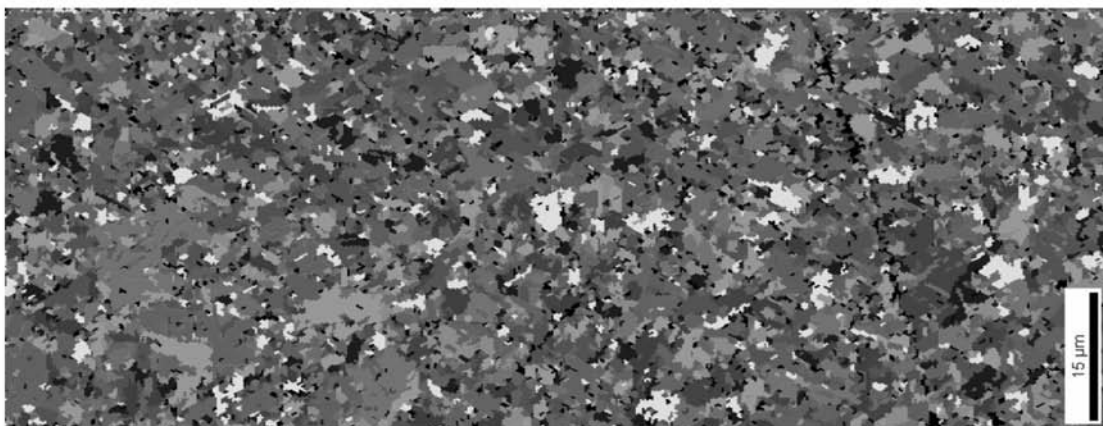
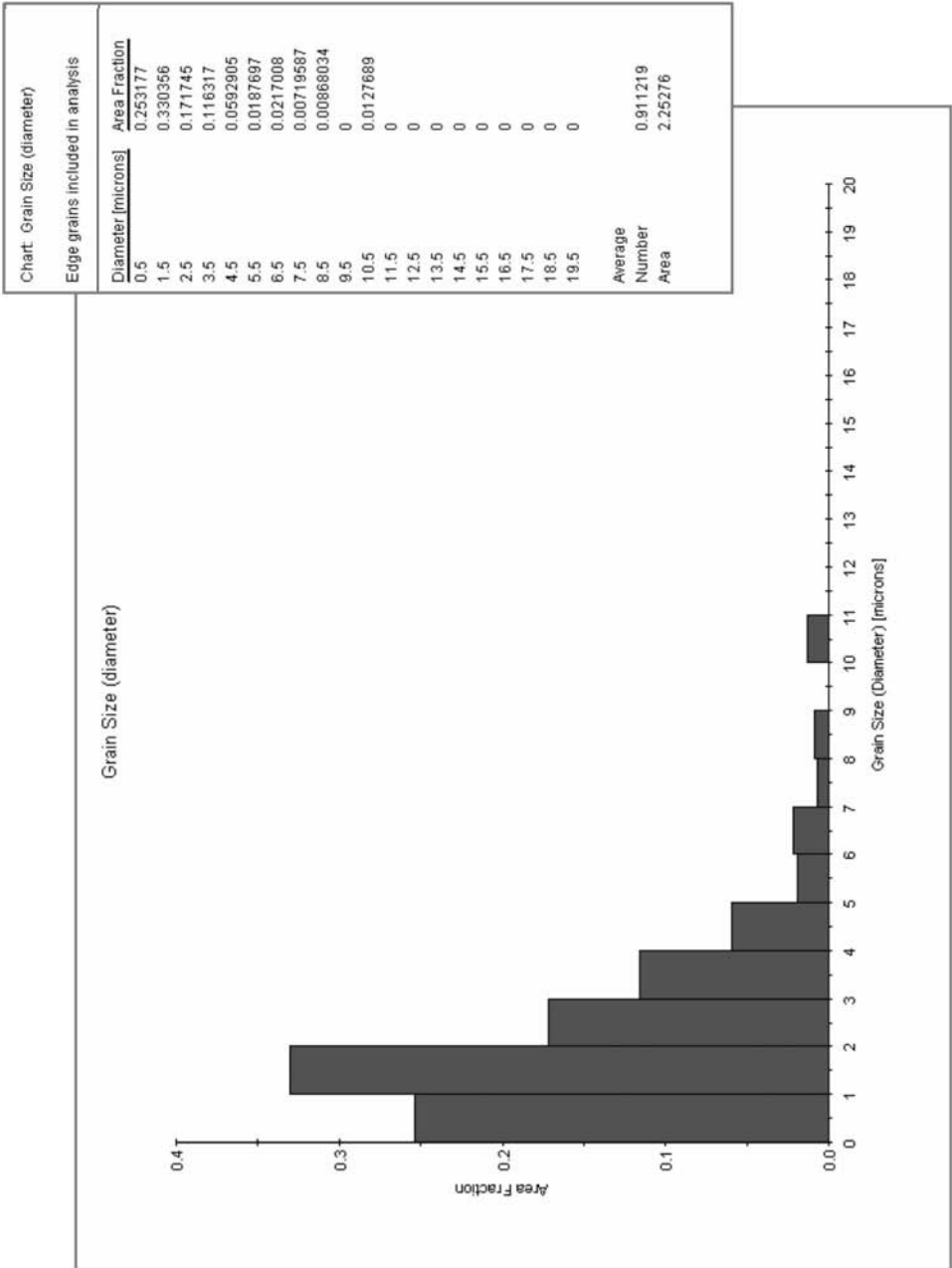
【図21】



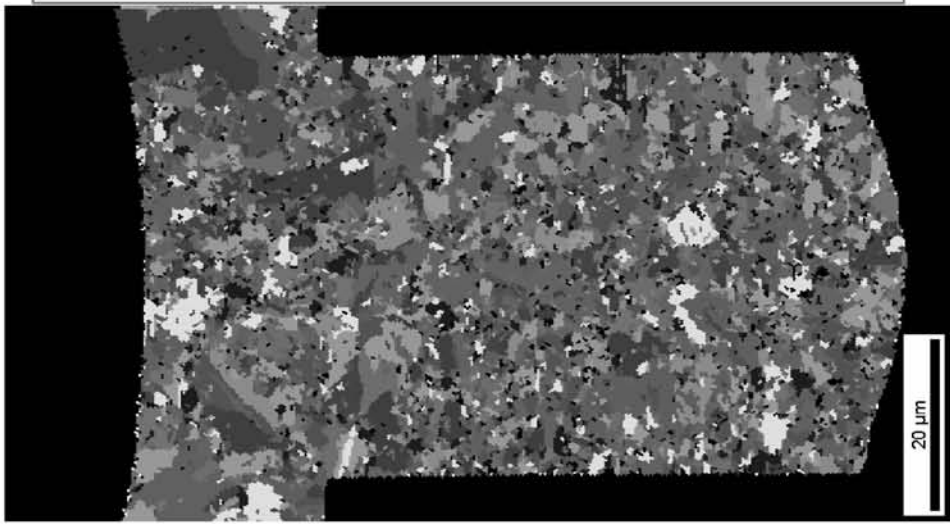
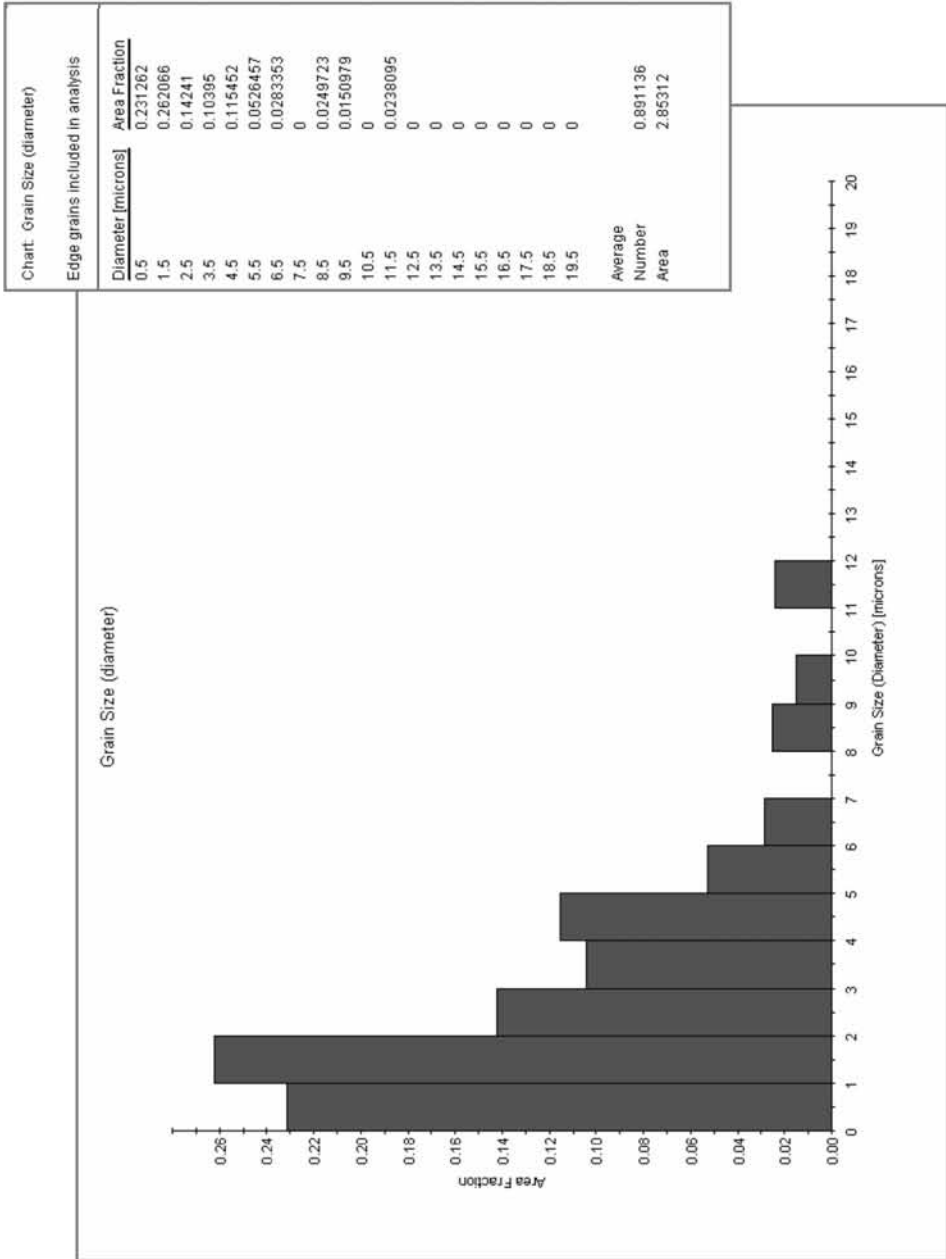
【 1 0 】



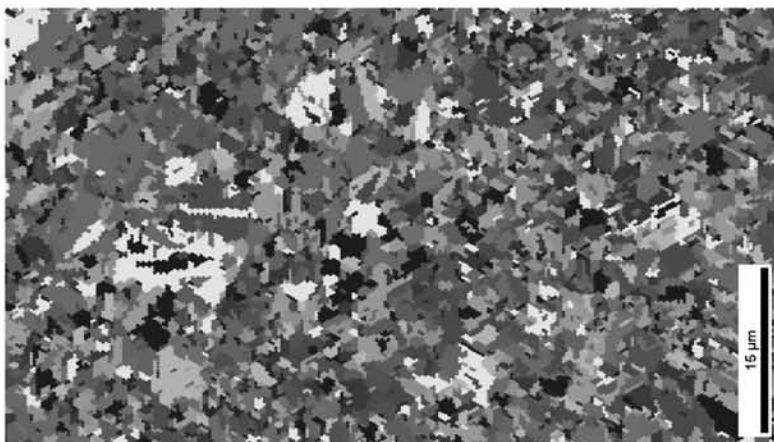
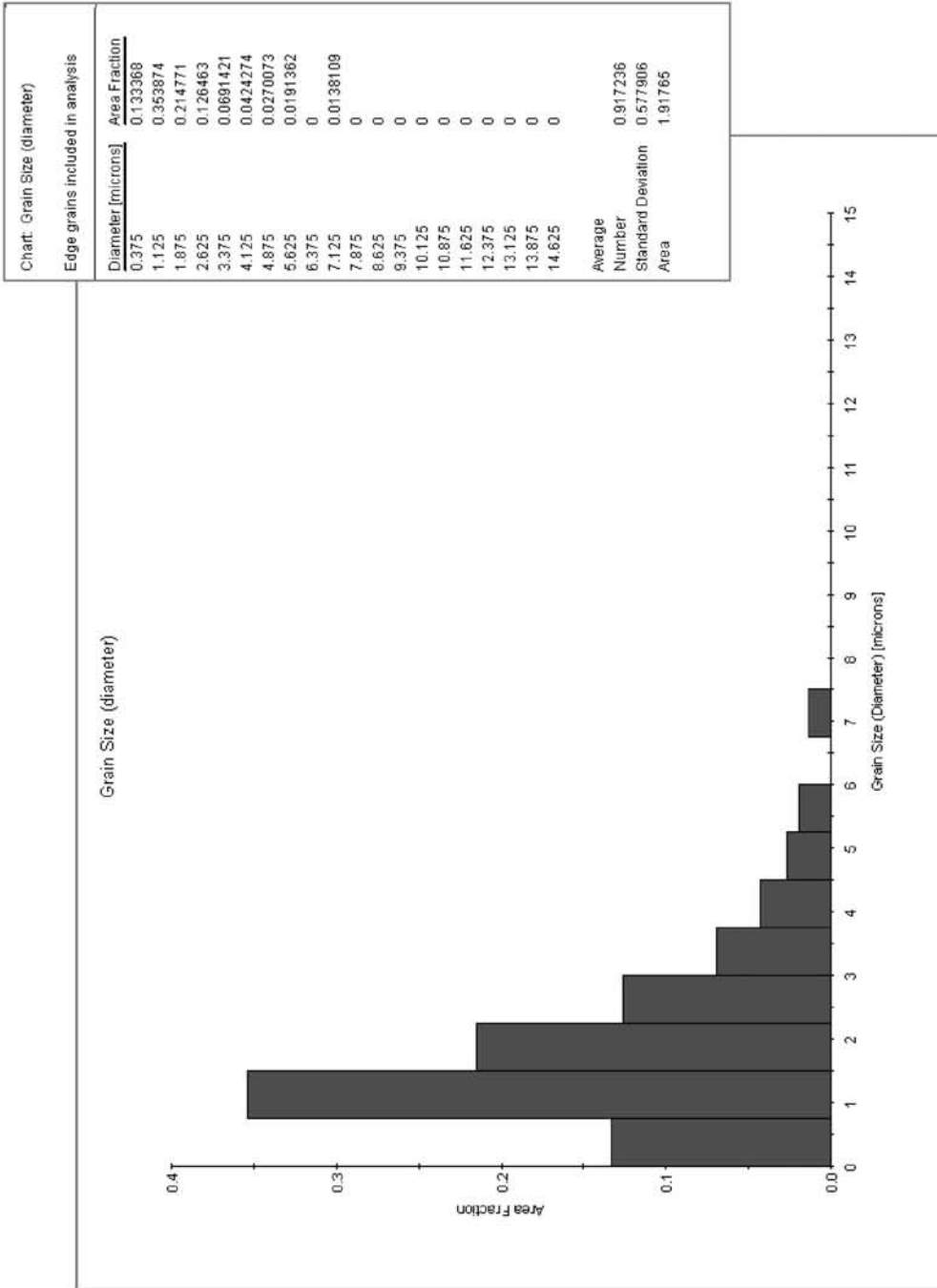
【 1 1 】



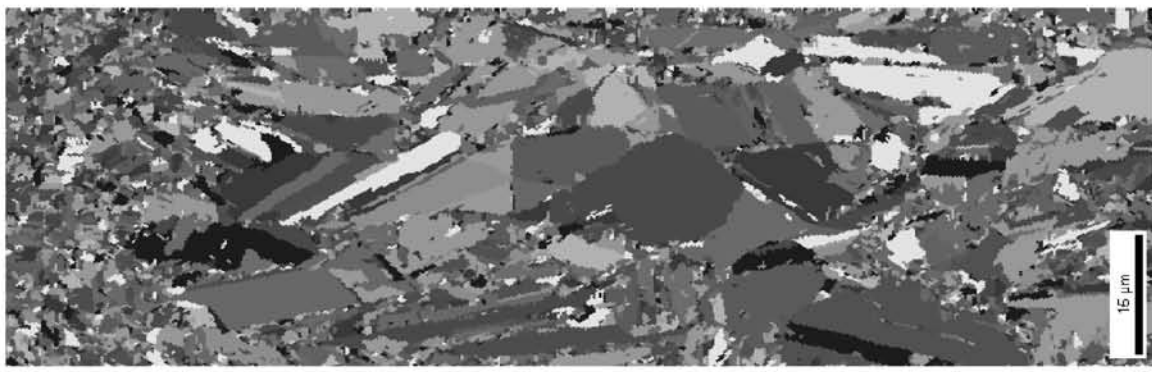
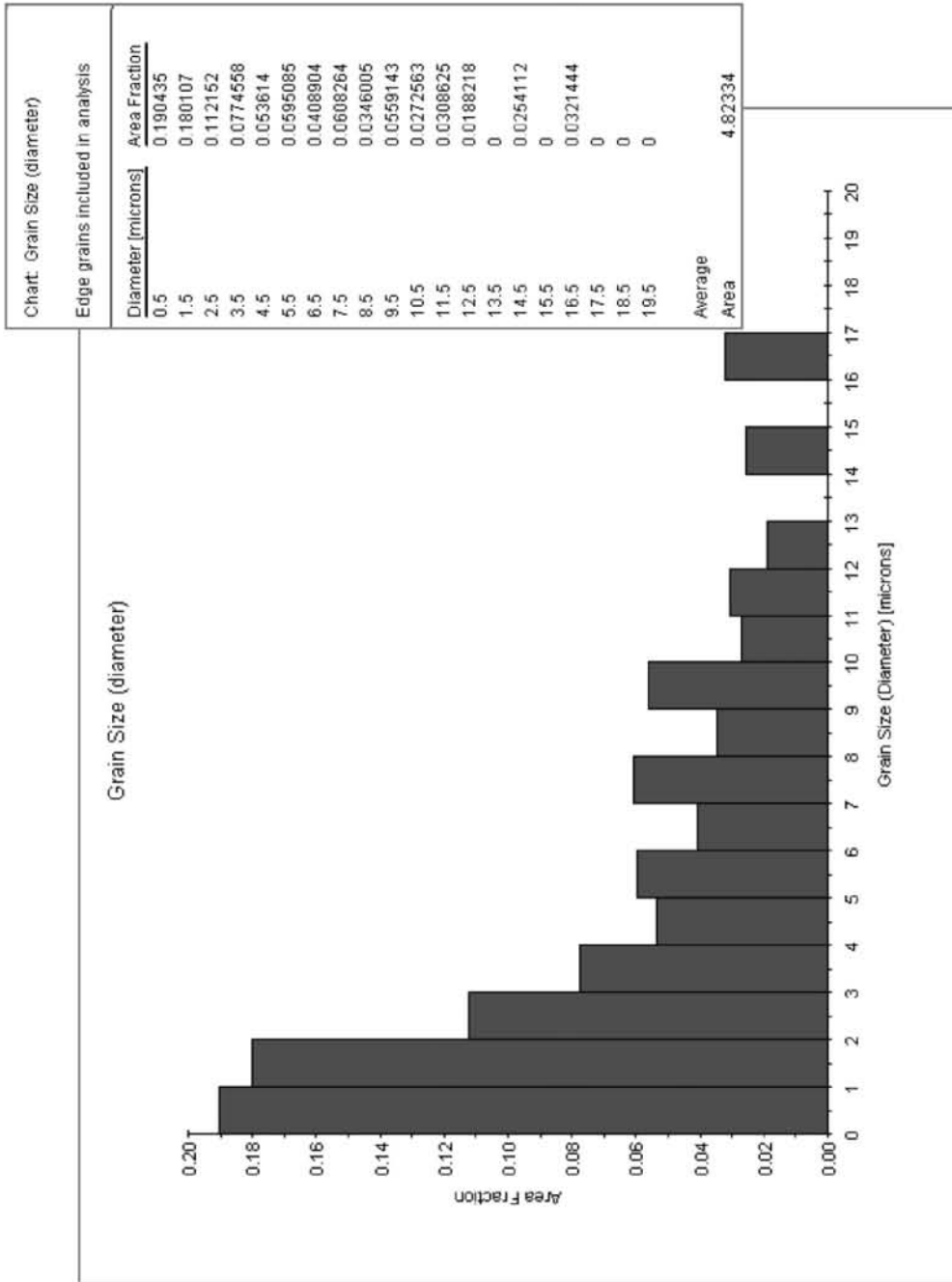
【 1 2 】



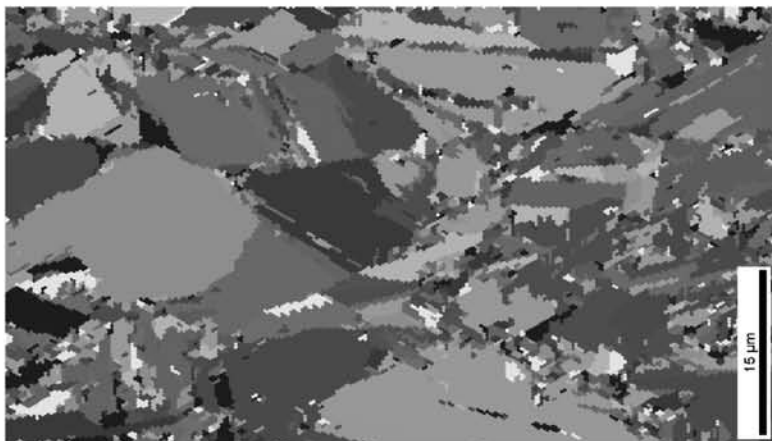
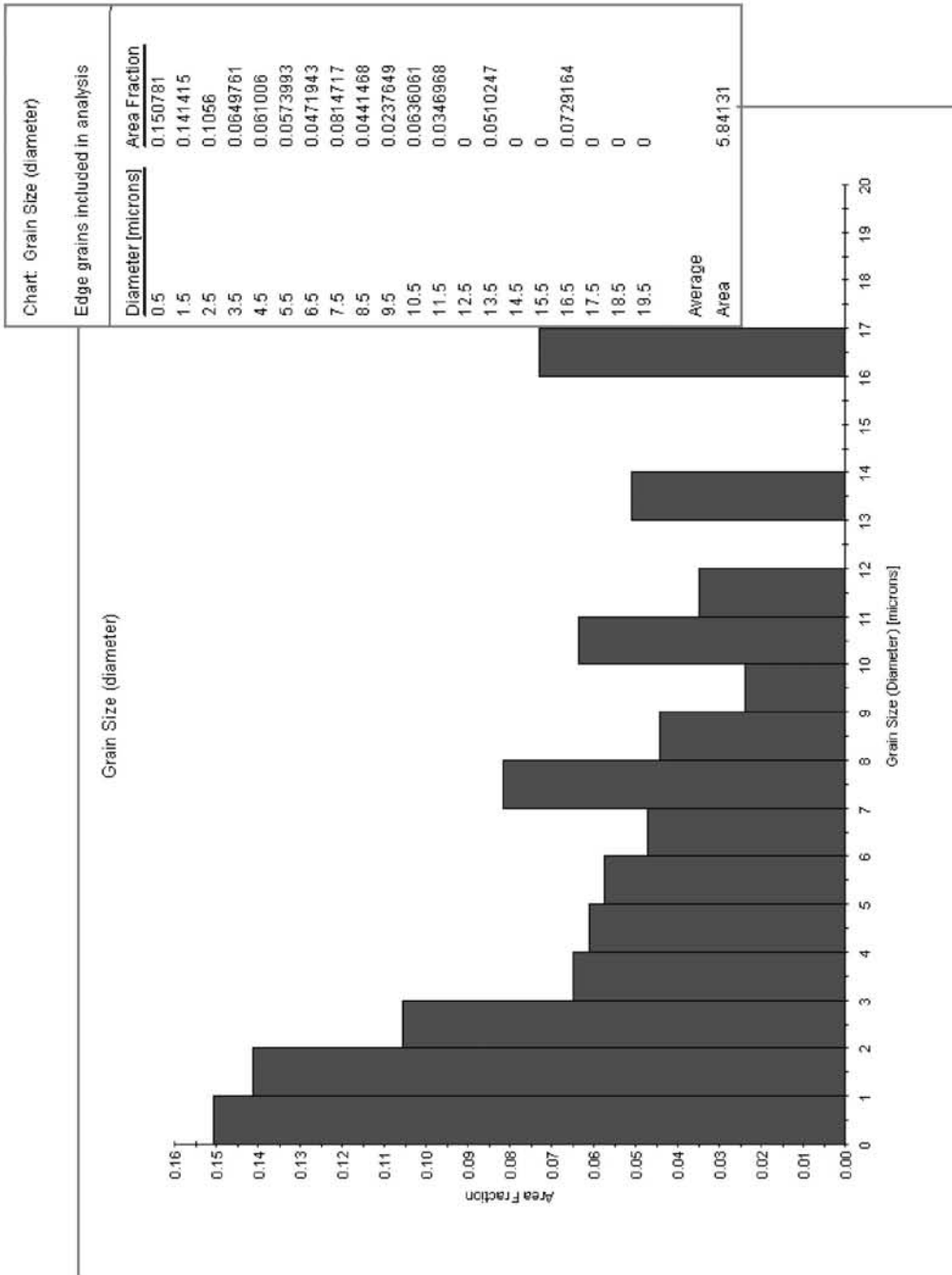
【 1 3 】



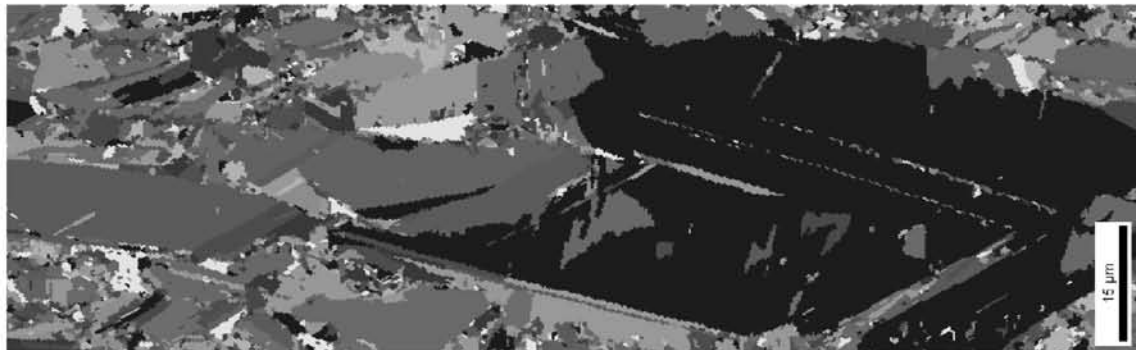
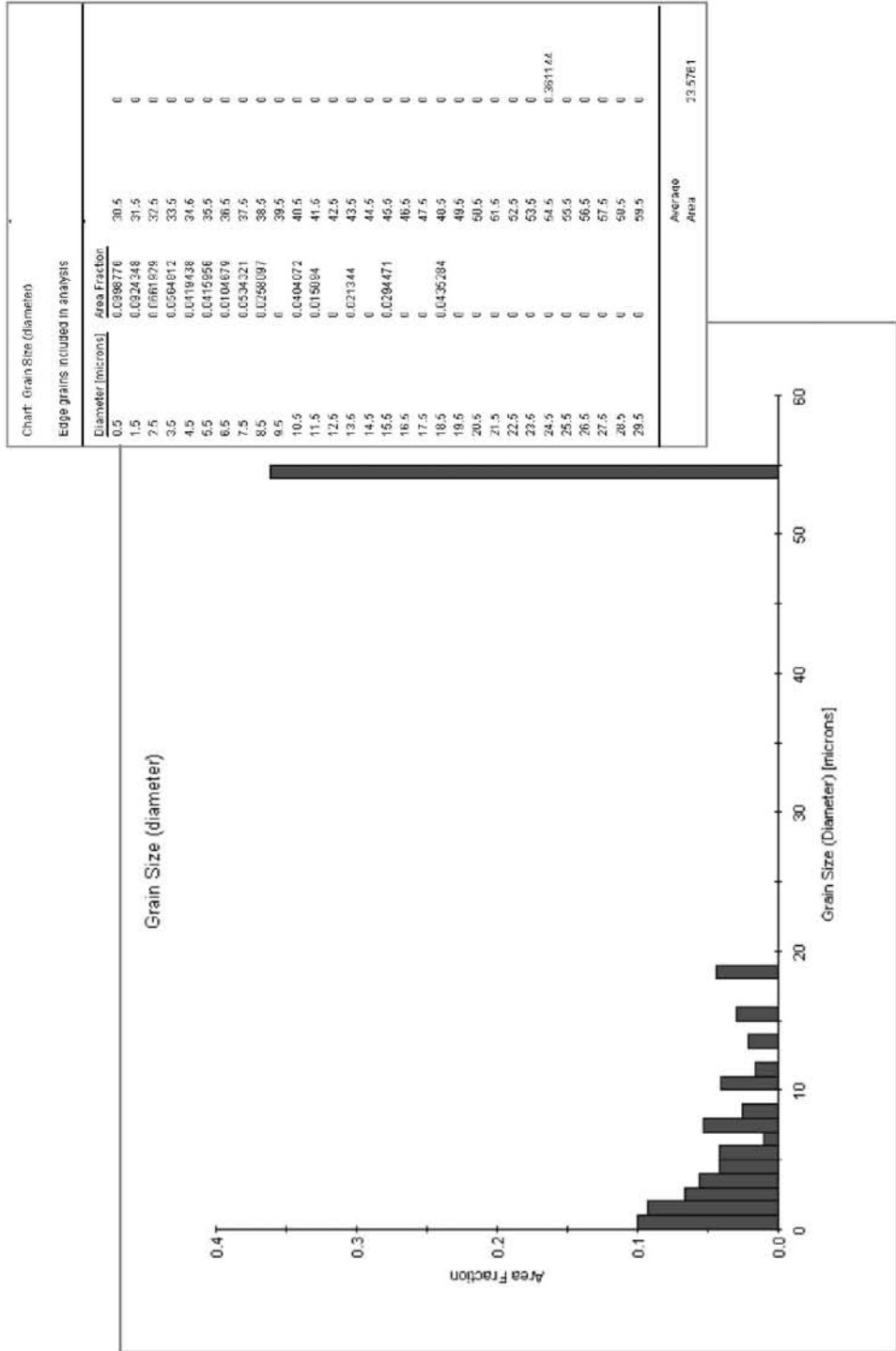
【 14 】



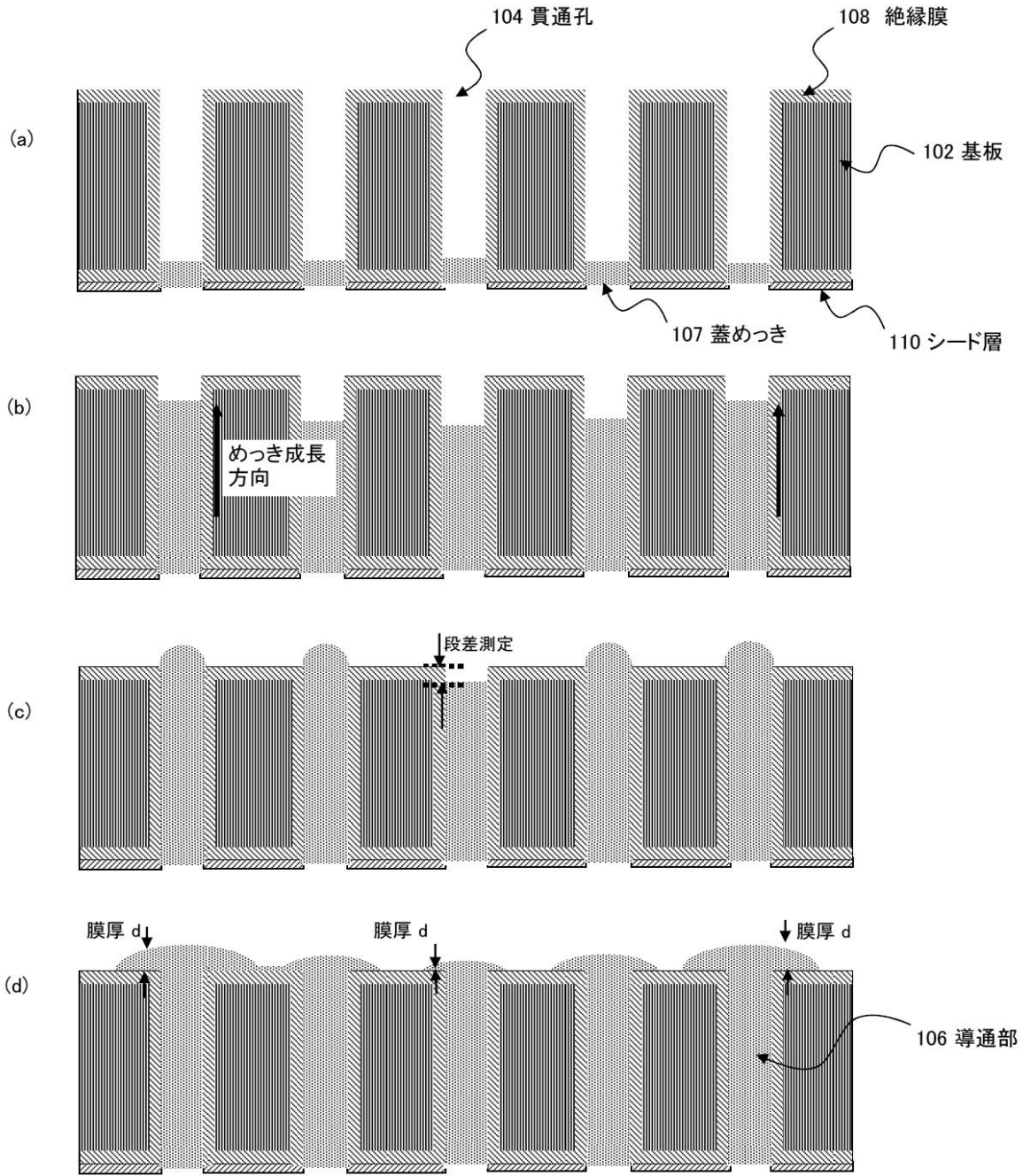
【 1 5 】



【 16 】



【図 17】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<i>H 0 1 L 25/18 (2006.01)</i>		H 0 5 K	3/40	K
<i>H 0 1 L 21/60 (2006.01)</i>				
<i>H 0 5 K 1/11 (2006.01)</i>				
<i>H 0 5 K 3/40 (2006.01)</i>				

Fターム(参考) 5F033 JJ07 JJ08 JJ11 JJ13 JJ17 JJ18 JJ33 LL08 MM30 NN05
NN07 PP14 PP15 PP27 QQ07 QQ08 QQ13 QQ37 QQ47 QQ48
RR04 RR06 RR08 SS11 SS25 SS27 TT07 WW01 WW02 XX08
5F044 KK01 LL01 LL13 QQ01 RR08