



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월26일
 (11) 등록번호 10-0832018
 (24) 등록일자 2008년05월19일

(51) Int. Cl.
H01L 21/28 (2006.01) *H01L 21/336* (2006.01)
 (21) 출원번호 10-2007-0045066
 (22) 출원일자 2007년05월09일
 심사청구일자 2007년05월09일
 (56) 선행기술조사문헌
 KR 1020010061080 A

(73) 특허권자
주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
조홍재
 경기 이천시 대월면 현대아이파크 아파트 105-904
임관용
 경기 이천시 부발읍 아미리 현대임대사원아파트
 108동 307호
성민규
 서울 마포구 현석동 강변현대홈타운 106-502
 (74) 대리인
특허법인 신성

전체 청구항 수 : 총 23 항

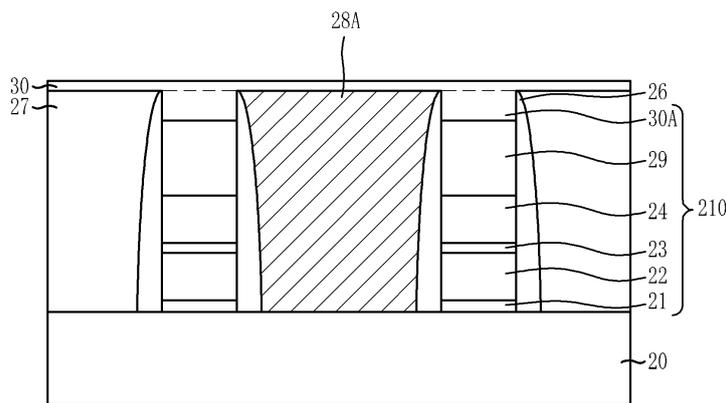
심사관 : 조광현

(54) 반도체 소자 및 그 제조 방법

(57) 요약

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 본 발명에 의한 반도체 소자의 제조 방법은, 반도체 기판 상에 게이트 절연막, 폴리실리콘막, 제1 금속막 및 게이트 하드마스크가 적층된 게이트 패턴과 상기 게이트 패턴 측벽의 게이트 스페이서를 형성하는 단계; 상기 게이트 패턴 및 상기 게이트 스페이서가 형성된 상기 기판 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 SAC 식각하여 상기 게이트 패턴 사이의 상기 기판을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀이 형성된 결과물의 전체 구조 상에 플러그 물질을 형성하는 단계; 상기 게이트 하드마스크가 드러날 때까지 평탄화 공정을 수행하여 상기 콘택홀에 매립된 콘택 플러그를 형성하는 단계; 드러난 상기 게이트 하드마스크를 선택적으로 제거하여 상기 제1 금속막을 노출시키는 홈을 형성하는 단계; 상기 홈 내부에 상기 홈의 일부를 매립하는 제2 금속막을 형성하는 단계; 및 상기 제2 금속막 상에 상기 홈의 나머지를 매립하는 절연막을 형성하는 단계를 포함하며, 상술한 본 발명에 의한 반도체 소자 및 그 제조 방법은, 게이트 패턴의 중형비 증가 없이도 게이트 저항을 감소시킴으로써 SAC 공정 등을 용이하게 하여 수율(yield)을 증가시키고 아울러 소자의 신뢰성을 향상시킬 수 있다.

대표도 - 도2h



특허청구의 범위

청구항 1

반도체 기판 상에 게이트 절연막, 폴리실리콘막, 제1 금속막 및 게이트 하드마스크가 적층된 게이트 패턴과 상기 게이트 패턴 측벽의 게이트 스페이서를 형성하는 단계;

상기 게이트 패턴 및 상기 게이트 스페이서가 형성된 상기 기판 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 SAC 식각하여 상기 게이트 패턴 사이의 상기 기판을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀이 형성된 결과물의 전체 구조 상에 플러그 물질을 형성하는 단계;

상기 게이트 하드마스크가 드러날 때까지 평탄화 공정을 수행하여 상기 콘택홀에 매립된 콘택 플러그를 형성하는 단계;

드러난 상기 게이트 하드마스크를 선택적으로 제거하여 상기 제1 금속막을 노출시키는 홈을 형성하는 단계;

상기 홈 내부에 상기 홈의 일부를 매립하는 제2 금속막을 형성하는 단계; 및

상기 제2 금속막 상에 상기 홈의 나머지를 매립하는 절연막을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제1항에 있어서,

상기 제1 금속막 및 상기 제2 금속막은 텅스텐으로 이루어진

반도체 소자의 제조 방법.

청구항 3

제1항에 있어서,

상기 폴리실리콘막 및 상기 제1 금속막 사이에는 확산 베리어막이 개재된

반도체 소자의 제조 방법.

청구항 4

제1항 또는 제2항에 있어서,

상기 제1 금속막의 두께는 700Å 이하인

반도체 소자의 제조 방법.

청구항 5

제1항에 있어서,

상기 층간 절연막 형성 단계 후에,

상기 게이트 하드마스크가 드러날 때까지 상기 층간 절연막을 평탄화시키는 단계

를 더 포함하는 반도체 소자의 제조 방법.

청구항 6

제1항에 있어서,

상기 게이트 하드마스크의 제거는 습식 또는 건식 식각으로 수행되는

반도체 소자의 제조 방법.

청구항 7

제1항 또는 제2항에 있어서,
 상기 제1 금속막을 노출시키는 홈 형성 단계 후에,
 상기 홈 내부의 상기 제1 금속막 상에 베리어 금속막을 형성하는 단계
 를 더 포함하는 반도체 소자의 제조 방법.

청구항 8

제7항에 있어서,
 상기 베리어 금속막은 Ti막, TiN/Ti막, WSix막 또는 WSiN막 중 선택된 하나 이상의 막으로 형성된
 반도체 소자의 제조 방법.

청구항 9

제1항 또는 제2항에 있어서,
 상기 제2 금속막은 상기 홈의 최상부로부터 10~500Å 정도 하향된 지점까지 상기 홈을 매립하는
 반도체 소자의 제조 방법.

청구항 10

제1항 또는 제2항에 있어서,
 상기 제2 금속막 형성 단계는,
 상기 홈이 형성된 결과물의 전면에 상기 홈을 매립하는 상기 제2 금속막을 증착하는 단계; 및
 상기 홈의 최상부로부터 소정 정도 하향된 지점까지 상기 제2 금속막을 에치백하는 단계를 포함하는
 반도체 소자의 제조 방법.

청구항 11

제10항에 있어서,
 상기 제2 금속막의 증착은 ALD 또는 CVD 방식으로 수행되는
 반도체 소자의 제조 방법.

청구항 12

제10항에 있어서,
 상기 제2 금속막의 에치백은 상기 홈의 최상부로부터 10~500Å 정도 하향된 지점을 타겟으로 수행되는
 반도체 소자의 제조 방법.

청구항 13

제1항에 있어서,
 상기 절연막은 상기 제2 금속막, 상기 층간 절연막 및 상기 콘택 플러그 상부에 존재하고 평탄화된 표면을 갖는
 반도체 소자의 제조 방법.

청구항 14

제1항에 있어서,
 상기 절연막은 Si₃N₄, SiO₂막 또는 SiON막 중 선택된 하나 이상의 막으로 형성되는
 반도체 소자의 제조 방법.

청구항 15

반도체 기관;

상기 반도체 기관상의 게이트 절연막, 폴리실리콘막, 제1 금속막, 제2 금속막 및 게이트 하드마스크가 적층된 게이트 패턴; 및

상기 게이트 패턴 측벽의 게이트 스페이서

를 포함하고,

여기서, 상기 제1 금속막은 700Å 이하의 두께를 갖고,

상기 게이트 하드마스크는 상기 제1 금속막의 두께보다 낮은 두께를 갖는

반도체 소자.

청구항 16

제15항에 있어서,

상기 게이트 하드마스크의 두께는 10~500Å 정도인

반도체 소자.

청구항 17

제15항에 있어서,

상기 제1 금속막 및 상기 제2 금속막은 텅스텐으로 이루어진

반도체 소자.

청구항 18

제15항에 있어서,

상기 폴리실리콘막과 상기 제1 금속막 사이에는 확산 베리어막이 개재된

반도체 소자.

청구항 19

제15항 또는 제17항에 있어서,

상기 제1 금속막과 상기 제2 금속막 사이에 베리어 금속막이 개재된

반도체 소자.

청구항 20

제19항에 있어서,

상기 베리어 금속막은 Ti막, TiN/Ti막, WSi_x막 또는 WSiN막 중 선택된 하나 이상의 막으로 이루어진

반도체 소자.

청구항 21

제15항에 있어서,

상기 게이트 하드마스크는 Si₃N₄, SiO₂막 또는 SiON막 중 선택된 하나 이상의 막으로 이루어지는

반도체 소자.

청구항 22

제15항에 있어서,

상기 게이트 패턴 사이의 상기 반도체 기판의 불순물 영역을 노출시키는 콘택홀을 구비한 층간 절연막; 및
상기 콘택홀 내부에 매립된 콘택 플러그

를 더 포함하고,

여기서, 상기 층간 절연막 및 상기 콘택 플러그의 표면은 상기 게이트 하드마스크의 표면과 같은 높이를 갖는 반도체 소자.

청구항 23

제22항에 있어서,

상기 층간 절연막, 상기 콘택 플러그 및 상기 게이트 하드마스크 상부에 존재하고 상기 게이트 하드마스크와 동일 물질로 이루어진 절연막

을 더 포함하는 반도체 소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 반도체 소자의 제조 기술에 관한 것으로, 특히 저저항 게이트를 구비한 반도체 소자의 제조 방법에 관한 것이다.
- <13> 반도체 소자가 고집적화됨에 따라 소자의 크기가 감소하면서 게이트의 길이(length) 또한 감소하고 있다. 이는 게이트의 저항을 점점 증가시켜 소자의 동작 속도를 저하시키는 원인이 된다.
- <14> 이러한 문제를 해결하기 위하여 최근에는 게이트의 저항을 낮추기 위해 폴리실리콘 및 텅스텐 실리사이드의 적층 구조인 폴리사이드 게이트 전극을 사용하고 있다. 나아가, 폴리사이드 게이트 전극보다 낮은 저항을 갖는 폴리실리콘, 텅스텐 질화막 및 텅스텐의 적층 구조인 텅스텐 폴리메탈(tungsten polymetal) 게이트 전극 구조를 사용하고 있다.
- <15> 도1은 종래 기술에 따른 텅스텐 폴리메탈 게이트 전극을 구비한 반도체 소자의 제조 방법을 설명하기 위한 단면도이다.
- <16> 도1을 참조하면, 소자 분리 공정, 웰(well) 형성 등 소정의 공정이 수행된 반도체 기판(10) 상에 게이트 절연막(11)을 형성한다.
- <17> 이어서, 게이트 절연막(11) 상에 게이트 전극용 도전막으로 폴리실리콘막(12) 및 텅스텐막(14)을 순차적으로 형성한다. 이때, 폴리실리콘막(12)과 텅스텐막(14) 사이에는 후속 열공정 등으로 폴리실리콘막(12)의 실리콘이 텅스텐막(14)으로 확산되는 것을 방지하기 위한 확산 베리어(diffusion barrier)막(13)이 개재된다. 확산 베리어막(13)으로는 텅스텐 질화막 또는 티타늄 질화막 등이 사용될 수 있다.
- <18> 이어서, 텅스텐막(14) 상에 게이트 하드마스크(15)를 형성한 후, 마스크 및 식각 공정으로 게이트 하드마스크(15), 텅스텐막(14), 확산 베리어막(13), 폴리실리콘막(12) 및 게이트 절연막(11)을 패터닝하여 게이트 패턴(100)을 형성한다.
- <19> 이어서, 게이트 패턴(100)의 양 측벽에 게이트 스페이서(16)를 형성하고, 게이트 패턴(100) 사이의 반도체 기판(10) 내에 불순물 영역(미도시됨)을 형성한다.
- <20> 이어서, SAC(Self Aligned Contact) 공정을 이용한 랜딩 플러그 콘택(landing plug contact) 형성 공정을 수행한다.
- <21> 좀더 상세하게는, 게이트 패턴(100) 및 게이트 스페이서(16)가 형성된 반도체 기판(10) 상에 층간 절연막(17)을

형성한 후, CMP(Chemical Mechanical Polishing) 등의 공정으로 층간 절연막(17) 표면을 평탄화시킨다. 이때, CMP 공정은 게이트 하드마스크(15)가 드러날 때까지 수행될 수 있다.

- <22> 이어서, 층간 절연막(17)을 SAC 식각하여 게이트 패턴(100) 사이의 반도체 기판(10), 즉, 불순물 영역을 노출시키는 콘택홀을 형성한 후, 콘택홀이 형성된 결과물의 전체 구조 상부에 콘택홀을 충분히 매립하는 두께로 플러그 물질(18)을 형성한다.
- <23> 이어서, 본 도면에 도시되지 않았으나, 게이트 하드마스크(15)가 드러날 때까지 평탄화 공정을 수행하여 상기 콘택홀 내에 플러그 물질(18)을 매립시킴으로써 콘택 플러그(18a)를 형성한다.
- <24> 그러나, 이와 같은 텅스텐 폴리메탈 게이트 전극 구조의 게이트 패턴(100) 형성에 있어서도 최근 반도체 소자의 고집적화 경향이 더욱 증가하여 게이트의 길이가 더욱 감소하게 됨에 따라 원하는 게이트 저항을 확보하기 위해서는 텅스텐막(14)의 두께 증가가 요구된다. 이러한 텅스텐막(14)의 두께 증가는 필연적으로 후속 SAC 공정시 식각 베리어로 작용하는 게이트 하드마스크(15)의 두께 증가를 요구한다. 즉, 원하는 게이트 저항 확보를 위해서는 텅스텐막(14)의 두께 증가 및 그로 인한 게이트 하드마스크(15)의 두께 증가가 요구되어 게이트 패턴(100)의 전체 높이는 증가하게 된다. 반면, 게이트 패턴(100)의 길이는 계속적으로 감소하여 게이트 패턴(100)의 종횡비(aspect ratio) 증가를 초래한다.
- <25> 이러한 게이트 패턴(100)의 종횡비 증가는 후속 SAC 공정시 콘택 낮옴(not open)을 초래하고 콘택홀에 플러그 물질(18)의 매립을 어렵게 하는 등 후속 공정의 난이도를 증가시키는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 게이트 패턴의 종횡비 증가 없이도 게이트 저항을 감소시킴으로써 SAC 공정 등을 용이하게 하여 수율(yield)을 증가시키고 아울러 소자의 신뢰성을 향상시킬 수 있는 반도체 소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

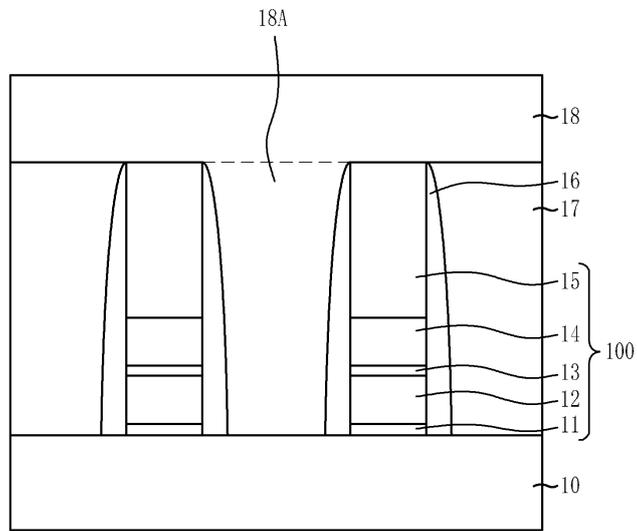
- <27> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 제조방법은, 반도체 기판 상에 게이트 절연막, 폴리실리콘막, 제1 금속막 및 게이트 하드마스크가 적층된 게이트 패턴과 상기 게이트 패턴 측면의 게이트 스페이서를 형성하는 단계; 상기 게이트 패턴 및 상기 게이트 스페이서가 형성된 상기 기판 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 SAC 식각하여 상기 게이트 패턴 사이의 상기 기판을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀이 형성된 결과물의 전체 구조 상에 플러그 물질을 형성하는 단계; 상기 게이트 하드마스크가 드러날 때까지 평탄화 공정을 수행하여 상기 콘택홀에 매립된 콘택 플러그를 형성하는 단계; 드러난 상기 게이트 하드마스크를 선택적으로 제거하여 상기 제1 금속막을 노출시키는 홈을 형성하는 단계; 상기 홈 내부에 상기 홈의 일부를 매립하는 제2 금속막을 형성하는 단계; 및 상기 제2 금속막 상에 상기 홈의 나머지를 매립하는 절연막을 형성하는 단계를 포함한다.
- <28> 또한, 상기 목적을 달성하기 위한 본 발명의 반도체 소자는, 반도체 기판; 상기 반도체 기판상의 게이트 절연막, 폴리실리콘막, 제1 금속막, 제2 금속막 및 게이트 하드마스크가 적층된 게이트 패턴; 및 상기 게이트 패턴 측면의 게이트 스페이서를 포함하고, 여기서, 상기 제1 금속막은 700Å 이하의 두께를 갖고, 상기 게이트 하드마스크는 상기 제1 금속막의 두께보다 낮은 두께를 갖는다.
- <29> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <30> 도2a 내지 도2k는 본 발명의 일실시예에 반도체 소자의 제조 방법을 설명하기 위한 공정 단면도이다. 본 도면에서는 저저항의 텅스텐 폴리메탈 게이트 전극을 구비한 반도체 소자를 일례로 하여 설명을 진행하기로 한다.
- <31> 도2a에 도시된 바와 같이, 소자 분리 공정, 웰 형성 등 소정의 공정이 수행된 반도체 기판(20) 상에 게이트 절연막(21)을 형성한다.
- <32> 이어서, 게이트 절연막(21) 상에 폴리실리콘막(22), 확산 베리어막(23) 및 제1 텅스텐막(24)을 순차적으로 형성한다. 확산 베리어막(23)은 후속 열공정 등에서 폴리실리콘막(22)의 실리콘이 제1 텅스텐막(24)으로 확산되는 것을 방지하는 작용을 하며, 텅스텐 질화막 또는 티타늄 질화막 등으로 형성될 수 있다. 여기서, 제1 텅스텐막

(24)은 후속 SAC 공정을 용이하게 하기 위하여 700Å 이하의 상대적으로 낮은 두께를 갖도록 형성된다.

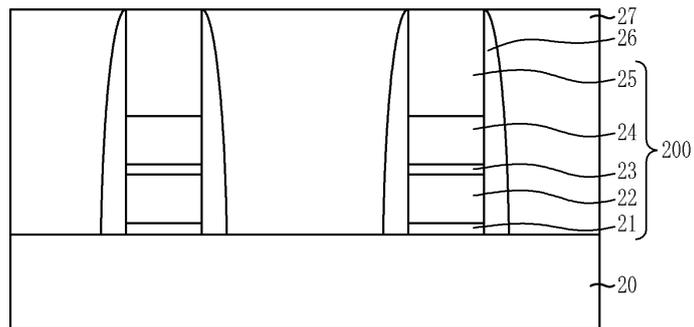
- <33> 이어서, 제1 텅스텐막(24) 상에 질화막으로 이루어진 제1 게이트 하드마스크(25)를 형성한 후, 마스크 및 식각 공정으로 제1 게이트 하드마스크(25), 제1 텅스텐막(24), 확산 베리어막(23), 폴리실리콘막(22) 및 게이트 절연막(21)을 패터닝하여 초기 게이트 패턴(200)을 형성한다. 이때, 제1 텅스텐막(24)의 두께가 낮기 때문에 제1 게이트 하드마스크(25)의 두께도 낮게 형성할 수 있으므로 초기 게이트 패턴(200)의 중형비가 감소한다.
- <34> 이어서, 초기 게이트 패턴(200)의 양 측벽에 게이트 스페이서(26)를 형성하고, 초기 게이트 패턴(200) 사이의 반도체 기판(20) 내에 불순물 영역(미도시됨)을 형성한다.
- <35> 이어서, 초기 게이트 패턴(200) 및 게이트 스페이서(26)가 형성된 반도체 기판(20) 상에 제1 층간 절연막(27)을 형성한 후, CMP 등의 공정으로 제1 층간 절연막(27) 표면을 평탄화시킨다. 본 명세서에서는 일례로서, 제1 게이트 하드마스크(25)가 드러날 때까지 CMP 공정을 수행하여 제1 층간 절연막(27) 표면과 제1 게이트 하드마스크(25) 표면을 평탄화시킨다.
- <36> 도2b에 도시된 바와 같이, 제1 층간 절연막(27)을 SAC 식각하여 초기 게이트 패턴(200) 사이의 반도체 기판(20), 즉, 불순물 영역을 노출시키는 콘택홀(A)을 형성한다. 이때, 전술한 바와 같이 제1 텅스텐막(24)의 두께를 상대적으로 낮게 형성하여 초기 게이트 패턴(200)의 중형비가 감소하기 때문에 콘택홀(A) 형성을 위한 SAC 식각이 용이하고 SAC 불량을 방지할 수 있다.
- <37> 도2c에 도시된 바와 같이, 콘택홀(A)이 형성된 결과물의 전체 구조 상부에 콘택홀(A)을 충분히 매립하는 두께로 플러그 물질(28)을 형성한다. 이때, 전술한 바와 같이 제1 텅스텐막(24)의 두께를 상대적으로 낮게 형성하여 초기 게이트 패턴(200)의 중형비가 감소하기 때문에 콘택홀(A)에 플러그 물질(28)을 매립하는 것이 용이하여 SAC 불량을 방지할 수 있다.
- <38> 도2d에 도시된 바와 같이, 제1 게이트 하드마스크(25)가 드러날 때까지 CMP 또는 에치백(etchback) 등의 평탄화 공정을 수행하여 콘택홀(A) 내에 플러그 물질(28)을 매립시킴으로써 콘택 플러그(28a)를 형성한다.
- <39> 이와 같이 도2a 내지 도2d의 공정을 살펴보면, 초기 게이트 패턴(200)의 중형비를 낮추어 SAC 공정을 용이하게 할 수 있다. 이때, 제1 텅스텐막(24)의 두께가 낮아 게이트 저항 감소에 한계가 있으나 이는 후속 공정으로 보완이 가능하다.
- <40> 이어서, 도2e에 도시된 바와 같이, 다마신(damascene) 공정을 수행하기 위하여 드러난 제1 게이트 하드마스크(25)를 선택적으로 제거하여 제1 텅스텐막(24)을 노출시키는 홈(B)을 형성한다. 이때, 제1 게이트 하드마스크(25)의 제거는 습식 또는 건식 식각으로 수행된다.
- <41> 도2f에 도시된 바와 같이, 노출된 제1 텅스텐막(24)을 시드층(seed layer)으로 하여 홈(B)이 형성된 결과물의 전면에 홈(B)을 매립하는 제2 텅스텐막(29)을 증착한다. 이때, 제2 텅스텐막(29)의 증착은 ALD(Atomic Layer Deposition) 또는 CVD(Chemical Vapor Deposition) 방식으로 수행된다.
- <42> 한편, 본 도면에는 도시되지 않았으나, 제2 텅스텐막(29)의 증착 전에 제1 텅스텐막(24)과의 계면 저항을 낮추기 위하여 제1 텅스텐막(24) 상에 베리어 금속막(미도시됨)을 더 증착할 수도 있다. 이 베리어 금속막으로는 Ti막, TiN/Ti막, WSix막 또는 WSiN막 중 선택된 하나 이상의 막을 사용할 수 있다.
- <43> 도2g에 도시된 바와 같이, 제2 텅스텐막(29)에 대해 에치백 공정을 수행하여 홈(B) 내부에 매립시킨다. 이때, 제2 텅스텐막(29)의 에치백은 후속 최종 게이트 패턴 형성을 위한 제2 게이트 하드마스크가 형성될 영역의 확보를 위하여 제1 층간 절연막(27)(또는 콘택 플러그(28a))의 표면으로부터 10~500Å 정도 하향된 지점을 타겟으로 하여 수행된다. 그 결과, 홈(B) 내부의 제2 텅스텐막(29) 상부의 공간이 10~500Å 정도 비어있게 된다.
- <44> 이와 같이 도2e 내지 도2g에 도시된 공정을 통하여 제1 텅스텐막(24) 상에 제2 텅스텐막(29)을 증착함으로써 게이트 전극으로 이용되는 전체 텅스텐막의 높이를 증가시켜 게이트 저항을 낮출 수 있다. 한편, 이러한 제2 텅스텐막(29) 증착 공정은 SAC 공정을 수행한 후의 공정이므로 전체 텅스텐막의 높이가 증가하여도 종래 기술과 같은 문제점(게이트 하드마스크의 높이 증가, 게이트의 중형비 증가 및 SAC 공정의 난이도 증가 등)이 발생하지 않는다.
- <45> 도2h에 도시된 바와 같이, 제2 텅스텐막(29)이 형성된 결과물의 전체 구조 상부에 절연막(30)을 형성한다. 좀더 상세하게는, 제2 텅스텐막(29)이 형성된 결과물의 전체 구조 상부에 절연막(30)을 증착한 후, 제1 층간 절연막(27)(또는, 콘택 플러그(28a)) 상에서 소정 두께로 잔류할 때까지 절연막(30)을 평탄화시킨다. 이 절연막(30)은

도면

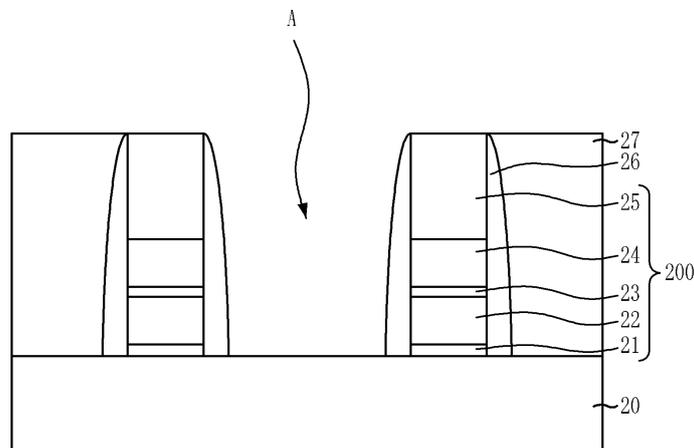
도면1



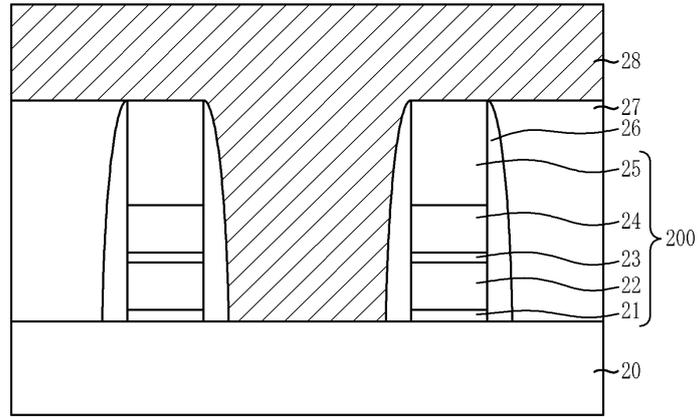
도면2a



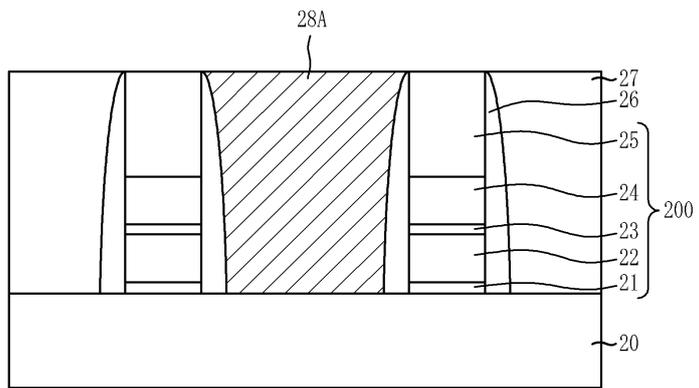
도면2b



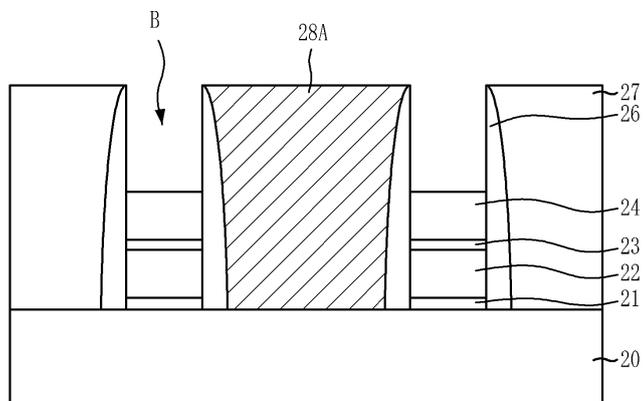
도면2c



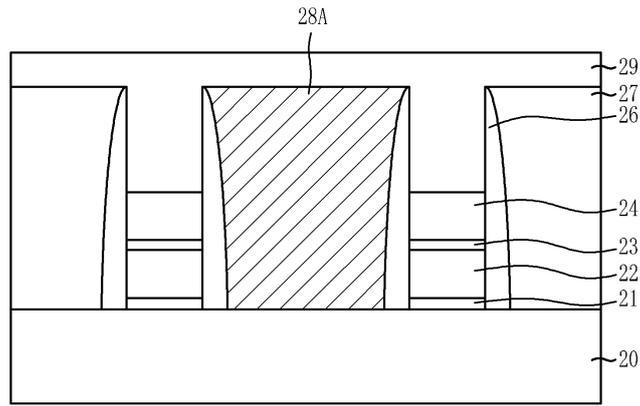
도면2d



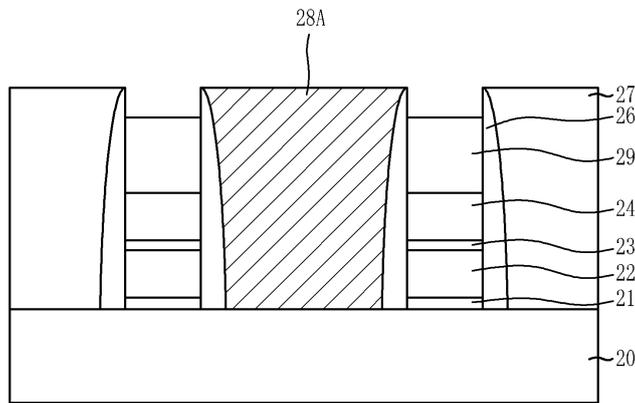
도면2e



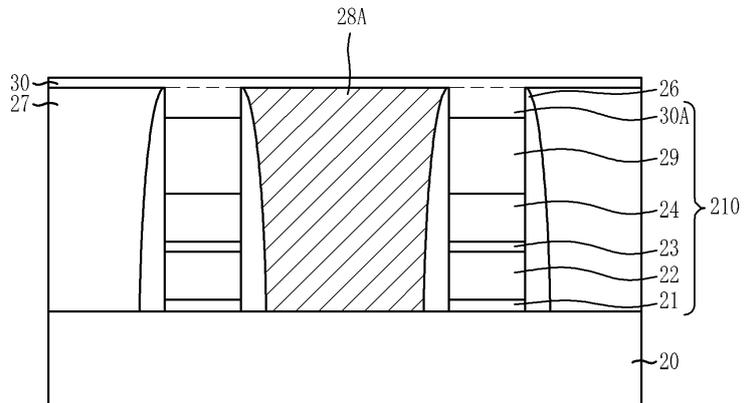
도면2f



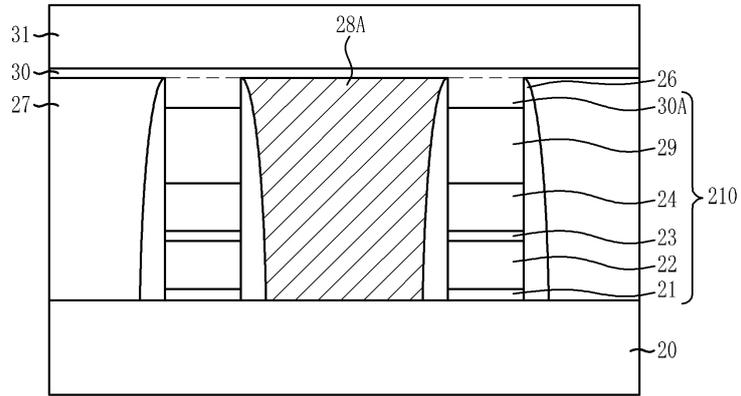
도면2g



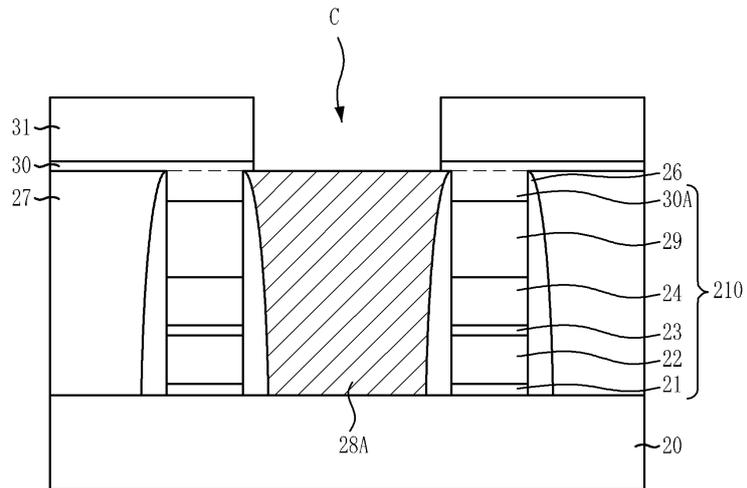
도면2h



도면2i



도면2j



도면2k

