



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I758818 B

(45) 公告日：中華民國 111 (2022) 年 03 月 21 日

(21) 申請案號：109127364

(22) 申請日：中華民國 109 (2020) 年 08 月 12 日

(51) Int. Cl. : H01L21/335 (2006.01)

H01L21/18 (2006.01)

(30) 優先權：2019/09/12 美國

16/568,591

(71) 申請人：美商格芯（美國）集成電路科技有限公司（美國）GLOBALFOUNDRIES US INC.
(US)

美國

(72) 發明人：張明成 CHANG, MING CHENG (TW)；陳 倪爾 CHAN, NIGEL (CA)

(74) 代理人：洪武雄；陳昭誠

(56) 參考文獻：

TW 200625636A

US 2014/0106494A1

審查人員：林士淵

申請專利範圍項數：14 項 圖式數：3 共 17 頁

(54) 名稱

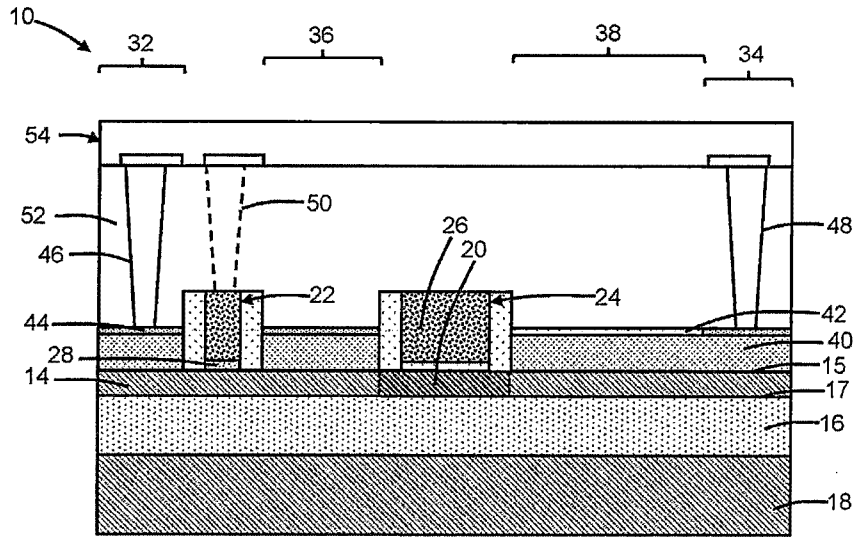
包含浮動閘極之延伸汲極場效電晶體

(57) 摘要

本發明提供一種延伸汲極場效電晶體的結構和形成一延伸汲極場效電晶體的方法。源極區域耦接至半導體層，汲極區域耦接至該半導體層，以及第一閘極結構位於該半導體層的通道區域上方。延伸汲極區域位於該通道區域與該汲極區域之間。該延伸汲極區域包括位於該第一閘極結構與該汲極區域之間的該半導體層的一部分。第二閘極結構佈設於該半導體層的該部分上方。

Structures for an extended-drain field-effect transistor and methods of forming an extended-drain field-effect transistor. A source region is coupled to a semiconductor layer, a drain region is coupled to the semiconductor layer, and a first gate structure is positioned over a channel region of the semiconductor layer. An extended drain region is positioned between the channel region and the drain region. The extended drain region includes a portion of the semiconductor layer between the first gate structure and the drain region. A second gate structure is arranged over the portion of the semiconductor layer.

指定代表圖：



【圖3】

符號簡單說明：

10:裝置結構

14:裝置層

15:頂面

16:埋置絕緣體層

17:界面

18:基板

20:摻雜區域

22:閘極結構

24:閘極結構

26:閘極電極

28:閘極電介質

32:源極區域

34:汲極區域

36:區段

38:區段

40:半導體層

42:介電層

44:矽化物層

46:接觸件

48:接觸件

50:接觸件

52:層間介電層

54:後段製程互連結
構、互連結構

I758818

【發明摘要】**【中文發明名稱】** 包含浮動閘極之延伸汲極場效電晶體**【英文發明名稱】** EXTENDED-DRAIN FIELD-EFFECT TRANSISTORS
INCLUDING A FLOATING GATE**【中文】**

本發明提供一種延伸汲極場效電晶體的結構和形成一延伸汲極場效電晶體的方法。源極區域耦接至半導體層，汲極區域耦接至該半導體層，以及第一閘極結構位於該半導體層的通道區域上方。延伸汲極區域位於該通道區域與該汲極區域之間。該延伸汲極區域包括位於該第一閘極結構與該汲極區域之間的該半導體層的一部分。第二閘極結構佈設於該半導體層的該部分上方。

【英文】

Structures for an extended-drain field-effect transistor and methods of forming an extended-drain field-effect transistor. A source region is coupled to a semiconductor layer, a drain region is coupled to the semiconductor layer, and a first gate structure is positioned over a channel region of the semiconductor layer. An extended drain region is positioned between the channel region and the drain region. The extended drain region includes a portion of the semiconductor layer between the first gate structure and the drain region. A second gate structure is arranged over the portion of the semiconductor layer.

【指定代表圖】 圖3

【代表圖之符號簡單說明】

10:裝置結構

14:裝置層

15:頂面

16:埋置絕緣體層

17:界面

18:基板

20:摻雜區域

22:閘極結構

24:閘極結構

26:閘極電極

28:閘極電介質

32:源極區域

34:汲極區域

36:區段

38:區段

40:半導體層

42:介電層

44:矽化物層

46:接觸件

48:接觸件

50:接觸件

52:層間介電層

54:後段製程互連結構、互連結構

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 包含浮動閘極之延伸汲極場效電晶體

【英文發明名稱】 EXTENDED-DRAIN FIELD-EFFECT TRANSISTORS
INCLUDING A FLOATING GATE

【技術領域】

【0001】 本發明係關於半導體裝置製造和積體電路，更具體而言，關於延伸汲極場效電晶體的結構和形成延伸汲極場效電晶體的方法。

【先前技術】

【0002】 互補金屬氧化物半導體(CMOS)製程可用於構建作為邏輯裝置連接的 p 型和 n 型場效電晶體的組合。場效電晶體的裝置結構通常包括源極、汲極和被配置成在源極和汲極之間的通道區域中切換載流的閘極電極。當向閘極電極施加超過指定閾值電壓的控制電壓時，在通道區域發生載流以產生裝置輸出電流。

【0003】 在例如微波/射頻功率放大器中使用的高壓積體電路通常需要專門的電路技術，能夠承受比邏輯場效電晶體更高的電壓。場效電晶體可以被修改成包括諸如一延伸汲極之類的附加特徵，以促進更高的電壓處理能力。

【0004】 需要一延伸汲極場效電晶體的改進結構以及形成一延伸汲極場效電晶體的改進方法。

【發明內容】

【0005】 在本發明的一實施例中，提供一種延伸汲極場效電晶體的結構。該結構包括具有一通道區域的半導體層，耦接至該半導體層的一源極區域，耦接至該半導體層的一汲極區域，以及位於該通道區域上方的一第一閘極結構。該結構還包括位於該通道區域與該汲極區域之間的一延伸汲極區域。該擴散汲極區域包括位於該第一閘極結構與該汲極區域之間的該半導體層的一部分。該結構還包括佈設於該半導體層的該部分上方的一第二閘極結構。

【0006】 在本發明的一實施例中，提供一種形成一延伸汲極場效電晶體的方法。該方法包括形成一第一閘極結構於一半導體層中的一通道區域的上方，形成耦接至該半導體層的一源極區域，形成耦接至該半導體層的一汲極區域，以及形成佈設於該第一閘極結構與該汲極區域之間的該半導體層的一部分的上方的一第二閘極結構。該半導體層的該部分被包含於該通道區域與該汲極區域之間的一延伸汲極區域中。

【圖式簡單說明】

【0007】 併入本說明書並構成本說明書的一部分的附圖用於說明本發明的各種實施例，並與上述給出的本發明的一般描述和下面給出的實施例的詳細描述一起，用於解釋本發明的實施例。在附圖中，相似元件符號用於指代各視圖中的相似特徵。

【0008】 圖 1 至圖 3 為根據本發明實施例的處理方法的連續製造階段的裝置結構的橫截面圖。

【實施方式】

【0009】參考圖 1，根據本發明的實施例，提供用於形成一延伸汲極場效電晶體的一裝置結構的一晶片 12。在一實施例中，晶片 12 可以是包含一裝置層 14、一埋置絕緣體層 16 以及一基板 18 的一絕緣體上半導體(SOI)晶片。裝置層 14 藉由中間的埋置絕緣體層 16 與基板 18 分離，裝置層 14 可以比基板 18 薄的多。裝置層 14 具有一頂面 15，且沿著界面 17 與埋置絕緣體層 16 共享一邊界。

【0010】裝置層 14 和基板 18 可以由一單晶半導體材料(例如單晶矽)構成，而埋置絕緣體層 16 可由一埋置氧化物(BOX)層構成。裝置層 14 可以由未摻雜且不顯示 n 型導電性或 p 型導電性的本徵半導體材料組成。在一實施例中，裝置層 14 具有大約 3 奈米(nm)至 200nm 範圍內的一厚度。在一實施例中，晶片 12 可以是具有一薄裝置層 14 以及一薄埋置絕緣體層 16 的一極薄絕緣體上半導體(ETSOI)晶片，該 ETSOI 晶片可用於製造完全耗盡 SOI(FDSOI)裝置。在一實施例中，該 ETSOI 晶片的裝置層 14 可具有適於製造 FDSOI 裝置的一超薄區域(即，大約 3nm 至大約 10nm)的一厚度。

【0011】在裝置層 14 的一部分中形成一摻雜區域 20。在一實施例中，摻雜區域 20 可橫跨裝置層 14 的整個厚度而延伸至埋置絕緣體層 16。具體而言，摻雜區域 20 可從裝置層 14 的頂面 15 延伸至裝置層 14 與埋置絕緣體層 16 之間的界面 17。

【0012】摻雜區域 20 可例如由使用覆蓋裝置層 14 上方的一區域以確定裝置層 14 的植入區域的一植入遮罩 19 的離子植入來形成。植入遮罩 19 可以包括一層感光材料，例如一光阻，藉由一旋塗製程施加、預焙、暴露於藉由一光遮罩投射的光、曝光後烘烤、並使用一化學顯影劑顯影。可以選擇植入條件(例如，離子種類、劑量、動能)來調節摻雜區域 20 的電性和物理特性(例如，電阻率和

深度分佈)。植入遮罩 19 可以在形成摻雜區域 20 之後被剝離。

【0013】 在一實施例中，摻雜區域 20 的半導體材料可摻雜用於提供 n 型導電性的一 n 型摻雜劑(例如，磷(P)和/或砷(As))。在一實施例中，摻雜區域 20 的半導體材料可摻雜用於提供 p 型導電性的一 p 型摻雜劑(例如，硼(B))。在一實施例中，摻雜區域 20 可為輕摻雜以包含約 1×10^{17} atoms/cm³ 至約 5×10^{18} atoms/cm³ 的一摻雜濃度。

【0014】 參考圖 2，其中相同的元件符號表示圖 1 中的類似特徵，在一後續製造階段，一閘極結構 22 與一閘極結構 24 在形成該摻雜區域 20 之後形成在裝置層 14 的上方。閘極結構 22 直接位於提供一通道區域的裝置層 14 的一區段上方。閘極結構 24 直接位於裝置層 14 中的摻雜區域 20 的上方，並與全部或部分摻雜區域 20 重疊。

【0015】 閘極結構 22、24 各自包括一閘極電極 26 以及佈置在閘極電極 26 和裝置層 14 之間的一閘極電介質 28。閘極結構 22,24 可以藉由沉積不同組份材料的一層堆疊並利用微影和蝕刻來圖案化該沉積的層堆疊而形成。每個閘極電極 26 可以包含藉由化學氣相沉積且在沉積期間高度摻雜一 p 型或 n 型摻雜劑以提高其導電性的多晶矽。每個閘極電介質 28 可以由一介電材料組成，例如從裝置層 14 生長或藉由原子層沉積而沉積的二氧化矽。閘極結構 24 可以藉由佈置在閘極電極 26 和裝置層 14 的頂面 15 之間的閘極電介質 28 而與摻雜區域 20 直接接觸。

【0016】 側壁間隔件 30 設置為鄰接閘極結構 22,24 的側面或側壁。側壁間隔件 30 可藉由沉積諸如由氮化矽之類的一介電材料構成的一共形層，並使用諸如反應離子蝕刻之類的一非等向性蝕刻製程蝕刻沉積的共形層來形成。

【0017】一半導體層 40 形成在提供一源極區域 32、一汲極區域 34 以及斷開的區段 36,38 的裝置層 14 上。閘極電極 22 設置在源極區域 32 和半導體層 40 的區段 36 之間。半導體層 40 的區段 36,38 定義一延伸汲極區域，該延伸汲極區域還包括摻雜區域 20 和裝置層 14 中形成有摻雜區域 20 的部分。

【0018】半導體層 40 可以由裝置層 14 的頂面磊晶生長。半導體層 40 可在磊晶生長期間以一摻雜劑的一濃度原位摻雜。在一實施例中，半導體層 40 可在磊晶生長期間使用提供 n 型導電性的一 n 型摻雜劑(例如磷和/或砷)進行原位摻雜。在一實施例中，半導體層 40 可以由矽組成，並可以在磊晶生長期間使用一 n 型摻雜劑的一濃度進行摻雜。在一實施例中，半導體層 40 可以由矽組成，並可以在磊晶生長期間使用一 p 型摻雜劑的一濃度進行摻雜。在一實施例中，半導體層 40 可以重摻雜以包含相當於約 1×10^{19} atoms/cm³ 至約 1×10^{20} atoms/cm³ 的摻雜劑濃度。

【0019】參考圖 3，其中相同的元件符號表示圖 2 中的類似特徵，在一後續製造階段，一介電層 42 形成在半導體層 40 的區段 38 上方並與區段 38 直接接觸。介電層 42 可以由藉由原子層沉積而沉積的一介電材料(例如氮化矽)組成。一矽化物層 44 的區段隨後形成在源極區域 32、汲極區域 34 和半導體層 40 的區段 36 上。介電層 42 阻止半導體層 40 的區段 38 上的矽化物的形成，這有助於定位汲極區域 34 的範圍。

【0020】矽化物層 44 可以藉由一矽化製程形成，其中，一矽化物形成金屬的層藉由例如化學氣相沉積或物理氣相沉積而沉積在源極區域 32、汲極區域 34 和半導體層 40 的區段 36 上，以及沉積在半導體層 40 的區段 38 上的介電層 42 上，隨後進行一個或多個退火過程(例如，快速熱退火)。在退火期間，由矽化物

形成金屬的層與半導體層 40 的接觸半導體材料反應形成一矽化物相。矽化物形成金屬的候選材料包括但不限於鎳、鈦、鈷、鈮、鉑或其他能夠與矽反應形成低電阻率、熱穩定矽化物的金屬。形成矽化物層 44 之後剩餘的殘餘矽化物形成金屬可藉由濕化學蝕刻移除。在一實施例中，源極區域 32、汲極區域 34 以及半導體層 40 的區段 36 僅部分矽化，使得在矽化之後，單晶磊晶半導體材料的一厚度在矽化物層 44 的區段下方保持完整且未反應。由於矽化物形成金屬不可與介電層 42 和形成在閘極結構 22,24 上的閘極帽(未示出)的介電材料發生反應，所以矽化製程是自對準的。

【0021】接觸件 46,48,50 可以藉由一層間介電層 52 中的中段(MOL)製程而形成，並分別耦合到源極區域 32、汲極區域 34 和閘極結構 22 的閘極電極 26。隨後可以在層間介電層 52 上方形成一後段製程(BEOL)互連結構 54，該層間介電層 52 包括一個或多個層間介電層以及互連和通孔，各層間介電層由一介電材料組成，由一金屬(如銅、鎢或鈷)組成的互連和通孔與接觸件 46,48,50 相連。

【0022】層間介電層 52 缺少耦合到閘極結構 24 的一接觸件。由於閘極結構 24 未耦合到一接觸件，因此閘極結構 24 未耦合至互連結構 54 或以其他方式連接至互連結構 54。閘極結構 24 的閘極電極 26 藉由閘極電介質 28 與裝置層 14 電性隔離，且層間介電層 52 還為閘極結構 24 的閘極電極 26 提供電性隔離。因此，閘極結構 24 在裝置操作期間浮動。

【0023】所產生的裝置結構 10 是一延伸汲極場效電晶體，其包括閘極結構 22、源極區域 32、汲極區域 34 以及包括摻雜區域 20 和半導體層 40 的區段 36,38 的一延伸汲極區域。汲極區域 34 可以由具有一高壓源的互連結構耦合。基板 18 可藉由互連結構 54 與源極區域 32 耦合以提供一公共源電路配置。閘極結

構 22 的閘極電極 26 的電壓控制從汲極區域 34 到源極區域 32 的電流。

【0024】 裝置層 14 中的摻雜區域 20 與半導體層 40 的區段 36,38 一起形成一延伸汲極區域(即漂移區域)，該延伸汲極區域在沿該延伸汲極場效電晶體的主體內的一延伸距離的源極區域 32 和汲極區域 34 之間產生一電壓降。輕摻雜的摻雜區域 20 具有有助於該電壓降的提高了的電阻率，並且可以允許該延伸汲極場效電晶體在一顯著更高的源極-汲極擊穿電壓(breakdown voltage)下工作。摻雜區域 20 可以在裝置操作期間完全耗盡載子並有效的起到電阻器的作用。閘極結構 24 影響漂移區域中的電流路徑，且閘極結構 24 還有助於允許該延伸汲極場效電晶體在一顯著更高的源極-汲極擊穿電壓下工作。

【0025】 如上所述的方法用於積體電路晶片的製造。由此產生的積體電路晶片可以由製造商以原始晶圓形式(例如，作為具有多個未封裝晶片的一單個晶圓)，裸晶片或封裝形式分佈。該晶片可以與其他晶片，分立電路元件和/或其他信號處理裝置集成在一起，作為中間產品或最終產品的一部分。最終產品可以是任何包含積體電路晶片的產品，例如具有中央處理器的電腦產品或智慧型手機。

【0026】 本文中提及的近似語言修飾的術語的引用，諸如“大約”，“近似”和“基本上”，不限於所指定的精確值。近似語言可能與用於測量該值的儀器的精度相對應，除非儀器的精度另有規定，否則可表示規定值的 $\pm 10\%$ 。

【0027】 本文中針對諸如“垂直”、“水平”等術語的引用是藉由示例而非限制的方式來建立參考框架的。本文使用的術語“水平”被定義為與半導體基本的常規平面平行的平面，而不管其實際的三維空間取向如何。術語“垂直”和“法線”是指垂直於水平方向的方向，正如先前所定義的。術語“橫向”指示該水平面的方向。

【0028】 一特徵“連接”或“耦合”至另一特徵可以直接連接或耦合至另一特

徵，或者可替代的，可以存在一個或多個中間特徵。如果不存在中間特徵，則一個特徵可以“直接連接”或“直接耦合”至另一特徵。如果存在至少一個中間特徵，則一個特徵可以“間接連接”或“間接耦合”至另一特徵。一個特徵位於另一特徵“上”或“接觸”另一特徵可以直接位於另一特徵上或直接接觸另一特徵，或者可替代的，可以存在一個或多個中間特徵。如果不存在中間特徵，則一個特徵可直接位於另一特徵上或直接接觸另一特徵。如果存在至少一個中間特徵，則一個特徵可以間接位於另一個特徵上或間接接觸另一個特徵。

【0029】 本發明的各種實施例的描述是為了說明的目的而提出的，但並不打算是詳盡的或僅限於所公開的實施例。在不脫離所描述的實施例的範圍和精神的情況下，對於本領域的普通技術人員來說，許多修改和變化是顯而易見的。本文使用的術語被選擇用於最好地解釋實施例的原理、實際應用或相對於市場上發現的技術的改進，或者使本領域的其他技術人員能夠理解本文公開的實施例。

【符號說明】

【0030】

10:裝置結構

12:晶片

14:裝置層

15:頂面

16:埋置絕緣體層

17:界面

- 18:基板
- 19:植入遮罩
- 20:摻雜區域
- 22:閘極結構
- 24:閘極結構
- 26:閘極電極
- 28:閘極電介質
- 30:側壁間隔件
- 32:源極區域
- 34:汲極區域
- 36:區段
- 38:區段
- 40:半導體層
- 42:介電層
- 44:矽化物層
- 46:接觸件
- 48:接觸件
- 50:接觸件
- 52:層間介電層
- 54:後段製程互連結構、互連結構

【發明申請專利範圍】

【請求項1】 一種延伸汲極場效電晶體的結構，該結構包括：

半導體層，由本徵半導體材料組成；

源極區域，包含於該半導體層上方的摻雜半導體材料之第一區段；

汲極區域，包含於該半導體層上方的該摻雜半導體材料之第二區段；

第一閘極結構，位於該半導體層上方；

延伸汲極區域，包含位於該第一閘極結構與該汲極區域之間的該半導體層的一部分；

第二閘極結構，位於該半導體層的該部分上方；以及

互連結構，位於該半導體層上方，

其中，該第二閘極結構未耦合至該互連結構，該延伸汲極區域包含在該半導體層的該部分中的摻雜區，該摻雜區位於第二閘極結構下方，且該摻雜區、該摻雜半導體材料的該第一區段及該摻雜半導體材料的該第二區段摻雜一摻雜劑。

【請求項2】 如請求項 1 所述的結構，進一步包括：

層間介電層，位於該半導體層上方；

第一接觸件，位於該層間介電層中，該第一接觸件耦接該源極區域；

第二接觸件，位於該層間介電層中，該第二接觸件耦接該汲極區域；以及

第三接觸件，位於該層間介電層中，該第三接觸件耦接該第一閘極結構；

其中，該層間介電層缺少與該第二閘極結構的連接。

【請求項3】 如請求項 1 所述的結構，其中，該延伸汲極區域進一步包括位於該第二閘極結構與該汲極區域之間的該半導體材料之第三區段。

【請求項4】 如請求項 1 所述的結構，其中，該摻雜區域摻雜該摻雜劑。

【請求項5】如請求項 4 所述的結構，其中，該摻雜劑為 n 型摻雜劑。

【請求項6】如請求項 5 所述的結構，其中，該半導體材料的該第一區段與該第二區段重摻雜該 n 型摻雜劑。

【請求項7】如請求項 1 所述的結構，其中，該半導體層為絕緣體上矽晶圓的裝置層。

【請求項8】如請求項 7 所述的結構，其中，該摻雜區域從該裝置層的頂面延伸至該裝置層與該絕緣體上矽晶圓的埋置絕緣體層之間的界面。

【請求項9】如請求項 3 所述的結構，進一步包括：

矽化物層，位於該汲極區域上方，該矽化物層與該摻雜半導體材料的該第二區段直接接觸；以及

介電層，位於該半導體層的該第三區段上方。

【請求項10】一種形成延伸汲極場效電晶體的方法，該方法包括：

形成第一閘極結構於半導體層中的通道區域上方，該半導體層由本徵半導體材料組成；

形成包含於該該半導體層上方的摻雜半導體材料之第一區段的源極區域；

形成包含於該半導體層上方的該摻雜半導體材料之第二區段的汲極區域；

形成位於該第一閘極結構與該汲極區域之間的該半導體層的一部分上方的第二閘極結構；

形成摻雜區域於該半導體層的該部分中；以及

形成互連結構於該半導體層上方，

其中，該半導體層的該摻雜區域及該部分被包含於延伸汲極區域中，該第二閘極結構未耦合至該互連結構，該摻雜區位於第二閘極結構下方，且該摻雜區、

該摻雜半導體材料的該第一區段及該摻雜半導體材料的該第二區段摻雜一摻雜劑。

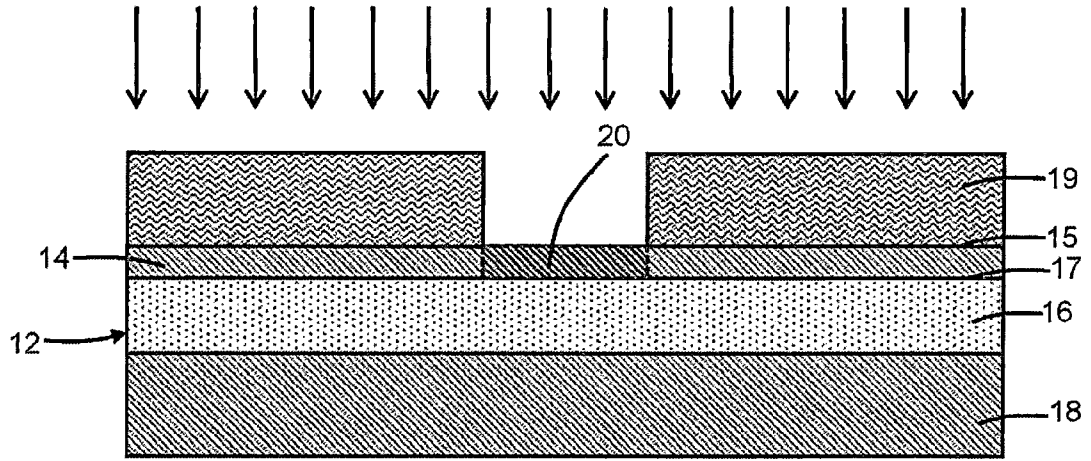
【請求項11】如請求項 10 所述的方法，其中，該半導體層為絕緣體上矽晶圓的裝置層，且該摻雜區域從該裝置層的頂面延伸至該裝置層與該絕緣體上矽晶圓的埋置絕緣體層之間的界面。

【請求項12】如請求項 10 所述的方法，其中，形成該互連結構進一步包括：
形成層間介電層於該半導體層上方；以及
形成第一接觸件、第二接觸件以及第三接觸件於該層間介電層中；
其中，該第一接觸件耦接至該源極區域，該第二接觸件耦接至該汲極區域，該第三接觸件耦接至該第一閘極結構，且該層間介電層缺少耦接至該第二閘極結構的接觸件。

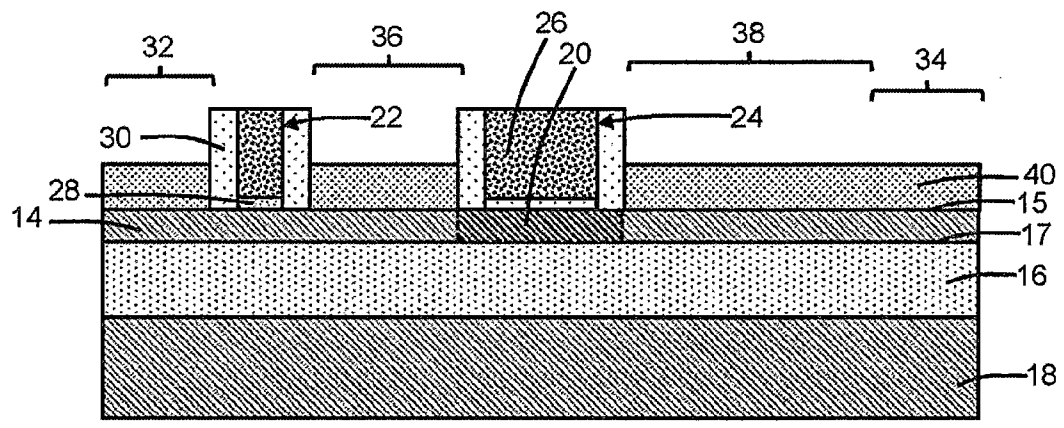
【請求項13】如請求項 10 所述的方法，其中，從該半導體層磊晶生長該摻雜半導體材料的該第一區段和該第二區段。

【請求項14】如請求項 13 所述的方法，其中，該延伸汲極區域進一步包括位於該第二閘極結構與該汲極區域之間的該半導體材料之第三區段。

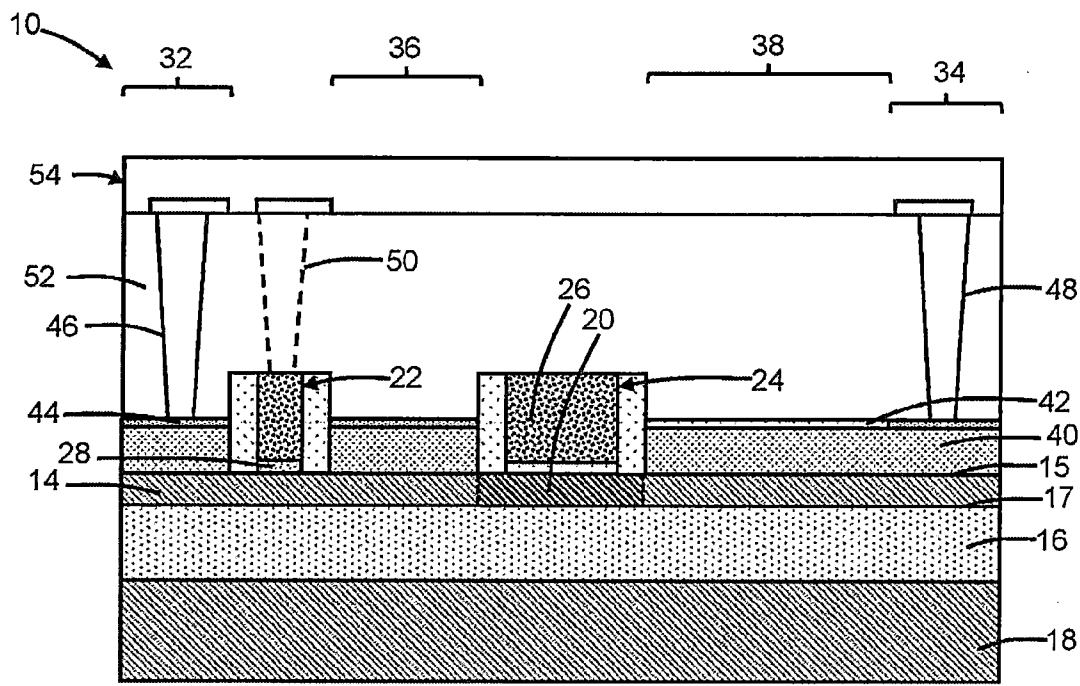
【發明圖式】



【圖1】



【圖2】



【圖3】