

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G09G 3/30

(11) 공개번호 10-2005-0049686  
(43) 공개일자 2005년05월27일

(21) 출원번호 10-2003-0083383  
(22) 출원일자 2003년11월22일

(71) 출원인 삼성에스디아이 주식회사  
경기 수원시 영통구 신동 575

(72) 발명자 김홍권  
경기도의왕시왕곡동선경원호아파트102동1506호

(74) 대리인 박상수

심사청구 : 있음

(54) 유기전계발광표시장치의 픽셀구동회로

요약

본 발명은 유기전계발광표시장치에 관한것으로써, 상세하게는 구동트랜지스터의 게이트전압을 보상하여 이에 따른 유기 EL패널의 명도효율을 향상시킬 수 있는 유기전계발광표시장치의 픽셀구동회로에 관한 것이다.

이와 같은 본 발명의 구성은 선택신호에 의해 온되어 데이터신호를 전달하는 제 1 박막트랜지스터와; 데이터신호를 저장하는 스토리지 캐패시터와; 데이터신호에 의해 온되는 제 2 박막트랜지스터와; 상기 제 1 박막트랜지스터와 제 2 박막트랜지스터 사이에서 상기 제 2 박막트랜지스터의 문턱전압의 편차를 보상하는 제 3 박막트랜지스터와; 상기 제 2 박막트랜지스터에서 전달되는 구동신호에 따라 발광하는 유기EL소자와; 상기 제 2 박막트랜지스터와 상기 유기EL소자(OLED)에 구성되어 상기 유기EL소자의 구동을 제어하는 제 5 박막트랜지스터를 포함하되, 제 1 전극이 상기 제 3 박막트랜지스터의 출력측에 연결되고, 제 2 전극이 상기 제 3 박막트랜지스터의 게이트와 상기 제 2 박막트랜지스터의 게이트에 공통연결되며, 상기 제 2 박막트랜지스터 보다 큰 기생용량을 갖는 제 6 박막트랜지스터가 포함되는 것을 특징으로 한다.

대표도

도 5

색인어

유기전계발광표시장치, 게이트전압보상, OLED, 미러트랜지스터

명세서

도면의 간단한 설명

- 도 1은 일반적인 유기EL패널을 나타낸 블럭도,
- 도 2는 종래의 픽셀회로를 나타낸 회로도,
- 도 3은 종래의 픽셀회로의 내부저항을 나타낸 회로도,
- 도 4는 종래 픽셀회로의 타이밍도,
- 도 5는 본 발명에 따른 바람직한 실시예를 나타낸 회로도,
- 도 6은 기생용량을 표시한 회로도,
- 도 7은 도 6의 등가회로도,

도 8은 데이터전압을 측정한 파형도이다.

\* 도면부호에 대한 간단한 설명 \*

10 : 유기EL패널 20 : 픽셀

30 : 데이터드라이버 40 : 스캔드라이버

M1~M6 : 박막트랜지스터 Cst : 스토리지 캐패시터

S(n) : 이전주사선 S(n-1) : 이전주사선

EM(n) : 발광제어선

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광표시장치에 관한것으로써, 상세하게는 구동트랜지스터의 게이트전압을 보상하여 이에 따른 유기EL패널의 명도효율을 향상시킬 수 있는 유기전계발광표시장치의 픽셀구동회로에 관한 것이다.

유기EL소자(OLED)는 전자와 정공의 재결합으로 형광물질을 발광시키는 자발광소자로서, 이를 이용한 EL 디스플레이는 액정 디스플레이장치와 같이 별도의 광원을 필요로 하는 수동형 발광소자에 비하여 응답속도가 빠르고, 직류구동전압이 낮고 초박막화가 가능하기 때문에 벽걸이형 또는 휴대용으로 응용이 가능하다.

이와 같은 유기EL발광셀을 구동하는 방식으로는 단순매트릭스(passive matrix) 방식과 TFT를 이용한 능동구동(active matrix)방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동구동방식은 TFT와 캐패시터를 각 ITO 화소전극에 접속하여 캐패시터 용량에 의해 전압을 유지하도록 하는 구동방식이다.

도 1은 일반적인 액티브 매트릭스형 유기전계발광 표시장치의 개략적인 평면도이다.

도면부호 10은 EL패널, 20은 픽셀회로, 30은 데이터드라이버, 40은 스캔드라이버이다.

스캔드라이버(40)는 주사선(S1, S2, S3, S4.....S<sub>n</sub>)을 통해 선택신호를 순차적으로 출력하고, 데이터드라이버(30)는 데이터선(D1, D2, D3...D<sub>y</sub>)을 통해 화상신호를 나타내는 데이터전압을 출력하고, 유기EL패널은 상기 주사선과 데이터선이 종과 횡으로 배열되고, 그 교차부에 픽셀(20)을 포함한다.

스캔드라이버(40)로부터 주사선을 통해 선택신호가 인가되고, 데이터드라이버(30)로부터 영상데이터가 픽셀(20)에 인가되면, 상기 픽셀(20)은 인가된 데이터신호에 따라서 소정의 색상을 발광한다. 여기서 상기 픽셀(20)의 구동전류는 아래의 수학적식에 의해 구해진다.

#### 수학적식 1

$$I_{OLED} = \frac{\beta}{2} (V_{gs} - V_{th})^2 = \frac{\beta}{2} (V_{dd} - V_{data} - V_{th})^2$$

여기서, I<sub>OLED</sub>는 유기EL 소자에 흐르는 전류, V<sub>gs</sub>는 구동트랜지스터의 소스와 게이트 사이의 전압, V<sub>th</sub>는 스위칭트랜지스터의 문턱전압, V<sub>data</sub>는 데이터 전압, β는 상수 값을 나타낸다.

수학적식 1에 나타낸 바와 같이, 일반적인 픽셀회로(20)는 통상 스위칭트랜지스터와 구동트랜지스터, 그리고 스토리지 캐패시터가 구성되는 2Tr, 1Cap구조이다. 이와 같은 픽셀회로(20)는 스위칭 트랜지스터가 상기 주사선의 선택신호에 의해 온되어 데이터전압을 전달하면, 이를 스토리지 캐패시터가 저장하여 구동트랜지스터를 온시킨다. 그러므로 상기 구동트랜지스터의 게이트-소스전압에서 상기 스위칭트랜지스터의 문턱전압의 차에 해당되는 전류가 유기EL소자(OLED)에 전달되므로써 발광된다.

그러나 이와 같은 일반적인 픽셀회로는 제조공정의 불균일성에 의해 TFT의 문턱전압(V<sub>th</sub>)에 편차가 발생함으로 인해 유기EL소자(OLED)(OLED)에 공급되는 전류의 양이 달라져서 발광 휘도가 달라지는 문제점이 있다.

도 2는 이러한 문제점을 해결하기 위하여 고안된 것으로, 문턱전압(Vth) 변화에 의한 휘도 불균일성을 방지할 수 있는 픽셀 회로를 나타낸다.

도면부호 M1~M5는 박막트랜지스터, Cst는 스토리지 캐패시터, Vdd는 전원전압, Vss는 캐소드전압, Vint는 초기화전압이다.

도시된 바와 같이 제 1 박막트랜지스터(M1)의 게이트에는 주사선(S(n))이 연결되고, 소스에는 데이터선(DATA)이 연결된다. 아울러 상기 제 1 박막트랜지스터(M1)의 드레인은 제 3 박막트랜지스터(M3)의 소스에 연결된다. 상기 제 3 박막트랜지스터(M3)의 게이트에는 제 2 박막트랜지스터(M2)의 게이트가 연결되고, 드레인에는 제 4 박막트랜지스터(M4)의 소스에 연결된다. 제 4 박막트랜지스터(M4)는 게이트에 이전주사선(S(n-1))이 연결되고 드레인에는 초기화전압(Vint)이 연결된다. 아울러 제 2 박막트랜지스터(M2)는 게이트에 제 3 박막트랜지스터(M3)의 게이트가 연결되고, 소스에는 전원전압(Vdd)과, 드레인에는 제 5 박막트랜지스터(M5)가 연결된다. 그리고 상기 제 5 박막트랜지스터(M5)는 게이트에 발광제어선(EM(n)), 드레인에는 유기EL소자(OLED)가 연결된다. 또한 상기 제 2 박막트랜지스터(M2)와 제 3 박막트랜지스터(M3)의 게이트와 전원전압(Vdd) 사이에 스토리지 캐패시터(Cst)가 연결된다.

상기와 같은 종래의 픽셀구동회로는 도 3과 도 4를 이용하여 설명한다. 도 3은 종래의 픽셀회로의 자체저항을 나타낸 회로도, 도 4는 데이터전압을 측정할 수 있는 회로도이다.

먼저 이전주사선(S(n-1))으로부터 선택신호가 인가되면 제 4 박막트랜지스터(M4)는 온되므로 전원전압(Vdd)이 스토리지 캐패시터(Cst)에 프리차징(Pre-charge)된다. 그리고 발광제어선(EM(n))으로부터 하이신호가 인가되므로 제 5 박막트랜지스터(M5)는 오프되어 제 2 박막트랜지스터(M2)로부터의 전류가 유기EL소자(OLED)에 인가되는 것을 차단한다. 이후 일정시간이 경과되면 상기 이전주사선(S(n-1))으로부터 오프신호가 인가되어 제 4 박막트랜지스터(M4)는 오프되므로 프리차징이 완료된다. 아울러 일정시간의 지연시간(Blanking Time)을 거쳐 주사선(S(n))으로부터 선택신호가 제 1 박막트랜지스터(M1)의 게이트에 인가되므로 데이터선(Data)으로부터 출력된 데이터전압이 상기 제 1 박막트랜지스터(M1)의 소스측에서 드레인측으로 출력된다. 이때 상기 스토리지 캐패시터(Cst)에 저장된 프리차징전압에 의해 제 3 박막트랜지스터(M3)가 온되므로 상기 데이터전압(Vdata)이 제 3 박막트랜지스터(M3)를 거쳐 스토리지 캐패시터(Cst)에 저장된다.

여기서 상기 스토리지 캐패시터(Cst)에 충전된 데이터전압은 데이터전압과 상기 제 3 박막트랜지스터(M3)의 문턱전압(Vth)의 차가 된다. 아울러 발광제어선(EM(n))으로부터 로우신호가 상기 제 5 박막트랜지스터(M5)에 인가되면, 상기 제 5 박막트랜지스터(M5)는 온되므로 제 2 박막트랜지스터(M2)로부터 전원전압(Vdd)과 상기 스토리지 캐패시터(Cst)에 저장된 데이터전압의 차에 해당되는 전류를 상기 유기EL소자(OLED)에 출력되므로 유기EL소자(OLED)가 발광된다. 이는 하기의 수학식 2를 이용하여 상세히 설명한다.

수학식 2

$$I_{OLED} = \beta/2(V_{GS} - V_{TH})^2 = \beta/2(V_{dd} - V_{data} - V_{TH})^2 = \beta/2(V_{dd} - (V_{data} - V_{TH}) - V_{TH})^2$$

$$= \beta/2(V_{dd} - V_{data})^2$$

상기 스토리지 캐패시터(Cst)에 저장된 데이터전압은 상술한 바와 같이 제 3 박막트랜지스터(M3)의 문턱전압을 뺀 나머지이고, 제 2 박막트랜지스터(M2)의 게이트-소스전압(VGS))은 전원전압(Vdd)과 스토리지 캐패시터(Cst)에 저장된 데이터전압(Vdata)과 상기 제 2 박막트랜지스터(M2)의 문턱전압(VTH)의 차에 해당되는 전압이 된다.

그러므로 상기 제 2 및 제 3 박막트랜지스터(M2)(M3)의 특성이 동일하여 문턱전압(VTH)일하다면 상기 스토리지 캐패시터(Cst)에는 데이터전압과 상기 제 3 박막트랜지스터(M3)의 문턱전압(VTH)이 저장되고, 상기 제 2 박막트랜지스터(M2)의 문턱전압(VTH)은 상기와 같은 수학식2와 같이 문턱전압(VTH)이 보상된다. 그러므로 상기 유기EL소자(OLED)에 출력되는 전류는 전원전압(Vdd)과 데이터전압(Vdata)의 차에 해당되는 전류가 된다.

도 3은 종래의 픽셀회로를 설명하기 위한 회로도, 도 4는 데이터전압을 측정할 수 있는 회로도이다. 여기서 상술한 바와 같이 제 2 박막트랜지스터(M2)에서 유기EL소자(OLED)에 인가되는 불필요한 전류를 차단하기 위한 제 5 박막트랜지스터(M5)를 제 1 저항(R1)으로 표현하고, 유기EL소자(OLED)의 자체저항을 제 2 저항(R2)으로 표현하여 설명한다.

통상적으로 유기전계발광표시장치의 명도(Contrast Ratio)를 구현하기 위해서는 유기EL소자(OLED)의 자체저항(R2)보다 상기 제 5 박막트랜지스터(M5)에 의한 저항(R1)이 높은것이 바람직하다. 그러나 일반적으로 제 5 박막트랜지스터(M5)와 유기EL소자(OLED)의 저항(R1)(R2)은 동일하며 이는 곧 제 5 박막트랜지스터(M5)가 턴온되어 제 2 박막트랜지스터(M2)에서 유기EL소자(OLED)의 구동전류가 인가되면, 상기 제 2 박막트랜지스터(M2)의 게이트와 제 3 박막트랜지스터(M3)의 게이트간의 공통노드(CL)의 데이터전압은 도 4 에 도시된 바와 같이 일정전압(ΔV)이 감소된다. 이는 제 5 박막트랜지스터(M5)의 기생용량에 의하여 저항(R1)이 감소되기 때문에 발생하는 것으로, 이로 인하여 유기EL소자(OLED)의 효율적인 명도의 표현이 어렵게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하고자 안출된 본 발명은 구동트랜지스터와 보상트랜지스터간의 공통노드에 기생용량을 추가하여 구동트랜지스터의 게이트전압을 상승시켜 데이터전압을 보상함으로써 유기EL소자의 발광제어수단의 자체저항을 상승시켜 유기EL소자에서 표현되는 명도의 효율을 높일 수 있는 유기전계발광표시장치의 픽셀회로를 제공하는 것을 목적으로 한다.

**발명의 구성 및 작용**

상기와 같은 목적을 달성하기 위한 본 발명의 구성은 다수의 데이터선과 주사선이 횡과 열로 배열되고 그 교차부에 픽셀회로를 구비한 유기전계발광표시장치에 있어서, 상기 주사선으로부터 인가되는 선택신호에 의해 온되어 데이터신호를 전달하는 제 1 박막트랜지스터와; 상기 제 1 박막트랜지스터에서 전달되는 상기 데이터신호를 저장하는 스토리지 캐패시터와; 상기 스토리지 캐패시터에서 저장된 데이터신호에 의해 온되는 제 2 박막트랜지스터와; 이전주사선을 통해 전달된 선택신호에 의해 상기 제 1 박막트랜지스터와 제 2 박막트랜지스터 사이에서 상기 제 2 박막트랜지스터의 문턱전압의 편차를 보상하는 제 3 박막트랜지스터와; 상기 스토리지캐패시터에 연결되어 초기화를 진행하는 제 4 박막트랜지스터와; 상기 제 2 박막트랜지스터에서 전달되는 구동신호에 따라 발광하는 유기EL소자와; 제 1 전극이 상기 제 3 박막트랜지스터의 출력측에 연결되고, 제 2 전극이 상기 제 3 박막트랜지스터의 게이트와 상기 제 2 박막트랜지스터의 게이트에 공통연결되며, 상기 제 2 박막트랜지스터 보다 큰 기생용량을 갖는 제 6 박막트랜지스터가 포함되는 것을 특징으로 한다.

또한, 여기서, 상기 제 6 박막트랜지스터는 상기 제 2 박막트랜지스터의 게이트전압의 편차를 보상하는 것을 특징으로 한다.

그리고, 상기 제 6 박막트랜지스터는 상기 제 3 박막트랜지스터로부터 전달되는 데이터전압을 일정레벨로 상승시키는 것을 특징으로 한다.

또한, 상기 제 6 박막트랜지스터는 P-MOS형 박막트랜지스터인것을 특징으로 한다.

아울러, 상기 제 6 박막트랜지스터는 소스측에 상기 제 3 박막트랜지스터가 연결되고, 드레인에 제 2 박막트랜지스터의 게이트에 연결되고, 게이트에 주사선이 연결된다.

또는, 상기 제 6 박막트랜지스터는 N-MOS형 박막트랜지스터인것을 특징으로 하는 한다.

아울러, 상기 제 6 박막트랜지스터는 게이트에 구동제어선이 연결된다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

도 5는 본 발명의 바람직한 실시예를 나타낸 회로도이다.

여기서는 종래와 동일한 구성요소 및 작용에 대한 설명은 생략하며, 본 발명의 요지부분만을 설명한다. 도시된 바와 같이 본 발명은 제 3 박막트랜지스터(M3)의 드레인에 제 6 박막트랜지스터(M6)가 연결되며, 상기 제 6 박막트랜지스터(M6)는 게이트가 주사선에 연결되고, 드레인에는 제 2 박막트랜지스터(M2)와 제 3 박막트랜지스터(M3)의 게이트사이에 공통노드(CL)와 연결된다.

이에 대한 동작설명은 도 6과 도 7을 이용하여 설명한다. 도 6은 본 발명의 작용설명을 위한 기생용량을 표시한 회로도, 도 7은 도 6의 등가회로도이다.

먼저, 제 5 박막트랜지스터(M5)는 발광제어선(EM(n))으로부터 오프신호가 인가되므로 오프되고, 제 4 박막트랜지스터(M4)는 이전주사선(S(n-1))으로부터 선택신호가 인가됨에 따라 온되므로 전원전압(Vdd)이 스토리지 캐패시터(Cst)에 저장되고, 상기 스토리지 캐패시터(Cst)에 저장된 전압은 제 3 박막트랜지스터(M3)를 온시킨다. 이후, 상기 이전주사선(S(n-1))의 선택신호가 오프되고 주사선(S(n))으로부터 온신호가 인가되면 제 1 박막트랜지스터(M1)는 온되어 상기 데이터선으로부터 출력되는 데이터전압을 제 3 박막트랜지스터(M3)에 전달한다. 그러므로 제 3 박막트랜지스터(M3)는 상기 스토리지 캐패시터(Cst)에 저장된 전압에 의해 온 상태이므로 전달된 데이터전압과 문턱전압의 차에 해당하는 전압을 제 6 박막트랜지스터(M6)에 전달한다.

제 6 박막트랜지스터(M6)는 상기 주사선(S(n))의 선택신호에 의해 온되어 상기 제 3 박막트랜지스터(M3)에서 전달되는 데이터전압을 일정레벨( $\Delta V_2$ )로 상승시켜 이를 공통노드(CL)에 전달한다.

도 6에 도시된 바와 같이 제 6 박막트랜지스터(M6)와 제 2 박막트랜지스터(M2)에는 기생용량(C1)(C2)이 존재하며 도 7에서는 이를 등가회로로 도시하였다. 여기서 상기 제 6 박막트랜지스터(M6)의 기생용량을 제 1 기생용량(C1), 제 2 박막트랜지스터(M2)의 기생용량을 제 2 기생용량(C2), 제 1 기생용량(C1)의 양단에 걸리는 전압은 V1, 제 2 기생용량(C2)에 걸리는 전압은 V2의 도면부호를 부여하고, 입력전압과 상기 제 1 기생용량(C1)의 V1의 전압차는  $\Delta V_1$ , 입력전압과 제 2 기생용량(C2)의 V2의 전압차는  $\Delta V_2$ 로 도면부호를 부여하여 설명한다.

일반적으로 제 1 기생용량(C1)과 제 2 기생용량(C2)의 공통노드(C)에 걸리는 전압은 입력전압(Vin)과 출력전압(Vout)의 차에 해당하는 전압이 걸리게 되며, 이 전압은 입력전압에 비하여 일정레벨상승된 전위( $\Delta V_2$ )를 갖게 된다. 본 발명은 이러한 특성을 이용하여 제 2 박막트랜지스터(M2)의 게이트에 제 6 박막트랜지스터(M6)를 구성함으로써 제 2 박막트랜지스터(M2)와 게이트전압을 일정레벨 상승시킨다. 아울러 상기 제 6 박막트랜지스터(M6)의 기생용량(C1)은 상기 제 2 박막트랜지스터(M2)의 기생용량(C2)보다 큰것이 바람직하다. 여기서 상기 상승되는 일정레벨의 전위는 하기와 같은 수학적식3에 의해 구해진다.

수학식 3

$$\Delta V2=C2/(C1+C2)\Delta V1$$

따라서 상승한 바와 같이 공통노드(CL)에서 상승된 일정전위는 제 5 박막트랜지스터(M5)의 저항이 감소됨에 따라 발생하는 데이터전압의 감소폭을 상쇄하게 된다. 이는 도 8의 데이터전압의 파형을 나타낸 측정도에 도시된 바와 같다. 이를 설명하면, 제 5 박막트랜지스터(M5)가 오프상태에서 공통노드(CL)에 걸리는 전압은 종래의 보상회로에 비하여  $\Delta V2$ 만큼의 전위가 상승되고, 상기 제 5 박막트랜지스터(M5)가 온될시에는 상승전위만큼 감소되므로 원래의 데이터전압은 그 전위를 유지하게 된다.

그러므로 상기 제 5 박막트랜지스터(M5)의 저항(R1)은 유기EL소자(OLED)의 저항(R2)보다 상승되므로 상기 유기EL소자(OLED)에 인가되는 구동전류를 적절하게 제어할 수 있어 명도효율(Contrast Ratio)을 상승시킬 수 있다.

상기 발명의 상세한 설명은 본 발명의 특정 실시예를 예로 들어서 설명하였으나, 본 발명은 이에 한정되는 것은 아니며, 본 발명의 개념을 이탈하지 않는 범위 내에서 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의하여 여러 가지 형태로 변형 또는 변경 실시하는 것 또한 본 발명의 개념에 포함되는 것은 물론이다.

발명의 효과

상술한 바와 같이 본 발명은 미러트랜지스터를 이용한 전압보상회로에서 별도의 보상트랜지스터를 추가하여 구동트랜지스터의 게이트전압을 일정레벨 상승시킴에 따라 종래의 보상회로에서 감소되는 전압을 상쇄시킴에 따라 발광제어 트랜지스터의 저항이 상승되므로 상기 유기EL소자(OLED)의 구동전류를 적절하게 제어할 수 있어 유기전계발광표시장치의 명도효율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

다수의 데이터선과 주사선이 횡과 열로 배열되고 그 교차부에 픽셀회로를 구비한 유기전계발광표시장치에 있어서, 상기 픽셀회로는

상기 주사선으로부터 인가되는 선택신호에 의해 온되어 데이터신호를 전달하는 제 1 박막트랜지스터와; 상기 제 1 박막트랜지스터에서 전달되는 상기 데이터신호를 저장하는 스토리지 캐패시터와; 상기 스토리지 캐패시터에서 저장된 데이터신호에 의해 온되는 제 2 박막트랜지스터와; 이전주사선을 통해 전달된 선택신호에 의해 상기 제 1 박막트랜지스터와 제 2 박막트랜지스터 사이에서 상기 제 2 박막트랜지스터의 문턱전압의 편차를 보상하는 제 3 박막트랜지스터와; 상기 스토리지 캐패시터에 연결되어 초기화를 진행하는 제 4 박막트랜지스터와; 상기 제 2 박막트랜지스터에서 전달되는 구동신호에 따라 발광하는 유기EL소자(OLED)와; 상기 제 2 박막트랜지스터와 상기 유기EL소자(OLED)에 구성되어 상기 유기EL소자(OLED)의 구동을 제어하는 제 5 박막트랜지스터를 포함하되,

제 1 전극이 상기 제 3 박막트랜지스터의 출력측에 연결되고, 제 2 전극이 상기 제 3 박막트랜지스터의 게이트와 상기 제 2 박막트랜지스터의 게이트에 공통연결되며, 상기 제 2 박막트랜지스터 보다 큰 기생용량을 갖는 제 6 박막트랜지스터가 포함되는 것을 특징으로 하는 유기전계발광표시장치의 픽셀구동회로.

청구항 2.

제 1 항에 있어서, 상기 제 6 박막트랜지스터는

상기 제 2 박막트랜지스터의 게이트전압의 편차를 보상하는 것을 특징으로 하는 유기전계발광표시장치의 픽셀구동회로.

청구항 3.

제 2 항에 있어서, 상기 제 6 박막트랜지스터는

상기 제 3 박막트랜지스터로부터 전달되는 데이터전압을 일정레벨로 상승시키는 것을 특징으로 하는 유기전계발광표시장치의 픽셀구동회로.

청구항 4.

제 3 항에 있어서, 상기 제 6 박막트랜지스터는

P-MOS형 박막트랜지스터인것을 특징으로 하는 유기전계발광표시장치의 픽셀구동회로.

#### 청구항 5.

제 4 항에 있어서, 상기 제 6 박막트랜지스터는

소스측에 상기 제 3 박막트랜지스터가 연결되고, 드레인에 제 2 박막트랜지스터의 게이트에 연결되고, 게이트에 주사선이 연결되는 것을 특징으로 하는 유기전계발광표시장치의 픽셀구동회로.

#### 청구항 6.

제 1 항에 있어서, 상기 제 6 박막트랜지스터는

N-MOS형 박막트랜지스터인것을 특징으로 하는 유기전계발광표시장치의 픽셀구동회로.

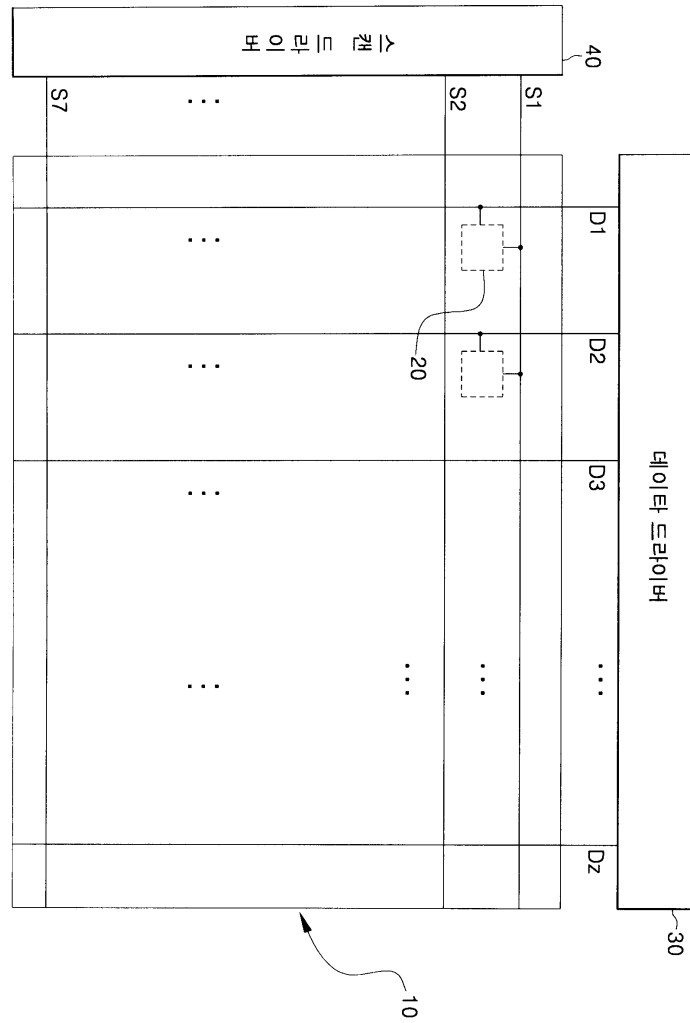
#### 청구항 7.

제 6 항에 있어서 상기 제 6 박막트랜지스터는

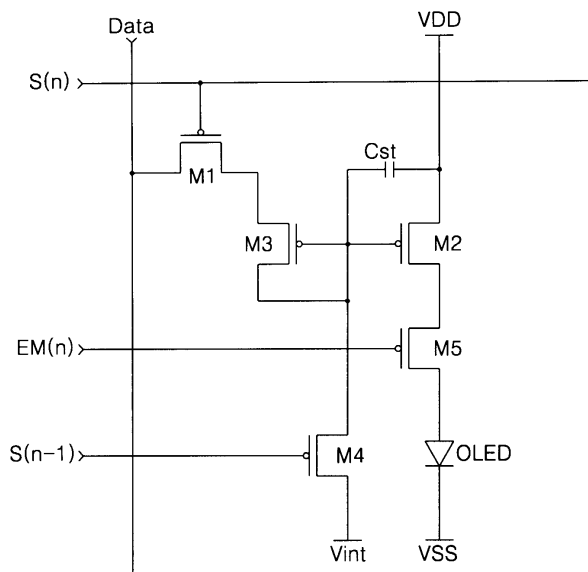
게이트에 구동제어선이 연결되는 것을 특징으로 하는 유기전계발광표시장치의 픽셀구동회로.

도면

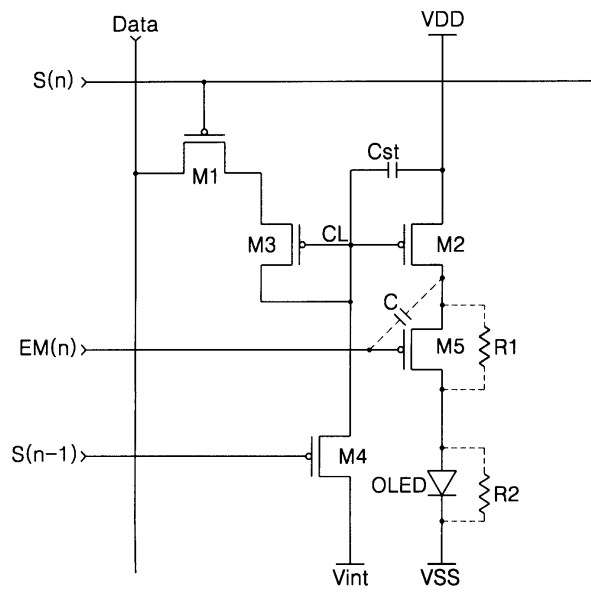
도면1



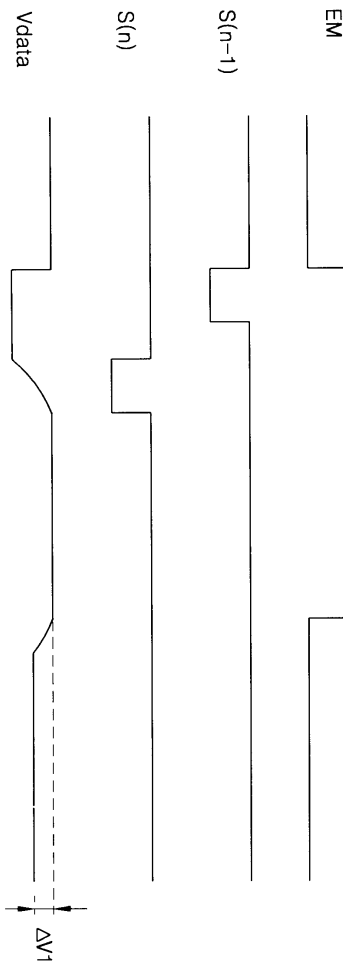
도면2



도면3

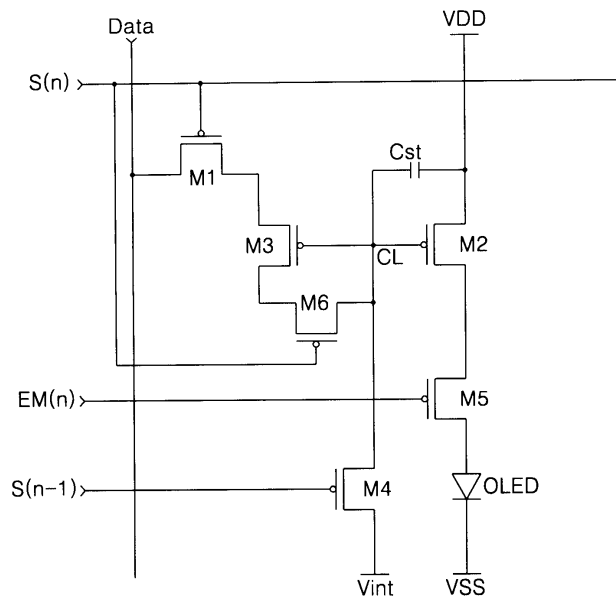


도면4

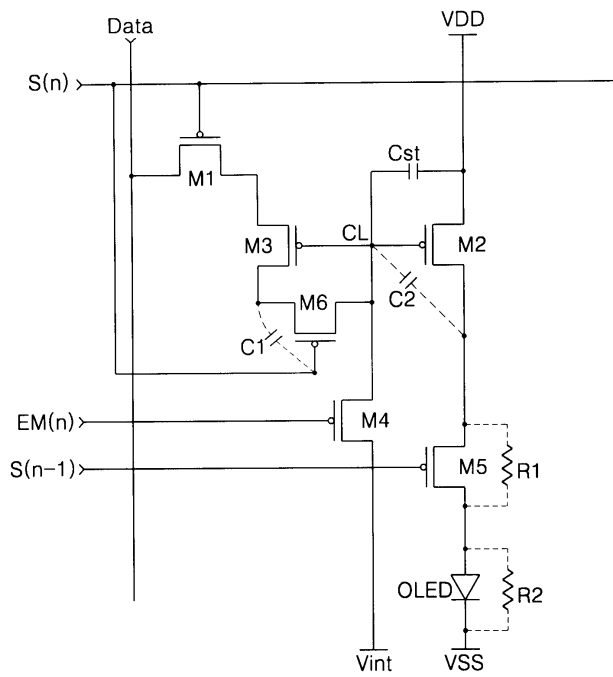




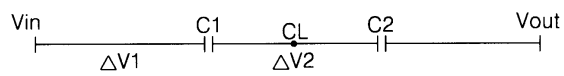
도면5



도면6



도면7



도면8

