



(12) 发明专利

(10) 授权公告号 CN 101388360 B

(45) 授权公告日 2011. 01. 05

(21) 申请号 200810210195. 7

(22) 申请日 2008. 09. 10

(30) 优先权数据

10-2007-0091339 2007. 09. 10 KR

(73) 专利权人 东部高科股份有限公司

地址 韩国首尔

(72) 发明人 金升炫

(74) 专利代理机构 北京集佳知识产权代理有限公司

公司 11227

代理人 朱胜 王萍

(51) Int. Cl.

H01L 21/82(2006. 01)

H01L 27/146(2006. 01)

审查员 赵世欣

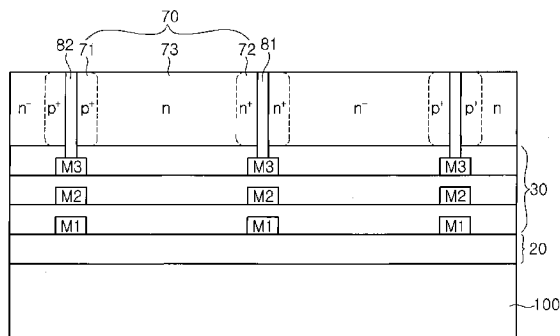
权利要求书 2 页 说明书 7 页 附图 6 页

(54) 发明名称

图像传感器及其制造方法

(57) 摘要

本发明提供了图像传感器及其制造方法。所述图像传感器可以包括：半导体基板，具有形成于其上的金属线和读出电路；半导体基板上的光电二极管，包括沿水平方向设置在结晶区中的第一杂质区和第二杂质区；以及贯穿光电二极管的第一接触部和第二接触部。第一接触部可以贯穿光电二极管的第一杂质区，并且第二接触部可以贯穿第二杂质区，以便与所述金属线连接。读出电路包括形成于半导体基板中的电结区。电结区包括：形成于半导体基板中的第一导电型离子注入区；以及第一导电型离子注入区上的第二导电型离子注入区。



1. 一种用于制造图像传感器的方法,包括:

在第一基板上形成读出电路;

在所述第一基板中形成包括 P0/N-/P- 结的电结区,使得所述电结区与所述读出电路电连接;

在所述第一基板上形成金属线,使得所述金属线与所述电结区电连接;

在所述第一基板上提供光电二极管,所述光电二极管包括第一杂质区和第二杂质区;以及

形成贯穿所述光电二极管的第一接触部和第二接触部其中,所述第一接触部贯穿所述光电二极管的第一杂质区,并且所述第二接触部贯穿所述光电二极管的第二杂质区,以便接触所述金属线。

2. 根据权利要求 1 所述的方法,其中,提供所述光电二极管包括:

在第二基板中形成所述光电二极管;以及

将所述光电二极管接合到所述第一基板上。

3. 根据权利要求 2 所述的方法,其中,所述光电二极管进一步包括所述第一杂质区和所述第二杂质区之间的第三杂质区,其中,形成所述光电二极管包括:

提供轻掺杂的 N 型结晶基板,其中,所述第二基板包括所述轻掺杂的 N 型结晶基板;

将 P 型杂质注入所述轻掺杂的 N 型结晶基板以形成所述第一杂质区;以及

在与所述第一杂质区的一侧隔开的区将 N 型杂质注入所述轻掺杂的 N 型结晶基板,

其中,在所述第一杂质区和所述第二杂质区之间的所述轻掺杂的 N 型结晶基板提供所述第三杂质区。

4. 根据权利要求 2 所述的方法,其中,所述光电二极管进一步包括所述第一杂质区和所述第二杂质区之间的第三杂质区,其中,形成所述光电二极管包括:

提供 P 型掺杂的结晶基板,其中,所述第二基板包括所述 P 型掺杂的结晶基板;

将 N 型杂质注入所述 P 型掺杂的结晶基板以形成所述第三杂质区;以及

将 N 型杂质注入所述 P 型掺杂的结晶基板以形成浓度高于所述第三杂质区的所述第二杂质区,

其中,所述 P 型掺杂的结晶基板的其余的区提供所述第一杂质区。

5. 根据权利要求 1 所述的方法,其中所述光电二极管进一步包括所述第一杂质区和所述第二杂质区之间的第三杂质区。

6. 根据权利要求 5 所述的方法,其中,所述光电二极管的第一杂质区、第三杂质区和第二杂质区以关于所述第一接触部的纵轴对称的方式来设置。

7. 根据权利要求 1 所述的方法,其中形成所述电结区包括:

在所述第一基板中形成第一导电型离子注入区;以及

在所述第一导电型离子注入区上形成第二导电型离子注入区。

8. 根据权利要求 1 所述的方法,进一步包括在所述电结区与所述金属线之间的所述第一基板中形成第一导电型连接区,

其中,所述第一导电型连接区与所述金属线电连接。

9. 根据权利要求 1 所述的方法,其中,所述电结区具有比所述读出电路的浮动扩散区低的离子注入浓度。

10. 根据权利要求 1 所述的方法,其中,所述第一基板的所述读出电路包括在第一基板上形成串联连接的第一晶体管和第二晶体管,所述电结区形成于所述第一晶体管与所述第二晶体管之间。

11. 一种图像传感器,包括:

半导体基板,具有形成于所述半导体基板上的金属线和读出电路;

光电二极管,所述光电二极管在所述半导体基板上,包括结晶区中的第一杂质区和第二杂质区;以及

第一接触部和第二接触部,所述第一接触部和第二接触部贯穿所述光电二极管,其中,所述第一接触部贯穿所述光电二极管的第一杂质区,并且第二接触部贯穿所述光电二极管的第二杂质区,以便连接到所述金属线;

其中,所述读出电路包括形成于所述半导体基板中的电结区,其中,所述电结区包括:

形成于所述半导体基板中的第一导电型离子注入区;以及

所述第一导电型离子注入区上的第二导电型离子注入区。

12. 根据权利要求 11 所述的图像传感器,进一步包括在所述半导体基板与所述光电二极管之间的氧化物层,所述半导体基板上形成有所述金属线和所述读出电路。

13. 根据权利要求 11 所述的图像传感器,其中,所述第一杂质区包括 P 型杂质,所述第二杂质区包括 N 型杂质。

14. 根据权利要求 11 所述的图像传感器,其中所述光电二极管进一步包括所述第一杂质区与所述第二杂质区之间的第三杂质区。

15. 根据权利要求 14 所述的图像传感器,其中,所述第一杂质区包括 P 型杂质,所述第二杂质区包括处于高浓度的 N 型杂质,所述第三杂质区包括处于低浓度的 N 型杂质。

16. 根据权利要求 11 所述的图像传感器,进一步包括所述电结区与所述金属线之间的第一导电型连接区,其中,所述第一导电型连接区与所述金属线电连接。

17. 根据权利要求 11 所述的图像传感器,其中,所述读出电路具有在晶体管的源极与漏极之间提供的电位差。

18. 根据权利要求 17 所述的图像传感器,其中,所述晶体管是转移晶体管,所述晶体管的源极具有比所述晶体管的漏极处的浮动扩散区低的离子注入浓度。

图像传感器及其制造方法

技术领域

[0001] 本发明涉及图像传感器及其制造方法。

[0002] 背景技术

[0003] 一般而言,图像传感器是一种将光学图像转换成电信号的半导体器件。图像传感器大体上分为电荷耦合器件 (CCD) 图像传感器或互补型金属氧化物硅 (CMOS) 图像传感器 (CIS)。

[0004] 在相关技术的 CIS 中,光电二极管是利用离子注入在带有晶体管电路的基板中形成的。由于出于在不增加芯片尺寸的情况下增加像素数量的目的而一再减小光电二极管的尺寸,使光接收部的面积减小,从而使图像质量下降。

[0005] 而且,由于堆叠高度不如光接收部的面积减小得多,入射到光接收部的光子的数量还由于被称作艾里斑 (airy disk) 的光衍射而减少。

[0006] 作为克服这种局限性的一种替选方案,已经尝试了利用非晶硅 (Si) 形成光电二极管,或者,在 Si 基板中形成读出电路,并利用诸如晶片与晶片接合之类的方法在该读出电路上形成光电二极管 (称为三维 (3D) 图像传感器)。光电二极管通过金属线与读出电路连接。

[0007] 同时,根据相关技术,由于转移晶体管的源极和漏极都重掺杂了 N 型杂质,从而发生了电荷共用现象。当发生电荷共用现象时,输出图像的灵敏度降低,并且会产生图像误差。

[0008] 而且,根据该相关技术,由于光电荷在二极管和读出电路之间并不是顺畅地迁移,从而会产生暗电流,或者降低了饱和度和灵敏度。

[0009] 发明内容

[0010] 本发明的实施例可以提供一种图像传感器及其制造方法。

[0011] 在一个实施例中,一种用于制造图像传感器的方法可以包括:在第一基板上形成读出电路;在第一基板中形成包括 P⁰/N⁻/P⁻ 结的电结区,使得电结区与读出电路电连接;在第一基板上形成金属线,使得金属线与电结区电连接;在第一基板上提供光电二极管,该光电二极管包括结晶区中的第一杂质区和第二杂质区;以及,形成多个第一接触部和多个第二接触部,这些接触部贯穿光电二极管,以便与所述金属线中的对应金属线连接且相互分开,所述多个第一接触部与第一杂质区接触,所述多个第二接触部与第二杂质区接触。第一杂质区和第二杂质区可以沿横向方向形成于结晶区中。

[0012] 在另一个实施例中,图像传感器可以包括:半导体基板,该半导体基板具有形成于其上的金属线和读出电路;所述半导体基板上的光电二极管,该光电二极管包括结晶区中的第一杂质区和第二杂质区;以及,贯穿光电二极管的第一接触部和第二接触部,其中,第一接触部贯穿第一杂质区,第二接触部贯穿第二杂质区,以便连接到金属线,其中读出电路包括形成于半导体基板中的电结区,且电结区包括:形成于半导体基板中的第一导电型离子注入区;以及第一导电型离子注入区上的第二导电型离子注入区。金属线可以将光电二极管电连接到读出电路。在一个实施例中,第二接触部可以将第二杂质区连接到用于施加

重置操作的外围电路或电极。附图和以下的说明书中详细说明了一个或多个实施例。根据说明书和附图以及权利要求书,其它特征将是明显的。

[0013] 附图说明

[0014] 图 1 到 7 是说明根据一实施例的用于制造图像传感器的方法的横截面视图。

[0015] 发明内容

[0016] 将参照附图来详细描述图像传感器及其制造方法的实施例。

[0017] 在描述这些实施例时,应当理解,当提到一层(或者一个膜)在另一层或另一个基板“上”时,它可以直接在另一层或另一个基板上,或者也可以存在中间层。此外,应当理解,当提到一层在另一层“下面”时,它可以直接在另一层的下面,或者也可以存在一个或多个中间层。此外,应当理解,当提到一层在两层“之间”时,它可以是所述两层之间的唯一的一层,或者也可以存在一个或多个中间层。

[0018] 本实施例并不限于 CMOS 图像传感器,而是可以应用于其它包括光电二极管的图像传感器。

[0019] 参考图 5A,根据一实施例的图像传感器包括第一基板 100 上的电路层 20、金属线层 30、光电二极管 70 以及第一和第二接触部 81 和 82。

[0020] 图 5B 提供了第一基板 100 的详细视图,该第一基板 100 上形成有电路层 20 和金属线层 30 的金属线 150,图 5B 示出根据一个实施例的单位像素的一部分。

[0021] 电路层 20 可以具有包括读出电路 120 的电路,金属线层 30 可以包括与所述电路连接的金属线 150。

[0022] 如图 5A-5B 所示,光电二极管 70 可以形成于结晶基板中,并且可以包括第一杂质区 71、第二杂质区 72 和第三杂质区 73。

[0023] 第一杂质区 71 可以通过利用 P 型杂质来形成,第二杂质区 72 可以通过利用 N 型杂质以高浓度来形成,第三杂质区 73 可以通过利用 N 型杂质以低浓度来形成。

[0024] 此时,可以形成用于欧姆接触的第二杂质区 72。然而,在某些实施例中,可以省去所述 N 型杂质区之一。

[0025] 例如,尽管本实施例将光电二极管 70 示出且描述为包括第一、第二和第三杂质区 71、72 和 73,然而其不限于此。例如,光电二极管 70 可以只通过第一和第二杂质区 71 和 72 来形成。

[0026] 第一接触部 81 贯穿第一杂质区 71,第二接触部 82 贯穿第二杂质区 72。

[0027] 此时,光电二极管 70 可以设置在第一接触部 81 和第二接触部 82 之间,并且可以与另一个相邻的光电二极管对称的方式来形成。例如,相邻的光电二极管可以关于每一个接触部的纵轴对称。

[0028] 接触第一杂质区 71 的第二接触部 82 可用来去除第一杂质区 71 中的空穴,接触第二杂质区 72 的第一接触部 81 可以将产生于光电二极管 70 的信号传送到电路区。第二接触部 82 可以通过金属线层 30 连接到电源/地线或电路。在一个实施例中,第二接触部 82 在重置操作期间可以连接成施加电位或接地,以便可以将空穴从第一杂质区 71 去除。

[0029] 尽管在附图中没有示出,但是可以在光电二极管 70 上进一步形成滤色器阵列和微透镜。

[0030] 图 1 到 5 是说明根据一实施例的用于制造图像传感器的方法的横截面视图。

[0031] 如图 1A 和 1B 所示,可以制备包括电路层 20 和金属线层 30 的第一基板 100。

[0032] 图 1A 是包括电路层 20 和金属线层 30 的第一基板 100 的横截面视图,图 1B 是根据第一基板 100 的一个实施例的详细视图,该第一基板 100 上形成有电路层 20 和金属线层 30 的金属线 150a。

[0033] 电路层 20 可以包括读出电路 120,金属线层 30 可以包括与所述电路连接的金属线 150a。

[0034] 参考图 1B,可以制备其上形成有金属线 150a 和读出电路 120 的第一基板 100。第一基板可以包括 P 型区或 P- 阱 141。在一个实施例中,可以在第一基板 100 中形成器件隔离层 110 以限定有源区,并且可以在有源区上形成包括晶体管的读出电路 120。例如,读出电路 120 可以包括转移晶体管 (Tx) 121、重置晶体管 (Rx) 123、驱动晶体管 (Dx) 125 和选择晶体管 (Sx) 127。在为这些晶体管形成栅极之后,可以为相应的晶体管形成包括浮动扩散区 (FD) 131 及源极和漏极区 133、135、137 的离子注入区 130。而且,根据一个实施例,可以进一步提供噪声滤波电路(未示出)以增强灵敏度。

[0035] 在第一基板 100 中形成读出电路 120 可以包括在第一基板 100 中形成电结区 140,在电结区 140 上形成与金属线 150a 连接的第一导电型连接区 147。

[0036] 电结区 140 可以是 PN 结 140,但实施例不限于此。在一个实施例中,电结区 140 可以包括在第二导电型阱 141(或第二导电型外延层)上的第一导电型离子注入层 143 以及在第一导电型离子注入层 143 上的第二导电型离子注入层 145。例如,PN 结 140 可以是如图 1B 所示的 P0(145)/N-(143)/P-(141) 结,但实施例不限于此。在一个实施例中,第一基板 100 可以是第二导电型基板,但实施例不限于此。

[0037] 根据本实施例,可以通过允许在转移晶体管 Tx 的源极和漏极之间产生电位差来将光电荷从光电二极管完全卸出(dump)。这样,由于光电二极管中所产生的光电荷被卸入浮动扩散区,可以增强输出图像的灵敏度。

[0038] 这就是说,通过在其上形成有读出电路 120 的第一基板 100 中形成电结区 140,可以在转移晶体管 (Tx) 121 的源极和漏极之间产生电位差,以便将光电荷完全卸出。

[0039] 在下文中,将更加详细地描述根据一实施例的用于卸出光电荷的结构。

[0040] 在这个实施例中,与作为 N+ 结的浮动扩散 (FD) 节点 131 不同,作为电结区的 PNP 结 140 在应用电压被完全转移之前在一恒定电压处被夹断。这个恒定电压被称作“锁定电压 (pinning voltage)”,该电压依赖于 P0 区 145 和 N- 区 143 的掺杂浓度。

[0041] 具体而言,产生于光电二极管 70 的电子(见图 5B)迁移到 PNP 结 140,并且当转移晶体管 (Tx) 121 导通时,电子被转移到 FD 节点 131,然后转换成电压。

[0042] 由于 P0/N-/P- 结 140 的最大电压变成了锁定电压,而 FD 节点 131 的最大电压变成了阈值电压 $V_{dd}-R_x123$,从而由于转移晶体管 (Tx) 121 的侧部之间的间电位差,使得产生于光电二极管 70 的电子能够被完全卸出,而不发生电荷共用。

[0043] 这就是说,根据一个实施例,在第一基板 100 中形成 P0/N-/P- 阱结,以允许在 4-Tr 有源像素传感器 (APS) 重置操作期间将正 (+) 电压施加到 P0/N-/P- 阱结的 N- 区 143,而将地电压施加到 P0 区 145 和 P- 阱 141,从而使 P0/N-/P- 阱双结象在 BJT 结构中一样在一高于预定电压的电压处被夹断。这个电压被称作“锁定电压”。因此,在转移晶体管 (Tx) 121 的侧部的源极和漏极之间产生电位差。此外,在转移晶体管 (Tx) 的开/关 (On/Off) 操作

期间,能够抑制电荷共用现象。

[0044] 与在光电二极管简单地连接到 N⁺ 结的相关技术中不同,本发明的实施例能够抑制饱和度和灵敏度的降低。

[0045] 而且,根据一个实施例,可以在光电二极管和读出电路之间形成第一导电型连接区 147 来提供光电荷的顺畅通道,从而将暗电流源减到最小并进一步抑制饱和度和灵敏度的降低。

[0046] 为此,可以在 P⁰/N⁻/P⁻ 结 140 的表面的一部分上形成用于欧姆接触的第一导电型连接区 147。可以形成 N⁺ 区 147 来贯穿 P⁰ 区 145 并接触 N⁻ 区 143。

[0047] 同时,为了防止第一导电型连接区 147 变成泄漏源,可以将第一导电型连接区 147 的宽度减到最小。为此,在一个实施例中,可以在为第一金属接触部 151a 蚀刻了通孔之后执行插入式注入 (plug implant)。在另一个实施例中,可以在第一基板上形成离子注入图案,并且可以将所述离子注入图案用作离子注入掩模来形成第一导电型连接区 147。

[0048] 这就是说,仅在形成有接触部的部分局部地掺杂 N⁺ 杂质的原因是将暗信号减到最小,且便于欧姆接触的形成。如果转移晶体管 Tx 的源极的整个区是 N⁺ 掺杂的,则暗信号会由于 Si 基板上的悬挂键而增加。

[0049] 可以在第一基板 100 上形成层间绝缘层 160,并且可以在层间绝缘层 160 中形成金属线 150a。金属线 150a 可以包括第一金属接触部 151a、第一金属 151、第二金属 152 和第三金属 153,但实施例不限于此。

[0050] 参考图 2,可以在第二基板 50 上形成第一杂质区 71。

[0051] 在一个实施例中,第二基板 50 可以由轻掺杂了 N 型杂质的 N 型结晶硅形成。在另一个实施例中,可以在第二基板 50 上提供氧化物层。

[0052] 根据一个实施例,可以通过如下方式来形成第一杂质区 71:在第二基板 50 上形成第一光致抗蚀剂图案 61,通过第一离子注入工艺将 P 型杂质注入到第一基板 50 中。

[0053] 此后,参考图 3,可以将第一光致抗蚀剂图案 61 去掉,然后在第二基板 50 上形成第二光致抗蚀剂图案 62,接下来可以执行第二离子注入工艺,以便在第二基板 50 中形成第二杂质区 72。

[0054] 可以通过以高浓度注入 N 型杂质来形成第二杂质区 72。

[0055] 此时,对于第二基板是 N 型结晶硅的实施例,轻掺杂了 N 型杂质的第三杂质区 73 通过轻掺杂的基板提供在第一杂质区 71 与第二杂质区 72 之间,从而形成了光电二极管 70。

[0056] 可以形成用于欧姆接触的第二杂质区 72。在某些实施例中,可以省去第二杂质区 72,而可以将第三杂质区 73 用作第二杂质区。

[0057] 为了激活第一、第二和第三杂质区 71、72 和 73,可以执行热退火。

[0058] 尽管本实施例描述了第二基板 50 由 N 型结晶硅形成,但其不局限于此。例如,第二基板 50 可以由 P 型结晶硅形成。

[0059] 当第二基板 50 是 N 型基板时,可以通过离子注入工艺来形成第一杂质区 71 和第二杂质区 72。然而,如果第二基板 50 是 P 型基板,可以通过如下方式来形成光电二极管 70:以低浓度注入 N 型杂质来形成第三杂质区 73,而以高浓度注入 N 型杂质来形成第二杂质区 72。

[0060] 而且,尽管本说明书示出和描述了光电二极管 70 包括掺杂了 P 型杂质的第一杂质

区 71、轻掺杂了 N 型杂质的第三杂质区 73 和重掺杂了 N 型杂质的第二杂质区 72，但实施例不限于此。例如，光电二极管 70 可以只包括第一杂质区 71 和第三杂质区 73。

[0061] 其后，如图 4 所示，可以去除第二光致抗蚀剂图案 62，并且可以将包括光电二极管 70 的第二基板 50 接合到第一基板 100 上。

[0062] 结果，可以将光电二极管 70 提供到金属线层 30 上。

[0063] 尽管光电二极管 70 被描述为形成于第二基板 50 的整个区中，光电二极管 70 也可以局部地形成于第二基板 50 的一部分中。那么，对于光电二极管 70 局部地形成于第二基板 50 的一部分中的情况而言，可以将除光电二极管 70 之外的第二基板 50 的其余部分去除。

[0064] 接下来，如图 5A 所示，可以形成贯穿光电二极管 70 并接触第三金属 (M3) 的第一接触部 81 和第二接触部 82。

[0065] 图 5A 是包括电路层 20、金属线层 30 和光电二极管 70 的第一基板 100 的横截面视图，图 5B 是根据第一基板 100 的一个实施例的详细视图，该第一基板 100 上形成有电路层 20 和金属线层 30 的金属线 150a。

[0066] 可以通过执行蚀刻工艺以形成贯穿光电二极管 70 的通孔来形成第一和第二接触部 81 和 82。然后，可以向所述通孔填充金属，如钨 (W)、氮化钛 (TiN) 或铝 (Al)。

[0067] 可以将第一接触部 81 形成为贯穿第一杂质区 71，将第二接触部 82 形成为贯穿第二杂质区 72。

[0068] 当形成第一接触部 81 和第二接触部 82 时，第二接触部 82 可以穿入金属线层 30 的一部分，以便接触第三金属 M3 (153)。

[0069] 光电二极管 70 位于第一接触部 81 和第二接触部 82 之间，并且可以与相邻的光电二极管关于第一接触部 81 或第二接触部 82 对称设置。

[0070] 第一接触部 82 可以用来将产生于光电二极管 70 的信号通过金属线 150 从第二杂质区 72 传送到电路区。

[0071] 其后，尽管在附图中没有示出，但是可以在光电二极管 70 上形成电极、滤色器阵列和微透镜。在一个实施例中，第二接触部 82 可以连接到电极和 / 或可以连接到外围电路区 (未示出)。

[0072] 图 6 是根据另一个实施例的图像传感器的横截面视图，并且是其上形成有金属线 150 的第一基板的详细视图。

[0073] 本实施例可以使用针对图 1 到 5 所描述的实施例的技术特征。

[0074] 例如，根据本实施例，可以对器件进行设计，使得在转移晶体管 Tx 的源极和漏极之间产生电位差，以便将光电荷完全卸出。

[0075] 而且，根据一个实施例，可以在光电二极管和读出电路之间形成电荷连接区以便于光电荷的通过，从而将暗电流源减到最小并抑制饱和度和灵敏度的降低。

[0076] 同时，与针对图 5B 所描述的实施例不同的是，本实施例示例性地示出了可以在电结区 140 的一侧形成第一导电型连接区 148。

[0077] 根据实施例，可以在 P0/N-/P- 结 140 中形成用于欧姆接触的 N+ 连接区 148。此时，N+ 连接区 148 和 MIC 接触部 151a 可以充当泄漏源。这是因为在工作中，反偏置被施加到 P0/N-/P- 结 140，并且在 Si 基板的表面产生电场 EF。在所产生的电场之下，在形成接触部时所产生的晶体缺陷充当了泄漏源。

[0078] 而且,在N+连接区148形成于P0/N-/P-结140的表面上,的情况下,N+/P0结148/145产生附加电场,该N+/P0结148/145也可以充当泄漏源。

[0079] 因此,本实施例提供了一种对P0层不执行掺杂的方案。取而代之的是,在包括N+连接区148的有源区上形成第一接触插塞(contact plug)151a,并且通过N+连接区148将第一接触插塞151a连接到N-结143。

[0080] 根据本实施例,在硅基板的表面不产生电场,这有助于3-D集成式CIS的暗电流的减少。

[0081] 图7是根据另一个实施例的图像传感器的横截面视图,并且是其上形成有金属线150的第一基板的详细视图。

[0082] 本实施例可以使用针对图1到5所描述的实施例的技术特征。

[0083] 例如,根据本实施例,可以对器件进行设计,使得在转移晶体管Tx的源极和漏极之间产生电位差,以便将光电荷完全卸出。

[0084] 而且,根据一个实施例,可以在光电二极管和读出电路之间形成电荷连接区以便于光电荷的通过,从而将暗电流源减到最小并抑制饱和度和灵敏度的降低。

[0085] 将参照图7更详细地描述根据一个实施例的第一基板100上的读出电路120。

[0086] 具体而言,可以在第一基板100上形成第一晶体管121a和第二晶体管121b。例如,第一晶体管121a和第二晶体管121b可以分别是第一转移晶体管和第二转移晶体管,但实施例不限于此。第一晶体管121a和第二晶体管121b可以同时或依次形成。

[0087] 其后,在第一晶体管121a和第二晶体管121b之间可以形成电结区140。在一个实施例中,电结区140可以是PN结140,但实施例不限于此。

[0088] 例如,根据一实施例的PN结140可以包括第二导电型外延层(或阱)141上的第一导电型离子注入层143以及第一导电型离子注入层143上的第二导电型离子注入层145。

[0089] 在一特定实施例中,PN结140可以是P0(145)/N-(143)/P-(141)结。

[0090] 与金属线150连接的第一导电型高浓度连接区131b可以形成于第二晶体管121b的一侧。第一导电型高浓度连接区131b是高浓度的N+结,并且可以充当浮动扩散区(FD2)131b。

[0091] 在这个实施例中,读出电路可以通过如下方式来执行4Tr操作:将产生于光电二极管的电子迁移到硅基板100的N+结131b,再将N+结131b的电子迁移到N-结143。

[0092] 如图7所示,在这个实施例中,P0/N-/P-结140和N+结131b以相互分开的方式形成。

[0093] 通过将N+结131b和PNP结140分开,可以抑制暗电流的产生。

[0094] 因此,可以在N+/P-外延层结131b中形成接触。

[0095] 在信号读出期间,第二晶体管(Tx2)121b的栅极导通,并且第一晶体管(Tx1)121a的栅极导通,使得产生于芯片上的光电二极管70的电子转移到P0/N-/P-结140,并且迁移到第一浮动扩散区(FD1)131a,从而允许相关双采样(CDS,correlated double sampling)。

[0096] 如上所述,通过将其上形成有光电二极管的第二结晶基板接合到其上形成有包括较低金属线的电路的第一基板,根据一实施例的用于制造图像传感器的方法能够改善暗特性,并能够增强图像传感器的灵敏度。

[0097] 在本说明书中的任何地方所提到的“一个实施例”、“一实施例”、“示例实施例”等

的意思是,针对该实施例所描述的具体特征、结构或特性包括在本发明的至少一个实施例中。出现在说明书中的不同位置的这种词语不一定都指的是同一个实施例。此外,当针对任何实施例描述具体的特征、结构或特性时,应当理解,本领域的技术人员能够结合所述实施例中的其它实施例来实现这样的特征、结构或特性。

[0098] 尽管已经参照多个说明性实施例对实施例进行了描述,应当理解,本领域的技术人员可以在本公开内容的原理的精神和范围之内设计出诸多其它修改和实施例。更具体而言,可以在本公开内容、附图和所附权利要求的范围之内对所涉及的组合式装置的组成部分和/或设置做出各种改变和修改。除了对组成部分和/或设置做出各种改变和修改之外,替选的用途对于本领域的技术人员来说也是明显的。

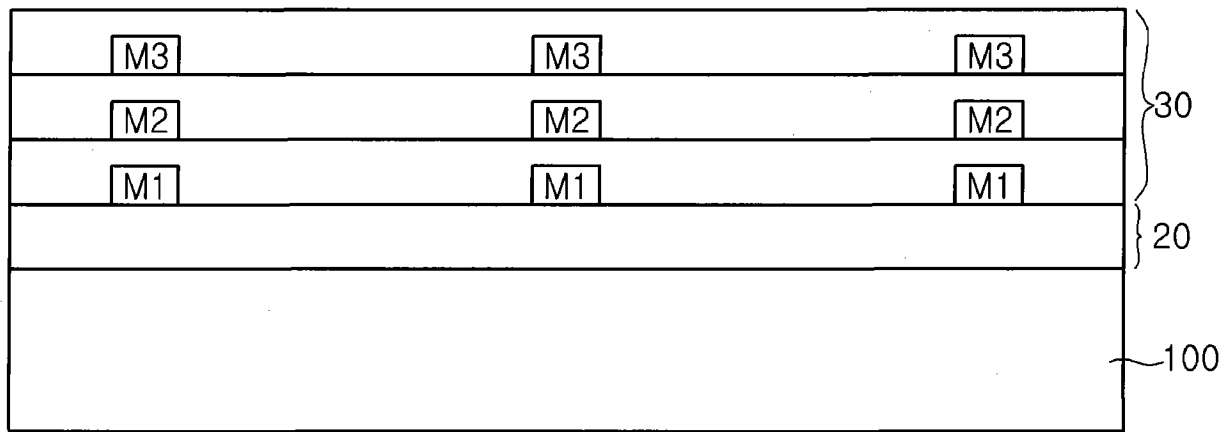


图 1A

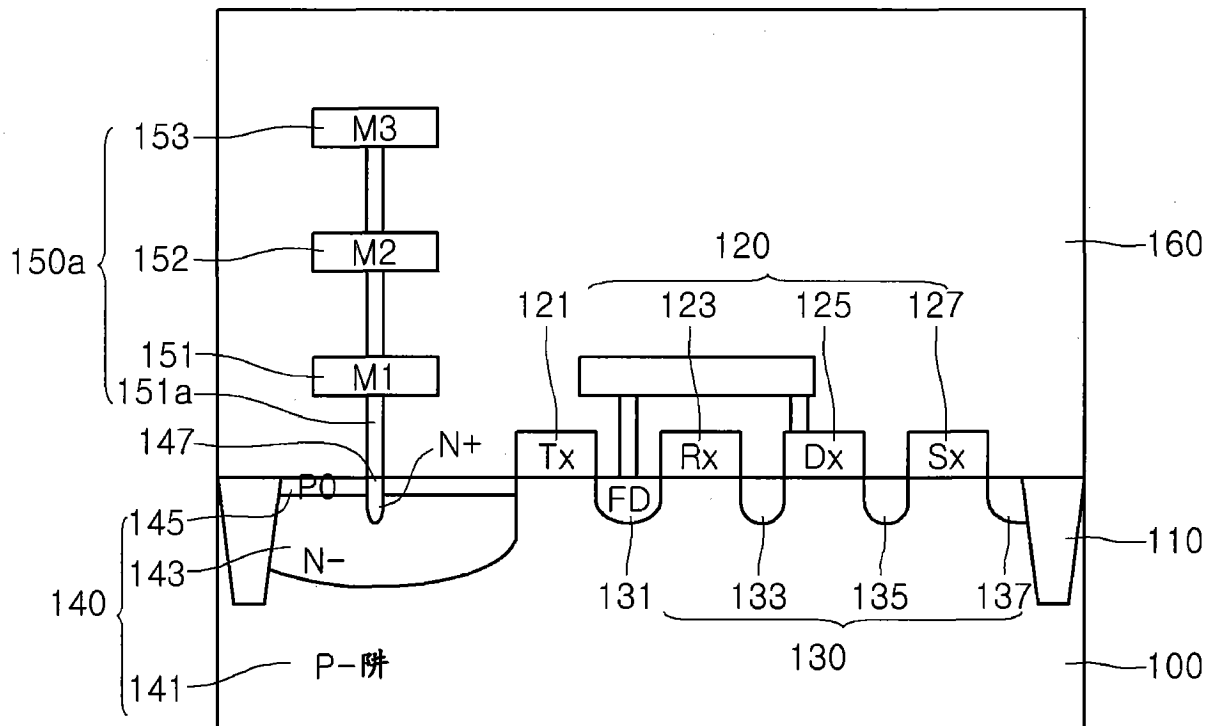


图 1B

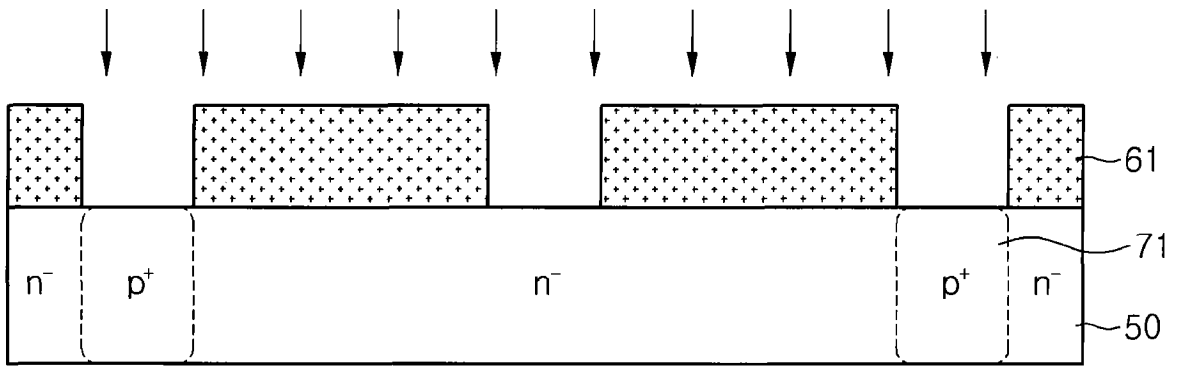


图 2

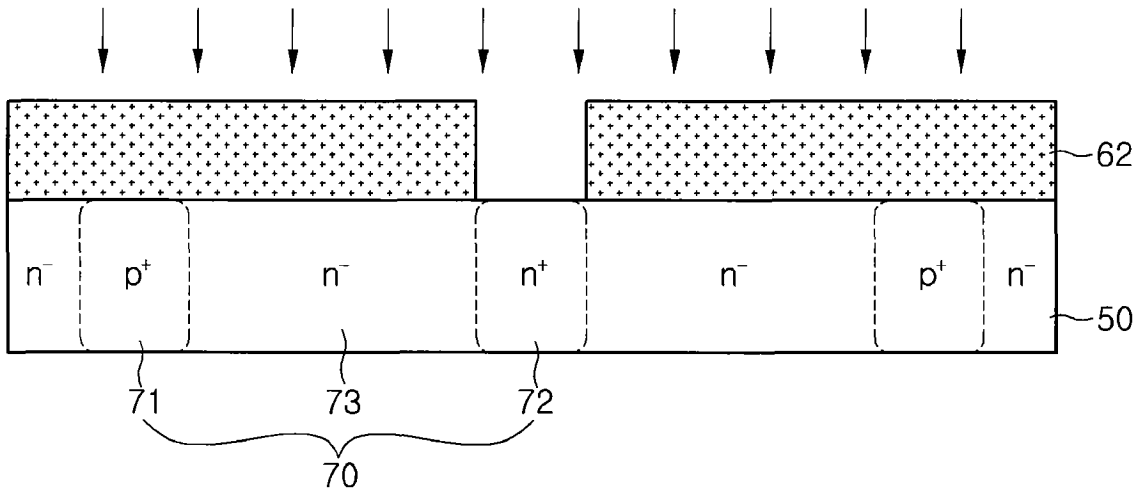


图 3

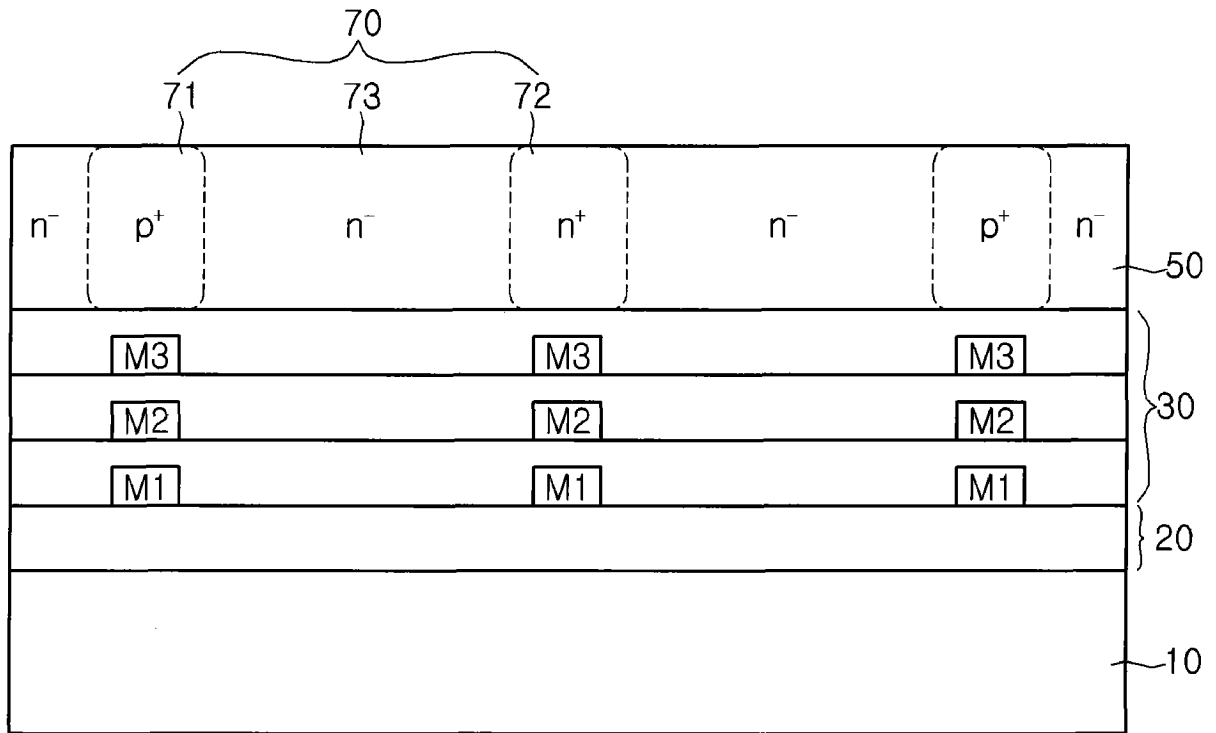


图 4

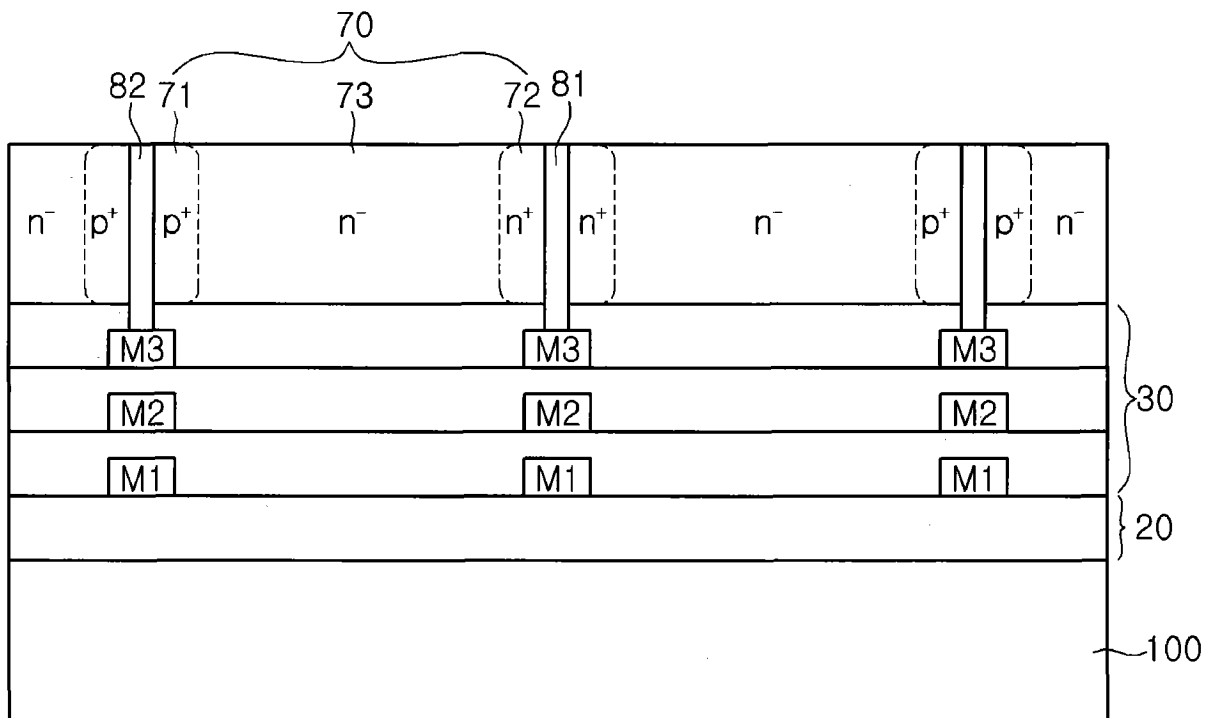


图 5A

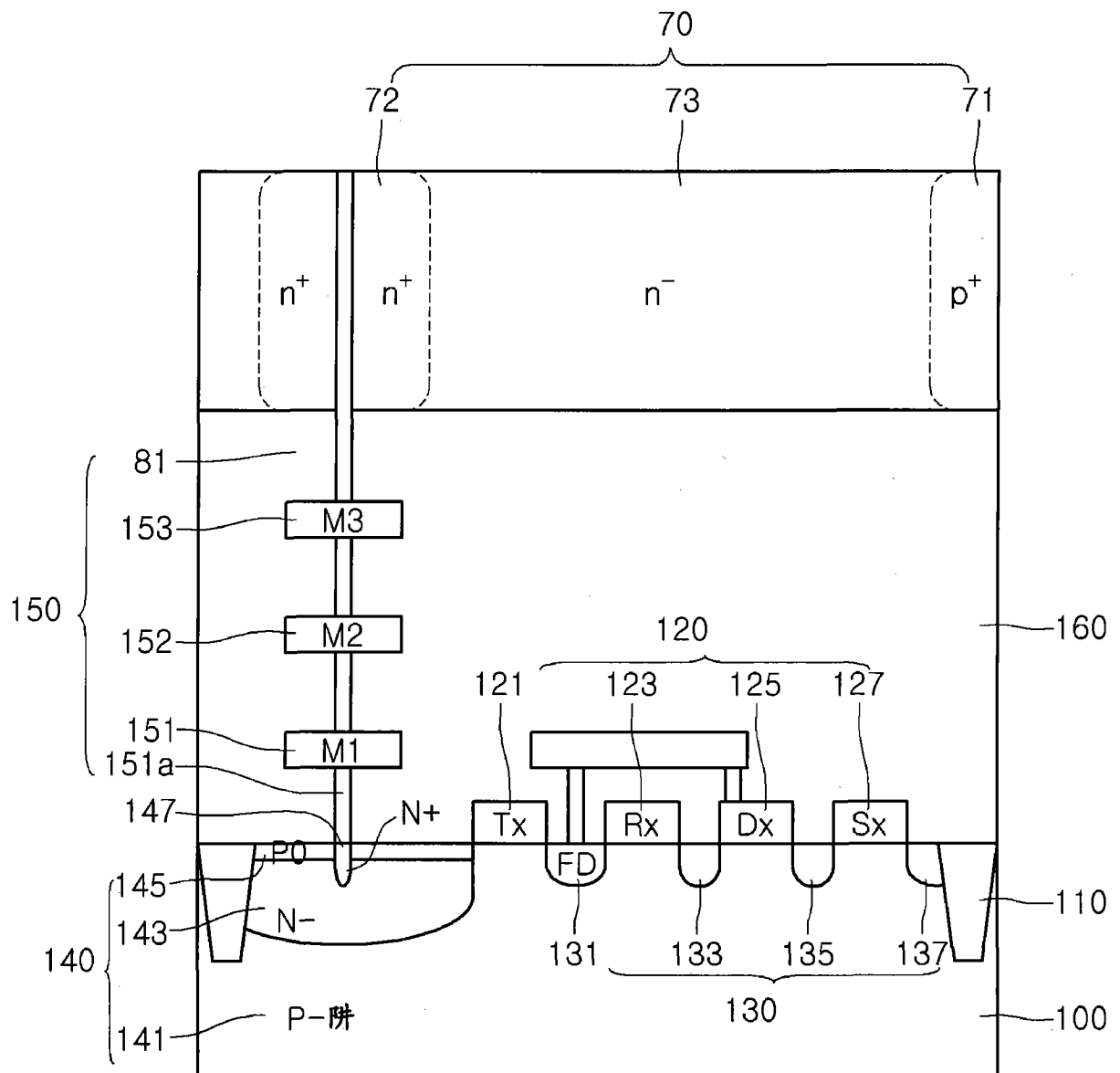


图 5B

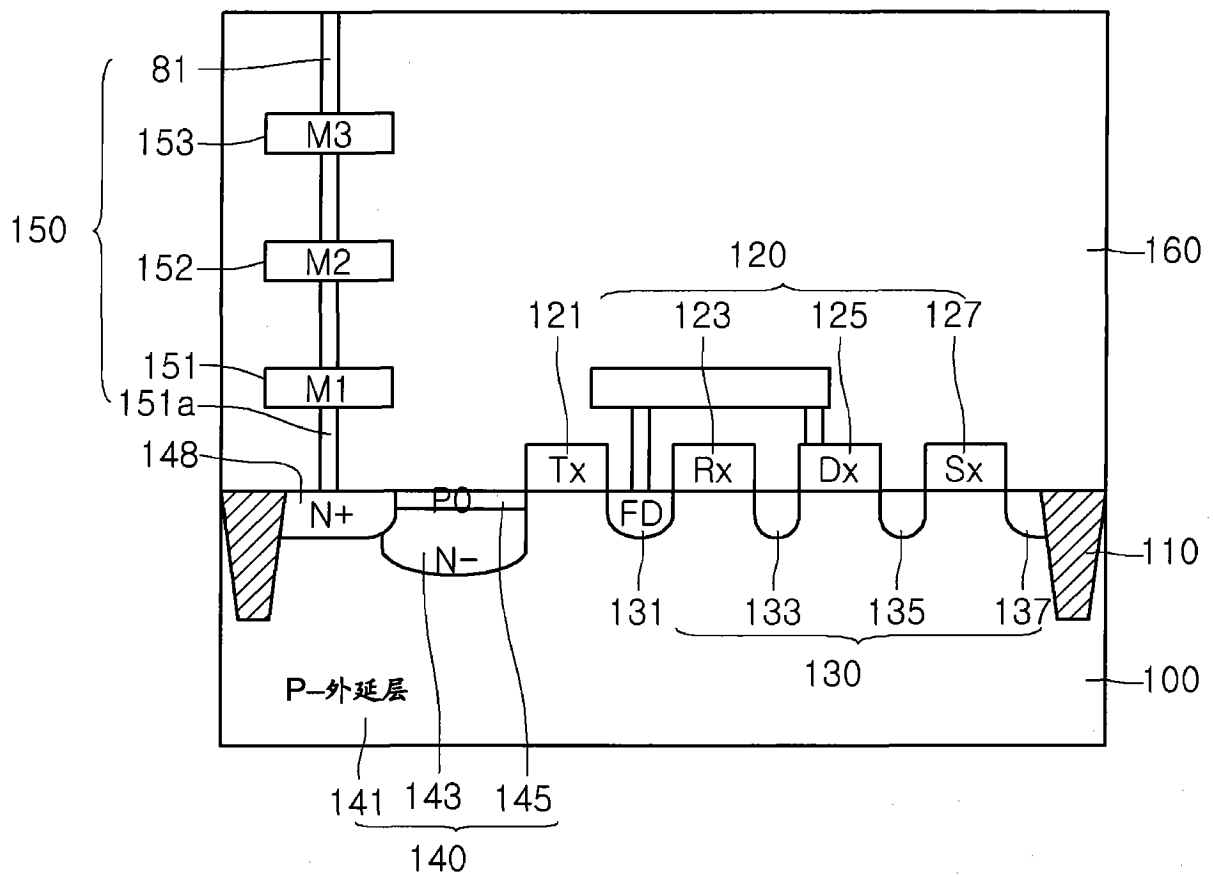


图 6

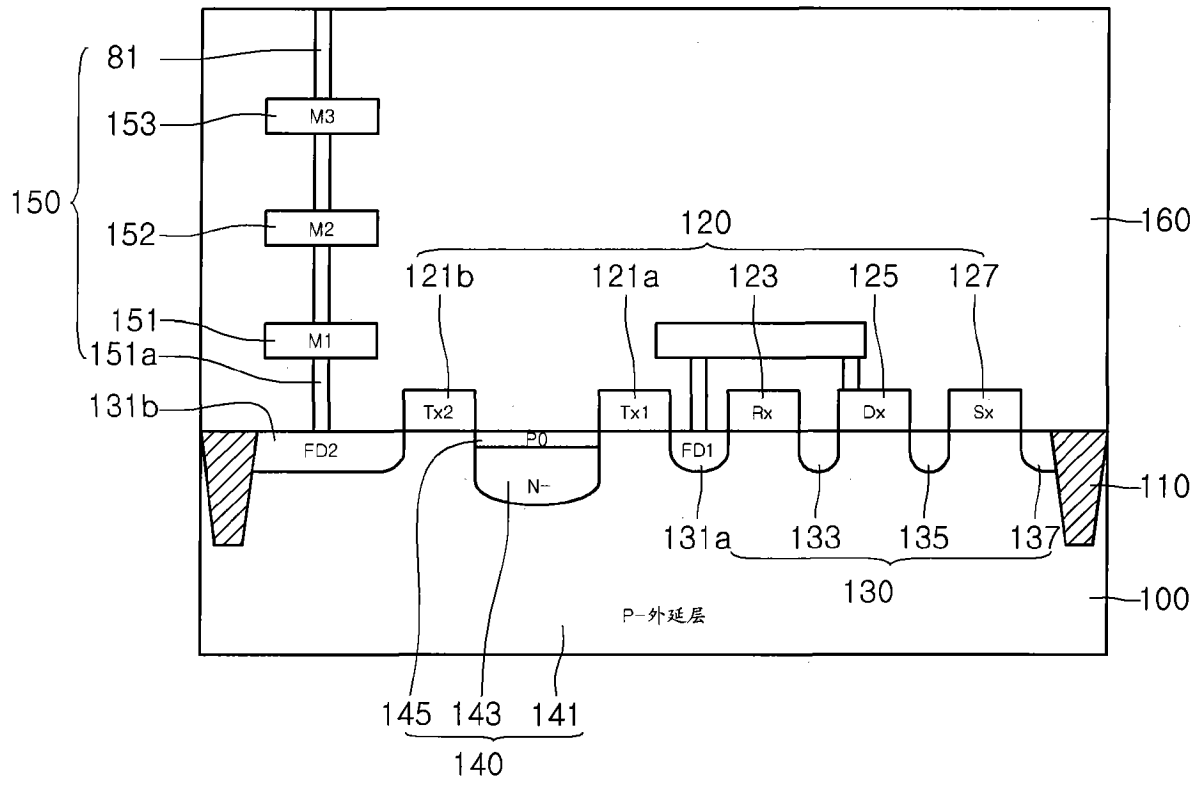


图 7