



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I616954 B

(45)公告日：中華民國 107 (2018) 年 03 月 01 日

(21)申請案號：105137185 (22)申請日：中華民國 105 (2016) 年 11 月 15 日  
 (51)Int. Cl. : H01L21/336 (2006.01) H01L29/78 (2006.01)  
 (30)優先權：2015/11/16 美國 14/941,664  
 (71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR  
 MANUFACTURING CO., LTD. (TW)  
 新竹市力行六路八號  
 (72)發明人：張哲誠 CHANG, CHE-CHENG (TW)；林志翰 LIN, CHIH-HAN (TW)  
 (74)代理人：卓俊傑  
 (56)參考文獻：  
 TW 200503095A TW 201334045A  
 US 2011/0147711A1  
 審查人員：何立璋  
 申請專利範圍項數：10 項 圖式數：8 共 38 頁

## (54)名稱

鳍式場效應電晶體及其製造方法

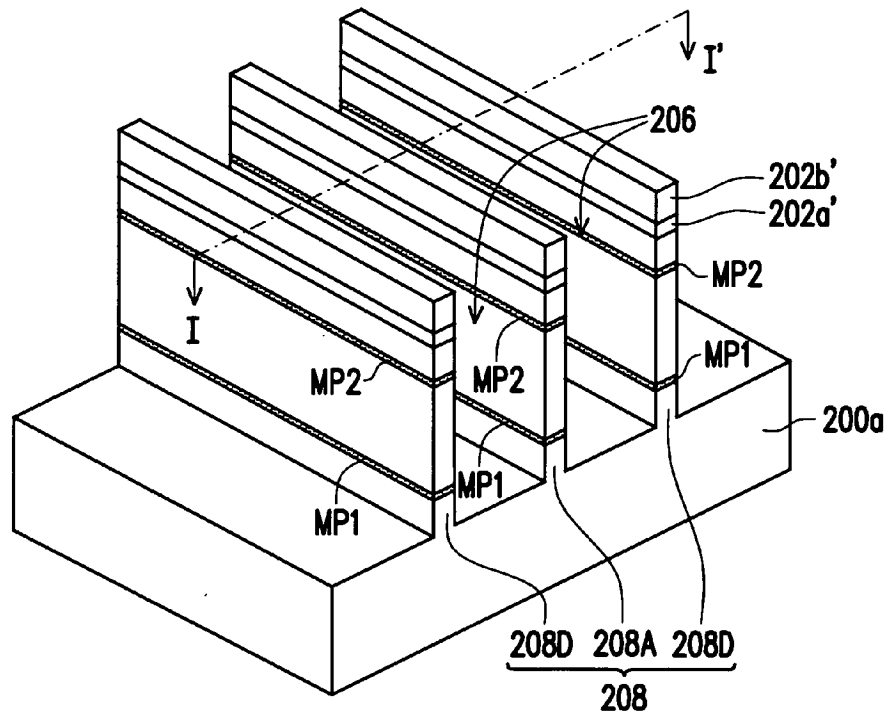
FIN FIELD EFFECT TRANSISTOR AND METHOD FOR FABRICATING THE SAME

## (57)摘要

一種鳍式場效應電晶體包括基板、設置在基板上的多個絕緣體、閘極堆疊結構和應變材料。基板包括至少一個半導體鳍片，且半導體鳍片包括分佈在其中的至少一個調制部分。半導體鳍片夾於絕緣體之間。閘極堆疊結構設置在部分半導體鳍片上方和部分絕緣體上方。應變材料覆蓋被閘極堆疊結構所顯露的部分半導體鳍片。此外，鳍式場效應電晶體的製造方法亦被提出。

A FinFET includes a substrate, a plurality of insulators disposed on the substrate, a gate stack and a strained material. The substrate includes at least one semiconductor fin and the semiconductor fin includes at least one modulation portion distributed therein. The semiconductor fin is sandwiched by the insulators. The gate stack is disposed over portions of the semiconductor fin and over portions of the insulators. The strained material covers portions of the semiconductor fin that are revealed by the gate stack. In addition, a method for fabricating the FinFET is provided.

指定代表圖：



【圖2B】

符號簡單說明：

200a . . . 半導體基板

202a' . . . 圖案化的墊層

202b' . . . 圖案化的罩幕層

206 . . . 溝渠

208 . . . 半導體鳍片

208A . . . 主動鳍片

208D . . . 擬鳍片

MP1、MP2 . . . 調制部分

方法的流程圖。

圖 2A 至圖 2H 是根據一些實施例所繪示出的鰭式場效應電晶體的製造方法的立體示意圖。

圖 3A 至圖 3H 是根據一些實施例所繪示出的鰭式場效應電晶體的製造方法的剖面示意圖。

圖 4 至圖 8 是根據一些實施例所繪示出的半導體鰭片的剖面示意圖。

### 【實施方式】

**【0008】** 以下揭露內容提供用於實施所提供的標的之不同特徵的許多不同實施例或實例。以下所描述的構件及配置的具體實例是為了以簡化的方式傳達本揭露為目的。當然，這些僅僅為實例而非用以限制。舉例來說，於以下描述中，在第一特徵上方或在第一特徵上形成第二特徵可包括第二特徵與第一特徵形成為直接接觸的實施例，且亦可包括第二特徵與第一特徵之間可形成有額外特徵使得第二特徵與第一特徵可不直接接觸的實施例。此外，本揭露在各種實例中可使用相同的元件符號及/或字母來指代相同或類似的部件。元件符號的重複使用是為了簡單及清楚起見，且並不表示所討論的各個實施例及/或配置本身之間的關係。

**【0009】** 另外，為了易於描述附圖中所繪示的一個構件或特徵與另一組件或特徵的關係，本文中可使用例如「在...下」、「在...下方」、「下部」、「在...上」、「上部」及類似術語的空間相對術語。

除了附圖中所繪示的定向之外，所述空間相對術語意欲涵蓋元件在使用或操作時的不同定向。設備可被另外定向（旋轉 90 度或在其他定向），而本文所用的空間相對術語相應地做出解釋。

**【0010】** 本發明的實施例描述了鰭式場效應電晶體的示例性製程以及由此製程所製成的鰭式場效應電晶體。在本發明的某些實施例中，鰭式場效應電晶體可以形成在塊狀(bulk)矽基板上。然而，鰭式場效應電晶體亦可以形成在絕緣體上矽 (SOI) 或絕緣體上鍍 (GOI) 基板上。另外，根據其他實施例，矽基板可以包括其他導電層或其他導電元件，諸如電晶體、二極體等。然，本實施例不限與此。

**【0011】** 圖 1 是根據一些實施例所繪示出的鰭式場效應電晶體的製造方法的流程圖。請參照圖 1，鰭式場效應電晶體的製造方法至少包括步驟 S10、步驟 S12、步驟 S14 和步驟 S16。首先，在步驟 S10 中，提供基板，並且在基板上形成至少一個半導體鰭片，其中半導體鰭片包括分佈在其中的至少一個調制部分。之後，在步驟 S12 中，在基板上形成絕緣體，且半導體鰭片夾於絕緣體之間。在本實施例中，絕緣體例如是淺溝渠隔離 (STI) 結構。之後，在步驟 S14 中，在部分半導體鰭片上方和部分絕緣體上方形成閘極堆疊結構；在步驟 S16 中，在被閘極堆疊結構所顯露的部分半導體鰭片上形成應變材料。如圖 1 示出的，應變材料的形成是在閘極堆疊結構的形成之後。然而，閘極堆疊結構 (步驟 S14) 和應變材料 (步驟 S16) 的形成順序不限於此。

【0012】 圖 2A 是鰭式場效應電晶體在製造過程的各個階段的一個階段的鰭式場效應電晶體的立體圖，以及圖 3A 是沿著圖 2A 的剖面線 I-I' 的鰭式場效應電晶體的剖面示意圖。在圖 1 的步驟 S10 中且如圖 2A 和圖 3A 所示，提供基板 200。在一些實施例中，基板 200 包括多晶矽基板（例如，晶圓）。取決於設計需求，基板 200 可以包括各個摻雜區（例如，p 型基板或 n 型基板）。在一些實施例中，摻雜區可以摻雜有 p 型或 n 型摻質。例如，摻雜區可摻雜有諸如硼或  $\text{BF}_2$  的 p 型摻質，諸如磷或砷的 n 型摻質和/或前述摻質的組合。摻雜區可配置為用於 n 型鰭式場效應電晶體，或者配置為用於 P 型鰭式場效應電晶體。在一些其他實施例中，基板 200 也可以由其他合適的元素半導體材料，諸如鑽石或鍺；合適的化合物半導體，諸如砷化鎵、碳化矽、砷化銮或磷化銮；或合適的合金半導體，諸如碳化矽鍺、磷砷化鎵或磷化鎵銮製成。

【0013】 如圖 2A 和圖 3A 所示，基板 200 包括分佈在其中的兩種調制材料 M1 和調制材料 M2，其中調制材料 M1 和 M2 例如是藉由離子佈植所形成的佈植區域或是藉由原子層沉積（ALD）形成的半導體層。在一些實施例中，調制材料 M1 和調制材料 M2 的材料包括氧化矽鍺（ $\text{SiGeO}_x$ ， $0 < x < 1$ ）、矽鍺（ $\text{SiGe}$ ）、氧化矽（ $\text{SiO}_x$ ， $0 < x < 1$ ）、磷化矽（ $\text{SiP}$ ）、磷酸矽（ $\text{SiPO}_x$ ， $0 < x < 1$ ）或前述材料的組合。調制材料 M1 的厚度例如是介於約 1nm 至約 50nm 之間，而調制材料 M2 的厚度例如是介於約 1nm 至約 50nm 之間。在一些實施例中，藉由適當地控制摻質佈植劑量和摻質佈植深度，可以藉由

離子佈植在基板 200 的不同位置而形成調制材料 M1、M2。在一些其他實施例中，位於調制材料 M1 和 M2 之間的磊晶層（例如，矽磊晶層）可以藉由磊晶製程形成。

**【0014】** 在一些實施例中，在基板 200 上順序地形成墊層 202a 和罩幕層 202b。墊層 202a 可以是藉由熱氧化製程所形成的氧化矽薄膜。墊層 202a 可以作為在基板 200 和罩幕層 202b 之間的黏著層。墊層 202a 可以作為用於蝕刻罩幕層 202b 的蝕刻終止層。在至少一個實施例中，罩幕層 202b 例如是藉由低壓化學氣相沉積（LPCVD）或電漿增強化學氣相沉積（PECVD）所形成的氮化矽。罩幕層 202b 可以在隨後的微影製程期間用作硬罩幕。具有預定圖案的圖案化光阻層 204 形成在罩幕層 202b 上。

**【0015】** 圖 2B 是鰭式場效應電晶體在製造過程的各個階段的一個階段的鰭式場效應電晶體的立體圖，以及圖 3B 是沿著圖 2B 的剖面線 I-I' 的鰭式場效應電晶體的剖面示意圖。在圖 1 的步驟 S10 中並且如圖 2A 至圖 2B 和圖 3A 至圖 3B 所示，隨後蝕刻未被圖案化光阻層 204 所覆蓋的罩幕層 202b 和墊層 202a，以形成圖案化的罩幕層 202b' 和圖案化的墊層 202a'，以便暴露出下面的基板 200。藉由使用圖案化的罩幕層 202b'、圖案化的墊層 202a' 和圖案化光阻層 204 作為罩幕，基板 200 的部分會被暴露並且蝕刻以形成溝渠 206 和半導體鰭片 208。半導體鰭片 208 被圖案化的罩幕層 202b'、圖案化的罩幕層 202a' 和圖案化光阻層 204 所覆蓋。兩相鄰的溝渠 206 之間以間距 S 分隔，且兩相鄰溝渠 206 之間間距 S

可以小於約 30nm。換句話說，兩相鄰的溝渠 206 可藉由對應的半導體鱗片 208 分隔開。

**【0016】** 半導體鱗片 208 的高度和溝渠 206 的深度在從約 5nm 至約 500nm 的範圍內。在形成溝渠 206 半導體鱗片 208 之後，然後移除圖案化光阻層 204。在一個實施例中，可以執行清洗製程以移除半導體基板 200a 和半導體鱗片 208 上的原生氧化物。可以使用稀釋的氫氟（DHF）酸或其他合適的清洗溶液實施清洗製程。

**【0017】** 在進行上述的鱗片蝕刻製程之後，包括有兩個調制部分 MP1 和調制部分 MP2 的半導體鱗片 208 會形成在基板 200a 上方。調制部分 MP1 和調制部分 MP2 的材料和厚度與調制材料 M1 和調制部分 M2 的材料和厚度實質上相同。然而，調制部分 MP1 和 MP2 的數量不限於此。舉例而言，每個半導體鱗片 208 均可以具有一個或多於兩個調制部分。此外，調制部分 MP1 和基板 200a 之間的最小距離例如是介於 500nm 至 1000nm 之間，而調制部分 MP2 和基板 200a 之間的最小距離例如是介於 5nm 至 500nm 之間。前述的調制部分 MP1 和 MP2 的分佈位置不限於此。本領域技術人員可以根據設計需求而更動半導體鱗片 208 中調制部分的數量、厚度和位置。

**【0018】** 調制部分 MP1 和 MP2 可以調制或穩定半導體鱗片 208 的特性。舉例而言，調制部分 MP1 和 MP2 有助於控制鱗片的高度、應力、電特性等。據此，具備調制部分 MP1 和 MP2 的半導體鱗片 208 可以改進晶圓分析和測試（WAT）結果。

【0019】 如圖 2B 和圖 3B 所示，半導體鱗片 208 包括至少一個主動鱗片 208A 和設置在主動鱗片 208A 的兩相對側的一對擬鱗片 208D。換句話說，其中一個擬鱗片 208D 設置在主動鱗片 208A 的一側，而另一個擬鱗片 208D 則設置在主動鱗片 208A 的另一側。在一些實施例中，主動鱗片 208A 的高度和擬鱗片 208D 的高度實質上相同。例如，主動鱗片 208A 和擬鱗片 208D 的高度例如是介於約 10 埃至約 1000 埃之間。擬鱗片 208D 能夠保護主動鱗片 208A 不受由隨後的沉積製程而導致的鱗片彎曲。此外，擬鱗片 208D 能夠阻止主動鱗片 208A 不受在鱗片蝕刻製程期間的負載效應的嚴重影響。

【0020】 圖 2C 是鱗式場效應電晶體在製造過程的各個階段的一個階段的鱗式場效應電晶體的立體圖，以及圖 3C 是沿著圖 2C 的剖面線 I-I' 的鱗式場效應電晶體的剖面示意圖。在圖 1 的步驟 S12 中以及如圖 2B 至圖 2C 和圖 3B 至圖 3C 所示，在基板 200a 上方形成絕緣材料 210 以覆蓋半導體鱗片 208 並填充溝渠 206。除了半導體鱗片 208 之外，絕緣材料 210 還覆蓋圖案化的墊層 202a' 和圖案化的單幕層 202b'。絕緣材料 210 可以包括氧化矽、氮化矽、氮氧化矽、旋塗介電材料或低介電常數介電材料。可以藉由高密度電漿化學氣相沉機(HDP-CVD)、次大氣壓化學氣相沉機(SACVD) 或藉由旋塗等形成絕緣材料 210。

【0021】 圖 2D 是鱗式場效應電晶體在製造過程的各個階段的一個階段的鱗式場效應電晶體的立體圖，以及圖 3D 是沿著圖 2D 的



剖面線 I-I' 的鰭式場效應電晶體的剖面示意圖。在圖 1 的步驟 S12 中以及如圖 2C 至 2D 和圖 3C 至圖 3D 所示，例如藉由化學機械研磨製程以移除絕緣材料 210、圖案化的單幕層 202b' 和圖案化的墊層 202a' 直到暴露半導體鰭片 208。如圖 2D 和圖 3D 所示，在研磨絕緣材料 210 之後，研磨的絕緣材料 210 的頂部表面與半導體鰭片的頂部表面實質上共面。

**【0022】** 圖 2E 是鰭式場效應電晶體在製造過程的各個階段的一個階段的鰭式場效應電晶體的立體圖，以及圖 3E 是沿著圖 2E 的剖面線 I-I' 的鰭式場效應電晶體的剖面示意圖。在圖 1 的步驟 S12 中以及如圖 2D 至圖 2E 和圖 3D 至圖 3E 所示，藉由蝕刻製程部分地移除填充在溝渠 206 中已被研磨的絕緣材料 210 以使得絕緣體 210a 形成在基板 200a 上面，並且每個絕緣體 210a 位於兩個鄰近的半導體鰭片 208 之間。在一個實施例中，蝕刻製程可以是採用氫氟酸 (HF) 的濕蝕刻製程或乾蝕刻製程。絕緣體 210a 的頂部表面 T1 低於半導體鰭片 208 的頂部表面 T2。半導體鰭片 208 從絕緣體 210a 的頂部表面 T1 突出。半導體鰭片 208 的頂部表面 T2 和絕緣體 210a 的頂部表面 T1 之間的高度差是 H，且此高度差 H 介於約 15nm 至約 50nm 的範圍內。

**【0023】** 如圖 2E 和圖 3E 所示，半導體鰭片 208 中的調制部分 MP2 會被暴露，且調制部分 MP2 位於絕緣體 210a 的頂面 T1 和半導體鰭片 208 的頂面 T2 之間。半導體鰭片 208 中的調制部分 MP1 則被絕緣體 210a 所包覆。

【0024】 圖 2F 是鰭式場效應電晶體在製造過程的各個階段的一個階段的鰭式場效應電晶體的立體圖，以及圖 3F 是沿著圖 2F 的剖面線 I-I' 的鰭式場效應電晶體的剖面示意圖。在圖 1 的步驟 S14 中以及如圖 2E 至圖 2F 和圖 2F 至圖 3F 所示，在部分半導體鰭片 208 和部分絕緣體 210a 上方形成閘極堆疊結構 212。在一個實施例中，閘極堆疊結構 212 的延伸方向 D1 例如垂直於半導體鰭片 208 的延伸方向 D2，以便覆蓋半導體鰭片 208 的中間部分 M（在圖 3F 中所示）。上述中間部分 M 可以作為三閘極(tri-gate)鰭式場效應電晶體的通道。閘極堆疊結構 212 包括閘極介電層 212a 和設置在閘極介電層 212a 上方的閘極層 212b。閘極介電層 212b 設置在半導體鰭片 208 的部分上方以及絕緣體 210a 的部分上方。

【0025】 形成閘極介電層 212a 以覆蓋半導體鰭片 208 的中間部分 M。在一些實施例中，閘極介電層 212a 可以包括氧化矽、氮化矽、氮氧化矽或高介電係數電介材料。高介電常數電介材料包括金屬氧化物。用於高介電常數電介材料的金屬氧化物的實例包括 Li、Be、Mg、Ca、Sr、Sc、Y、Zr、Hf、Al、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu 的氧化物和/或前述材料的混合物。在一個實施例中，閘極介電層 212a 是厚度介於約 10 至 30 埃的高介電係數介電層。可以使用合適的製程來形成閘極介電層 212a，諸如原子層沉積（ALD）、化學氣相沉積（CVD）、物理氣相沉積（PVD）、熱氧化、紫外線臭氧氧化或前述製程的組合。閘極介電層 212a 還可以包括介面層（未示出）以減小閘極介電層

212a 和半導體鰭片 208 之間的損壞。前述的介面層可以包括氧化矽。

【0026】 然後，在閘極介電層 212a 上形成閘極層 212b。在一些實施例中，閘極層 212b 可以包括單層或多層結構。在一些實施例中，閘極層 212b 可以包括多晶矽或金屬，諸如 Al、Cu、W、Ti、Ta、TiN、TiAl、TiAlN、TaN、NiSi、CoSi，具有與基板材料相容的功函數的其他導電材料，或者前述材料的組合。在一些實施例中，閘極電極層 212b 包括包含矽的材料，諸如多晶矽、非晶矽或前述材料的組合，並且閘極電極層 212b 是在應變材料 214 的形成之前形成。在其他實施例中，閘極電極層 212b 是擬閘極(dummy gate)，且在形成應變材料 214 之後，擬閘極會被金屬閘極（或稱作“替代閘極”）所替代。在其他實施例中，閘極介電層 212b 包括厚度介於約 30nm 至約 60nm 之間。可以使用合適的製程，諸如 ALD、CVD、PVD、電鍍或前述製程的組合，來形成閘極層 212b。

【0027】 此外，閘極堆疊結構 212 還可以包括設置在閘極介電層 212a 和閘極介電層 212b 的側壁上的一對間隙物 212c。此對間隙物 212c 還可以覆蓋半導體鰭片 208 的部分。間隙物 212c 由介電材料（諸如氮化矽或 SiCON）形成。間隙物 212c 可包括單層或多層結構。半導體鰭片 208 的未被閘極堆疊結構 212 覆蓋的部分此後稱為暴露部分 E。

【0028】 圖 2G 是鰭式場效應電晶體在製造過程的各個階段的一個階段的鰭式場效應電晶體的立體圖，以及圖 3G 是沿著圖 2G 的

剖面線 II-II' 的鰭式場效應電晶體的剖面示意圖。在圖 1 的步驟 S16 中以及如圖 2F 至圖 2G 和圖 3F 至圖 3G 所示，移除並且使半導體鰭片 208 的暴露部分 E 凹陷而形成凹陷部分 R。舉例而言，可藉由等向性蝕刻、非等向性蝕刻或前述製程的組合來移除暴露部分 E。在一些實施例中，半導體鰭片 208 的暴露部分 E 會凹陷至絕緣體 210a 的頂部表面 T1 以下。凹陷部分 R 的深度 D 小於絕緣體 210a 的厚度 TH。換句話說，半導體鰭片 208 的暴露部分 E 不會被完全移除。如圖 2G 和圖 3G 中所示，當使半導體鰭片 208 的暴露部分 E 凹陷時，半導體鰭片 208 被閘極堆疊結構 212 覆蓋的部分不會移除。半導體鰭片 208 被閘極堆疊結構 212 所覆蓋的部分會在閘極堆疊結構 212 的側壁處暴露出來。

**【0029】** 當半導體鰭片 208 的暴露部分 E 被移除以使半導體鰭片 208 的暴露部分 E 凹陷以形成凹陷部分 R 時，未被閘極堆疊結構 212 所覆蓋的調制部分 MP1（如圖 2F 和圖 2G 所示）可以被用以作為蝕刻終止層，以良好地控制凹陷部分 R 的輪廓。在上述的鰭片凹陷製程期間，未被閘極堆疊結構 212 所覆蓋的調制部分 MP1 亦可被完全地移除。在其他實施例中，上述鰭片凹陷製程可以停止在調制部分 MP1 處，並且使未被閘極堆疊結構 212 所覆蓋的調制部分 MP1 被保留下來。由於調制部分 MP1 有助於控制凹陷部分 R 的輪廓，因此調制部分 MP1 也可以良好地控制後續的應變材料的磊晶成長。承上述，調制部分 MP1 放大了後續磊晶製程的製程裕度。

【0030】 圖 2H 是鰭式場效應電晶體在製造過程的各個階段的一個階段的鰭式場效應電晶體的立體圖，以及圖 3H 是沿著圖 2H 的剖面線 II-II' 的鰭式場效應電晶體的剖面示意圖。在圖 1 的步驟 S16 中以及如圖 2G 至圖 2H 和圖 3G 至圖 3H 所示，應變材料 214 是選擇性地成長在半導體鰭片 208 的凹陷部分 R 上方，並且延伸超過絕緣體 210a 的頂部表面 T1 以對半導體鰭片 208 施加應變(strain) 或應力(stress)。

【0031】 如圖 2H 和圖 3H 所示，應變材料 214 包括設置在閘極堆疊結構 212 一側的源極以及設置在閘極堆疊結構 212 另一側的汲極。源極覆蓋半導體鰭片 208 的一端，且汲極覆蓋半導體鰭片 208 的另一端。在此情況下，擬鰭片 208D 可以藉由位於其上的應變材料 214 接地。

【0032】 在一些實施例中，源極和汲極可以僅覆蓋主動鰭片 208A 被閘極堆疊結構 212 所顯露的一端（即，第一端和第二端），並且擬鰭片 208D 未被應變材料 214 所覆蓋。在此情況下，擬鰭片 208D 是電性浮置。由於應變材料 214 的晶格常數不同於基板 200a，因此半導體鰭片 208 被閘極堆疊結構 212 覆蓋的部分會被施加應變或應力以增強鰭式場效應電晶體的載流子遷移率和性能(performance)。在一個實施例中，應變材料 214，諸如碳化矽 (SiC)，是由低壓化學氣相沉積(LPCVD)製程磊晶成長以形成 n 型鰭式場效應電晶體的源極和汲極。在另一個實施例中，應變材料 214，諸如碳化矽 (SiC)，由低壓化學氣相沉積(LPCVD)製程磊

晶成長以形成 p 型鰭式場效應電晶體的源極和汲極。

【0033】 在本發明一實施例的鰭式場效應電晶體中，當施加驅動電壓至閘極堆疊結構 212 時，主動鰭片 208A 會包括被閘極堆疊結構 212 所覆蓋的通道，而擬鰭片 208D 是電性浮置或接地。換句話說，雖然閘極堆疊結構 212 和擬鰭片 208D 會部分地重疊，但是擬鰭片 208D 不會作為電晶體的通道。

【0034】 在鰭式場效應電晶體的製造過程中，擬鰭片 208D 會面臨鰭片彎曲的問題（即，化學氣相沉積應力效應），而主動鰭片 208A 則不會被鰭片彎曲問題嚴重地影響到。此外，由於擬鰭片 208D 的形成，主動鰭片 208A 不會被負載效應和鰭片彎曲效應嚴重地影響到。擬鰭片 208D 可以增大製程裕度並且為應變材料 214（應變源極/汲極）提供更好的臨界尺寸(critical dimension loading)。因此，包括有擬鰭片 208D 的鰭式場效應電晶體具有更好的晶圓分析和測試（WAT）結果、更好的可靠性表現和更好的良率表現。

【0035】 參考圖 2A 和圖 3A，其所繪示的半導體鰭片 208 包括至少一個主動鰭片 208A 和一對擬鰭片 208D。然而，主動鰭片 208A 和擬鰭片 208D 的數量不限制此。此外，擬鰭片 208D 的高度也可以被更改。以下將搭配圖 4 至圖 8 針對更動後的實施例進行描述。

【0036】 圖 4 根據一些實施例繪示出半導體鰭片的剖面示意圖。走參考圖 4，半導體鰭片 208 包括一組主動鰭片 208A（例如，兩個主動鰭片）和兩個擬鰭片 208D，其中一個擬鰭片 208D 設置在此組主動鰭片 208A 的一側，而另外一個擬鰭片 208D 設置在此組

主動鰭片 208A 的另一側。在一些其他實施例中，主動鰭片 208A 的數量可以是多於兩個。

【0037】 圖 5 根據一些實施例繪示出半導體鰭片的剖面示意圖。請參考圖 5，半導體鰭片 208 包括一組主動鰭片 208A（例如，兩個主動鰭片）和四個擬鰭片 208D，其中兩個第一擬鰭片 208D 設置在此組主動鰭片 208A 的一側，而另外兩個第二擬鰭片 208D 則設置在此組主動鰭片 208A 的另一側。在一些其他實施例中，主動鰭片 208A 的數量可以是多於兩個，而擬鰭片 208D 的數量可以是三個或多於四個。此組主動鰭片 208A 可以作為單一個鰭式場效應電晶體的通道或多個鰭式場效應電晶體的通道。

【0038】 圖 6 根據一些實施例繪示出半導體鰭片的剖面示意圖。請參考圖 6，半導體鰭片 208 包括一個主動鰭片 208A 和設置在主動鰭片 208A 的兩相對側的兩個擬鰭片 208D。主動鰭片 208 的高度  $H1$  大於擬鰭片 208D 的高度  $H2$ 。

【0039】 圖 7 根據一些實施例繪示出半導體鰭片的剖面示意圖。請參考圖 7，半導體鰭片 208 包括兩個主動鰭片 208A 和設置在主動鰭片 208A 兩相對側的四個擬鰭片 208D，且主動鰭片 208 的高度  $H1$  大於擬鰭片 208D 的高度  $H2$ 。在一些其他的實施例中，主動鰭片 208A 的數量可以是多於兩個，而擬鰭片 208D 的數量可以是三個或多於四個。

【0040】 在一些其他實施例中，如在圖 6 和圖 7 中所示，擬鰭片 208D 的高度  $H2$  小於絕緣體 210a 的厚度  $TH$ 。因此，擬鰭片 208D

會埋在絕緣體 210a 的部分中。高度較小的擬鰭片 208D 可藉由鰭片切割製程(fin-cut process)來形成。鰭片切割製程可以在形成絕緣體 210a 之前進行，以使得擬鰭片 208D 的頂部部分可以被移除進而降低擬鰭片 208D 的高度。前述的鰭片切割製程例如是蝕刻製程。較短的擬鰭片 208D 所面臨的鰭片彎曲問題（即，化學氣相沉積應力效應）可以顯著地被減少。

【0041】 圖 8 根據一些實施例繪示出半導體鰭片的剖面示意圖。請參考圖 8，與圖 4 至圖 7 所繪示的實施例不同，圖 8 中所繪示的半導體鰭片 208 包括三個主動鰭片 208A，並且半導體基板 200a 上未形成有擬鰭片。前述的主動鰭片 208A 的數量可以根據實際設計需求而更動。

【0042】 根據本發明的一些實施例，鰭式場效應電晶體包括基板、設置在基板上的多個絕緣體、閘極堆疊結構和應變材料。基板包括至少一個半導體鰭片，且半導體鰭片包括分佈在其中的至少一個調制部分。半導體鰭片夾於絕緣體之間。閘極堆疊結構設置在部分半導體鰭片上方和部分絕緣體上方。應變材料覆蓋被閘極堆疊結構所顯露的部分半導體鰭片。

【0043】 在上述鰭式場效應電晶體中，調制部分包括半導體層，且半導體層的材料例如為氧化矽鍺（SiGeO<sub>x</sub>）、矽鍺（SiGe）、氧化矽（SiO<sub>x</sub>）、磷化矽（SiP）、磷酸矽（SiPO<sub>x</sub>）或前述材料的組合。

【0044】 在上述鰭式場效應電晶體中，調制部分包括佈植區域，



且佈植區域的材料例如為氧化矽鍺 (SiGeO<sub>x</sub>)、矽鍺 (SiGe)、氧化矽 (SiO<sub>x</sub>)、磷化矽 (SiP)、磷酸矽 (SiPO<sub>x</sub>) 或前述材料的組合。

**【0045】** 在上述鰭式場效應電晶體中，調制部分包括第一調制部分以及第二調制部分，且第一調制部分和第二調制部分分佈在半導體鰭片中的不同位置。

**【0046】** 在上述鰭式場效應電晶體中，應變材料包括源極和汲極，源極覆蓋主動鰭片的第一端，汲極覆蓋主動鰭片的第二端，而第一端和第二端被閘極堆疊結構所顯露，且源極和汲極分別位於閘極堆疊結構的兩相對側。

**【0047】** 在上述鰭式場效應電晶體中，主動鰭片包括被閘極堆疊結構所顯露的多個凹陷部分，且應變材料覆蓋主動鰭片的凹陷部分。

**【0048】** 根據本發明的其他實施例，鰭式場效應電晶體包括基板、設置在基板上的多個絕緣體、閘極堆疊結構和應變材料。基板包括多個半導體鰭片，且半導體鰭片包括至少一個主動鰭片和設置在主動鰭片兩相對側的多個擬鰭片。主動鰭片包括分佈在其中的至少一個調制部分。絕緣體設置在基板上，且半導體鰭片由絕緣體絕緣。閘極堆疊結構設置在部分半導體鰭片上方和部分絕緣體上方。應變材料覆蓋被閘極堆疊結構所顯露的部分主動鰭片。

**【0049】** 在上述鰭式場效應電晶體中，調制部分包括半導體層，且半導體層的材料例如為氧化矽鍺 (SiGeO<sub>x</sub>)、矽鍺 (SiGe)、氧

化矽 (SiO<sub>x</sub>)、磷化矽 (SiP)、磷酸矽 (SiPO<sub>x</sub>) 或前述材料的組合。

【0050】 在上述鱗式場效應電晶體中，調制部分包括佈植區域，且佈植區域的材料例如為氧化矽鍺 (SiGeO<sub>x</sub>)、矽鍺 (SiGe)、氧化矽 (SiO<sub>x</sub>)、磷化矽 (SiP)、磷酸矽 (SiPO<sub>x</sub>) 或前述材料的組合。

【0051】 在上述鱗式場效應電晶體中，主動鱗片的高度與擬鱗片的高度相同。

【0052】 在上述鱗式場效應電晶體中，主動鱗片的高度大於擬鱗片的高度。

【0053】 在上述鱗式場效應電晶體中，主動鱗片的高度大於擬鱗片的高度，且擬鱗片埋設在部分絕緣體中。

【0054】 在上述鱗式場效應電晶體中，擬鱗片是接地或電性浮置。

【0055】 在上述鱗式場效應電晶體中，調制部分包括第一調制部分以及第二調制部分，且第一調制部分和第二調制部分分佈在半導體鱗片中的不同位置。

【0056】 在上述鱗式場效應電晶體中，應變材料包括源極和汲極，源極覆蓋主動鱗片的第一端，汲極覆蓋主動鱗片的第二端，而第一端和第二端被閘極堆疊結構所顯露，且源極和汲極分別位於閘極堆疊結構的兩相對側。

【0057】 在上述鱗式場效應電晶體中，主動鱗片包括被閘極堆疊結構所顯露的多個凹陷部分，且應變材料覆蓋主動鱗片的凹陷部

分。

**【0058】** 根據本發明的其他實施例，鰭式場效應電晶體的製造方法包括至少以下步驟。在基板上形成至少一個半導體鰭片，其中半導體鰭片包括分佈在其中的至少一個調制部分。在基板上形成多個絕緣體，其中半導體鰭片夾於絕緣體之間。在部分半導體鰭片上方和部分絕緣體上方形成閘極堆疊結構。在被閘極堆疊結構所顯露的部分主動鰭片上方形成應變材料。

**【0059】** 在上述鰭式場效應電晶體的製造方法中，藉由佈植製程或沉積製程在半導體鰭片中形成調制部分。

**【0060】** 在上述鰭式場效應電晶體的製造方法中，用於製造分佈在基板中的調制材料的方法包括藉由離子佈植或原子層沉積。

**【0061】** 上述鰭式場效應電晶體的製造方法進一步包括：部分地移除被閘極堆疊結構所顯露的部分半導體鰭片以形成多個凹陷部分，其中應變材料覆蓋主動鰭片的凹陷部分。

**【0062】** 以上概述了數個實施例的特徵，使本領域具有通常知識者可更佳瞭解本揭露的態樣。本領域具有通常知識者應理解，其可輕易地使用本揭露作為設計或修改其他製程與結構的依據，以實行本文所介紹的實施例的相同目的及/或達到相同優點。本領域具有通常知識者還應理解，這種等效的配置並不悖離本揭露的精神與範疇，且本領域具有通常知識者在不悖離本揭露的精神與範疇的情況下可對本文做出各種改變、置換以及變更。

## 【符號說明】

### 【0063】

- 200：基板
- 200a：半導體基板
- 202a：墊層
- 202a'：圖案化的墊層
- 202b：罩幕層
- 202b'：圖案化的罩幕層
- 204：圖案化光阻層
- 206：溝渠
- 208：半導體鰭片
- 208A：主動鰭片
- 208D：擬鰭片：
- 210：絕緣材料
- 210a：絕緣體
- 212：閘極堆疊結構
- 212a：閘極介電層
- 212b：閘極層
- 212c：間隙物
- 214：應變材料
- D：深度
- D1、D2：延伸方向

E：暴露部分

H：高度差

H1、H2：高度

M：中間部分

M1、M2：調制材料

MP1、MP2：調制部分

TH：厚度

R：凹陷部分

S：間距

S10、S12、S14、S16：步驟

T1、T2：頂部表面



申請日: 105/11/15

## 【發明摘要】

IPC分類: H01L 21/336 (2006.01)  
H01L 29/78 (2006.01)

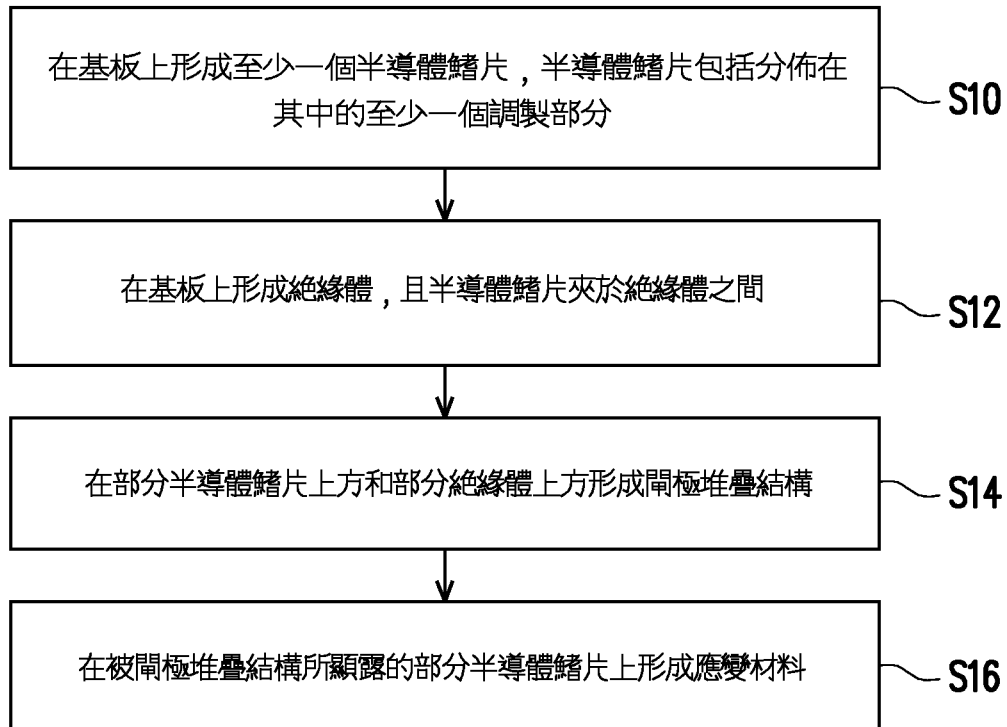
【中文發明名稱】 鰭式場效應電晶體及其製造方法

【英文發明名稱】 FIN FIELD EFFECT TRANSISTOR AND  
METHOD FOR FABRICATING THE SAME

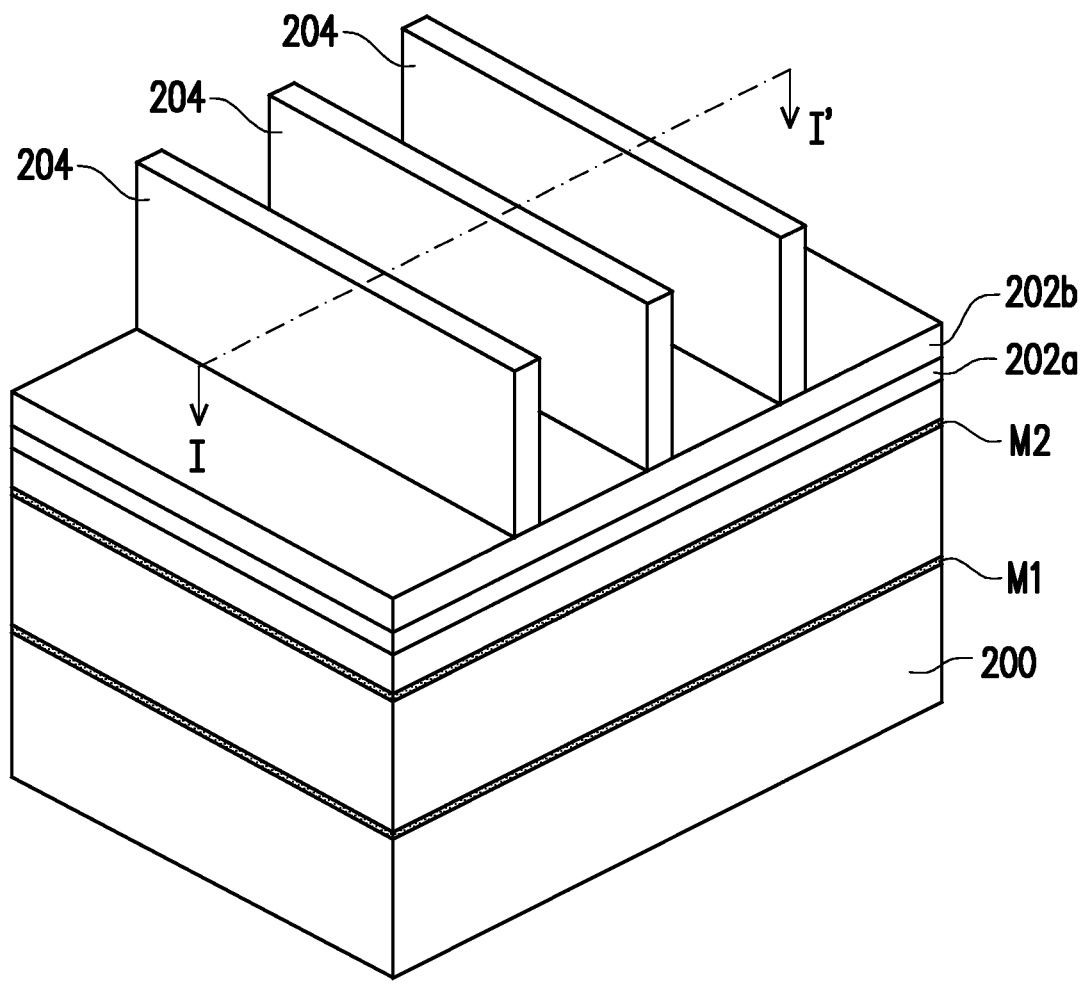
【中文】一種鰭式場效應電晶體包括基板、設置在基板上的多個絕緣體、閘極堆疊結構和應變材料。基板包括至少一個半導體鰭片，且半導體鰭片包括分佈在其中的至少一個調制部分。半導體鰭片夾於絕緣體之間。閘極堆疊結構設置在部分半導體鰭片上方和部分絕緣體上方。應變材料覆蓋被閘極堆疊結構所顯露的部分半導體鰭片。此外，鰭式場效應電晶體的製造方法亦被提出。

【英文】 A FinFET includes a substrate, a plurality of insulators disposed on the substrate, a gate stack and a strained material. The substrate includes at least one semiconductor fin and the semiconductor fin includes at least one modulation portion distributed therein. The semiconductor fin is sandwiched by the insulators. The gate stack is disposed over portions of the semiconductor fin and over portions of the insulators. The strained material covers portions of the semiconductor fin that are revealed by the gate stack. In addition, a method for fabricating the FinFET is provided.

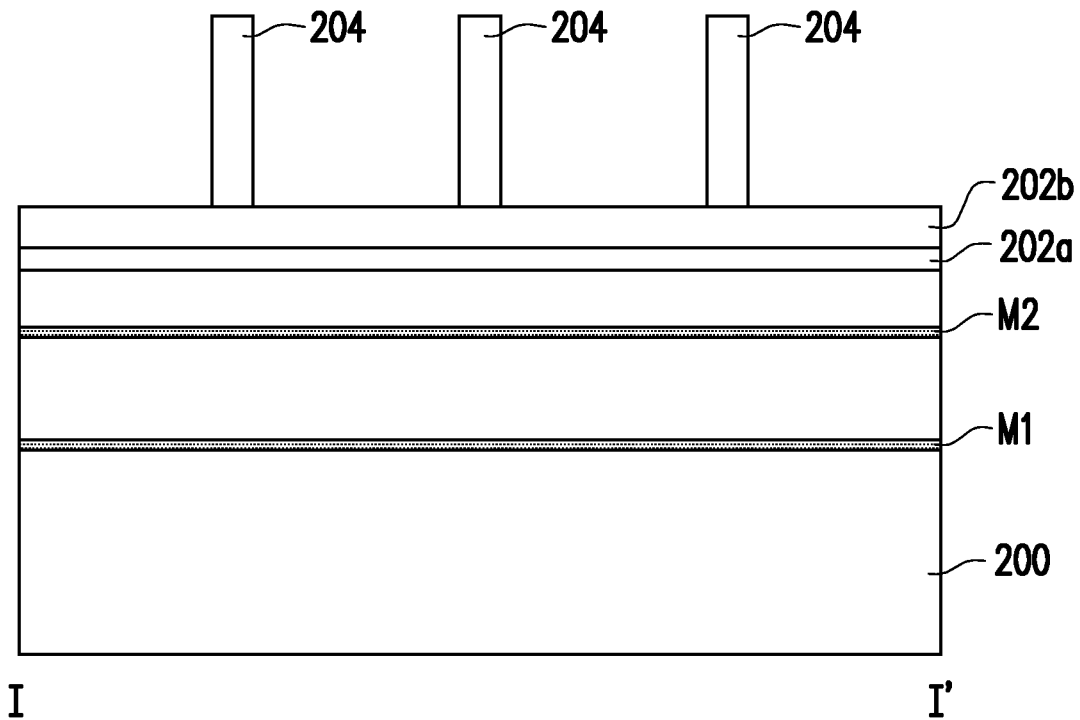
## 【發明圖式】



【圖1】

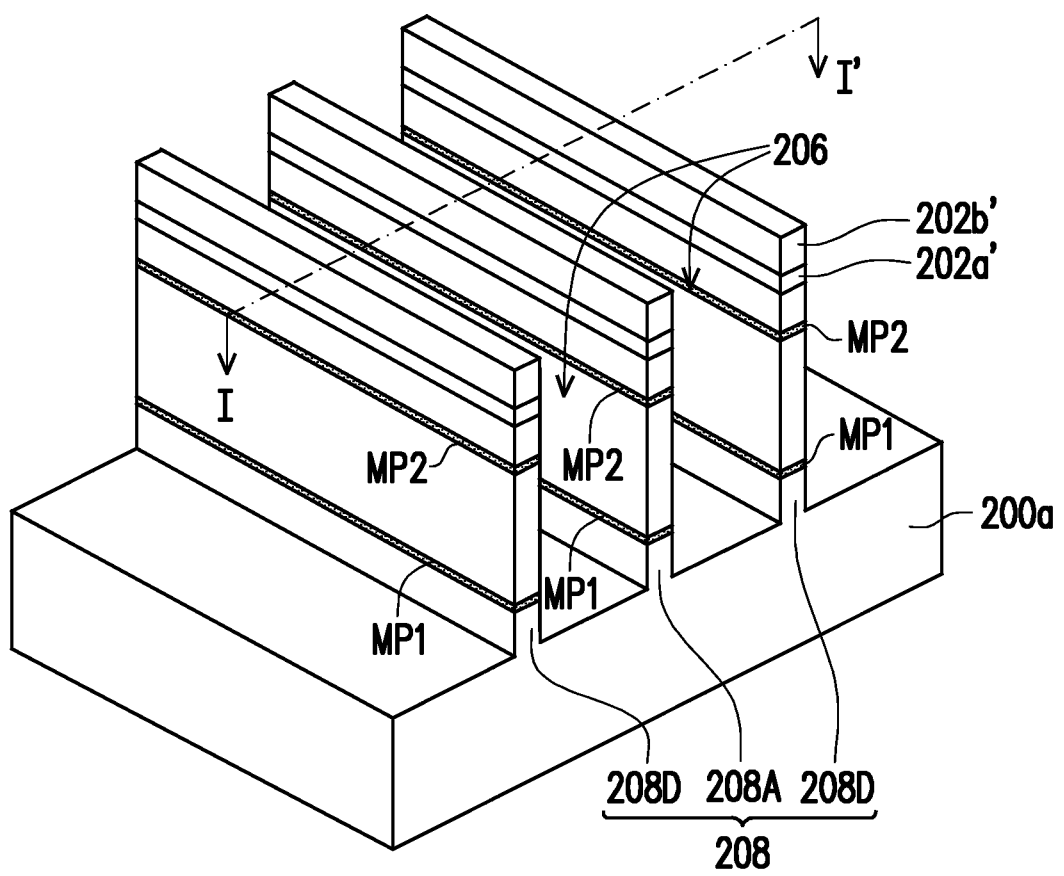


【圖2A】

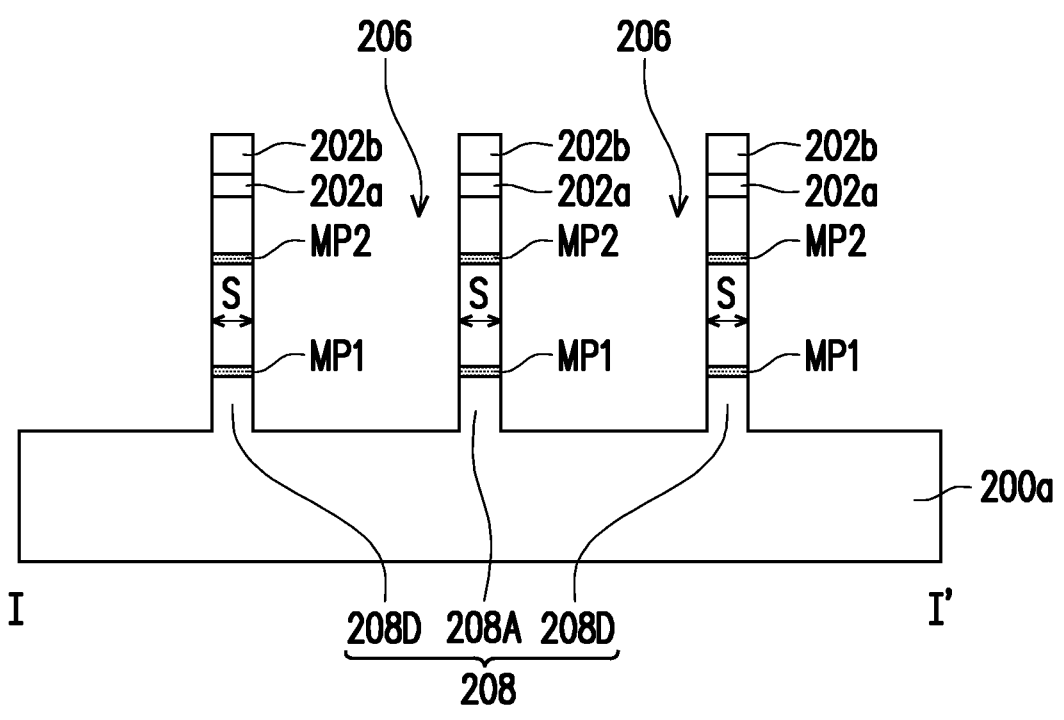


【圖3A】

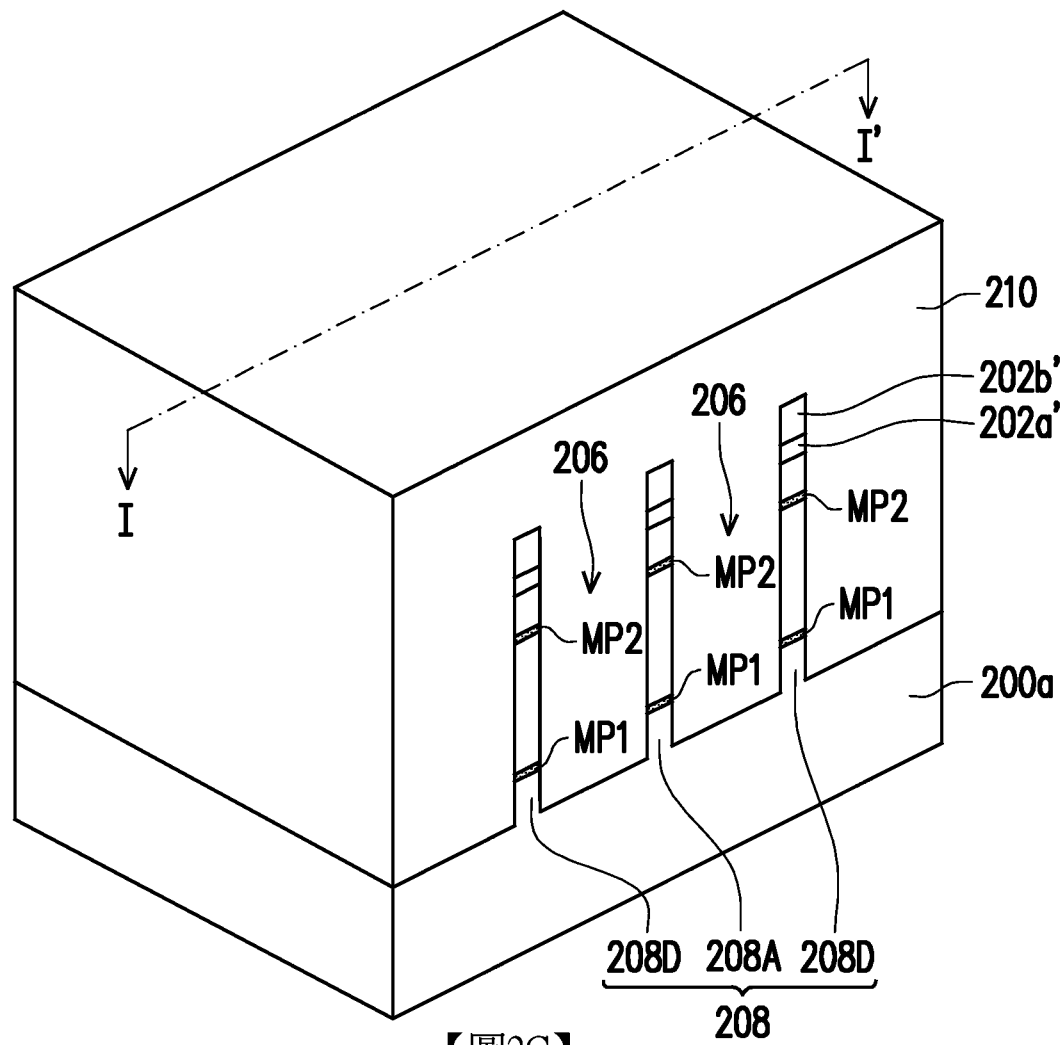




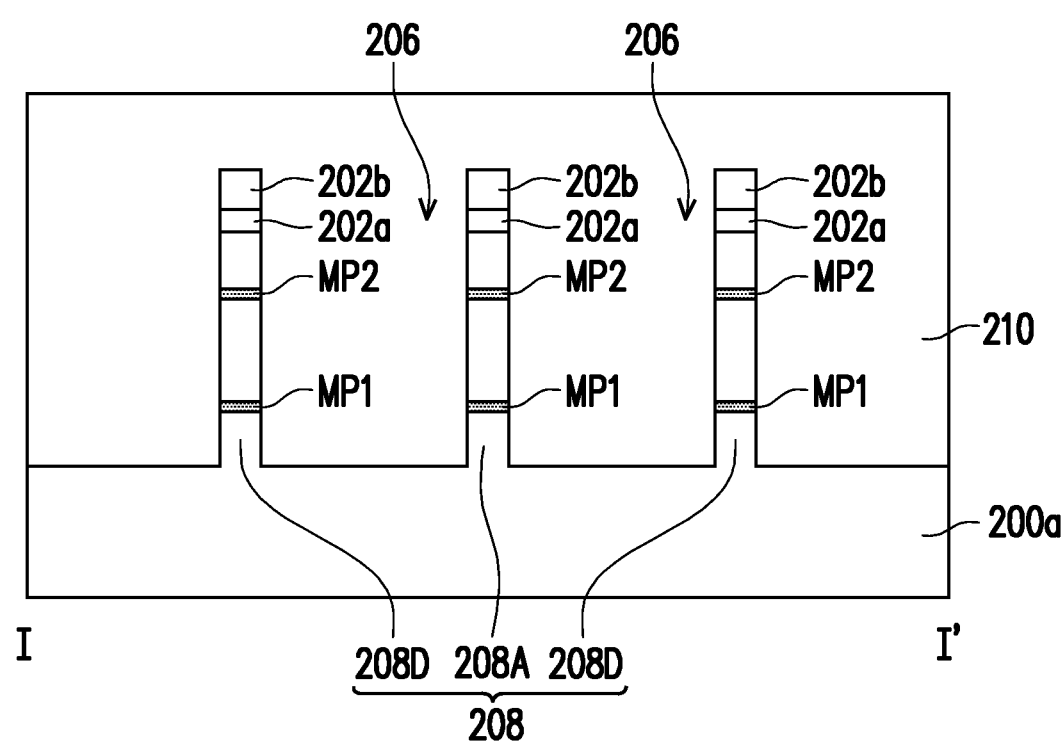
【圖2B】



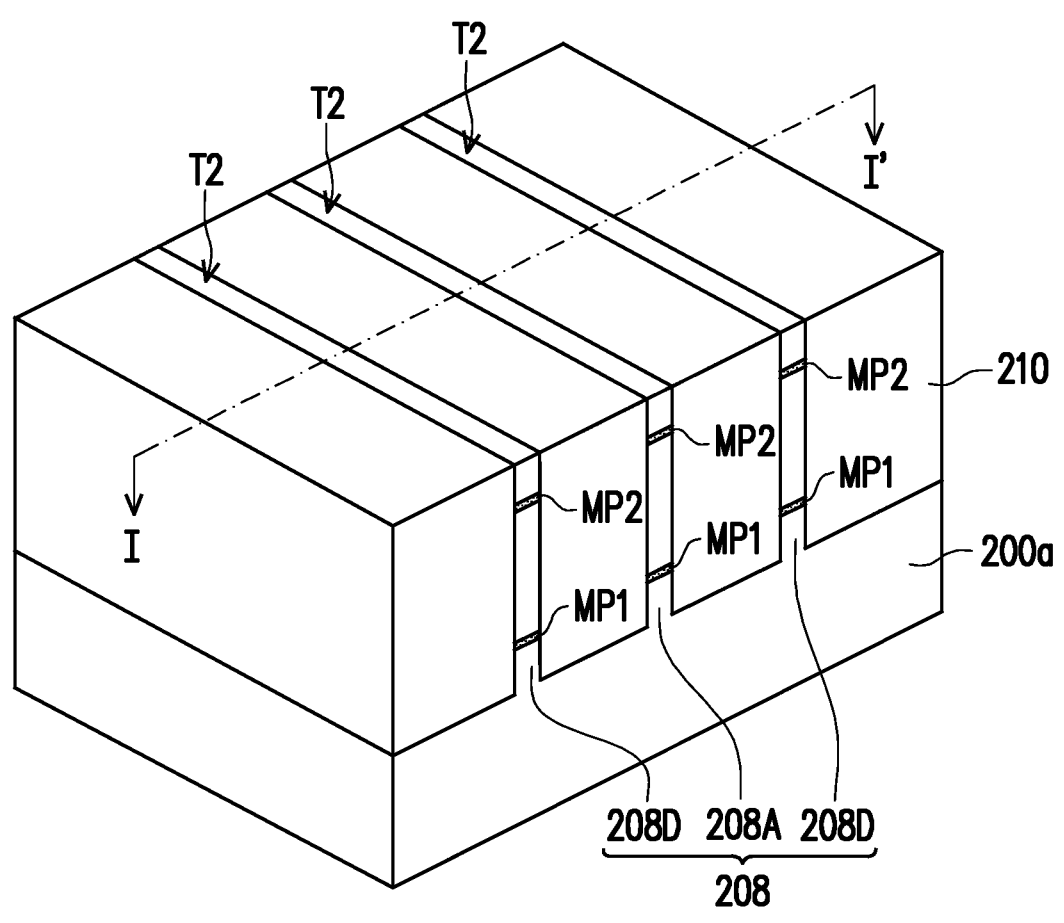
【圖3B】



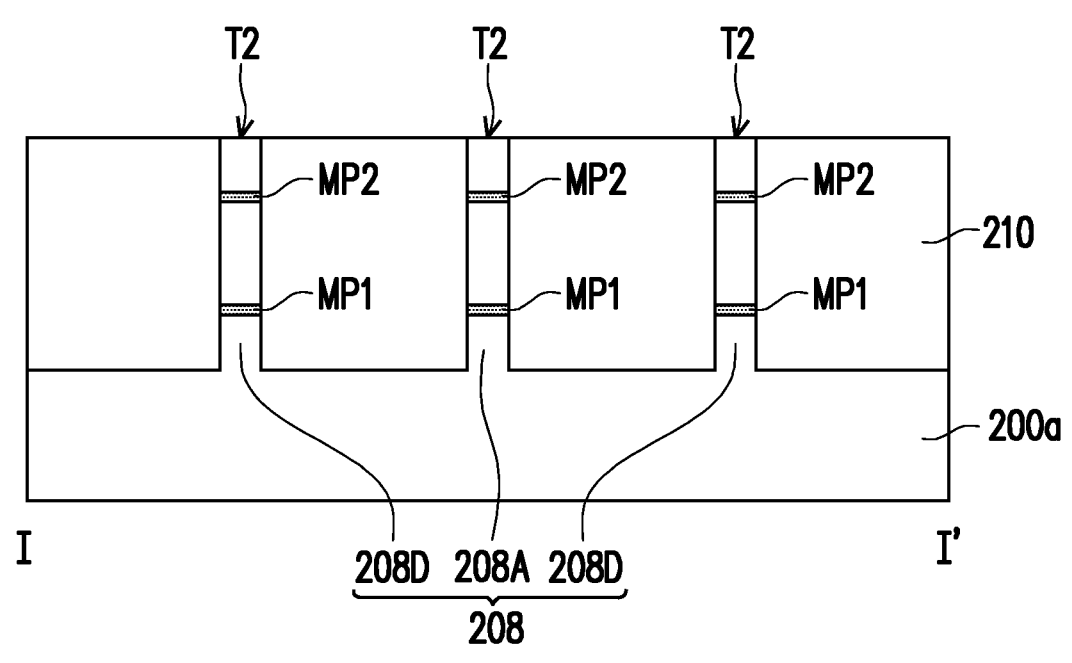
【圖2C】



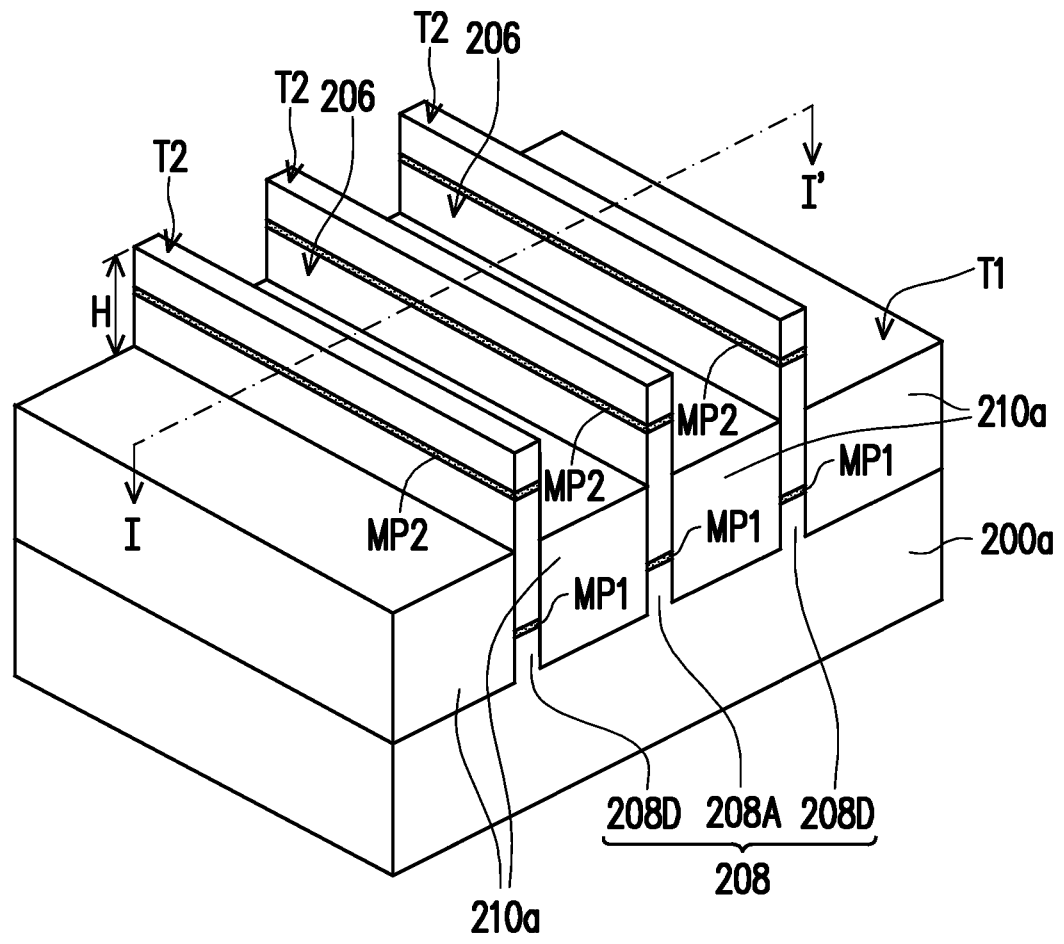
【圖3C】



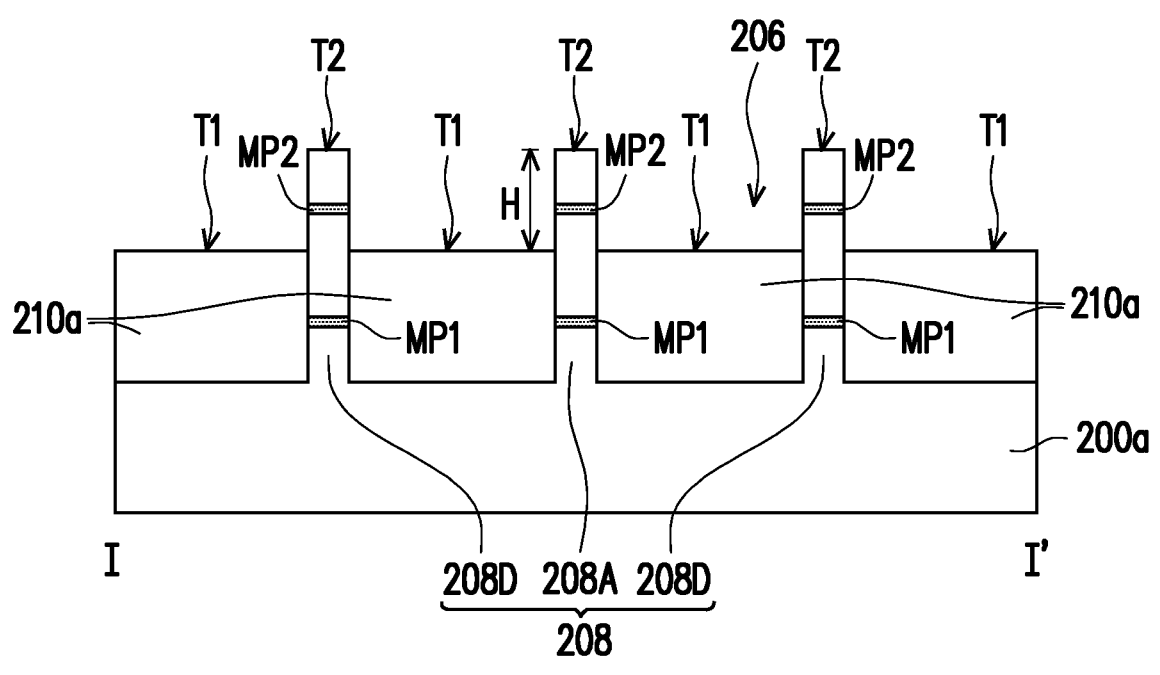
【圖2D】



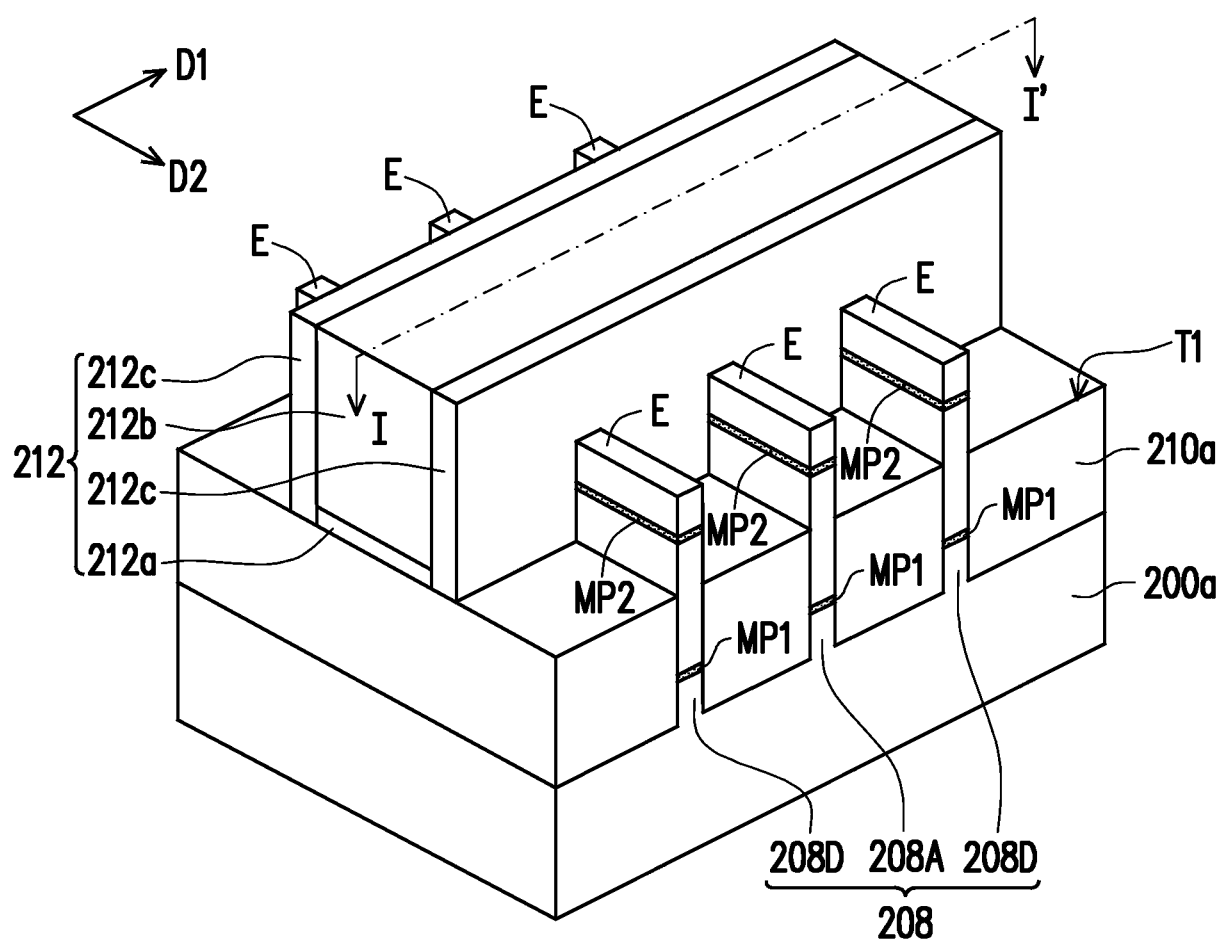
【圖3D】



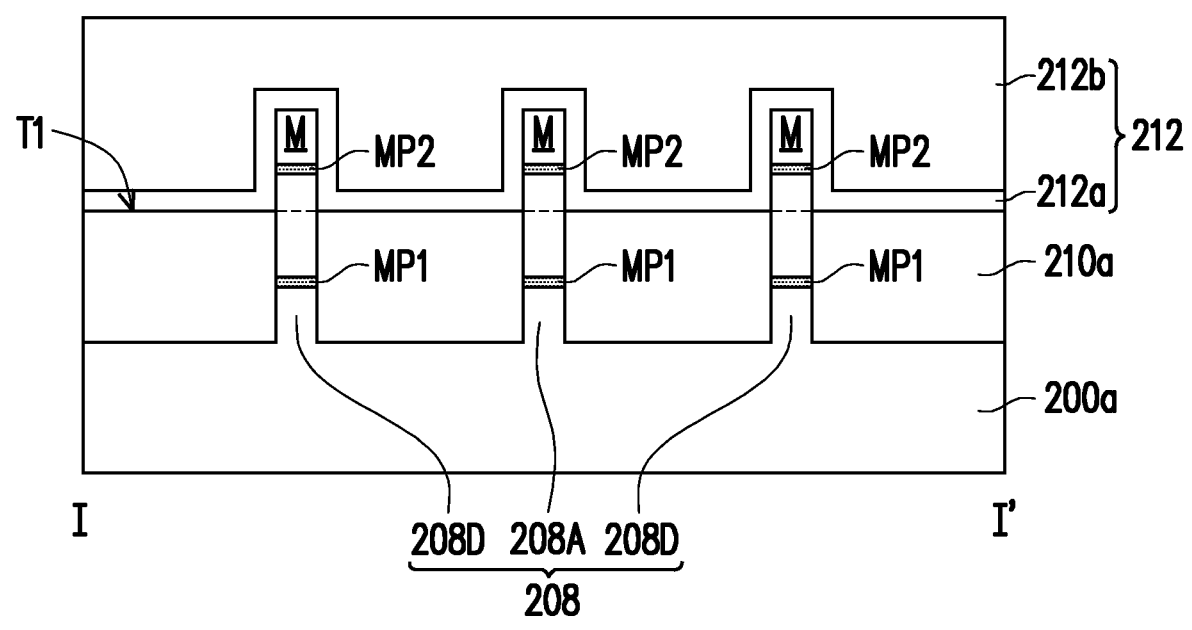
【圖2E】



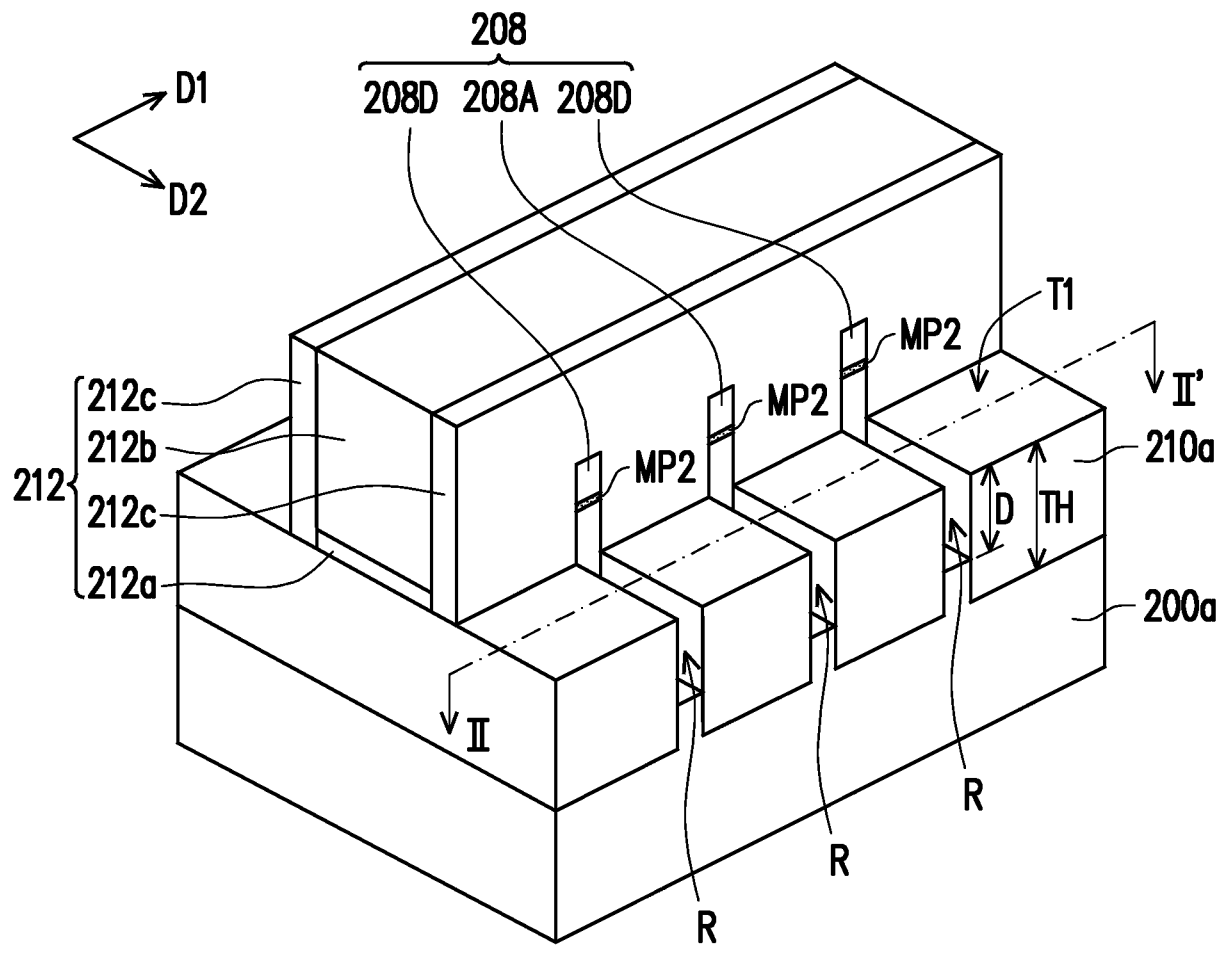
【圖3E】



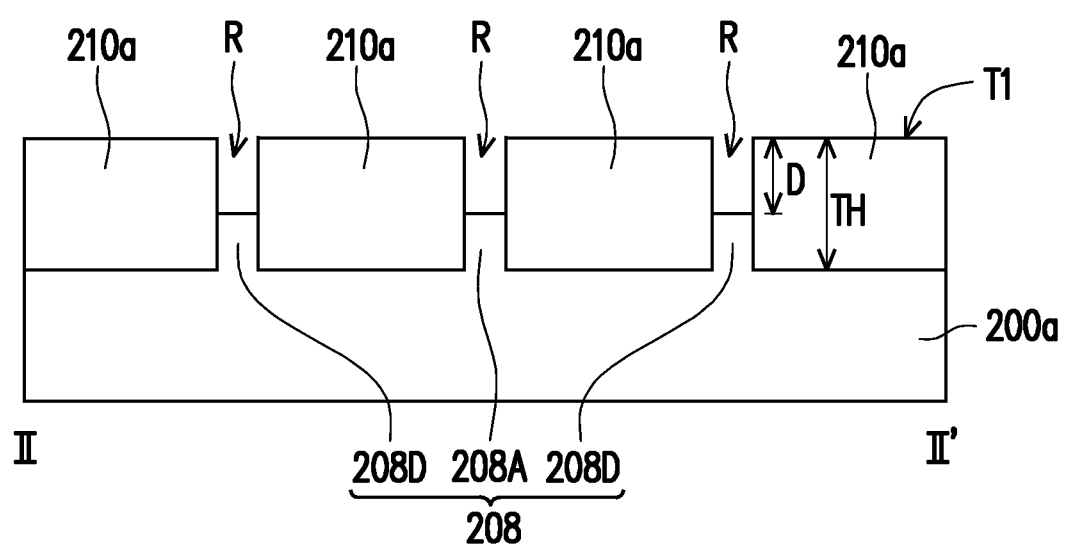
【圖2F】



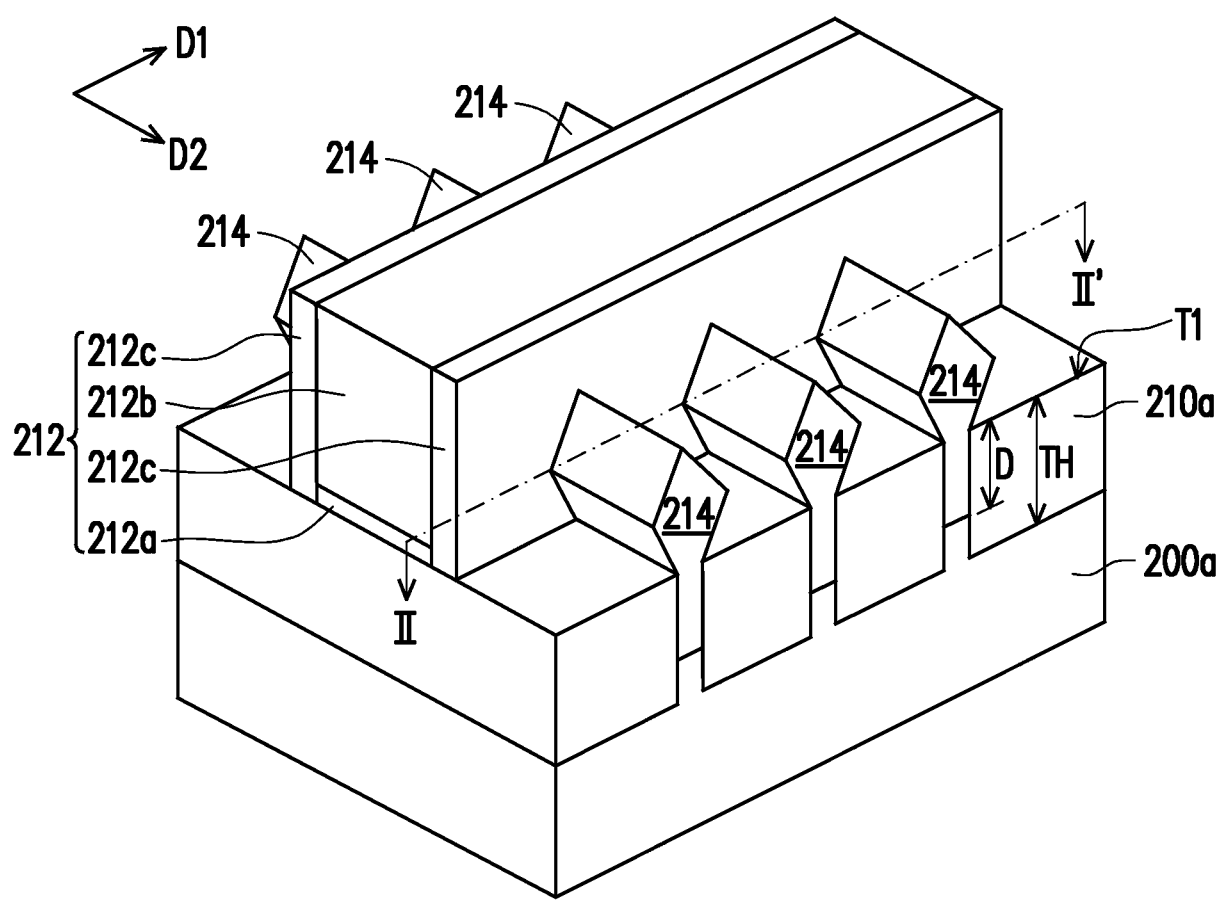
【圖3F】



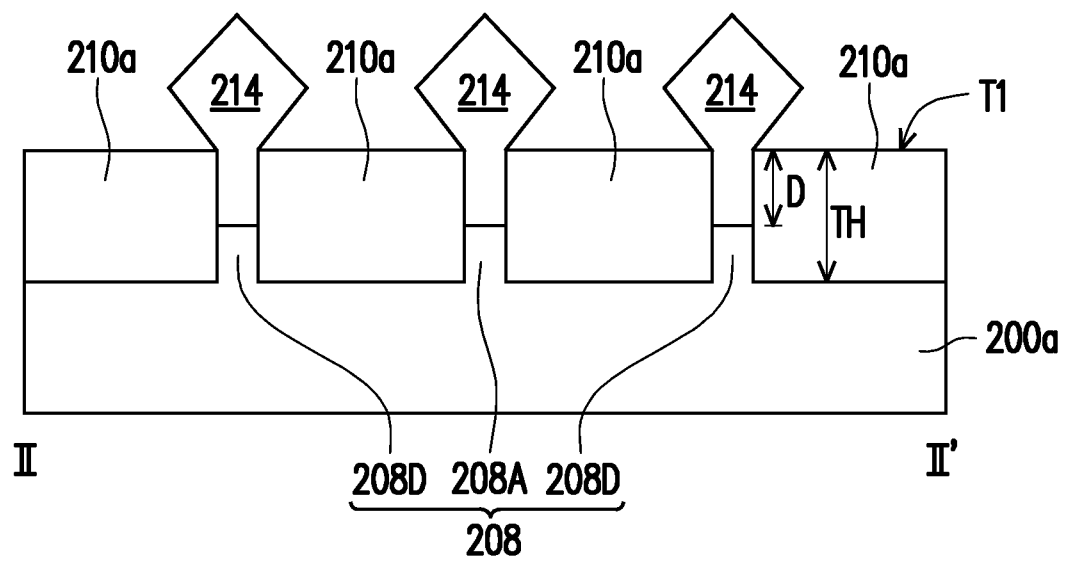
【圖2G】



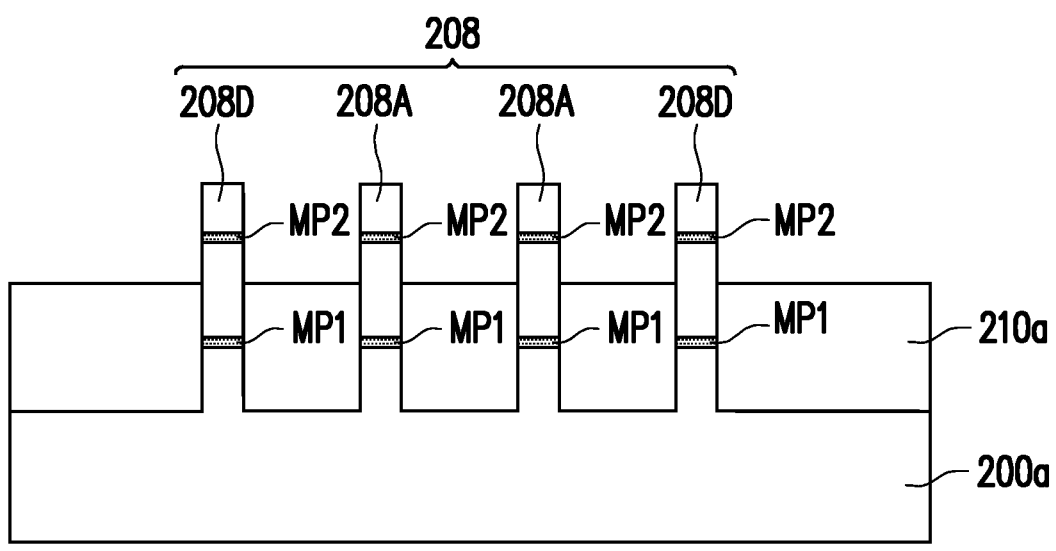
【圖3G】



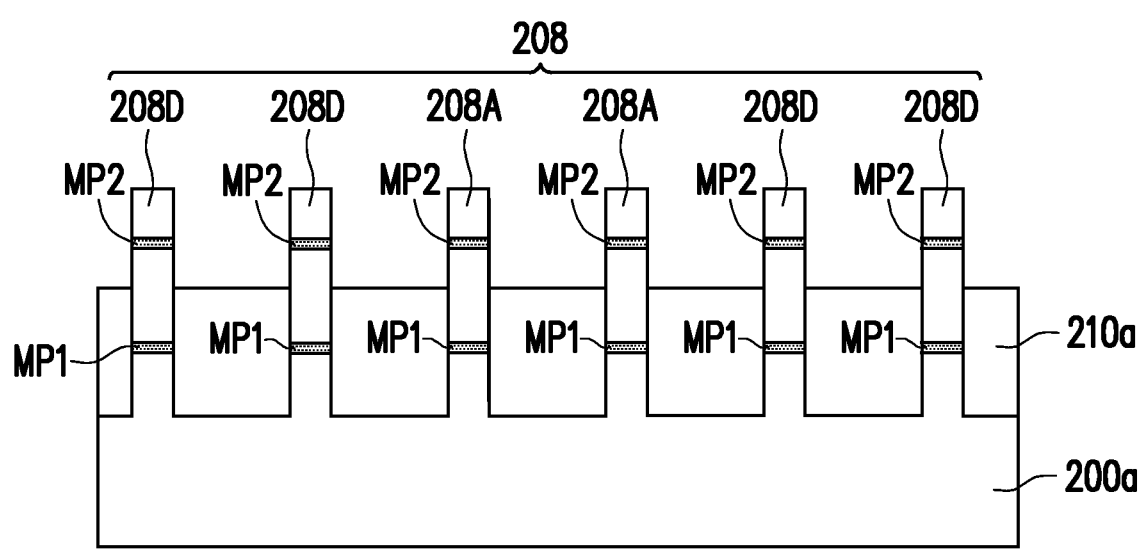
【圖2H】



【圖3H】

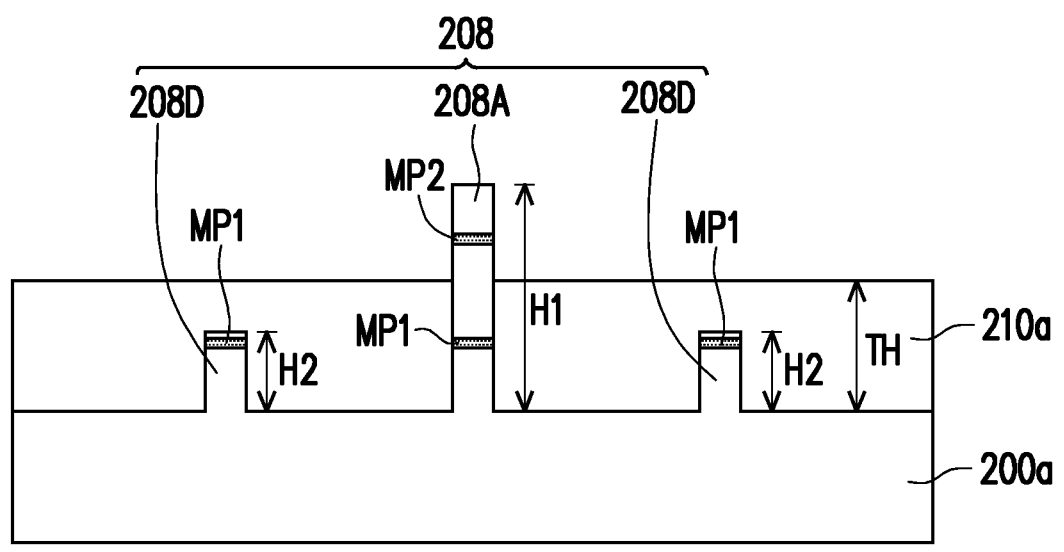


【圖4】

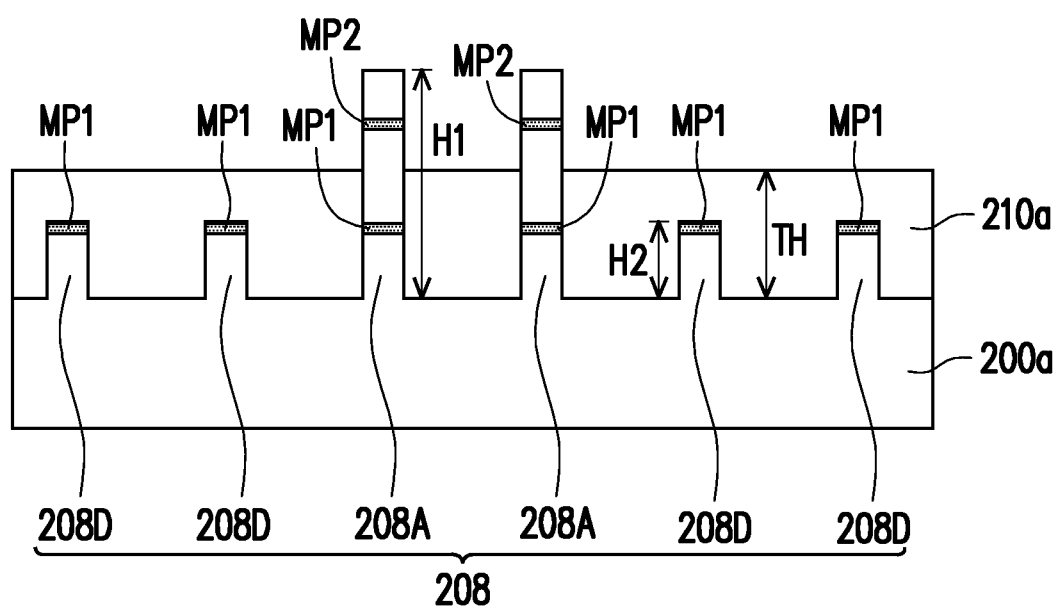


【圖5】

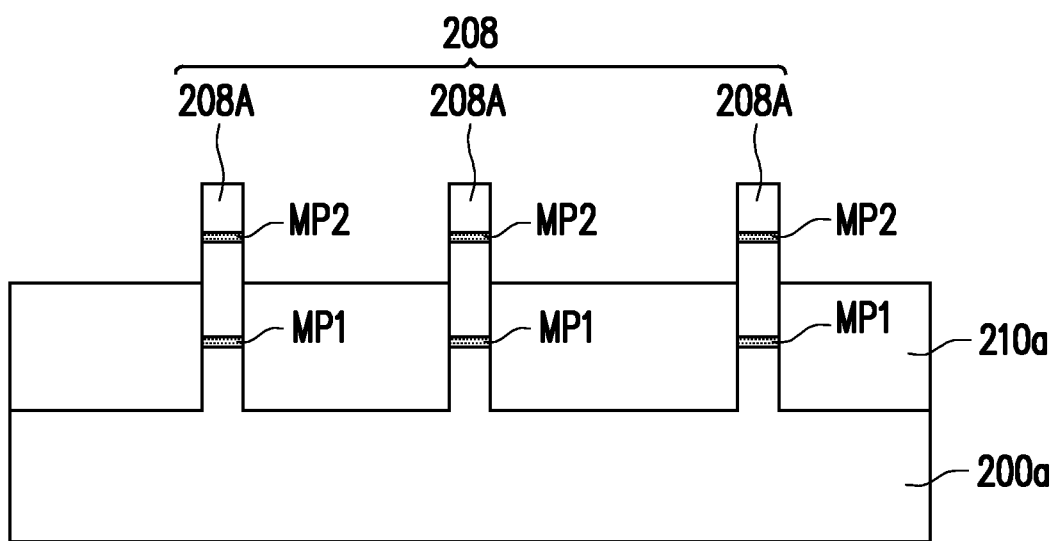




【圖6】



【圖7】



【圖8】

【指定代表圖】圖2B。

【代表圖之符號簡單說明】

200a：半導體基板

202a'：圖案化的墊層

202b'：圖案化的單幕層

206：溝渠

208：半導體鰭片

208A：主動鰭片

208D：擬鰭片

MP1、MP2：調制部分

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 鰭式場效應電晶體及其製造方法

【英文發明名稱】 FIN FIELD EFFECT TRANSISTOR AND  
METHOD FOR FABRICATING THE SAME

### 【技術領域】

【0001】 本發明是有關於一種積體電路元件，且特別是有關於一種鰭式場效應電晶體及其製造方法。

### 【先前技術】

【0002】 由於半導體元件的尺寸不斷縮小，三維多閘極結構，例如鰭式場效電晶體已被開發，以取代平面互補金屬氧化物半導體（CMOS）元件。鰭式場效電晶體的結構特徵為矽基鰭片片（silicon based fin）從基板的表面垂直延伸，並且閘極會圍繞由鰭片片所形成的導電通道，以對通道進一步提供更好的電氣控制。

【0003】 在鰭式場效電晶體的製造過程中，鰭片的輪廓對於製程裕度而言非常關鍵。目前的鰭式場效電晶體製程面臨負載效應（loading effect）以及鰭片彎曲議題（fin-bending issue）。

### 【發明內容】

【0004】 本發明的實施例提供了一種鰭式場效應電晶體，其包括基板、多個絕緣體、閘極堆疊結構以及應變材料。基板包括至少

一個半導體鱗片，且半導體鱗片包括分佈在半導體鱗片中的至少一個調制部分。絕緣體設置在基板上，半導體鱗片夾於絕緣體之間。閘極堆疊結構設置在部分半導體鱗片上方和部分絕緣體上方。應變材料覆蓋被閘極堆疊結構所顯露的部分半導體鱗片。

**【0005】** 本發明的另一實施例提供了一種鱗式場效應電晶體，其包括基板、多個絕緣體、閘極堆疊結構以及應變材料。基板包括多個半導體鱗片，半導體鱗片包括至少一個主動鱗片和設置在主動鱗片兩相對側的多個擬鱗片，主動鱗片包括分佈在主動鱗片中的至少一個調制部分。絕緣體設置在基板上，半導體鱗片由絕緣體絕緣。閘極堆疊結構設置在部分半導體鱗片上方和部分絕緣體上方。應變材料覆蓋被閘極堆疊結構所顯露的部分主動鱗片。

**【0006】** 本發明的又一實施例提供了一種鱗式場效應電晶體的製造方法，其包括下列步驟。提供基板，基板包括分佈在其中的至少一調制材料；圖案化基板以在基板中形成溝渠並且在所述溝渠之間形成至少一個半導體鱗片，且半導體鱗片包括分佈在半導體鱗片中的至少一個調制部分；在溝渠中形成多個絕緣體；在部分半導體鱗片上方和部分絕緣體上方形成閘極堆疊結構；以及在被閘極堆疊結構所顯露的部分主動鱗片上方形成應變材料。

### **【圖式簡單說明】**

### **【0007】**

圖 1 是根據一些實施例所繪示出的鱗式場效應電晶體的製造

## 【發明申請專利範圍】

【第1項】一種鰭式場效應電晶體，包括：

基板，包括至少一半導體鰭片，所述至少一半導體鰭片包括分佈在所述至少一半導體鰭片中的至少一調制部分；

多個絕緣體，設置在所述基板上，所述至少一半導體鰭片夾於所述絕緣體之間，其中所述至少一調制部分包括位於所述絕緣體的頂部表面之上的第一調制部分以及位於所述絕緣體的頂部表面之下的第二調制部分；

閘極堆疊結構，設置在部分所述至少一半導體鰭片上方和部分所述絕緣體上方；以及

應變材料，覆蓋被所述閘極堆疊結構所顯露的部分所述至少一半導體鰭片。

【第2項】一種鰭式場效應電晶體，包括：

基板，包括多個半導體鰭片，所述至少一半導體鰭片包括至少一個主動鰭片和設置在所述主動鰭片兩相對側的多個擬鰭片，所述主動鰭片包括分佈在所述主動鰭片中的至少一調制部分；

多個絕緣體，設置在所述基板上，所述至少一半導體鰭片由所述絕緣體絕緣，其中所述至少一調制部分包括位於所述絕緣體的頂部表面之上的第一調制部分以及位於所述絕緣體的頂部表面之下的第二調制部分；

閘極堆疊結構，設置在部分所述至少一半導體鰭片上方和部分所述絕緣體上方；以及

應變材料，覆蓋被所述閘極堆疊結構所顯露的部分所述主動鰭片。

【第3項】如申請專利範圍第1項或第2項所述的鰭式場效應電晶體，其中所述至少一調制部分包括半導體層或佈植區域，且所述半導體層或所述佈植區域的材料包括氧化矽鍺（SiGeO<sub>x</sub>）、矽鍺（SiGe）、氧化矽（SiO<sub>x</sub>）、磷化矽（SiP）、磷酸矽（SiPO<sub>x</sub>）或前述材料的組合。

【第4項】如申請專利範圍第2項所述的鰭式場效應電晶體，其中所述主動鰭片的高度與所述擬鰭片的高度相同，或者所述主動鰭片的高度大於所述擬鰭片的高度。

【第5項】如申請專利範圍第4項所述的鰭式場效應電晶體，其中所述擬鰭片埋設在部分絕緣體中。

【第6項】如申請專利範圍第2項所述的鰭式場效應電晶體，其中所述擬鰭片是接地或電性浮置。

【第7項】如申請專利範圍第1項或第2項所述的鰭式場效應電晶體，其中所述第一調制部分與所述第二調制部分相互分離地分佈於所述至少一半導體鰭片中。

【第8項】如申請專利範圍第2項所述的鰭式場效應電晶體，其中所述應變材料包括源極和汲極，所述源極覆蓋主動鰭片的第一端，所述汲極覆蓋所述主動鰭片的第二端，所述第一端和所述第二端被所述閘極堆疊結構所顯露，所述源極和所述汲極分別位於所述閘極堆疊結構的兩相對側。

【第9項】 如申請專利範圍第2項所述的鱗式場效應電晶體，其中所述主動鱗片包括被所述閘極堆疊結構所顯露的多個凹陷部分，且所述應變材料覆蓋所述主動鱗片的所述凹陷部分。

【第10項】 一種鱗式場效應電晶體的製造方法，包括：

提供基板，所述基板包括分佈在所述基板中的至少一調制材料；

圖案化所述基板，以在所述基板中形成溝渠以及在所述溝渠之間形成至少一個半導體鱗片，所述至少一半導體鱗片包括分佈在所述至少一半導體鱗片中的至少一調制部分；

在所述溝渠中形成多個絕緣體，其中所述至少一調制部分包括位於所述絕緣體的頂部表面之上的第一調制部分以及位於所述絕緣體的頂部表面之下的第二調制部分；

在部分所述至少一半導體鱗片上方和部分所述絕緣體上方形成閘極堆疊結構；以及

在被所述閘極堆疊結構所顯露的部分至少一半導體鱗片上方形成應變材料。