



(21)申請案號：100102448 (22)申請日：中華民國 100 (2011) 年 01 月 24 日

(51)Int. Cl. : H01L21/60 (2006.01) H01L23/488 (2006.01)

(30)優先權：2010/06/10 美國 12/813,335

2010/12/15 美國 12/969,451

(71)申請人：史達晶片有限公司 (新加坡) STATS CHIP PAC, LTD. (SG)
新加坡

(72)發明人：潘斯 拉簡德拉 D PENDSE, RAJENDRA D. (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

TW I258049

TW 200517027

US 6678948B1

US 20090250811A1

US 20100099222A1

審查人員：林萬成

申請專利範圍項數：15 項 圖式數：19 共 83 頁

(54)名稱

形成在局部墊上具有凸塊的覆晶互連結構的半導體裝置及方法

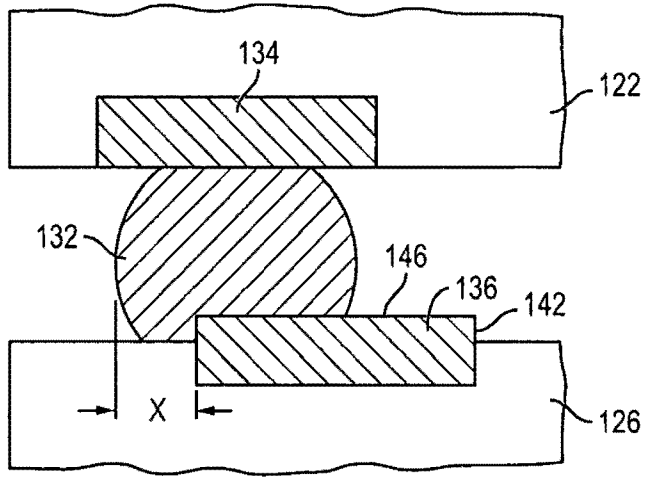
SEMICONDUCTOR DEVICE AND METHOD OF FORMING FLIPCHIP INTERCONNECTION
STRUCTURE WITH BUMP ON PARTIAL PAD

(57)摘要

一種半導體裝置係具有一半導體晶粒，該半導體晶粒具有複數個形成在該半導體晶粒的一表面之上的凸塊。該些凸塊可包含一可熔的部份以及不可熔的部份。具有互連位置的導電線路係形成在該基板之上，該些互連位置具有一露出的側壁並且根據一藉由 $SRO+2*SRR-2X$ 所界定的設計規則來決定尺寸，其中 SRO 是一在該互連位置之上的開口，SRR 是一用於該製程的對準，並且 X 是該接觸墊之露出的側壁的一厚度的一函數。該些凸塊係和該些互連位置未被對齊一最大的距離 X，該 X 範圍是從 5 至 20 微米。該些凸塊係連結到該些互連位置以使得該些凸塊覆蓋該些互連位置的一頂表面及側表面。一封裝材料係沉積在該半導體晶粒及基板之間的該些凸塊的周圍。

A semiconductor device has a semiconductor die having a plurality of bumps formed over a surface of the semiconductor die. The bumps can include a fusible portion and non-fusible portion. Conductive traces are formed over the substrate with interconnect sites having an exposed sidewall and sized according to a design rule defined by $SRO + 2*SRR - 2X$, where SRO is an opening over the interconnect site, SRR is a registration for the manufacturing process, and X is a function of a thickness of the exposed sidewall of the contact pad. The bumps are misaligned with the interconnect sites by a maximum distance of X which ranges from 5 to 20 microns. The bumps are bonded to the interconnect sites so that the bumps cover a top surface and side surface of the interconnect sites. An encapsulant is deposited around the bumps between the semiconductor die and substrate.

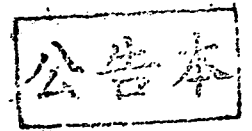
指定代表圖：



符號簡單說明：

- 122 . . . 主動區域
- 126 . . . 晶片載體基板或 PCB
- 132 . . . 凸塊
- 134 . . . 凸塊墊
- 136 . . . 接觸墊
- 142 . . . 側壁
- 146 . . . 表面

圖 6d



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100102448

※申請日：100.1.24

※IPC 分類：

H01L 21/60 · 2006.01

H01L 23/488 (2006.01)

一、發明名稱：(中文/英文)

形成在局部墊上具有凸塊的覆晶互連結構的半導體裝置及方法

SEMICONDUCTOR DEVICE AND METHOD OF
FORMING FLIPCHIP INTERCONNECTION
STRUCTURE WITH BUMP ON PARTIAL PAD

二、中文發明摘要：

一種半導體裝置係具有一半導體晶粒，該半導體晶粒具有複數個形成在該半導體晶粒的一表面之上的凸塊。該些凸塊可包含一可熔的部份以及不可熔的部份。具有互連位置的導電線路係形成在該基板之上，該些互連位置具有一露出的側壁並且根據一藉由 $SRO+2*SRR-2X$ 所界定的設計規則來決定尺寸，其中 SRO 是一在該互連位置之上的開口，SRR 是一用於該製程的對準，並且 X 是該接觸墊之露出的側壁的一厚度的一函數。該些凸塊係和該些互連位置未被對齊一最大的距離 X，該 X 範圍是從 5 至 20 微米。該些凸塊係連結到該些互連位置以使得該些凸塊覆蓋該些互連位置的一頂表面及側表面。一封裝材料係沉積在該半導體晶粒及基板之間的該些凸塊的周圍。

三、英文發明摘要：

A semiconductor device has a semiconductor die having a plurality of bumps formed over a surface of the semiconductor die. The bumps can include a fusible portion and non-fusible portion. Conductive traces are formed over the substrate with interconnect sites having an exposed sidewall and sized according to a design rule defined by $SRO + 2 \cdot SRR - 2X$, where SRO is an opening over the interconnect site, SRR is a registration for the manufacturing process, and X is a function of a thickness of the exposed sidewall of the contact pad. The bumps are misaligned with the interconnect sites by a maximum distance of X which ranges from 5 to 20 microns. The bumps are bonded to the interconnect sites so that the bumps cover a top surface and side surface of the interconnect sites. An encapsulant is deposited around the bumps between the semiconductor die and substrate.

四、指定代表圖：

(一)本案指定代表圖為：圖 6d。

(二)本代表圖之元件符號簡單說明：

122 主動區域

126 晶片載體基板或 PCB

132 凸塊

134 凸塊墊

136 接觸墊

142 側壁

146 表面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【優先權主張】

本申請案是 2010 年 6 月 10 日申請的美國專利申請案號 12/813,335 的一部分接續案，並且根據美國專利法第 120 條主張前述基礎申請案的優先權。

【發明所屬之技術領域】

本發明係大致有關於半導體封裝，並且更具體而言係有關於一種形成在局部墊上具有凸塊的覆晶互連結構的半導體裝置及方法。

【先前技術】

半導體裝置常見於現代的電子產品中。半導體裝置在電性構件的數目及密度上有所不同。離散的半導體裝置一般包含一種類型的電氣構件，例如，發光二極體(LED)、小信號的電晶體、電阻器、電容器、電感器以及功率金屬氧化物半導體場效電晶體(MOSFET)。積體化半導體裝置通常包含數百個到數百萬個電性構件。積體化半導體裝置的例子包含微控制器、微處理器、電荷耦合裝置(CCD)、太陽能電池以及數位微鏡裝置(DMD)。

半導體裝置可執行廣大範圍的功能，例如：信號處理、高速的計算、傳送及接收電磁信號、控制電子裝置、轉換太陽光成為電力、以及產生用於電視顯示器之可見的投影。半導體裝置可見於娛樂、通訊、電力轉換、網路、電

腦以及消費性產品的領域中。半導體裝置亦可見於軍事應用、航空、汽車、工業用控制器以及辦公室設備。

半導體裝置係利用半導體材料的電氣特性。半導體材料的原子結構係容許其導電度可藉由一電場或基極電流的施加或是透過摻雜的製程來操控。摻雜係將雜質引入半導體材料中以操控及控制半導體裝置的導電度。

一半導體裝置係包含主動及被動的電氣結構。包含雙載子及場效電晶體的主動結構係控制電流的流動。藉由改變摻雜的程度以及一電場或基極電流施加的位準，電晶體不是提升就是限制電流的流動。包含電阻器、電容器及電感器的被動結構係產生執行各種電氣功能所必要的一種電壓及電流間之關係。被動及主動結構係電連接以形成電路，此係使得半導體裝置能夠執行高速的計算以及其它有用的功能。

半導體裝置一般是利用兩種複雜的製程，亦即，前端製造及後端製造來製成，每一種都牽涉到可能有數百道的步驟。前端製造係牽涉到在一半導體晶圓的表面上複數個晶粒的形成。每個晶粒通常是相同的並且包含由電連接主動及被動構件所形成的電路。後端製造係牽涉到從晶圓成品單切(singulating)個別的晶粒及封裝該晶粒以提供結構的支撐及環境的隔離。

半導體製造的一項目標是生產出更小的半導體裝置。越小的裝置通常消耗更低的電力，具有更高的效能，並且可更有效率地被生產出。此外，越小的半導體裝置具有更

小的覆蓋區 (footprint)，此係為更小的最終產品所期望的。更小的晶粒尺寸可藉由在前端製程中以更小及更高密度的主動及被動構件來產生晶粒的改良而達成。後端製程可藉由在電氣互連及封裝材料上的改良以產生更小的覆蓋區之半導體裝置封裝。

半導體製造的另一項目標是在較低的成本下產生一適用於更快、可靠、較小且更高密度的積體電路 (IC) 的封裝。覆晶封裝或晶圓層級的封裝 (WLP) 是理想上適用於需要高速、高密度且較高接腳數的 IC。覆晶型封裝係牽涉到將晶粒的主動側朝下地安裝到一晶片載體基板或印刷電路板 (PCB)。在晶粒上的主動裝置及載體基板上的導電跡線間的電氣及機械互連係透過一種包括大數量的導電焊料凸塊或球的焊料凸塊結構來加以達成。該些焊料凸塊係藉由一施加上到沉積在半導體基板上所設置的金屬接觸墊上的焊料材料的回焊 (reflow) 製程而被形成。該些焊料凸塊接著被焊到該載體基板。該覆晶半導體封裝係提供從該晶粒上的主動裝置到該載體基板之短的導電路徑，以便降低信號傳播、降低電容以及達到整體較佳的電路效能。

圖 1 係描繪覆晶 10 的一部份，其中一凸塊 12 形成在金屬接觸墊 14 上。該凸塊 12 接著利用一凸塊回焊製程而被冶金及電連接至基板 16 上的金屬接觸墊 15。為了連接凸塊 12 及接觸墊 15，一焊料阻劑 (resist) 或遮罩開口 18 係被設置在基板的一表面之上，以限制凸塊回焊至接觸墊 15 的實體邊界，請參見圖 2a。由於有關在接觸墊 15 及焊料阻劑

開口 18 間之相對位置的製造對準容限，在給定該焊料阻劑開口的對準容限下，接觸墊 15 係被做成實質大於焊料阻劑開口 18 以確保該接觸墊的整個金屬區域都露出。一般而言，接觸墊 15 的最小尺寸是 $P_{min}=SRO+2*SRR$ ，其中 SRO 是確保良好的冶金連接之最小的焊料阻劑開口，並且 SRR 是焊料阻劑對準容限，亦以焊料對準著稱。在一例子中，若焊料阻劑開口 18 是 90 微米並且焊料阻劑對準容限是 25 微米，則根據該已知的設計規則，接觸墊 15 係被做成直徑 140 微米。因此，在該已知的設計規則並且給定最大的製造對準容限下，焊料阻劑開口總是會落於接觸墊內而沒有在該墊的周圍留下空隙或空的空間，即如同在圖 2b 中所示者。

遺憾的是，確保焊料阻劑開口總是落在接觸墊的整個金屬區域內所需之較大的接觸墊會限制到基板上所能達成的金屬信號線路或跡線繞線密度。較大的接觸墊必然降低線路繞線密度，因為較少線路可被設置在接觸墊之間。此外，較大的接觸墊會變成基板的每單位面積較少的接觸墊。

【發明內容】

對於在不影響到電功能或製造可靠度下最小化接觸墊尺寸以增加線路繞線密度係存在著需求。於是，在一實施例中，本發明是一種製造半導體裝置之方法，其係包括以下步驟：提供半導體晶粒，其係具有形成在該半導體晶粒的表面之上的複數個凸塊；提供基板；在該基板之上形成具有互連位置的複數個導電線路，該些互連位置具有露出

的側壁並且根據藉由 $SRO+2*SRR-2X$ 所界定的設計規則來決定尺寸，其中 SRO 是在該互連位置之上的開口， SRR 是用於該製程的對準，並且 X 是該接觸墊之露出的側壁的厚度的函數；將該些凸塊連結至該些互連位置以使得該些凸塊覆蓋該些互連位置的頂表面及側表面；以及在該半導體晶粒及基板之間的該些凸塊的周圍沉積封裝材料。

在另一實施例中，本發明是一種製造半導體裝置之方法，其係包括以下步驟：提供半導體晶粒；提供基板；在該基板之上形成具有互連位置的複數個導電線路，該些互連位置具有露出的側壁；在該半導體晶粒及該基板的該些互連位置之間形成複數個互連結構；將該些互連結構連結到該些互連位置以使得該些互連結構覆蓋該些互連位置的頂表面及側表面並且在該基板之上延伸最大的距離 X ，該 X 是該些互連位置之露出的側壁的厚度的一函數；以及在該半導體晶粒及基板之間沉積封裝材料。

在另一實施例中，本發明是一種製造半導體裝置之方法，其係包括以下步驟：提供半導體晶粒；提供基板；在該基板之上形成具有互連位置的複數個導電線路，該些互連位置具有露出的側壁；在該半導體晶粒及該基板的該些互連位置之間形成複數個互連結構；以及將該些互連結構連結到該些互連位置以使得該些互連結構覆蓋該些互連位置的頂表面及側表面並且在該基板之上延伸最大的距離 X ，該 X 是該些互連位置之露出的側壁的厚度的函數。

在另一實施例中，本發明是一種半導體裝置，其係包

括半導體晶粒。基板係具有形成在該基板之上且具有互連位置的複數個導電線路，該些互連位置係具有露出的側壁。複數個互連結構係被形成在該半導體晶粒及該基板的該些互連位置之間。該些互連結構係連結到該些互連位置以使得該些互連結構覆蓋該些互連位置的頂表面及側表面並且在該基板之上延伸最大的距離 X ，該 X 是該些互連位置之露出的側壁的厚度的函數。封裝材料係沉積在該半導體晶粒及基板之間。

【實施方式】

本發明在以下參考圖式的說明中係以一或多個實施例加以描述，其中相同元件符號代表相同或類似元件。儘管本發明是依據達成本發明目的之最佳模式描述，但熟習此項技術者將瞭解本發明欲涵蓋如隨附申請專利範圍所界定之可內含於本發明之精神及範疇內的替代物、修改及等效物以及如以下揭示內容及圖式所支持之其等效物。

半導體裝置一般是使用兩個複雜的製程來製造：前端製造與後端製造。前端製造係牽涉到在半導體晶圓表面上形成多個晶粒。該晶圓上之各晶粒含有主動及被動電性構件，其係電連接以形成功能電路。諸如電晶體及二極體之主動電性構件係具有控制電流流動之能力。諸如電容器、電感器、電阻器及變壓器之被動電性構件係產生執行電路功能所必要的一種電壓及電流間之關係。

被動及主動構件藉由一系列製程步驟形成於半導體晶

圓表面上，包括摻雜、沉積、微影、蝕刻及平坦化。摻雜係藉由諸如離子植入或熱擴散之技術將雜質引入半導體材料中。摻雜製程改變主動裝置中半導體材料之導電度，從而將該半導體材料轉變成絕緣體、導體，或是響應於電場或基極電流而動態地改變該半導體材料之導電度。電晶體含有摻雜類型及程度不同之區域，其視需要來加以配置以使該電晶體能夠在施加電場或基極電流時促進或限制電流流動。

主動及被動構件係由具有不同電特性之材料層形成。該等層可藉由多種沉積技術形成，該些沉積技術部分是由所沉積之材料類型決定的。舉例而言，薄膜沉積可包括化學氣相沉積(CVD)、物理氣相沉積(PVD)、電解的電鍍及無電的電鍍製程。每個層一般是經圖案化以形成主動構件、被動構件或各構件間電連接的部分。

該些層可使用微影進行圖案化，其牽涉到使光敏材料(例如光阻)沉積於待圖案化的層之上。使用光以將圖案自光罩轉印於光阻上。使用一溶劑移除光阻圖案曝光之部分，露出待圖案化之下層部分。移除該光阻之其餘部分，留下一經圖案化的層。或者，某些類型的材料係使用諸如無電的電鍍及電解的電鍍之技術藉由使材料直接沉積於由先前沉積/蝕刻製程所形成的區域或空隙中而加以圖案化。

在現有圖案之上沉積一材料薄膜可能會放大下面的圖案且產生非均勻平坦的表面。生產較小且較密集封裝之主動及被動構件需要均勻平坦的表面。可使用平坦化以自晶

圓表面移除材料且產生均勻平坦的表面。平坦化係牽涉到用拋光墊拋光晶圓的表面。在拋光期間將研磨材料及腐蝕性化學品添加至晶圓的表面。研磨劑的機械作用與化學品的腐蝕作用組合可移除任何不規則的表面構形，從而產生均勻平坦的表面。

後端製造係指將晶圓成品切割或單切成個別晶粒且接著封裝該晶粒以提供結構的支撐及環境的隔離。為了單切晶粒，沿著晶圓非功能區(稱為切割道或劃線)將晶圓劃痕並切斷。使用雷射切割工具或鋸條單切晶圓。在單切之後，將個別晶粒安裝於一封裝基板上，該封裝基板包括接腳或接觸墊以供與其他系統構件互連。接著使半導體晶粒上所形成之接觸墊連接至封裝內之接觸墊。該電連接可由焊料凸塊、柱形凸塊、導電膏或焊線(wirebond)形成。使一封裝材料或其它模製材料沉積於封裝之上以提供物理支撐及電隔離。接著將成品封裝插入一電系統中，且使半導體裝置之功能可供其他系統構件利用。

圖 3 係描繪具有多個安裝於其表面上之半導體封裝的晶片載體基板或印刷電路板(PCB)52 之電子裝置 50。視應用而定，電子裝置 50 可具有一種類型之半導體封裝或多種類型之半導體封裝。不同類型之半導體封裝係為了說明之目的而展示於圖 3 中。

電子裝置 50 可以是一使用該些半導體封裝以執行一或多種電功能之獨立的系統。或者，電子裝置 50 可以是一較大系統之子構件。舉例而言，電子裝置 50 可以是行動電話、

個人數位助理(PDA)、數位視訊攝影機(DVC)、或是其它電子通訊裝置的一部份。或者是，電子裝置 50 可以是一可插入電腦中之顯示卡、網路介面卡或其他信號處理卡。該半導體封裝可包括微處理器、記憶體、特殊應用積體電路(ASIC)、邏輯電路、類比電路、RF 電路、離散裝置或其他半導體晶粒或電性構件。小型化及重量減輕是這些產品能夠被市場接受所不可少的。在半導體裝置間的距離必須縮短以達到更高的密度。

在圖 3 中，PCB 52 係提供一般的基板以供安裝在該 PCB 上之半導體封裝的結構支撐及電氣互連。導電的信號線路 54 係利用蒸鍍、電解的電鍍、無電的電鍍、網版印刷、或其它適合的金屬沉積製程而被形成在 PCB 52 的一表面之上或是在層內。信號線路 54 提供在半導體封裝、安裝的構件、以及其它外部的系統構件的每一個之間的電通訊。線路 54 亦提供電源及接地連接給每個半導體封裝。

在某些實施例中，一半導體裝置具有兩個封裝層級。第一層級的封裝是一種用於將半導體晶粒機械及電氣地附接至一中間載體的技術。第二層級的封裝係牽涉到將該中間載體機械及電氣地附接至 PCB。在其它實施例中，一半導體裝置可以只有該第一層級的封裝，其中晶粒是直接機械及電氣地安裝到 PCB 上。

為了說明之目的，包含打線接合封裝 56 及覆晶 58 之數種類型的第二層級的封裝係被展示在 PCB 52 上。此外，包含球狀柵格陣列(BGA)60、凸塊晶片載體(BCC)62、雙排

型封裝 (DIP)64、平台柵格陣列 (LGA)66、多晶片模組 (MCM)68、四邊扁平無引腳封裝 (QFN)70 及四邊扁平封裝 72 之數種類型的第二層級的封裝係被展示安裝在 PCB 52 上。視系統需求而定，以第一及第二層級的封裝類型的任意組合來組態的半導體封裝的任何組合及其它電子構件可連接至 PCB 52。在某些實施例中，電子裝置 50 包含單一附接的半導體封裝，而其它實施例需要多個互連的封裝。藉由在單一基板之上組合一或多個半導體封裝，製造商可將預製的構件納入電子裝置及系統中。由於半導體封裝包括複雜的功能，因此可使用較便宜構件及流線化製程來製造電子裝置。所產生的裝置不太可能發生故障且製造費用較低，從而降低消費者成本。

圖 4a-4c 係展示範例的半導體封裝。圖 4a 係描繪安裝在 PCB 52 上的 DIP 64 之進一步的細節。半導體晶粒 74 係包括一含有類比或數位電路的主動區域，該些類比或數位電路係被實施為形成在晶粒內之主動裝置、被動裝置、導電層及介電層並且根據該晶粒的電設計而電互連。例如，該電路可包含形成在半導體晶粒 74 的主動區域內之一或多個電晶體、二極體、電感器、電容器、電阻器、以及其它電路元件。接觸墊 76 是一或多層的導電材料，例如鋁 (Al)、銅 (Cu)、錫 (Sn)、鎳 (Ni)、金 (Au) 或銀 (Ag)，並且電連接至形成在半導體晶粒 74 內之電路元件。在 DIP 64 的組裝期間，半導體晶粒 74 係利用一金矽共晶層或例如是熱環氧樹脂的黏著劑材料而被安裝至一中間載體 78。封裝主體係包

含一種例如是聚合物或陶瓷的絕緣封裝材料。導線 80 及焊線 82 係在半導體晶粒 74 及 PCB 52 之間提供電互連。封裝材料 84 係為了環境保護而沉積在該封裝之上以防止濕氣及微粒進入該封裝且污染晶粒 74 或焊線 82。

圖 4b 係描繪安裝在 PCB 52 上之 BCC 62 的進一步細節。半導體晶粒 88 係利用一種底膠填充(underfill)或是環氧樹脂黏著材料 92 而被安裝在載體 90 之上。焊線 94 係在接觸墊 96 及 98 之間提供第一層級的封裝互連。模製化合物或封裝材料 100 係沉積在半導體晶粒 88 及焊線 94 之上以提供物理支撐及電氣隔離給該裝置。接觸墊 102 係利用一例如是電解的電鍍或無電的電鍍之合適的金屬沉積製程而被形成在 PCB 52 的一表面之上以避免氧化。接觸墊 102 係電連接至 PCB 52 中的一或多個導電信號線路 54。凸塊 104 係形成在 BCC 62 的接觸墊 98 以及 PCB 52 的接觸墊 102 之間。

在圖 4c 中，半導體晶粒 58 係以覆晶型第一層級的封裝方式面向下安裝到中間載體 106。半導體晶粒 58 的主動區域 108 係包含類比或數位電路，該些類比或數位電路係被實施為根據該晶粒的電設計所形成的主動裝置、被動裝置、導電層及介電層。例如，該電路可包含一或多個電晶體、二極體、電感器、電容器、電阻器以及主動區域 108 內之其它電路元件。半導體晶粒 58 係透過凸塊 110 電氣及機械地連接至載體 106。

BGA 60 係以 BGA 型第二層級的封裝方式利用凸塊 112

電氣及機械地連接至 PCB 52。半導體晶粒 58 係透過凸塊 110、信號線 114 及凸塊 112 電連接至 PCB 52 中的導電信號線路 54。一種模製化合物或封裝材料 116 係沉積在半導體晶粒 58 及載體 106 之上以提供物理支撐及電氣隔離給該裝置。該覆晶半導體裝置係提供從半導體晶粒 58 上的主動裝置到 PCB 52 上的導電跡線之短的導電路徑，以便縮短信號傳播距離、降低電容以及改善整體電路效能。在另一實施例中，半導體晶粒 58 可在無中間載體 106 的情況下，利用覆晶型第一層級的封裝直接機械及電連接至 PCB 52。

覆晶半導體封裝以及晶圓層級的封裝 (WLP) 通常是用於需要高速、高密度及較大的接腳數的 IC。覆晶型半導體裝置或封裝 120 係牽涉到將晶粒 124 的主動區域 122 朝下地安裝到一晶片載體基板或 PCB 126，即如同在圖 5 中所示者。主動區域 122 係根據晶粒的電設計而包含主動及被動裝置、導電層及介電層。凸塊墊 134 係利用一蒸鍍、電解的電鍍、無電的電鍍、網版印刷、或是其它合適的金屬沉積製程而被形成在主動區域 122 上。凸塊墊 134 係藉由主動區域 122 中的導電跡線連接到該主動及被動電路。該接觸墊 136 可以是 Al、Sn、Ni、Au、Ag 或 Cu。該電氣及機械的互連係透過一凸塊結構 130 而被達成。一凸塊材料係利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落 (ball drop)、或是網版印刷製程，以任意金屬或導電材料 (例如，Sn、鉛 (Pb)、Ni、Au、Ag、Cu、鉍 (Bi) 及其合金) 而被沉積在凸塊墊 134 上。例如，該凸塊材料可以是共晶 Sn/Pb、高

鉛的、或是無鉛的。該凸塊材料係回焊以形成凸塊或球 132，其係藉由一回焊製程而電氣及機械地連接至載體基板 126 上的接觸墊或互連位置 136。該覆晶半導體裝置係提供從晶粒 124 上的主動裝置到該載體基板 126 上的導電跡線之短的導電路徑，以便降低信號傳播、降低電容以及達到整體較佳的電路效能。

該凸塊連接至該基板接觸墊的進一步細節係被展示在圖 6a-6d 中。如上所述，凸塊 132 係被形成在半導體晶粒 124 的主動區域 122 中的凸塊墊 134 上。金屬接觸墊 136 係利用一蒸鍍、電解的電鍍、無電的電鍍、網版印刷、或其它合適的金屬沉積製程而被形成在基板 126 上。該接觸墊 136 可以是 Al、Cu、Sn、Ni、Au 或 Ag。接觸墊 136 具有一露出的厚度 T 之側壁 142。在圖 6a 中，一焊料阻劑或遮罩開口 145 係被設置在接觸墊 136 的至少一部份之上。根據其對準，該焊料阻劑開口 145 可能延伸在基板 126 的一部份之上，即如同在圖 6c 中所示者。為了電氣及冶金連接凸塊 132 至接觸墊 136，該凸塊係透過焊料阻劑開口 145 而回焊到該接觸墊之上，即如圖 6b 及 6d 中所示者。

在另一實施例中，凸塊材料可利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落、或是網版印刷製程，以任意金屬或導電材料(例如，Sn、Pb、Ni、Au、Ag、Cu、Bi、及其合金)，透過該焊料阻劑開口 145 而直接沉積到基板 126 上的接觸墊 136 之上。如上所述，該凸塊材料係被回焊以形成一凸塊。

用於半導體裝置 120 的製程係利用一包含焊料對準 (SRR) 之新的設計規則，該焊料對準係界定一用於焊料阻劑開口的對準容限。在該新的設計規則下，焊料阻劑開口不必對準在接觸墊內，而是可因為製造對準容限而相對於接觸墊的實體區域被偏置或未對齊。

圖 6a 及 6b 係展示焊料阻劑開口 145 實質對準接觸墊 136 的中心區域的理想情形。實際上，在製程期間，接觸墊 136 可能會相對於焊料阻劑開口 145 未對齊。例如，在圖 6c 中，結合較小接觸墊的焊料對準會產生焊料阻劑開口 145 延伸出接觸墊 136 的覆蓋區一段距離 X。換言之，焊料阻劑開口 145 係相對於接觸墊 136 的實體區域被偏置或未對齊。該新的設計規則係容許此種在基板 126 上的接觸墊 136 及焊料阻劑開口 145 之間的未對齊。在潤濕製程期間，助熔 (flux) 材料的表面張力係使得凸塊 132 回焊橫跨接觸墊 136 的整個表面 146 且附著到該表面 146。在接觸墊 136 和焊料阻劑開口 145 未對齊的情形中，亦即，接觸墊的一部份係延伸出焊料阻劑開口，凸塊 132 的回焊亦重疊且潤濕接觸墊 136 的側壁 142 以實質填入相鄰側壁 142 的區域，即如圖 6d 中所見者。凸塊 132 在包含側壁 142 的接觸墊 136 周圍並沒有留下空隙或空的空間。不論哪一種情形，在本設計規則下，凸塊 132 都達成良好的冶金及電連接至接觸墊 136。

相較於習知技術中可見的尺寸及設計規則，作為本互連結構的一項特點是接觸墊 136 被做成相對於焊料阻劑開

口 145 為較小的。一般而言，接觸墊 136 的尺寸是根據以下的設計規則而定的：

$$P_{size} = SRO + 2 * SRR - 2X \quad (1)$$

其中：SRO 是焊料阻劑開口，

SRR 是焊料對準或製造對準容限，並且

X 是一界定凸塊可重疊接觸墊的邊緣及側壁的量之設計規則

根據方程式(1)，該新的設計規則係縮小接觸墊 136 的尺寸達 2X。X 的值是接觸墊 136 的助熔材料及厚度的一函數。一般而言，X 的值範圍是接觸墊之露出的側壁厚度的一至二倍。接觸墊 136 之露出的部份厚度(T)通常是 5-20 微米。X 的值可隨著助熔效能而增加。於是，給定 90 微米的焊料阻劑開口及 25 微米的焊料阻劑對準容限，假設 X=10 微米的設計規則，接觸墊 136 可被做成 120 微米。在另一例子中，給定 90 微米的焊料阻劑開口及 25 微米的焊料阻劑對準容限，假設 X=40 微米的設計規則，接觸墊 136 可被做成 60 微米。實際上，接觸墊尺寸通常是做成等於或小於焊料阻劑開口。在其它例子中，接觸墊可以是大大於焊料阻劑開口。

方程式(1)的 2X 縮小的設計規則係產生較小的接觸墊，此係提供基板的每單位面積較多的接觸墊。此外，較小的接觸墊係提供較多的空間讓信號線路繞線在接觸墊之間，藉此增加線路繞線密度。該 2X 設計規則係維持冶金連接的可靠度及半導體裝置的電功能。附著到側壁 142 之回

焊的凸塊材料係藉由提供更大的凸塊接觸面積來增加冶金
的完整性及互連的可靠度。由於凸塊材料潤濕到側壁 142，
因此很小或是沒有空隙形成在凸塊及側壁 142 之間。基板
126 緊鄰接觸墊 136 周圍的區域係被電氣隔離，以避免凸塊
短路到相鄰的線路或裝置。

圖 7a 係展示具有圓形形狀的接觸墊 150，其係被做成
和焊料阻劑或遮罩開口 152 相同的尺寸或是稍小於焊料阻
劑或遮罩開口 152。在此例中，接觸墊的側壁之重疊或潤濕
係完全出現在該接觸墊的圓周。或者是，該接觸墊可被做
成大於焊料阻劑開口。

在圖 7b 中，接觸墊 160 係被展示具有大致圓形的形狀
以及從該墊延伸的窄線路導線。該線路導線係遠比焊料阻
劑開口 162 窄。該接觸墊的側壁之重疊或潤濕係大致出現
在該接觸墊的圓周。

在圖 7c 中，接觸墊 170 係被做成矩形以進一步減少當
焊料阻劑開口 172 未對齊時露出的量。

在圖 7d 中，一環形接觸墊 180 係提供凸塊材料透過焊
料阻劑開口 182 在該接觸墊的內側壁及外側壁上的潤濕。
接觸墊 180 係縮小該墊之可濕的表面區域並且在結合或接
合形成後提供較高的間隙。

給定焊料阻劑開口的對準容限下，在至少某些製造出
的半導體裝置中凸塊必然會重疊接觸墊。藉由採用根據方
程式(1)來縮小接觸墊尺寸且容許凸塊材料重疊及潤濕側壁
142 之 2X 縮小的設計規則，接觸墊尺寸可被做成較小的，

此係提供更多信號線路能夠置放在接觸墊之間。信號線路繞線密度係相應地增加。此外，較小的接觸墊會變成基板的每單位面積較多的墊。從先前技術中所論述的習知技術設計規則，在 90 微米的焊料阻劑開口下，其係產生 140 微米的接觸墊，而該 2X 縮小的設計規則係實質縮小接觸墊 2X。

圖 8-13 係描述其它具有各種互連結構的實施例，該些互連結構可應用到如圖 5-7 中所述的互連結構及 2X 縮小的設計規則。圖 8a 係展示一具有一種例如是矽、鍺、砷化鎵、磷化銦或碳化矽的主體基板材料 222 以供結構支撐的半導體晶圓 220。複數個半導體晶粒或構件 224 係形成在晶圓 220 上且藉由如上所述的切割道 226 分開。

圖 8b 係展示半導體晶圓 220 的一部份的橫截面圖。每個半導體晶粒 224 具有一背表面 228 以及包含類比或數位電路的主動表面 230，該類比或數位電路被實施為形成在該晶粒內且根據該晶粒的電設計及功能電互連的主動裝置、被動裝置、導電層以及介電層。例如，該電路可包含一或多個電晶體、二極體以及其它形成在主動表面 230 內之電路元件以實施類比電路或數位電路，例如數位信號處理器 (DSP)、ASIC、記憶體或是其它信號處理電路。半導體晶粒 224 亦可包含整合被動裝置 (IPD)，例如電感器、電容器及電阻器，以供 RF 信號處理使用。在一實施例中，半導體晶粒 224 是一覆晶類型的半導體晶粒。

一導電層 232 係利用 PVD、CVD、電解的電鍍、無電

的電鍍製程、或是其它合適的金屬沉積製程而形成在主動表面 230 之上。導電層 232 可以是 Al、Cu、Sn、Ni、Au、Ag、或是其它合適的導電材料的一或多層。導電層 232 係運作為電連接至主動表面 230 上的電路之接觸墊。

圖 8c 係展示具有一形成在接觸墊 232 之上的互連結構的半導體晶圓 220 的一部份。一導電凸塊材料 234 係利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落、或是網版印刷製程而沉積在接觸墊 232 之上。凸塊材料 234 可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、及其組合，其具有一選配的助熔溶劑。例如，凸塊材料 234 可以是共晶 Sn/Pb、高鉛的焊料或是無鉛的焊料。凸塊材料 234 是大致順應的 (compliant) 並且在相當於約 200 克的垂直荷重的力下進行大於約 25 微米 (μm) 的塑性變形。凸塊材料 234 係利用一合適的附著或連結製程連結到接觸墊 232。例如，凸塊材料 234 可以壓縮連結到接觸墊 232。凸塊材料 234 亦可藉由加熱該材料超過其熔點來進行回焊以形成球或凸塊 236，即如同在圖 8d 中所示者。在某些應用中，凸塊 236 係進行二次回焊以改善至接觸墊 232 的電連接。凸塊 236 係代表一種可形成在接觸墊 232 之上的互連結構類型。該互連結構亦可以使用柱形凸塊、微凸塊或是其它電互連。

圖 8e 係展示互連結構的另一實施例，其係以複合的凸塊 238 形成在接觸墊 232 之上，該凸塊 238 包含一不可熔或不可分解的部份 240 以及可熔或可分解的部份 242。該可熔或可分解的特質以及不可熔或不可分解的特質係針對凸

塊 238 關於回焊條件所界定的。該不可熔的部份 240 可以是 Au、Cu、Ni、高鉛的焊料、或是鉛錫合金。該可熔的部份 242 可以是 Sn、無鉛的合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag-銻(In)合金、共晶焊料、錫和 Ag、Cu 或 Pb 的合金、或是其它相對低溫熔化的焊料。在一實施例中，給定一接觸墊 232 100 μ m 的寬度或直徑，該不可熔的部份 240 高度大約是 45 μ m 並且可熔的部份 242 高度大約是 35 μ m。

圖 8f 係展示互連結構的另一實施例，其係形成在接觸墊 232 之上而成為導電柱 246 之上的凸塊 244。凸塊 244 是可熔或可分解的，並且導電柱 246 是不可熔或不可分解的。該可熔或可分解的特質以及不可熔或不可分解的特質係相關於回焊條件加以界定。凸塊 244 可以是 Sn、無鉛的合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag-In 合金、共晶焊料、錫和 Ag、Cu 或 Pb 的合金、或是其它相對低溫熔化的焊料。導電柱 246 可以是 Au、Cu、Ni、高鉛的焊料、或是鉛錫合金。在一實施例中，導電柱 246 是一 Cu 柱，並且凸塊 244 是一焊料蓋。給定一接觸墊 232 100 μ m 的寬度或直徑，導電柱 246 高度大約是 45 μ m，並且凸塊 244 高度大約是 35 μ m。

圖 8g 係展示互連結構的另一實施例，其係形成在接觸墊 232 之上而為具有突點(asperity)250 的凸塊材料 248。類似於凸塊材料 234，凸塊材料 248 在回焊條件下是軟的且可變形的，具有低的屈伏強度(yield strength)以及高的致衰壞伸長率(elongation to failure)。突點 250 係以電鍍的表面處理而形成，並且為了說明之目的係在圖式中被誇大展示。

突點 250 的等級一般是在大約 $1-25\mu\text{m}$ 的數量級。該突點亦可形成在凸塊 236、複合的凸塊 238 以及凸塊 244 上。

在圖 8h 中，半導體晶圓 220 係利用一鋸條或雷射切割工具 252 透過切割道 226 被單切為個別的半導體晶粒 224。

圖 9a 係展示一具有導電線路 256 的基板或 PCB 254。基板 254 可以是單面 FR5 層壓板或是雙面 BT-樹脂層壓板。半導體晶粒 224 係被設置以使得凸塊材料 234 係和導電線路 256 上之互連位置對準，請參見圖 17a-17g。或者是，凸塊材料 234 可和形成在基板 254 上的導電墊或是其它互連位置對準。凸塊材料 234 係比導電線路 256 寬。在一實施例中，對於 $150\mu\text{m}$ 的凸塊間距，凸塊材料 234 具有小於 $100\mu\text{m}$ 的寬度，並且導電線路或墊 256 具有 $35\mu\text{m}$ 的寬度。導電線路 256 可應用到如圖 5-7 中所述的互連結構及 2X 縮小的設計規則。

一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將凸塊材料 234 壓到導電線路 256 之上。該力 F 可在高溫下施加。由於凸塊材料 234 之順應的本質，該凸塊材料係變形或突出在導電線路 256 的頂表面及側表面周圍，被稱為導電上凸塊 (BOL)。尤其，在相當於大約 200 克的垂直荷重之力 F 下，壓力的施加係使得凸塊材料 234 進行大於約 $25\mu\text{m}$ 的塑性變形並且覆蓋導電線路的頂表面及側表面，即如同在圖 9b 中所示者。凸塊材料 234 亦可藉由將該凸塊材料和導電線路實體接觸並且接著在一回焊溫度下回焊該凸塊材料以冶金連接至導電線路 256。

藉由使得導電線路 256 比凸塊材料 234 窄，導電線路的間距可被降低以增加繞線密度以及 I/O 數目。較窄的導電線路 256 係降低使凸塊材料 234 變形在導電線路的周圍所需的力 F 。例如，該必要的力 F 可以是使凸塊材料抵靠比凸塊材料寬的導電線路或墊變形所需的力之 30-50%。較小的壓力 F 對於細間距互連及小的晶粒維持具有一指定容限之共面性以及達成均勻的 z 向變形及高可靠度的互連結合是有用的。此外，將凸塊材料 234 變形在導電線路 256 的周圍係將該凸塊機械地鎖到該線路以避免在回焊期間晶粒移動或是晶粒浮接。

圖 9c 係展示形成在半導體晶粒 224 的接觸墊 232 之上的凸塊 236。半導體晶粒 224 係被設置以使得凸塊 236 和導電線路 256 上的互連位置對準。或者是，凸塊 236 可和形成在基板 254 上的導電墊或其它互連位置對準。凸塊 236 係比導電線路 256 寬。導電線路 256 可應用到如圖 5-7 中所述的互連結構及 2X 縮小的設計規則。

一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將凸塊 236 壓到導電線路 256 之上。該力 F 可在高溫下施加。由於凸塊 236 之順應的本質，該凸塊係變形或突出在導電線路 256 的頂表面及側表面周圍。尤其，壓力的施加係使得凸塊材料 236 進行塑性變形並且覆蓋導電線路 256 的頂表面及側表面。凸塊 236 亦可藉由在回焊溫度下使該凸塊和該導電線路實體接觸以冶金連接至導電線路 256。

藉由使得導電線路 256 比凸塊 236 窄，導電線路的間

距可被降低以增加繞線密度及 I/O 數目。較窄的導電線路 256 係降低將凸塊 236 變形在導電線路的周圍所需的力 F 。例如，該必要的力 F 可以是使一凸塊抵靠一比該凸塊寬的導電線路或墊變形所需的力之 30-50%。較低的壓力 F 對於細間距互連及小的晶粒維持在一指定容限內的共面性以及達成均勻的 z 向變形及高可靠度的互連結合是有用的。此外，將凸塊 236 變形在導電線路 256 的周圍係將該凸塊機械地鎖到該線路以避免在回焊期間的晶粒移動或晶粒浮接。

圖 9d 係展示形成在半導體晶粒 224 的接觸墊 232 之上的複合的凸塊 238。半導體晶粒 224 係被設置以使得複合的凸塊 238 和導電線路 256 上的互連位置對準。或者是，複合的凸塊 238 可和形成在基板 254 上的導電墊或其它互連位置對準。複合的凸塊 238 係比導電線路 256 寬。導電線路 256 可應用到如圖 5-7 中所述的互連結構及 2X 縮小的設計規則。

一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將可熔的部份 242 壓到導電線路 256 之上。該力 F 可在高溫下施加。由於可熔的部份 242 之順應的本質，該可熔的部份係變形或突出在導電線路 256 的頂表面及側表面周圍。尤其，壓力的施加係使得可熔的部份 242 進行塑性變形並且覆蓋導電線路 256 的頂表面及側表面。複合的凸塊 238 亦可藉由在回焊溫度下使可熔的部份 242 和該導電線路實體接觸以冶金連接至導電線路 256。該不可熔的部份 240

在壓力或溫度的施加期間並不熔化或變形，並且保持其高度及形狀而作為在半導體晶粒 224 及基板 254 間之一垂直的間隙。該在半導體晶粒 224 及基板 254 間之額外的位移係在配接的表面之間提供較大的共面性容限。

在一回焊製程期間，半導體晶粒 224 上之大數目的(例如，數千個)複合的凸塊 238 係附接到基板 254 的導電線路 256 上之互連位置。某些凸塊 238 可能未能夠適當地連接到導電線路 256，特別是當晶粒 224 被扭曲時。回想起複合的凸塊 238 係比導電線路 256 寬。在施加一適當的力之下，該可熔的部份 242 係變形或突出在導電線路 256 的頂表面及側表面周圍，並且將複合的凸塊 238 機械地鎖到該導電線路。該機械地緊密連接係藉由該可熔的部份 242 的本質而形成，該本質是比導電線路 256 軟且更順應，因而變形在該導電線路的頂表面之上以及在該導電線路的側表面周圍以得到較大的接觸表面積。在複合的凸塊 238 以及導電線路 256 之間的機械地緊密連接係在回焊期間將該凸塊保持在該導電線路，亦即，該凸塊及導電線路並不失去接觸。於是，複合的凸塊 238 配接到導電線路 256 係減少凸塊互連的失敗。

圖 9e 係展示形成在半導體晶粒 224 的接觸墊 232 之上的導電柱 246 及凸塊 244。半導體晶粒 224 係被設置以使得凸塊 244 和導電線路 256 上之互連位置對準。或者是，凸塊 244 可和形成在基板 254 上的導電墊或其它互連位置對準。凸塊 244 係比導電線路 256 寬。導電線路 256 可應用

到如圖 5-7 中所述的互連結構及 2X 縮小的設計規則。

一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將凸塊 244 壓到導電線路 256 之上。該力 F 可在高溫下施加。由於凸塊 244 之順應的本質，該凸塊係變形或突出在導電線路 256 的頂表面及側表面周圍。尤其，壓力的施加係使得凸塊 244 進行塑性變形並且覆蓋導電線路 256 的頂表面及側表面。導電柱 246 及凸塊 244 亦可藉由在回焊溫度下使該凸塊和該導電線路實體接觸以冶金連接至導電線路 256。導電柱 246 在壓力或溫度的施加期間並不熔化或變形，並且保持其高度及形狀而成為在半導體晶粒 224 及基板 254 間之一垂直的間隙。該在半導體晶粒 224 及基板 254 間之額外的位移係在配接的表面之間提供較大的共面性容限。該較寬的凸塊 244 及較窄的導電線路 256 具有類似以上針對凸塊材料 234 及凸塊 236 所述的低必要的壓力及機械地鎖住的特點及優點。

圖 9f 係展示形成在半導體晶粒 224 的接觸墊 232 之上的具有突點 250 的凸塊材料 248。半導體晶粒 224 係被設置以使得凸塊材料 248 係和導電線路 256 上的互連位置對準。或者是，凸塊材料 248 可和形成在基板 254 上的導電墊或其它互連位置對準。凸塊材料 248 係比導電線路 256 寬。一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將凸塊材料 248 壓到導電線路 256 之上。該力 F 可在高溫下施加。由於凸塊材料 248 之順應的本質，該凸塊係變形或突出在導電線路 256 的頂表面及側表面周圍。尤其，

壓力的施加係使得凸塊材料 248 進行塑性變形並且覆蓋導電線路 256 的頂表面及側表面。此外，突點 250 係冶金連接至導電線路 256。突點 250 的尺寸係做成大約 1-25 μm 的數量級。

圖 9g 係展示基板或 PCB 258 具有成角度或傾斜的側邊之梯形導電線路 260。凸塊材料 261 係被形成在半導體晶粒 224 的接觸墊 232 之上。半導體晶粒 224 係被設置以使得凸塊材料 261 和導電線路 260 上的互連位置對準。或者是，凸塊材料 261 可和形成在基板 258 上的導電墊或其它互連位置對準。凸塊材料 261 係比導電線路 260 寬。導電線路 256 可應用到如圖 5-7 中所述的互連結構及 2X 縮小的設計規則。

一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將凸塊材料 261 壓到導電線路 260 之上。該力 F 可在高溫下施加。由於凸塊材料 261 之順應的本質，該凸塊材料係變形或突出在導電線路 260 的頂表面及側表面周圍。尤其，壓力的施加係使得凸塊材料 261 在力 F 下進行塑性變形，以覆蓋導電線路 260 的頂表面以及傾斜的側表面。凸塊材料 261 亦可藉由將該凸塊材料和導電線路實體接觸並且接著在一回焊溫度下回焊該凸塊材料以冶金連接至導電線路 260。

圖 10a-10d 係展示半導體晶粒 224 以及具有一不可熔或不可分解的部份 264 及可熔或可分解的部份 266 之細長複合的凸塊 262 之一 BOL 實施例。該不可熔的部份 264 可以

是 Au、Cu、Ni、高鉛的焊料、或是鉛錫合金。該可熔的部份 266 可以是 Sn、無鉛的合金、Sn-Ag 合金、Sn-Ag-Cu 合金、Sn-Ag-In 合金、共晶焊料、錫和 Ag、Cu 或 Pb 的合金、或是其它相對低溫熔化的焊料。該不可熔的部份 264 比該可熔的部份 266 構成複合的凸塊 262 之較大的一部分。該不可熔的部份 264 係固定到半導體晶粒 224 的接觸墊 232。

半導體晶粒 224 係被設置以使得複合的凸塊 262 係和形成在基板 270 上之導電線路 268 上的互連位置對準，即如同在圖 10a 中所示者。複合的凸塊 262 係沿著導電線路 268 漸縮，亦即，該複合的凸塊具有楔形，沿著導電線路 268 的長度方向上較長，而橫跨該導電線路的方向上較窄。複合的凸塊 262 之漸縮特點係出現在沿著導電線路 268 的長度方向上。圖 10a 中的繪圖係展示該較短的特點或變窄的漸縮是與導電線路 268 共線的。垂直於圖 10a 的圖 10b 中的繪圖係展示該楔形複合的凸塊 262 之較長的特點。複合的凸塊 262 之較短的特點係比導電線路 268 寬。該可熔的部份 266 在壓力施加及/或以熱回焊時分解在導電線路 268 的周圍，即如圖 10c 及 10d 中所示者。該不可熔的部份 264 在回焊期間並不熔化或變形，並且保持其外形及形狀。該不可熔的部份 264 的尺寸可被設為在半導體晶粒 224 及基板 270 之間提供一間隙距離。一例如是 Cu OSP 的處理可施加到基板 270。導電線路 268 可應用到如圖 5-7 中所述的互連結構及 2X 縮小的設計規則。

在一回焊製程期間，半導體晶粒 224 上之大數目的(例

如，數千個)複合的凸塊 262 係附接到基板 270 的導電線路 268 上之互連位置。某些凸塊 262 可能未能夠適當地連接到導電線路 268，特別是半導體晶粒 224 被扭曲時。回想起複合的凸塊 262 係比導電線路 268 寬。在施加一適當的力之下，該可熔的部份 266 係變形或突出在導電線路 268 的頂表面及側表面周圍，並且將複合的凸塊 262 機械地鎖到該導電線路。該機械地緊密連接係藉由該可熔的部份 266 之本質而形成，該本質係比導電線路 268 軟且較順應的，因而變形在該導電線路的頂表面及側表面周圍以得到較大的接觸面積。複合的凸塊 262 的楔形係增加在該凸塊及導電線路間的接觸面積，例如，沿著圖 10b 及 10d 之較長的特徵方向增加，而沒有犧牲到沿著圖 10a 及 10c 之較短的特徵方向上的間距。在複合的凸塊 262 及導電線路 268 間之機械地緊密連接係在回焊期間將該凸塊保持在該導電線路，亦即，該凸塊及導電線路並不失去接觸。於是，配接到導電線路 268 之複合的凸塊 262 係減少凸塊互連的失敗。

圖 11a-11d 係展示半導體晶粒 224 的一 BOL 實施例，其中類似於圖 8c，凸塊材料 274 係形成在接觸墊 232 之上。在圖 11a 中，凸塊材料 274 是大致順應的，並且在一相當於大約 200 克的垂直荷重之力下進行大於約 $25\mu\text{m}$ 的塑性變形。凸塊材料 274 係比基板 278 上的導電線路 276 寬。複數個突點 280 係以一大約 $1-25\mu\text{m}$ 的數量級之高度形成在導電線路 276 上。

半導體晶粒 224 係被設置以使得凸塊材料 274 和導電

線路 276 上的互連位置對準。或者是，凸塊材料 274 可和形成在基板 278 上的導電墊或其它互連位置對準。一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將凸塊材料 274 壓到導電線路 276 及突點 280 之上，即如同在圖 11b 中所示者。該力 F 可在高溫下施加。由於凸塊材料 274 之順應的本質，該凸塊材料係變形或突出在導電線路 276 的頂表面及側表面以及突點 280 周圍。尤其，壓力的施加係使得凸塊材料 274 進行塑性變形並且覆蓋導電線路 276 的頂表面及側表面以及突點 280。凸塊材料 274 的塑性流動係在該凸塊材料與導電線路 276 的頂表面及側表面以及突點 280 之間產生巨觀的機械地緊密連接點。凸塊材料 274 的塑性流動係發生在導電線路 276 的頂表面及側表面以及突點 280 周圍，但並不過度地延伸到基板 278 之上，否則可能造成電氣短路及其它缺陷。在該凸塊材料與導電線路 276 的頂表面及側表面以及突點 280 之間的機械地緊密連接係在不顯著增加連結力之下，提供一具有個別的表面間較大的接觸面積之強健的连接。在該凸塊材料與導電線路 276 的頂表面及側表面以及突點 280 之間的機械地緊密連接亦降低在例如是封裝的後續製程期間橫向的晶粒移動。

圖 11c 係展示其中凸塊材料 274 比導電線路 276 窄的另一 BOL 實施例。一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將凸塊材料 274 壓到導電線路 276 及突點 280 之上。該力 F 可在高溫下施加。由於凸塊材料 274 之順應的本質，該凸塊材料係變形或突出在導電線路 276 的頂

表面及突點 280 之上。尤其，壓力的施加係使得凸塊材料 274 進行塑性變形並且覆蓋導電線路 276 的頂表面及突點 280。凸塊材料 274 的塑性流動係在該凸塊材料以及導電線路 276 的頂表面及突點 280 之間產生巨觀的機械地緊密連接點。在該凸塊材料以及導電線路 276 的頂表面及突點 280 之間的機械地緊密連接係在不顯著增加連結力之下，提供一具有個別的表面間較大的接觸面積之強健的連接。在該凸塊材料以及導電線路 276 的頂表面及突點 280 之間的機械地緊密連接亦降低在例如是封裝的後續製程期間橫向的晶粒移動。

圖 11d 係展示另一 BOL 實施例，其中凸塊材料 274 形成在導電線路 276 的一邊緣之上，亦即，部份的凸塊材料在該導電線路之上，而部份的凸塊材料則不在該導電線路之上。一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將凸塊材料 274 壓到導電線路 276 及突點 280 之上。該力 F 可在高溫下施加。由於凸塊材料 274 之順應的本質，該凸塊材料係變形或突出在導電線路 276 的頂表面及側表面及突點 280 之上。尤其，壓力的施加係使得凸塊材料 274 進行塑性變形並且覆蓋導電線路 276 的頂表面及側表面及突點 280。凸塊材料 274 的塑性流動係在該凸塊材料與導電線路 276 的頂表面及側表面以及突點 280 之間產生巨觀的機械地緊密連接。在該凸塊材料與導電線路 276 的頂表面及側表面以及突點 280 之間的機械地緊密連接係在不顯著增加連結力之下提供一具有個別的表面間較大的接觸面積

之強健的連接。在該凸塊材料與導電線路 276 的頂表面及側表面以及突點 280 之間的機械地緊密連接亦降低在例如是封裝的後續製程期間橫向的晶粒移動。

圖 12a-12c 係展示半導體晶粒 224 的一 BOL 實施例，其中類似於圖 8c，凸塊材料 284 形成在接觸墊 232 之上。一尖端 286 係從凸塊材料 284 的主體延伸成為一階梯形凸塊，其中尖端 286 比凸塊材料 284 的主體窄，即如同在圖 12a 中所示者。半導體晶粒 224 係被設置以使得凸塊材料 284 和基板 290 上的導電線路 288 上之互連位置對準。更明確地說，尖端 286 係被設置在導電線路 288 上的互連位置之中央上。或者是，凸塊材料 284 及尖端 286 可和形成在基板 290 上的導電墊或其它互連位置對準。凸塊材料 284 係比基板 290 上的導電線路 288 寬。

導電線路 288 是大致順應的，並且在一相當於大約 200 克的垂直荷重的力之下進行大於約 $25\mu\text{m}$ 的塑性變形。一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將尖端 284 壓到導電線路 288 之上。該力 F 可在高溫下施加。由於導電線路 288 之順應的本質，該導電線路係變形在尖端 286 的周圍，即如同在圖 12b 中所示者。尤其，壓力的施加係使得導電線路 288 進行塑性變形並且覆蓋尖端 286 的頂表面及側表面。

圖 12c 係展示另一 BOL 實施例，其中圓形的凸塊材料 294 係形成在接觸墊 232 之上。一尖端 296 係從凸塊材料 294 的主體延伸以形成一柱形凸塊，其中該尖端比凸塊材料

294 的主體窄。半導體晶粒 224 係被設置以使得凸塊材料 294 和基板 300 上的導電線路 298 上之互連位置對準。更明確地說，尖端 296 係被設置在導電線路 298 上的互連位置之中央上。或者是，凸塊材料 294 及尖端 296 可和形成在基板 300 上的導電墊或其它互連位置對準。凸塊材料 294 係比基板 300 上的導電線路 298 寬。

導電線路 298 是大致順應的，並且在一相當於大約 200 克的垂直荷重的力之下進行大於約 $25\mu\text{m}$ 的塑性變形。一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將尖端 296 壓到導電線路 298 之上。該力 F 可在高溫下施加。由於導電線路 298 之順應的本質，該導電線路係變形在尖端 296 周圍。尤其，壓力的施加係使得導電線路 298 進行塑性變形，並且覆蓋尖端 296 的頂表面及側表面。

圖 9a-9g、10a-10d 及 11a-11d 中所述的導電線路亦可以是如圖 12a-12c 中所述之順應的材料。

圖 13a-13b 係展示半導體晶粒 224 的一 BOL 實施例，其中類似於圖 8c，凸塊材料 304 係形成在接觸墊 232 之上。凸塊材料 304 是大致順應的，並且在一相當於大約 200 克的垂直荷重的力之下進行大於約 $25\mu\text{m}$ 的塑性變形。凸塊材料 304 係比基板 308 上的導電線路 306 寬。一具有開口 312 及導電的側壁 314 之導電貫孔 310 係穿過導電線路 306 而形成，即如同在圖 13a 中所示者。導電線路 306 可應用到如圖 5-7 中所述的互連結構及 2X 縮小的設計規則。

半導體晶粒 224 係被設置以使得凸塊材料 304 和導電

線路 306 上的互連位置對準，請參見圖 17a-17g。或者是，凸塊材料 304 可和形成在基板 308 上的導電墊或其它互連位置對準。一壓力或力 F 係被施加至半導體晶粒 224 的背表面 228 以將凸塊材料 304 壓到導電線路 306 之上並且壓入導電貫孔 310 的開口 312 中。該力 F 可在高溫下施加。由於凸塊材料 304 之順應的本質，該凸塊材料係變形或突出在導電線路 306 的頂表面及側表面周圍且進入到導電貫孔 310 的開口 312 中，即如同在圖 13b 中所示者。尤其，壓力的施加係使得凸塊材料 304 進行塑性變形並且覆蓋導電線路 306 的頂表面及側表面且進入到導電貫孔 310 的開口 312 中。因此，凸塊材料 304 係電連接至導電線路 306 及導電的側壁 314 以供穿過基板 308 的 z 向垂直的互連使用。凸塊材料 304 的塑性流動係在該凸塊材料與導電線路 306 的頂表面及側表面以及導電貫孔 310 的開口 312 之間產生機械地緊密連接。在該凸塊材料與導電線路 306 的頂表面及側表面以及導電貫孔 310 的開口 312 之間的機械地緊密連接係在不顯著增加連結力之下提供一具有個別的表面間較大的接觸面積之強健的连接。在該凸塊材料與導電線路 306 的頂表面及側表面以及導電貫孔 310 的開口 312 之間的機械地緊密連接亦降低在例如是封裝的後續製程期間橫向的晶粒移動。由於導電貫孔 310 係和凸塊材料 304 一起被形成在該互連位置之內，因此總基板互連面積係減少。

在圖 9a-9g、10a-10d、11a-11d、12a-12c 及 13a-13b 的 BOL 實施例中，藉由使導電線路比互連結構窄，導電線路

的間距可被降低以增加繞線密度及 I/O 數目。較窄的導電線路係降低將互連結構變形在導電線路的周圍所需的力 F 。例如，該必要的力 F 可以是使一凸塊抵靠一比該凸塊寬的導電線路或墊變形所需的力之 30-50%。該較低的壓力 F 對於細間距互連及小的晶粒維持在一指定容限內的共面性以及達成均勻的 z 向變形及高可靠度的互連結合是有用的。此外，將互連結構變形在導電線路的周圍係將該凸塊機械地鎖到該線路以避免在回焊期間的晶粒移動或晶粒浮接。

圖 14a-14c 係展示一種模具底膠填充(MUF)製程以將封裝材料沉積在半導體晶粒及基板間的凸塊周圍。圖 14a 係展示半導體晶粒 224 利用圖 9b 的凸塊材料 234 而安裝到基板 254，並且被設置在凹槽(chase)模具 320 的上方模具支撐件 316 及下方模具支撐件 318 之間。圖 9a-9g、10a-10d、11a-11d、12a-12c 及 13a-13b 之其它的半導體晶粒及基板之組合亦可設置在凹槽模具 320 的上方模具支撐件 316 及下方模具支撐件 318 之間。該上方模具支撐件 316 係包含可壓縮的離型膜(releasing film)322。

在圖 14b 中，上方模具支撐件 316 及下方模具支撐件 318 被放在一起以封入半導體晶粒 224 及基板 254，其具有一開放空間在該基板之上且在該半導體晶粒及基板之間。可壓縮的離型膜 322 係貼合半導體晶粒 224 的背表面 228 及側表面以阻擋封裝材料在這些表面上的形成。一種處於液態的封裝材料 324 係利用噴嘴 326 而被注入到凹槽模具 320 的一側中，而一選配的真空中輔助 328 從相反的側邊吸壓

以將該封裝材料均勻地填入基板 254 之上的開放空間以及
在半導體晶粒 224 及基板 254 之間的開放空間。封裝材料
324 可以是聚合物複合材料(例如，具有填充劑的環氧樹
脂、具有填充劑的環氧丙烯酸酯)、或是具有適合的填充劑
之聚合物。封裝材料 324 是非導電的並且在環境上保護半
導體裝置免於接觸到外部的元素及污染物。可壓縮的材料
322 係避免封裝材料 324 流到半導體晶粒 224 的背表面 228
之上及側表面的周圍。封裝材料 324 係被固化。半導體晶
粒 224 的背表面 228 及側表面係保持露出自封裝材料 324。

圖 14c 係展示 MUF 及模具過度填充(MOF)，亦即，在
沒有可壓縮的材料 322 下的一實施例。半導體晶粒 224 及
基板 254 係被設置在凹槽模具 320 的上方模具支撐件 316
及下方模具支撐件 318 之間。該上方模具支撐件 316 及下
方模具支撐件 318 係被放在一起以封入半導體晶粒 224 及
基板 254，其具有一開放空間在該基板之上、在該半導體晶
粒的周圍且在該半導體晶粒及基板之間。處於液態的封裝
材料 324 係利用噴嘴 326 而被注入到凹槽模具 320 的一側
中，而一選配的真​​空輔助 328 係從相反的側邊吸壓以將該
封裝材料均勻地填入在半導體晶粒 224 的周圍且在基板 254
之上的開放空間以及在半導體晶粒 224 及基板 254 之間的
開放空間。封裝材料 324 係被固化。

圖 15 係展示將封裝材料沉積在半導體晶粒 224 的周圍
且在半導體晶粒 224 及基板 254 之間間隙中的另一實施
例。半導體晶粒 224 及基板 254 係藉由屏障(dam)330 圍住。

封裝材料 332 係以液態從噴嘴 334 分配到屏障 330 中，以填入基板 254 之上的開放空間以及在半導體晶粒 224 及基板 254 之間的開放空間。從噴嘴 334 分配的封裝材料 332 的量係被控制在不覆蓋半導體晶粒 224 的背表面 228 或側表面下填入屏障 330。封裝材料 332 係被固化。

圖 16 係展示在圖 14a、14c 及 15 的 MUF 製程之後的半導體晶粒 224 及基板 254。封裝材料 324 係均勻地散佈在基板 254 之上且在半導體晶粒 224 及基板 254 之間的凸塊材料 234 的周圍。

圖 17a-17g 係展示在基板或 PCB 340 上之各種的導電線路佈局的俯視圖。在圖 17a 中，導電線路 342 是一形成在基板 340 上具有一體型(integrated)凸塊墊或互連位置 344 之直的導體。基板凸塊墊 344 的側邊可以是和導電線路 342 共線的。在習知技術中，一焊料對準開口(SRO)通常是形成在該互連位置之上，以在回焊期間限制凸塊材料。該 SRO 會增加互連間距且減少 I/O 數目。相對地，遮罩層 346 可形成在基板 340 的一部份之上；然而，該遮罩層並未形成在導電線路 342 的基板凸塊墊 344 的周圍。換言之，導電線路 342 中被設計來和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 346 的任何 SRO。

半導體晶粒 224 係被設置在基板 340 之上，並且凸塊材料係和基板凸塊墊 344 對準。凸塊材料係藉由使該凸塊材料和該凸塊墊實體接觸並且接著在一回焊溫度下回焊該凸塊材料以電氣且冶金連接至基板凸塊墊 344。

在另一實施例中，一導電凸塊材料係利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落或網版印刷製程以沉積在基板凸塊墊 344 之上。該凸塊材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料以及其組合，其具有一選配的助熔溶劑。例如，該凸塊材料可以是共晶 Sn/Pb、高鉛的焊料、或是無鉛的焊料。該凸塊材料係利用一合適的附著或連結製程來連結到基板凸塊墊 344。在一實施例中，該凸塊材料係藉由加熱該材料超過其熔點來回焊，以形成凸塊或互連 348，即如同在圖 17b 中所示者。在某些應用中，凸塊 348 係進行二次回焊以改善到基板凸塊墊 344 的電氣接觸。在該窄的基板凸塊墊 344 周圍的凸塊材料係在回焊期間維持晶粒的位置。

在高繞線密度的應用中，最小化導電線路 342 的逸散間距是所期望的。在導電線路 342 之間的逸散間距可藉由消除用於回焊限制目的之遮罩層，亦即，藉由在沒有遮罩層下回焊凸塊材料而被減少。由於沒有 SRO 被形成在晶粒凸塊墊 232 或基板凸塊墊 344 的周圍，所以導電線路 342 可用較細的間距形成，亦即，導電線路 342 可被設置成較靠在一起或是較靠近附近的結構。在基板凸塊墊 344 周圍沒有 SRO 之下，導電線路 342 間的間距係給定為 $P=D+PLT+W/2$ ，其中 D 是凸塊 348 的基底直徑，PLT 是晶粒設置容限，並且 W 是導電線路 342 的寬度。在一實施例中，給定 $100\mu\text{m}$ 的凸塊基底直徑、 $10\mu\text{m}$ 的 PLT、以及 $30\mu\text{m}$ 的線路線寬，導電線路 342 之最小的逸散間距是 $125\mu\text{m}$ 。

該無遮罩的凸塊形成係免去需要考量到如習知技術中可見的相鄰開口間之遮罩材料的孔帶(ligament)間隔、焊料遮罩對準容限(SRT)、以及最小可解析的 SRO。

當該凸塊材料在沒有遮罩層下被回焊以將晶粒凸塊墊 232 冶金且電連接至基板凸塊墊 344 時，潤濕及表面張力係使得該凸塊材料維持自我局限(self-confinement)且被保持在晶粒凸塊墊 232 與基板凸塊墊 344 及基板 340 中緊鄰導電線路 342 且實質在該凸塊墊的覆蓋區中的部份之間的空間內。

為了達成該所要的自我局限性質，凸塊材料可在置放於晶粒凸塊墊 232 或基板凸塊墊 344 上之前被浸沒在一助熔溶劑中，以選擇性地使得該凸塊材料所接觸的區域比導電線路 342 周圍的區域更濕潤。該熔化的凸塊材料係由於該助熔溶劑的可濕性而維持局限在實質由凸塊墊所界定的區域內。該凸塊材料並不溢出到較不濕潤的區域。一薄的氧化層或是其它絕緣層可形成在其中不打算有凸塊材料的區域之上，以使該區域較不濕潤。因此，晶粒凸塊墊 232 或基板凸塊墊 344 周圍並不需要有遮罩層 340。

圖 17c 係展示平行的導電線路 352 為直的導體之另一實施例，其中一體型矩形凸塊墊或互連位置 354 形成在基板 350 上。在此例中，基板凸塊墊 354 係比導電線路 352 寬，但是小於配接的凸塊寬度。基板凸塊墊 354 的側邊可以是平行於導電線路 352。遮罩層 356 可形成在基板 350 的一部份之上；然而，該遮罩層並未形成在導電線路 352 的基板

凸塊墊 354 的周圍。換言之，導電線路 352 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 356 的任何 SRO。

圖 17d 係展示以多個列的一陣列配置的導電線路 360 及 362 的另一實施例，其中偏置的一體型凸塊墊或互連位置 364 形成在基板 366 上以得到最大的互連逸散的繞線密度及容量。交替的導電線路 360 及 362 係包含一用於繞線到凸塊墊 364 的肘部。每個基板凸塊墊 364 的側邊係和導電線路 360 及 362 共線的。遮罩層 368 可形成在基板 366 的一部份之上；然而，遮罩層 368 並未形成在導電線路 360 及 362 的基板凸塊墊 364 的周圍。換言之，導電線路 360 及 362 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 368 的任何 SRO。

圖 17e 係展示以多個列的一陣列配置的導電線路 370 及 372 的另一實施例，其中偏置的一體型凸塊墊或互連位置 374 形成在基板 376 上以得到最大的互連逸散的繞線密度及容量。交替的導電線路 370 及 372 係包含一用於繞線到凸塊墊 374 的肘部。在此例中，基板凸塊墊 374 是圓形的並且比導電線路 370 及 372 寬，但是小於配接的互連凸塊材料的寬度。遮罩層 378 可形成在基板 376 的一部份之上；然而，遮罩層 378 並未形成在導電線路 370 及 372 的基板凸塊墊 374 的周圍。換言之，導電線路 370 及 372 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 378 的任何 SRO。

圖 17f 係展示以多個列的一陣列配置的導電線路 380 及 382 的另一實施例，其中偏置的一體型凸塊墊或互連位置 384 形成在基板 386 上以得到最大的互連逸散的繞線密度及容量。交替的導電線路 380 及 382 係包含一用於繞線到凸塊墊 384 的肘部。在此例中，基板凸塊墊 384 是矩形的並且比導電線路 380 及 382 寬，但是小於配接的互連凸塊材料的寬度。遮罩層 388 可形成在基板 386 的一部份之上；然而，遮罩層 388 並未形成在導電線路 380 及 382 的基板凸塊墊 384 的周圍。換言之，導電線路 380 及 382 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 388 的任何 SRO。

作為互連製程的一例子，半導體晶粒 224 係被設置在基板 366 之上，並且凸塊材料 234 係和圖 17d 的基板凸塊墊 364 對準。凸塊材料 234 係藉由如同圖 9a-9g、10a-10d、11a-11d、12a-12c 及 13a-13b 所述，加壓該凸塊材料或是藉由使該凸塊材料和該凸塊墊實體接觸並且接著在一回焊溫度下回焊該凸塊材料，以電氣及冶金連接至基板凸塊墊 364。

在另一實施例中，一導電凸塊材料係利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落或網版印刷的製程沉積在基板凸塊墊 364 之上。該凸塊材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料、及其組合，其具有一選配的助熔溶劑。例如，該凸塊材料可以是共晶 Sn/Pb、高鉛的焊料、或是無鉛的焊料。該凸塊材料係利用一合適的附著或

連結製程連結到基板凸塊墊 364。在一實施例中，該凸塊材料係藉由加熱該材料超過其熔點而被回焊以形成凸塊或互連 390，即如同在圖 17g 中所示者。在某些應用中，凸塊 390 係進行二次回焊以改善到基板凸塊墊 364 的電氣接觸。該窄的基板凸塊墊 364 周圍的凸塊材料係維持在回焊期間晶粒的置放。凸塊材料 234 或凸塊 390 亦可形成在圖 17a-17g 的基板凸塊墊配置上。

在高繞線密度的應用中，最小化圖 17a-17g 的導電線路 360 及 362 或是其它導電線路配置的逸散間距是所期望的。在導電線路 360 及 362 之間的逸散間距可藉由消除用於回焊限制目的之遮罩層，亦即，藉由在沒有遮罩層下回焊凸塊材料而被減少。由於沒有 SRO 被形成在晶粒凸塊墊 232 或基板凸塊墊 364 的周圍，所以導電線路 360 及 362 可用較細的間距形成，亦即，導電線路 360 及 362 可被設置成較靠在一起或是較靠近附近的結構。在基板凸塊墊 364 周圍沒有 SRO 之下，導電線路 360 及 362 間的間距係給定為 $P=D/2+PLT+W/2$ ，其中 D 是凸塊 390 的基底直徑，PLT 是晶粒設置容限，並且 W 是導電線路 360 及 362 的寬度。在一實施例中，給定 100 μm 的凸塊基底直徑、10 μm 的 PLT、以及 30 μm 的線路線寬，導電線路 360 及 362 之最小的逸散間距是 125 μm 。該無遮罩的凸塊形成係免去需要考量到如習知技術中可見的相鄰開口間之遮罩材料的孔帶間隔、SRT、以及最小可解析的 SRO。

當該凸塊材料在沒有遮罩層下被回焊以將晶粒凸塊墊

232 冶金且電連接至基板凸塊墊 364 時，潤濕及表面張力係使得該凸塊材料維持自我局限且被保持在晶粒凸塊墊 232 與基板凸塊墊 364 及基板 366 中緊鄰導電線路 360 及 362 且實質在該凸塊墊的覆蓋區中的部份之間的空間內。

為了達成該所要的自我局限性質，凸塊材料可在置放於晶粒凸塊墊 232 或基板凸塊墊 364 上之前被浸沒在一助熔溶劑中，以選擇性地使得該凸塊材料所接觸的區域比導電線路 360 及 362 周圍的區域更濕潤。該熔化的凸塊材料係由於該助熔溶劑的可濕性而維持局限在實質由凸塊墊所界定的區域內。該凸塊材料並不溢出到較不濕潤的區域。一薄的氧化層或是其它絕緣層可形成在其中不打算有凸塊材料的區域之上，以使該區域較不濕潤。因此，晶粒凸塊墊 232 或基板凸塊墊 364 周圍並不需要有遮罩層 368。

在圖 18a 中，遮罩層 392 係沉積在導電線路 394 及 396 的一部份之上。然而，遮罩層 392 並未形成在一體型凸塊墊 398 之上。因此，在基板 400 上的每個凸塊墊 398 都沒有 SRO。一非濕性遮罩補片(patch)402 係被形成在基板 400 上且在一體型凸塊墊 398 的陣列內的空隙中，亦即，在相鄰的凸塊墊之間。該遮罩補片 402 亦可形成在半導體晶粒 224 上且在晶粒凸塊墊 398 的陣列內的空隙中。更一般而言，該遮罩補片係被形成在任何配置中的一體型凸塊墊附近，以避免溢出到較不濕潤的區域。

半導體晶粒 224 係被設置在基板 400 之上，並且凸塊材料係和基板凸塊墊 398 對準。該凸塊材料係藉由如同圖

9a-9g、10a-10d、11a-11d、12a-12c 及 13a-13b 所述地壓下該凸塊材料或是藉由使該凸塊材料和該凸塊墊實體接觸並且接著在一回焊溫度下回焊該凸塊材料，以電氣且冶金連接至基板凸塊墊 398。

在另一實施例中，一導電凸塊材料係利用一蒸鍍、電解的電鍍、無電的電鍍、球式滴落、或是網版印刷的製程沉積在晶粒的一體型凸塊墊 398 之上。該凸塊材料可以是 Al、Sn、Ni、Au、Ag、Pb、Bi、Cu、焊料及其組合，其具有一選配的助熔溶劑。例如，該凸塊材料可以是共晶 Sn/Pb、高鉛的焊料、或是無鉛的焊料。該凸塊材料係利用一合適的附著或連結製程連結到一體型凸塊墊 398。在一實施例中，該凸塊材料係藉由加熱該材料超過其熔點來進行回焊，以形成球或凸塊 404，即如同在圖 18b 中所示者。在某些應用中，凸塊 404 係進行二次回焊以改善至一體型凸塊墊 398 的電氣接觸。該凸塊亦可壓縮連結到一體型凸塊墊 398。凸塊 404 係代表一種可形成在一體型凸塊墊 398 之上的互連結構的類型。該互連結構亦可以使用柱形凸塊、微凸塊、或其它電互連。

在高繞線密度的應用中，最小化逸散間距是所期望的。為了減少在導電線路 394 及 396 間間距，該凸塊材料係在一體型凸塊墊 398 周圍沒有遮罩層之下進行回焊。在導電線路 394 及 396 之間的逸散間距可藉由消除用於回焊限制目的之遮罩層以及該一體型凸塊墊周圍相關的 SRO，亦即，藉由在沒有遮罩層下回焊凸塊材料而被減少。

遮罩層 392 可形成在導電線路 394 及 396 以及基板 400 中遠離一體型凸塊墊 398 的一部份之上；然而，遮罩層 392 並未形成在一體型凸塊墊 398 的周圍。換言之，導電線路 394 及 396 中被設計以和凸塊材料配接的部份並沒有原本用於在回焊期間凸塊限制的遮罩層 392 的任何 SRO。

此外，遮罩補片 402 係被形成在基板 400 上且在一體型凸塊墊 398 的陣列內的空隙中。遮罩補片 402 是非濕性材料。遮罩補片 402 可以是和遮罩層 392 相同的材料並且在相同的處理步驟期間施加、或為不同的材料而在不同的處理步驟期間施加。遮罩補片 402 可藉由對於一體型凸塊墊 398 的陣列內之線路或墊的部份選擇性的氧化、電鍍、或其它處理來加以形成。遮罩補片 402 係限制凸塊材料流到一體型凸塊墊 398 且避免導電凸塊材料滲到相鄰的結構。

當該凸塊材料係利用設置在一體型凸塊墊 398 的陣列內之空隙的遮罩補片 402 進行回焊時，潤濕及表面張力係使得該凸塊材料局限且保持在晶粒凸塊墊 232 與一體型凸塊墊 398 及基板 400 中緊鄰導電線路 394 及 396 且實質在該一體型凸塊墊 398 的覆蓋區中的部份之間的空間內。

為了達成所要的局限性質，該凸塊材料可在置放於晶粒凸塊墊 232 或一體型凸塊墊 398 上之前被浸沒在一助熔溶劑中，以選擇性地使得該凸塊材料所接觸的區域比導電線路 394 及 396 的周圍區域更濕潤。該熔化的凸塊材料係由於該助熔溶劑的可濕性而維持局限在實質由凸塊墊所界定的區域內。該凸塊材料並不溢出到較不濕潤的區域。一

薄的氧化層或是其它絕緣層可形成在其中不打算有凸塊材料的區域之上，以使該區域較不濕潤。因此，晶粒凸塊墊 232 或一體型凸塊墊 398 的周圍並不需要遮罩層 392。

由於晶粒凸塊墊 232 或一體型凸塊墊 398 的周圍沒有形成 SRO，所以導電線路 394 及 396 可用較細的間距形成，亦即，導電線路可較靠近相鄰的結構來設置，而不會接觸且形成電氣短路。假設相同的焊料對準設計規則，導電線路 394 及 396 之間的間距係給定為 $P=(1.1D+W)/2$ ，其中 D 是凸塊 404 的基底直徑，並且 W 是導電線路 394 及 396 的寬度。在一實施例中，給定 $100\mu\text{m}$ 的凸塊直徑以及 $20\mu\text{m}$ 的線路線寬，導電線路 394 及 396 之最小的逸散間距是 $65\mu\text{m}$ 。該凸塊形成係免去需要考量到如習知技術中可見的相鄰開口間之遮罩材料的孔帶間隔、以及最小可解析的 SRO。

圖 19 係展示堆疊封裝 (PoP) 405，其中半導體晶粒 406 係利用晶粒附接黏著劑 410 而堆疊在半導體晶粒 408 上。半導體晶粒 406 及 408 分別具有一包含類比或數位電路的主動表面，該類比或數位電路被實施為形成在該晶粒內且根據該晶粒的電設計及功能來電互連的主動裝置、被動裝置、導電層以及介電層。例如，該電路可包含一或多個電晶體、二極體以及其它形成在該主動表面內之電路元件以實施類比電路或數位電路，例如：DSP、ASIC、記憶體或其它信號處理電路。半導體晶粒 406 及 408 亦可包含例如是電感器、電容器及電阻器的 IPD，以供 RF 信號處理使用。

半導體晶粒 406 係利用圖 9a-9g、10a-10d、11a-11d、12a-12c 及 13a-13b 的實施例中之任一實施例，利用形成在接觸墊 418 上之凸塊材料 416 而被安裝到形成在基板 414 上的導電線路 412。導電線路 412 可應用到如圖 5-7 中所述的互連結構及 2X 縮小的設計規則。半導體晶粒 408 係利用焊線 422 電連接至形成在基板 414 上之接觸墊 420。焊線 422 之相反端係連結到半導體晶粒 406 上之接觸墊 424。

遮罩層 426 係被形成在基板 414 之上且開口超過半導體晶粒 406 的覆蓋區。儘管遮罩層 426 在回焊期間並不限制凸塊材料 416 到導電線路 412，該開放的遮罩可運作為一屏障以避免在 MUF 期間封裝材料 428 遷移到接觸墊 420 或焊線 422。封裝材料 428 係類似於圖 14a-14c 地沉積在半導體晶粒 408 及基板 414 之間。遮罩層 426 係阻擋 MUF 封裝材料 428 到達接觸墊 420 及焊線 422，否則可能會造成缺陷。遮罩層 426 係容許較大的半導體晶粒被設置在一特定的基板上，而無封裝材料 428 流出到接觸墊 420 之上的風險。

儘管本發明的一或多個實施例已詳細地解說，熟習此項技術者將會體認到可在不脫離如以下的申請專利範圍中所闡述之本發明的範疇下，對於該些實施例進行修改及調適。

【圖式簡單說明】

圖 1 是一習知的覆晶上的接觸墊之凸塊互連；

圖 2a-2b 係描繪一習知用於接觸墊之上的焊料阻劑開口的對準設計規則；

圖 3 係描繪一安裝到其表面之不同類型的封裝的 PCB；

圖 4a-4c 係描繪安裝到該 PCB 之代表性的半導體封裝之進一步細節；

圖 5 是一具有凸塊的覆晶半導體裝置，該些凸塊係提供在晶粒的一主動區域及一晶片載體基板間之電互連；

圖 6a-6d 係描繪在尺寸上以一 2X 縮小的設計規則縮小的接觸墊，其係容許在接觸墊及焊料阻劑開口間之未對齊；

圖 7a-7d 係描繪用於以該 2X 縮小的設計規則為準的接觸墊之替代的形狀；

圖 8a-8h 係描繪形成在一半導體晶粒之上用於連結至一基板上的導電線路之各種的互連結構；

圖 9a-9g 係描繪該半導體晶粒以及連結到該些導電線路的互連結構；

圖 10a-10d 係描繪具有一連結到該些導電線路之楔形的互連結構的半導體晶粒；

圖 11a-11d 係描繪該半導體晶粒以及連結到該些導電線路的互連結構的另一實施例；

圖 12a-12c 係描繪連結到該些導電線路的階梯形凸塊以及柱形凸塊互連結構；

圖 13a-13b 係描繪具有導電貫孔的導電線路；

圖 14a-14c 係描繪在該半導體晶粒及基板之間的模具底膠填充；

圖 15 係描繪在該半導體晶粒及基板之間的另一模具底膠填充；

圖 16 係描繪在模具底膠填充後之半導體晶粒及基板；

圖 17a-17g 係描繪具有開放的焊料對準的導電線路之各種配置；

圖 18a-18b 係描繪具有在導電線路間的補片之開放的焊料對準；並且

圖 19 係描繪具有遮罩層屏障以在模具底膠填充期間抑制封裝材料之 POP。

【主要元件符號說明】

- 10 覆晶
- 12 凸塊
- 14 金屬接觸墊
- 15 接觸墊
- 16 基板
- 18 焊料阻劑或遮罩開口
- 50 電子裝置
- 52 印刷電路板
- 54 線路
- 56 打線接合封裝
- 58 覆晶
- 60 球狀柵格陣列
- 62 凸塊晶片載體

- 64 雙排型封裝
- 66 平台柵格陣列
- 68 多晶片模組
- 70 四邊扁平無引腳封裝
- 72 四邊扁平封裝
- 74 半導體晶粒
- 76 接觸墊
- 78 中間載體
- 80 導線
- 82 焊線
- 84 封裝材料
- 88 半導體晶粒
- 90 載體
- 92 底膠填充或環氧樹脂黏著材料
- 94 焊線
- 96 接觸墊
- 98 接觸墊
- 100 模製化合物或封裝材料
- 102 接觸墊
- 104 凸塊
- 106 中間載體
- 108 主動區域
- 110 凸塊
- 112 凸塊

- 114 信號線
- 116 模製化合物或封裝材料
- 120 半導體裝置或封裝
- 122 主動區域
- 124 晶粒
- 126 晶片載體基板或 PCB
- 130 凸塊結構
- 132 凸塊
- 134 凸塊墊
- 136 接觸墊
- 142 側壁
- 145 焊料阻劑或遮罩開口
- 146 表面
- 150 接觸墊
- 152 焊料阻劑或遮罩開口
- 160 接觸墊
- 162 焊料阻劑開口
- 170 接觸墊
- 172 焊料阻劑開口
- 180 環形接觸墊
- 182 焊料阻劑開口
- 220 半導體晶圓
- 222 主體基板材料
- 324 半導體晶粒或構件

- 226 切割道
- 228 背表面
- 230 主動表面
- 232 導電層
- 234 凸塊材料
- 236 球或凸塊
- 238 複合的凸塊
- 240 不可熔的部份
- 242 可熔的部份
- 244 凸塊
- 246 導電柱
- 248 凸塊材料
- 250 突點
- 252 鋸條或雷射切割工具
- 254 基板
- 256 導電線路
- 258 基板或 PCB
- 260 導電線路
- 261 凸塊材料
- 262 複合的凸塊
- 264 不可熔或不可分解的部份
- 266 可熔或可分解的部份
- 268 導電線路
- 270 基板

- 274 凸塊材料
- 276 導電線路
- 278 基板
- 280 突點
- 284 凸塊材料
- 286 尖端
- 288 導電線路
- 290 基板
- 294 凸塊材料
- 296 尖端
- 298 導電線路
- 300 基板
- 304 凸塊材料
- 306 導電線路
- 308 基板
- 310 導電貫孔
- 312 開口
- 314 導電的側壁
- 316 上方模具支撐件
- 318 下方模具支撐件
- 320 凹槽模具
- 322 可壓縮的離型膜
- 324 封裝材料
- 326 噴嘴

- 328 輔助
- 330 屏障
- 332 封裝材料
- 334 噴嘴
- 340 基板
- 342 導電線路
- 344 基板凸塊墊
- 346 遮罩層
- 348 凸塊或互連
- 350 基板
- 352 導電線路
- 354 基板凸塊墊
- 356 遮罩層
- 360 導電線路
- 362 導電線路
- 364 基板凸塊墊
- 366 基板
- 368 遮罩層
- 370 導電線路
- 372 導電線路
- 374 基板凸塊墊
- 376 基板
- 378 遮罩層
- 380 導電線路

- 382 導電線路
- 384 基板凸塊墊
- 386 基板
- 388 遮罩層
- 390 凸塊或互連
- 392 遮罩層
- 394 導電線路
- 396 導電線路
- 398 凸塊墊
- 400 基板
- 402 遮罩補片
- 404 球或凸塊
- 405 堆疊封裝
- 406 半導體晶粒
- 408 半導體晶粒
- 410 晶粒附接黏著劑
- 412 導電線路
- 414 基板
- 416 凸塊材料
- 418 接觸墊
- 420 接觸墊
- 422 焊線
- 424 接觸墊
- 426 遮罩層

428 封裝材料

七、申請專利範圍：

1.一種製造半導體裝置之方法，其係包括：

提供半導體晶粒；

提供基板；

在該基板之上形成包含互連位置的複數個導電線路，
該些互連位置具有露出的側壁；

在該半導體晶粒及該基板的該些互連位置之間形成複
數個互連結構；

將該些互連結構連結到該些互連位置以使得該些互連
結構覆蓋該些互連位置的頂表面及側表面並且在該基板之
上延伸最大的距離 X ，該 X 是該些互連位置之露出的側壁
的厚度的函數；以及

在該半導體晶粒及基板之間沉積封裝材料。

2.如申請專利範圍第 1 項之方法，其中 X 的值範圍是
從 5 至 20 微米。

3.如申請專利範圍第 1 項之方法，其中該些互連位置係
根據藉由 $SRO+2*SRR-2X$ 所界定的設計規則來決定尺寸，
其中 SRO 是在該互連位置之上的開口，並且 SRR 是用於製
程的對準。

4.如申請專利範圍第 1 項之方法，其中該些互連結構係
包含可熔的部份以及不可熔的部份。

5.如申請專利範圍第 4 項之方法，其中該些互連結構之
不可熔的部份係包含金、銅、鎳、鉛焊料或鉛錫合金。

6.一種製造半導體裝置之方法，其係包括：

提供半導體晶粒；

提供基板；

在該基板之上形成包含互連位置的複數個導電線路，
該些互連位置具有露出的側壁；

在該半導體晶粒及該基板的該些互連位置之間形成複
數個互連結構；以及

將該些互連結構連結到該些互連位置以使得該些互連
結構覆蓋該些互連位置的頂表面及側表面並且在該基板之
上延伸最大的距離 X，該 X 是該些互連位置之露出的側壁
的厚度的函數。

7.如申請專利範圍第 6 項之方法，其進一步包含在該半
導體晶粒及基板之間沉積封裝材料。

8.如申請專利範圍第 6 項之方法，其中 X 的值範圍是
從 5 至 20 微米。

9.如申請專利範圍第 6 項之方法，其中該些互連位置係
根據藉由 $SRO+2*SRR-2X$ 所界定的設計規則來決定尺寸，
其中 SRO 是在該互連位置之上的開口，並且 SRR 是用於製
程的對準。

10.如申請專利範圍第 6 項之方法，其中該些互連結構
之不可熔的部份係包含金、銅、鎳、鉛焊料或鉛錫合金，
並且該些互連結構之可熔的部份係包含錫、無鉛的合金、
錫-銀合金、錫-銀-銅合金、錫-銀-銅合金、共晶焊料或其它
錫和銀、銅或鉛的合金。

11.如申請專利範圍第 6 項之方法，其中該些互連結構

係包含導電柱以及形成在該導電柱之上的凸塊。

12.一種半導體裝置，其係包括：

半導體晶粒；

基板；

形成在該基板之上且包含互連位置的複數個導電線路，該些互連位置係具有露出的側壁；

形成在該半導體晶粒及該基板的該些互連位置之間的複數個互連結構，該些互連結構係連結到該些互連位置以使得該些互連結構覆蓋該些互連位置的頂表面及側表面並且在該基板之上延伸最大的距離 X ，該 X 是該些互連位置之露出的側壁的厚度的函數；以及

沉積在該半導體晶粒及基板之間的封裝材料。

13.如申請專利範圍第 12 項之半導體裝置，其中 X 的值範圍是從 5 至 20 微米。

14.如申請專利範圍第 12 項之半導體裝置，其中該些互連結構係覆蓋該些互連位置的頂表面及側表面。

15.如申請專利範圍第 12 項之半導體裝置，其中該些互連位置係根據藉由 $SRO+2*SRR-2X$ 所界定的設計規則來決定尺寸，其中 SRO 是在該互連位置之上的開口，並且 SRR 是用於製程的對準。

八、圖式：

(如次頁)

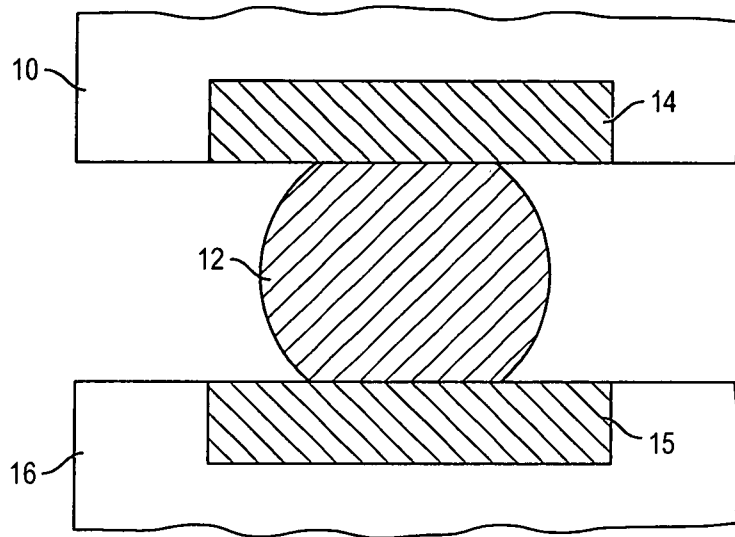


圖1
先前技術

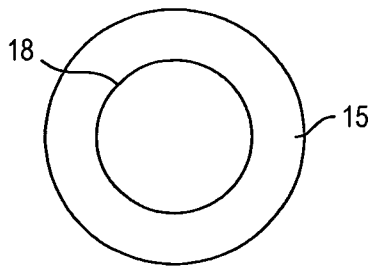


圖2a
先前技術

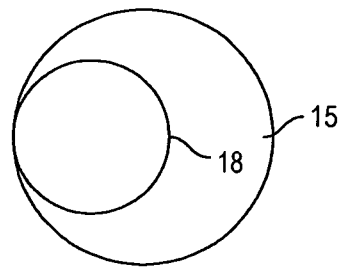


圖2b
先前技術

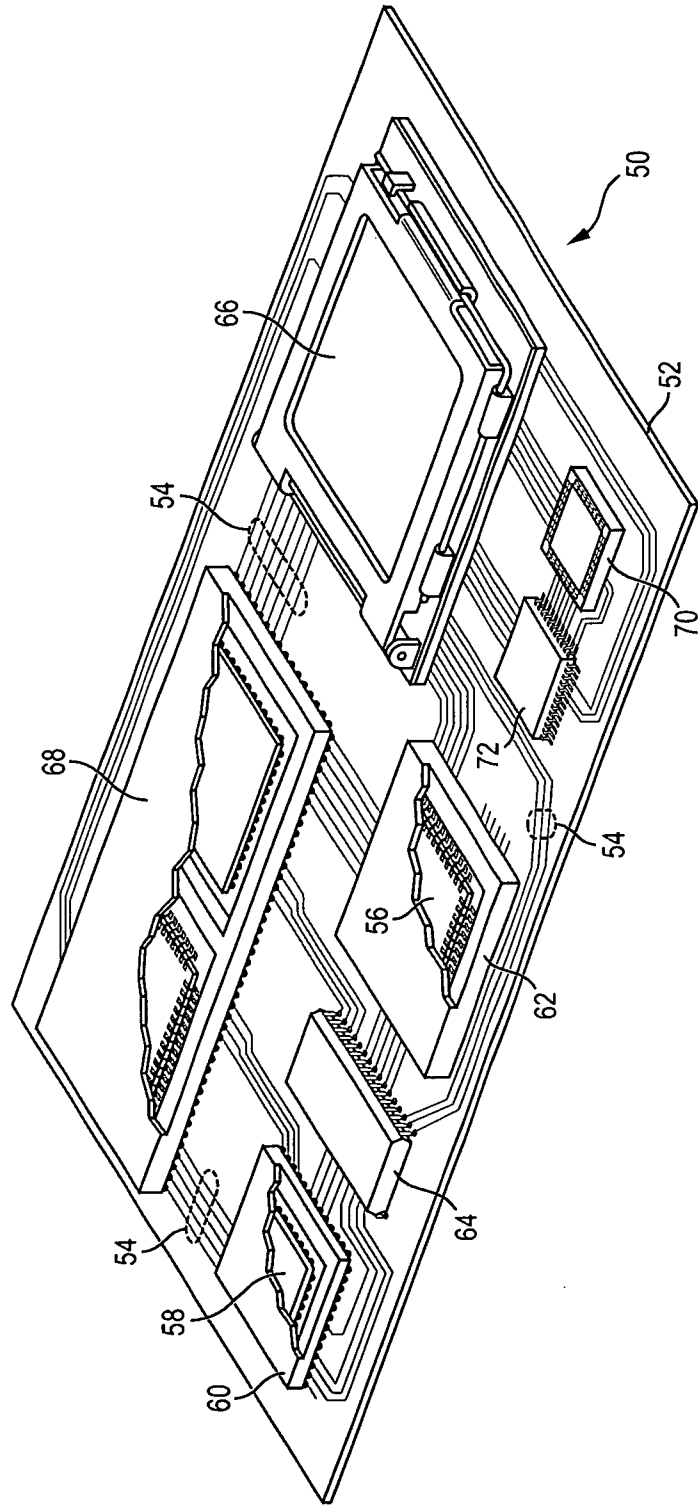


圖3

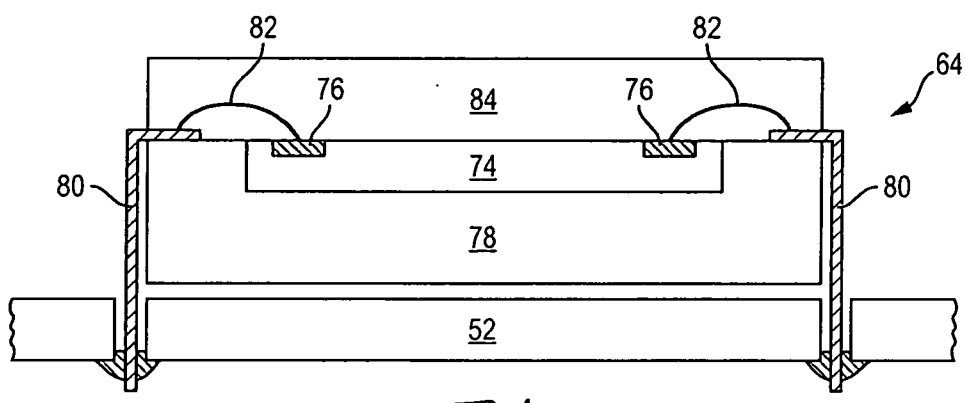


圖 4a

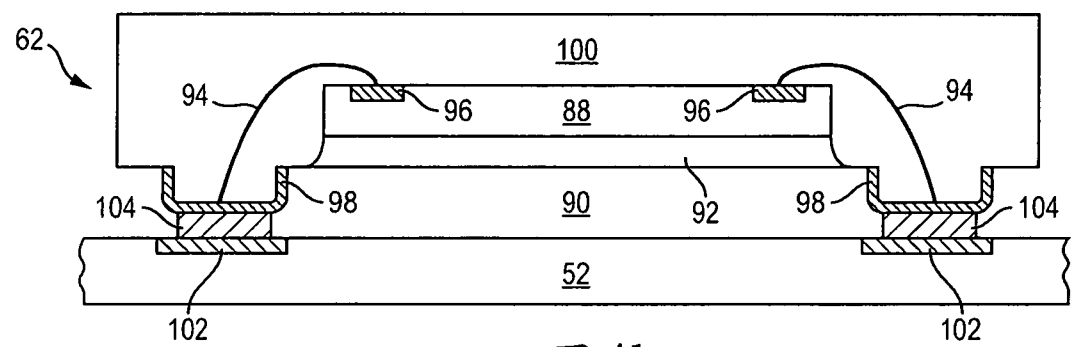


圖 4b

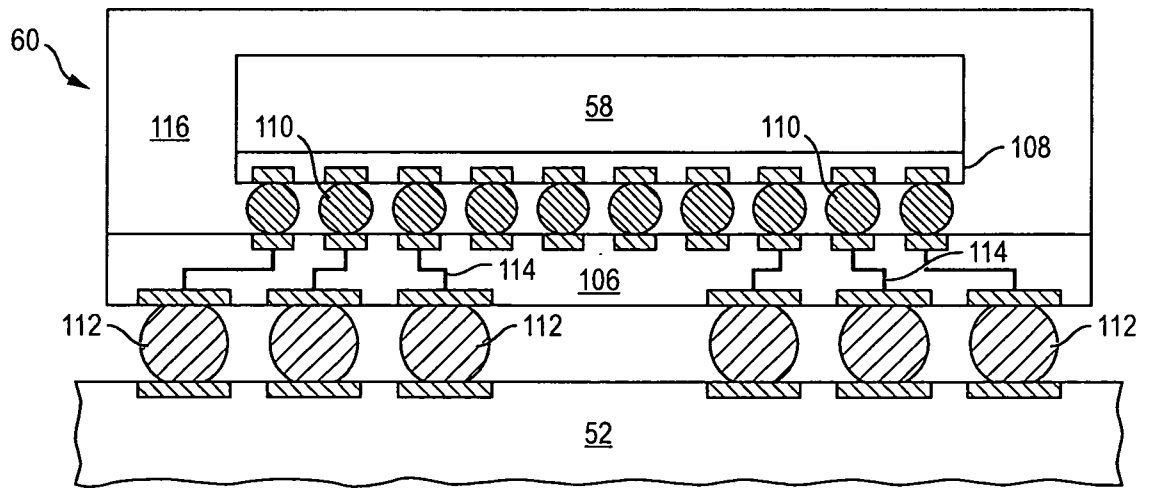


圖 4c

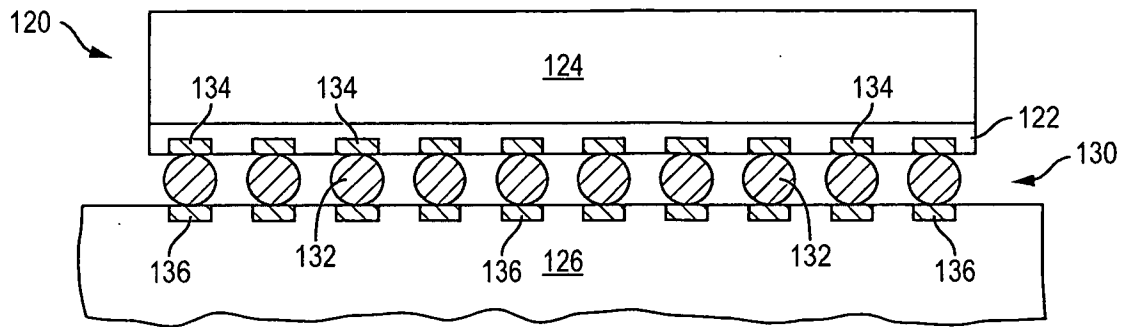


圖 5

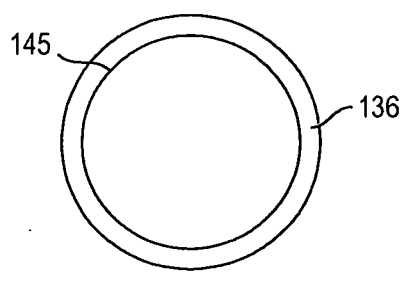


圖 6a

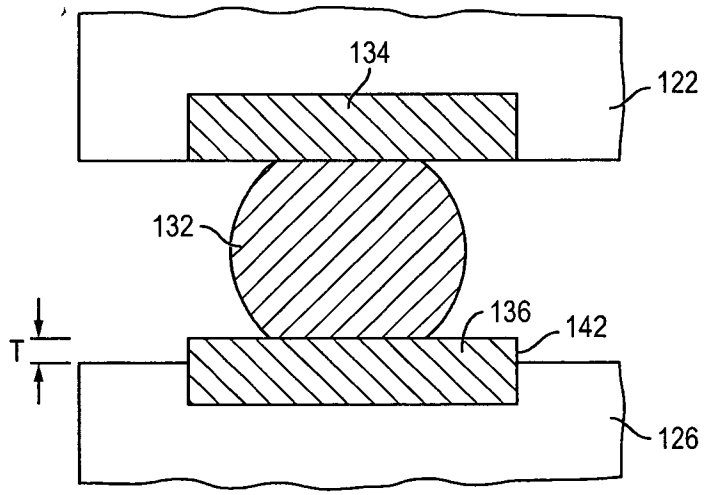


圖 6b

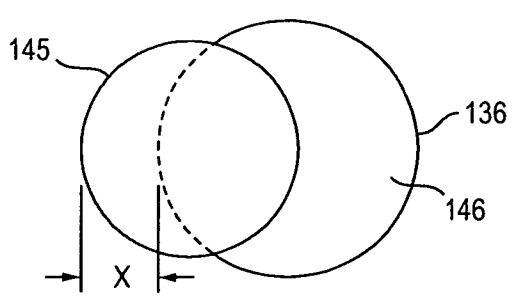


圖 6c

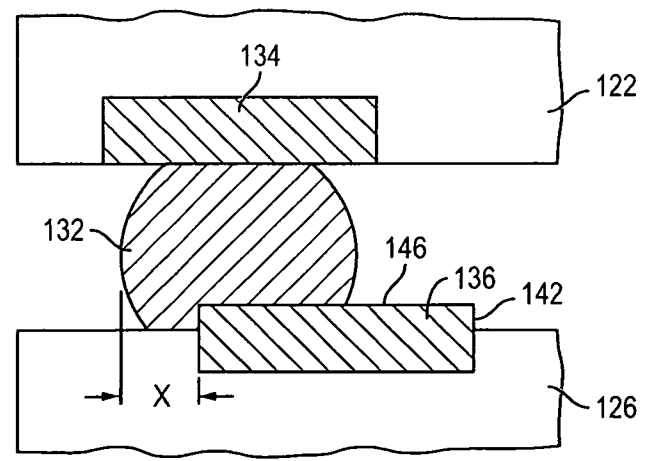


圖 6d

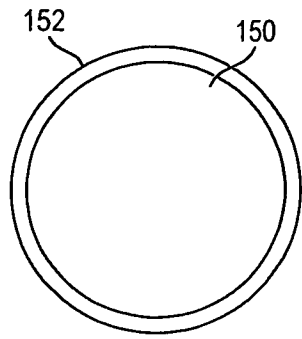


圖7a

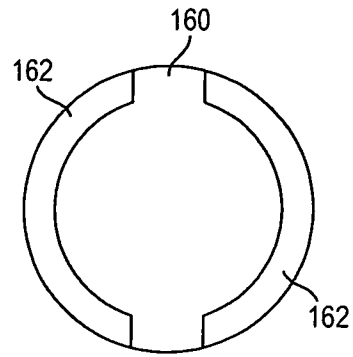


圖7b

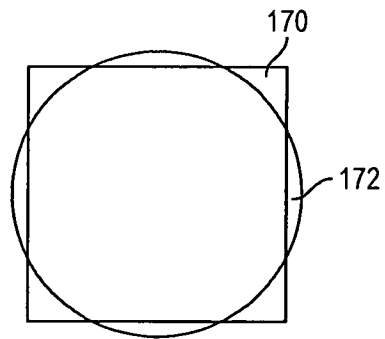


圖7c

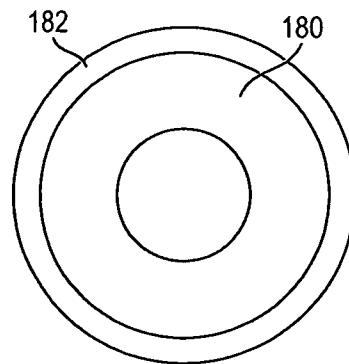


圖7d

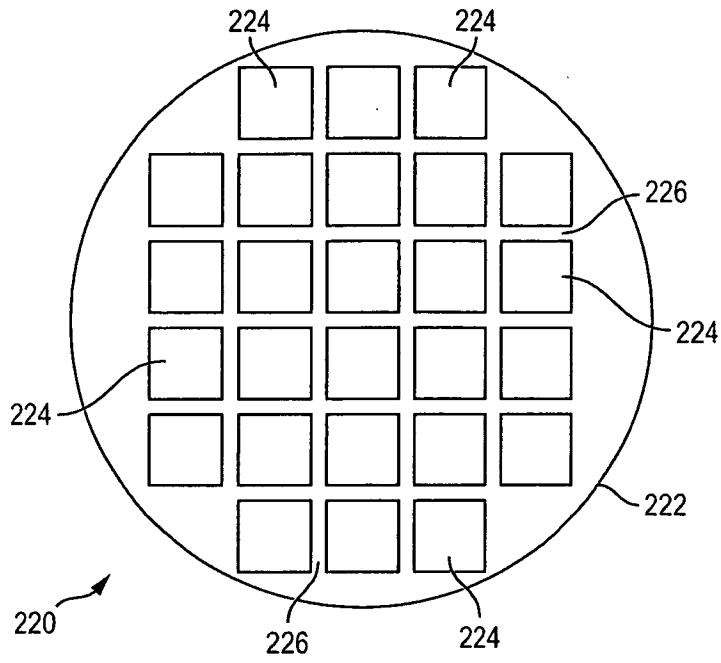


圖 8a

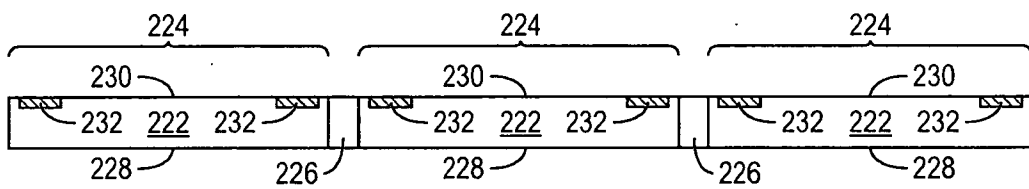


圖 8b

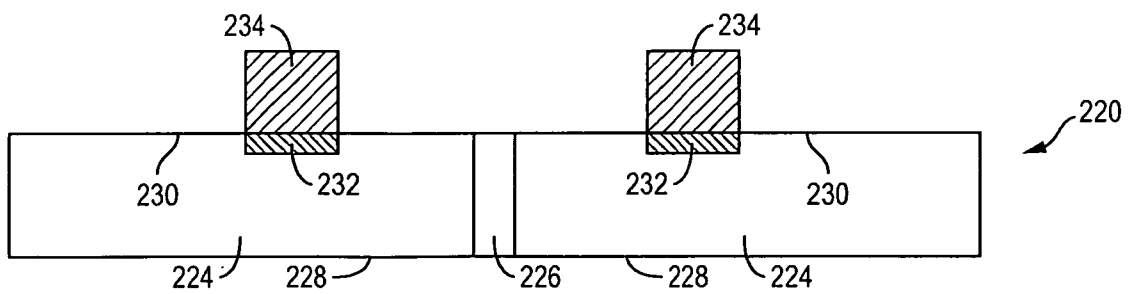


圖 8c

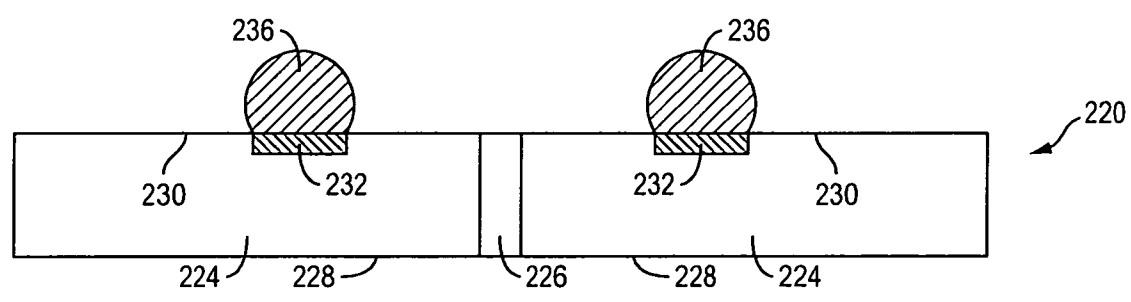


圖 8d

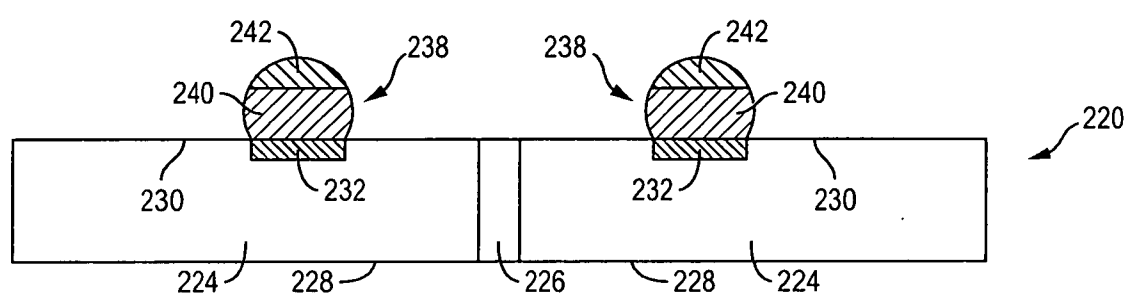


圖 8e

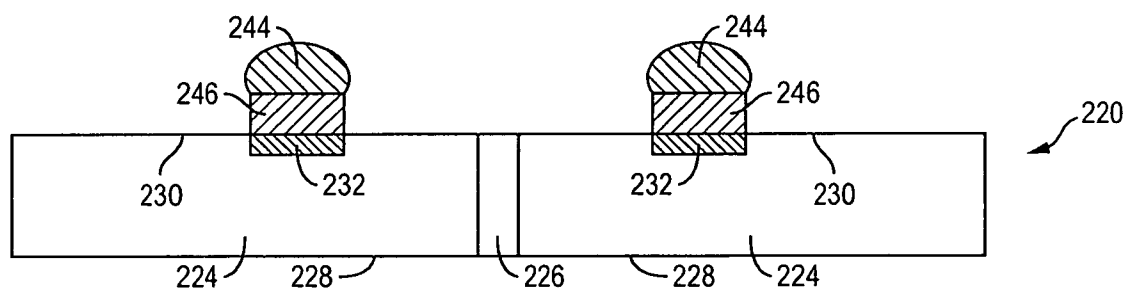


圖 8f

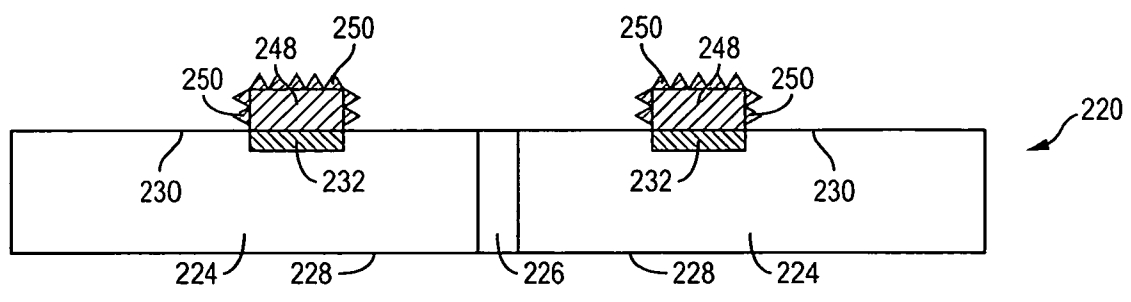


圖 8g

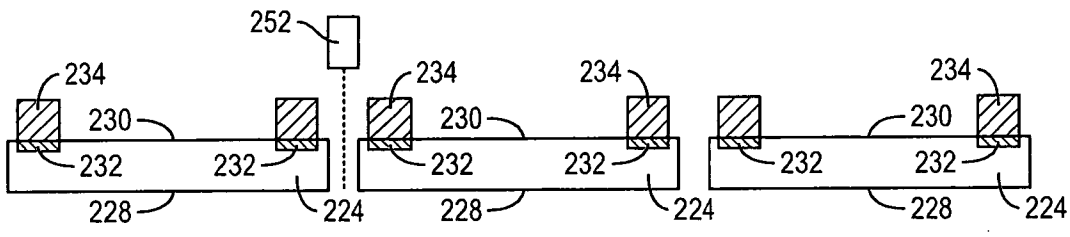


圖 8h

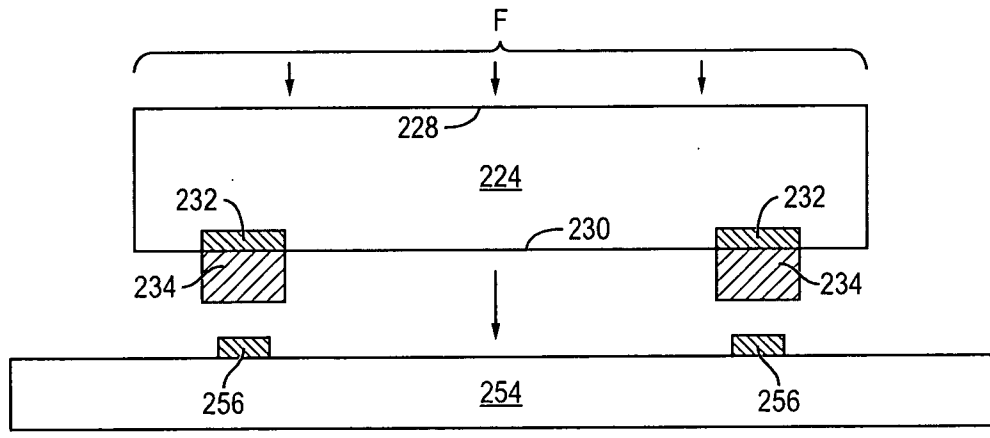


圖 9a

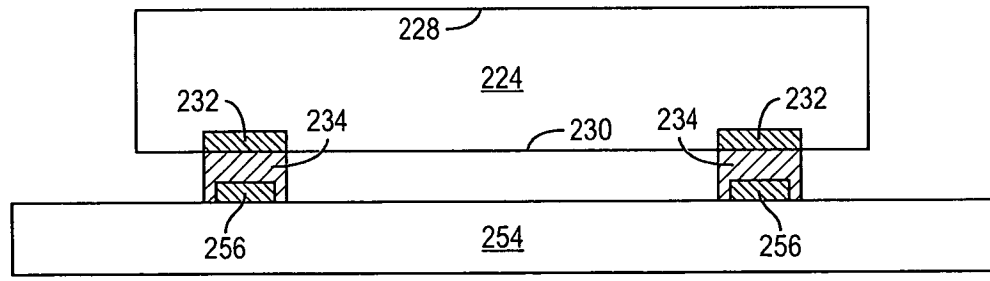


圖 9b

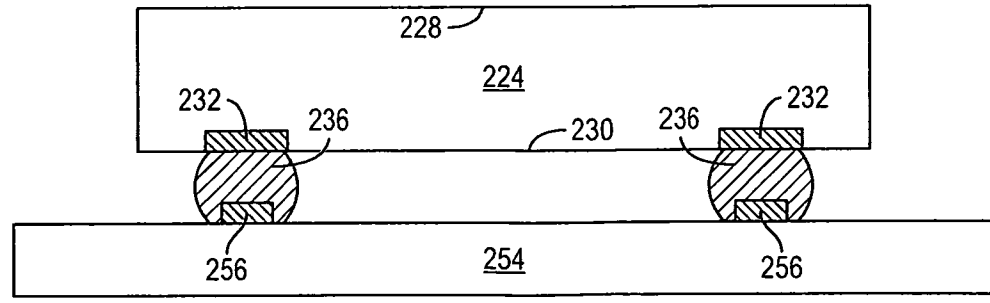


圖 9c

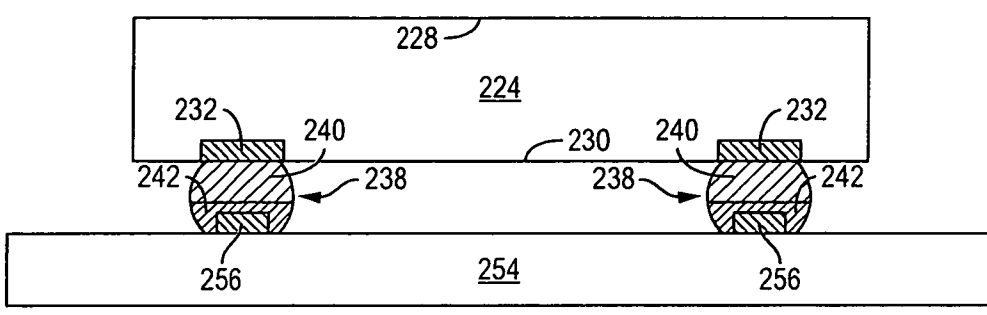


圖 9d

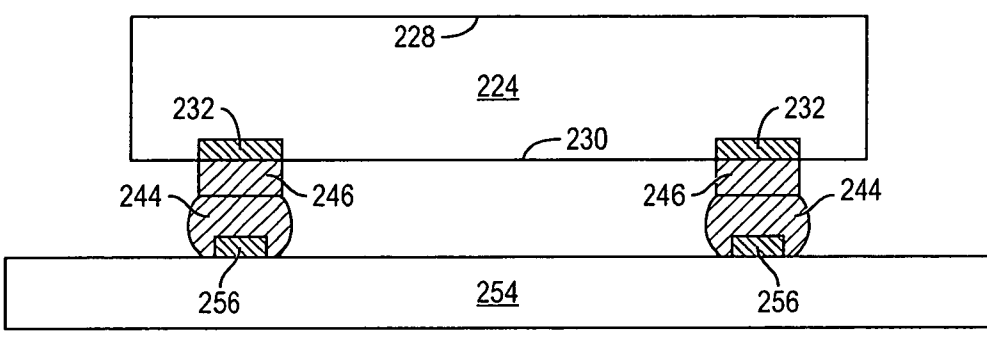


圖 9e

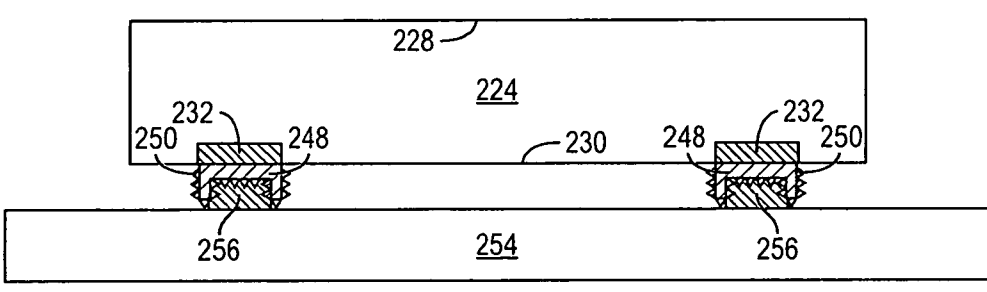


圖 9f

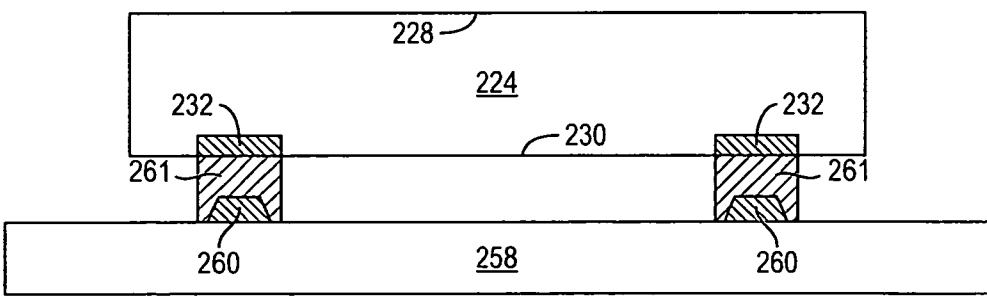


圖 9g

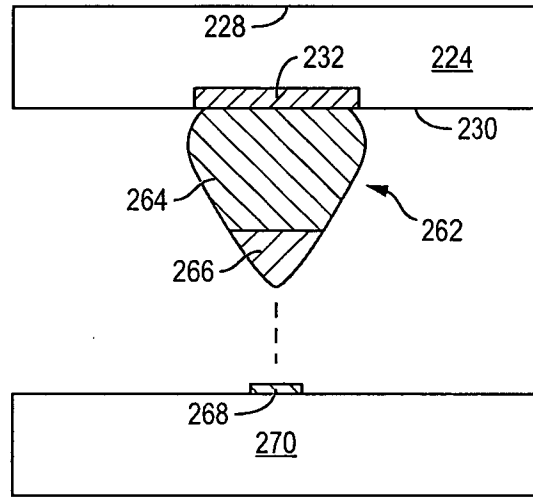


圖 10a

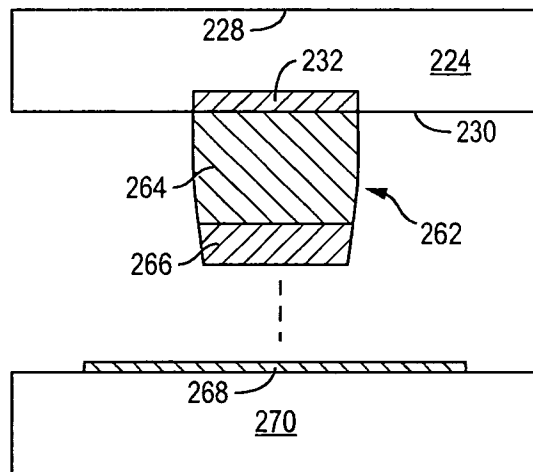


圖 10b

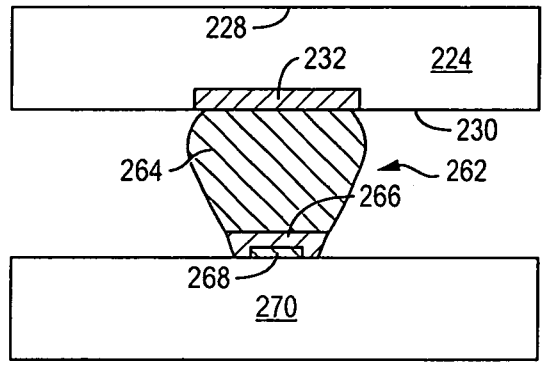


圖 10c

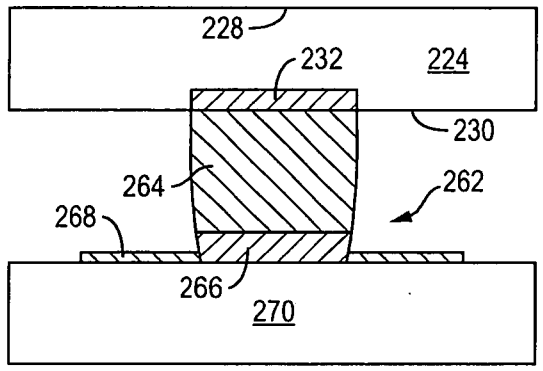


圖 10d

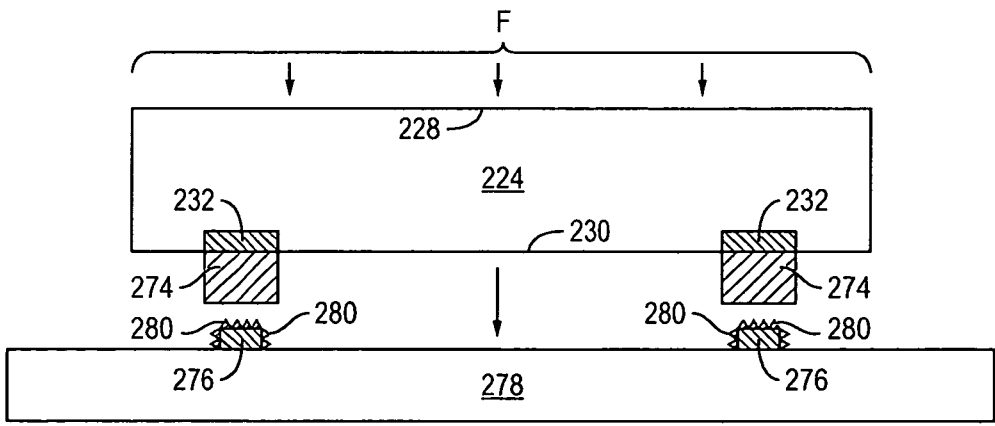


圖 11a

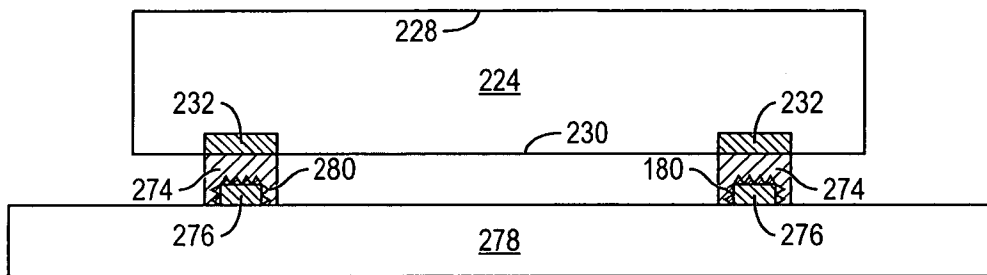


圖 11b

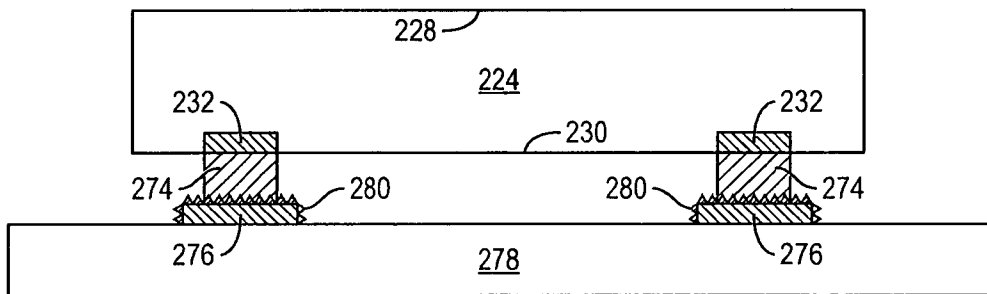


圖 11c

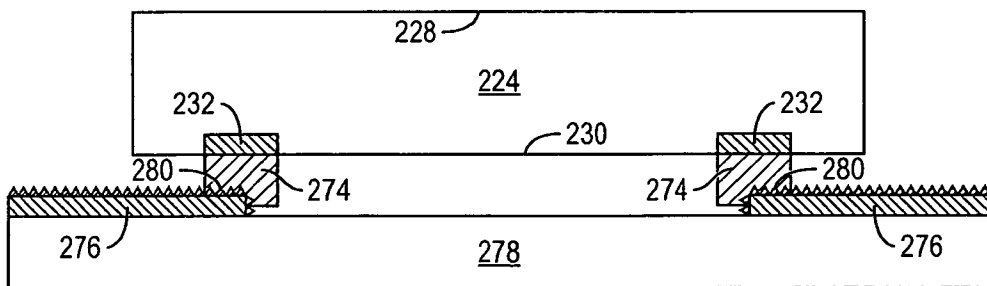


圖 11d

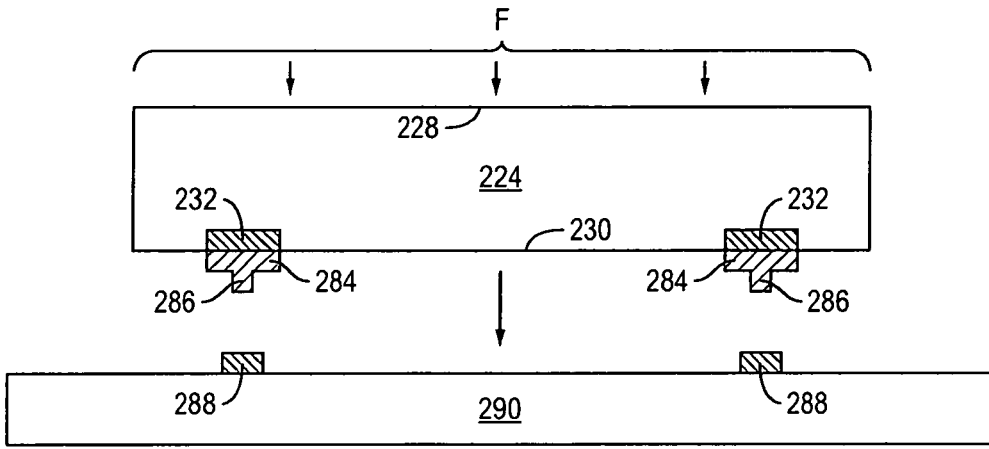


圖 12a

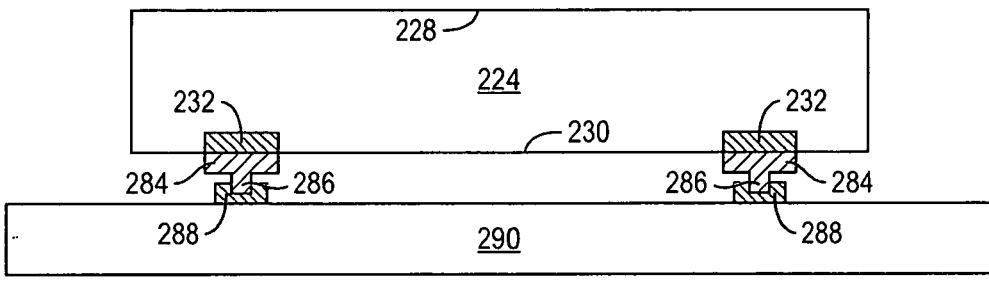


圖 12b

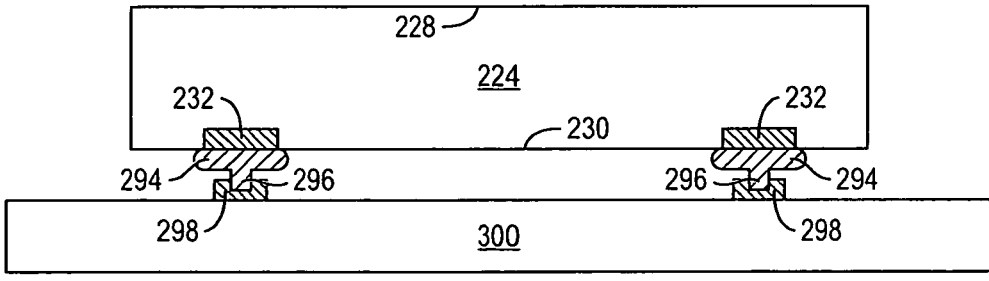


圖 12c

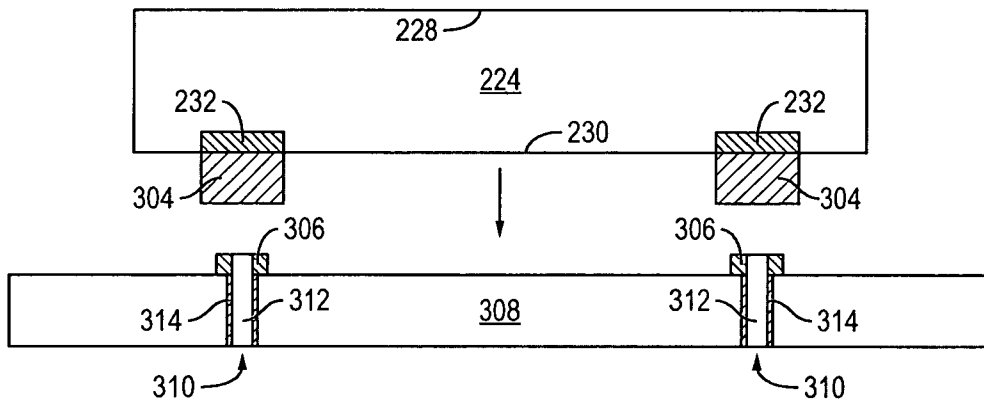


圖13a

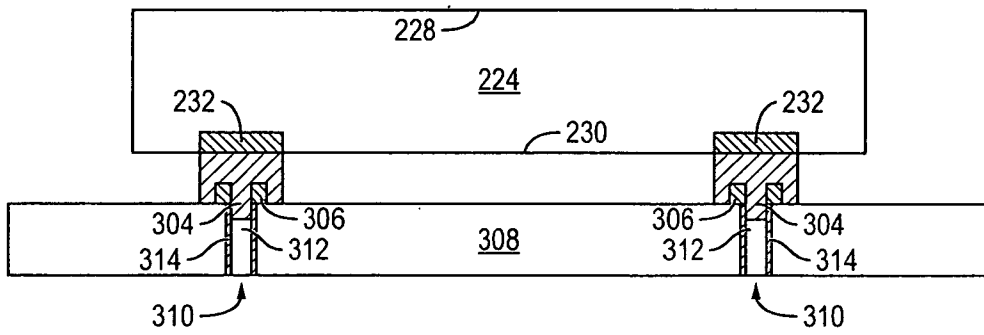


圖13b

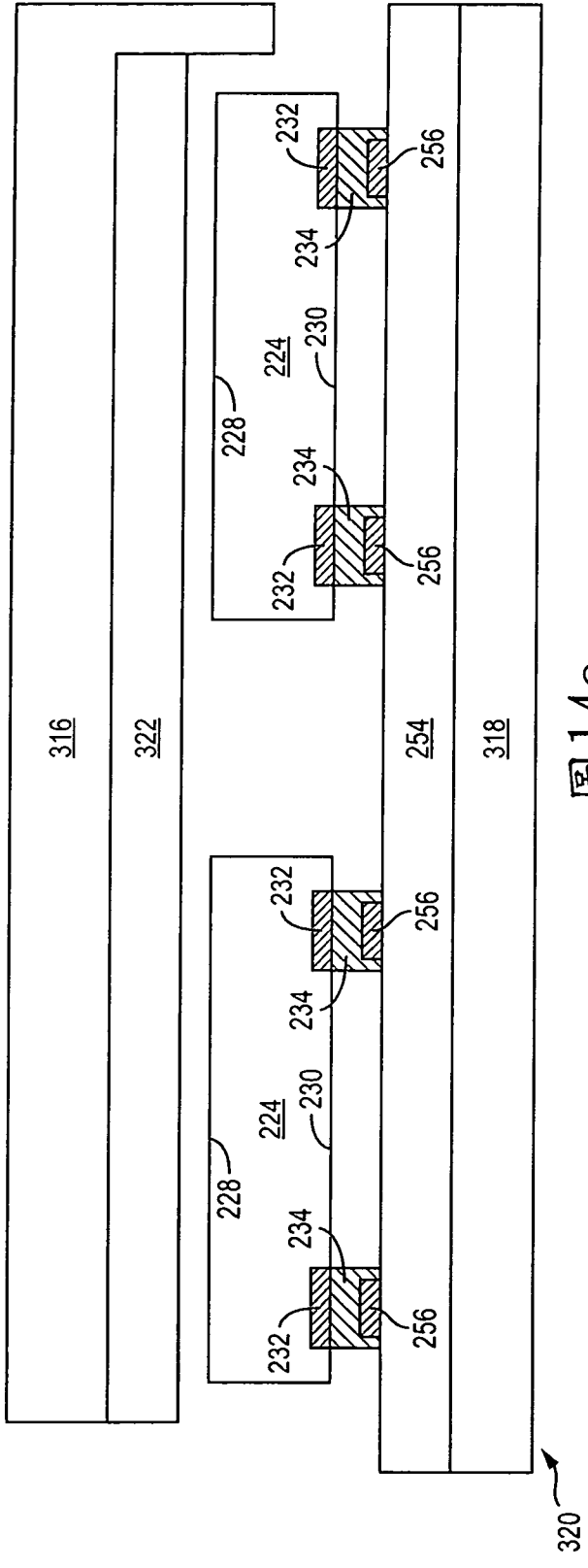


圖 14a

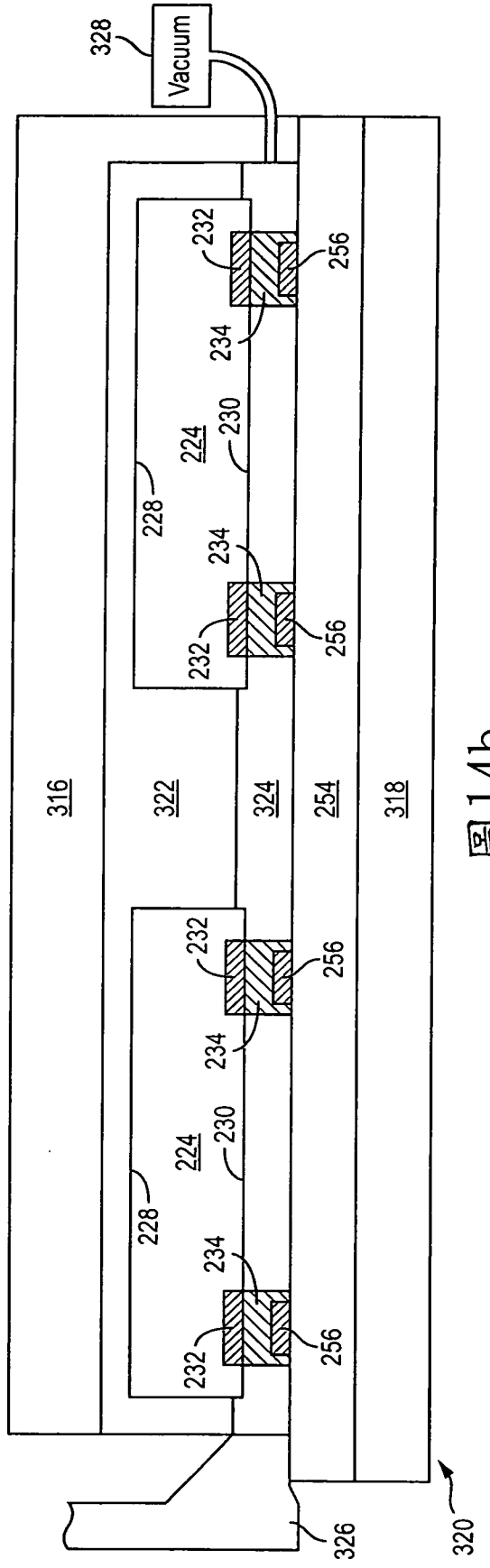


圖 14b

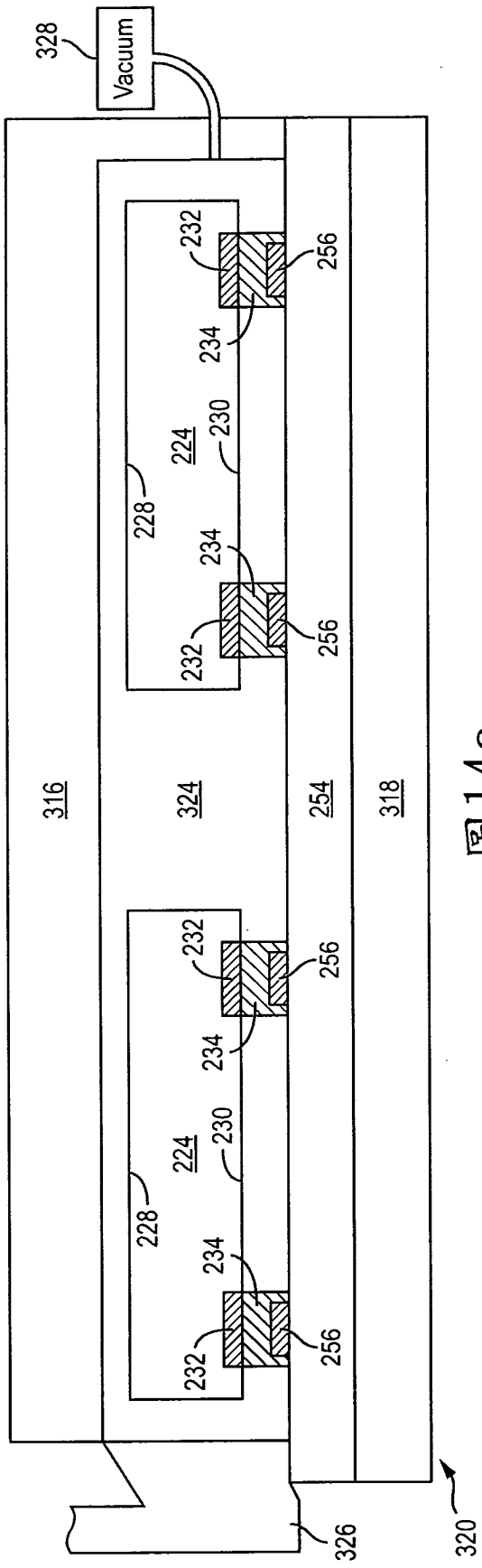


圖14C

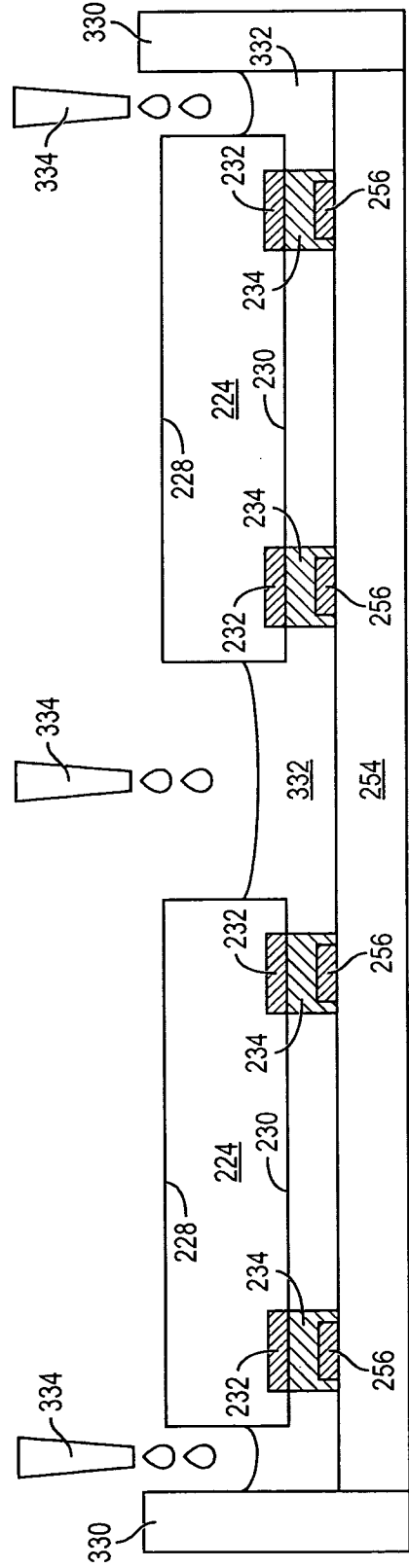


圖15

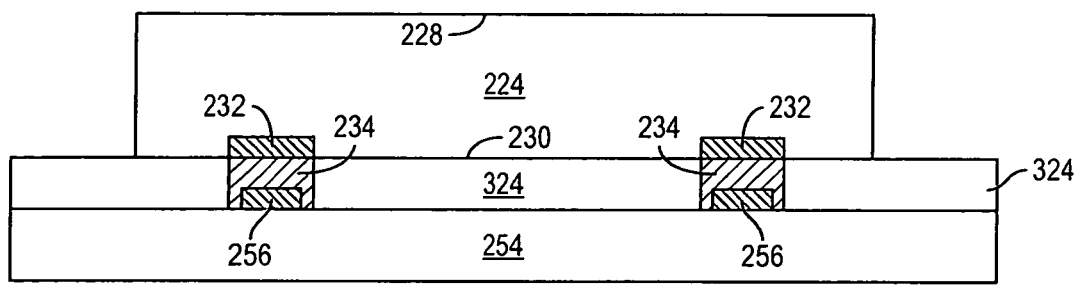


圖 16

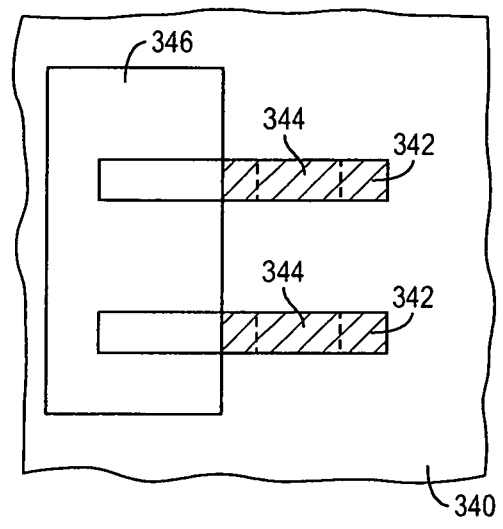


圖 17a

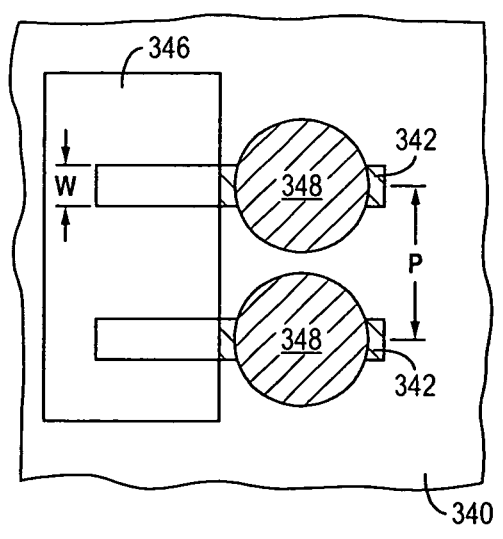


圖 17b

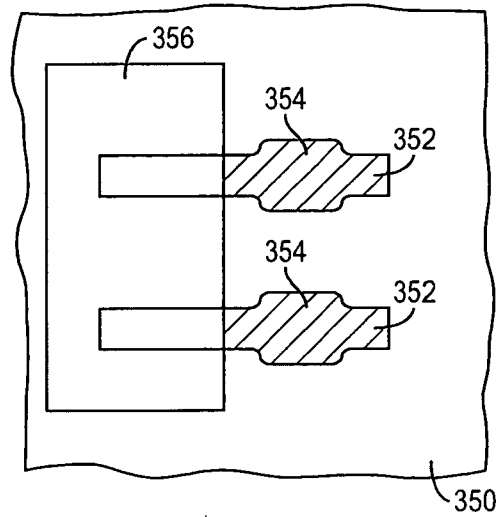


圖 17c

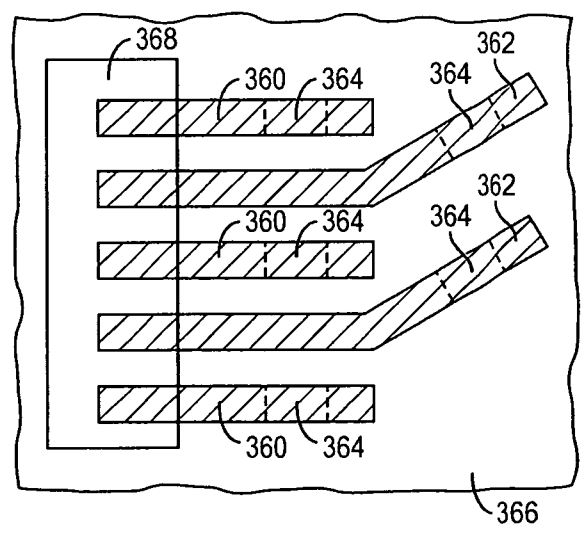


圖 17d

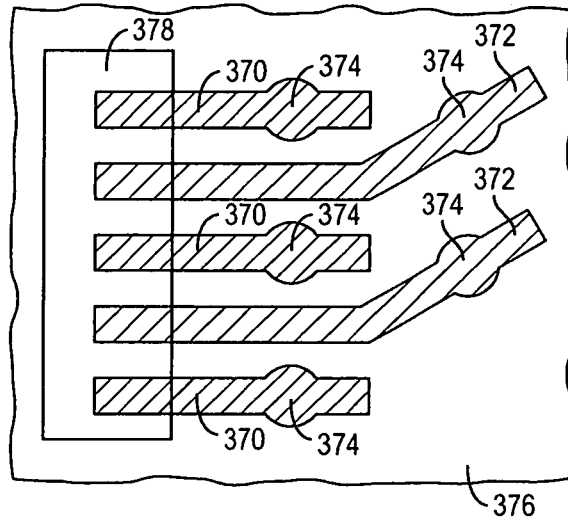


圖 17e

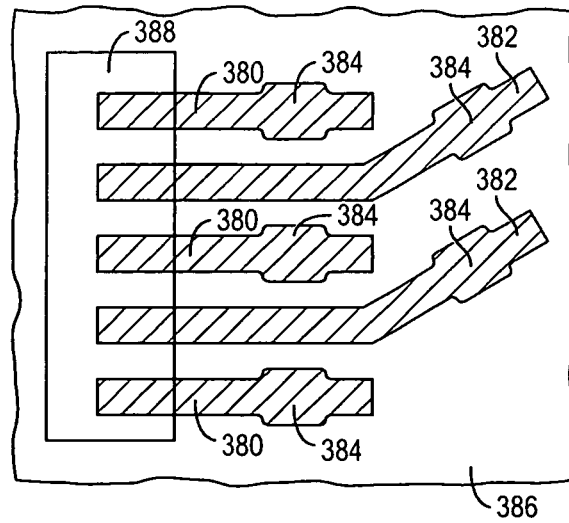


圖 17f

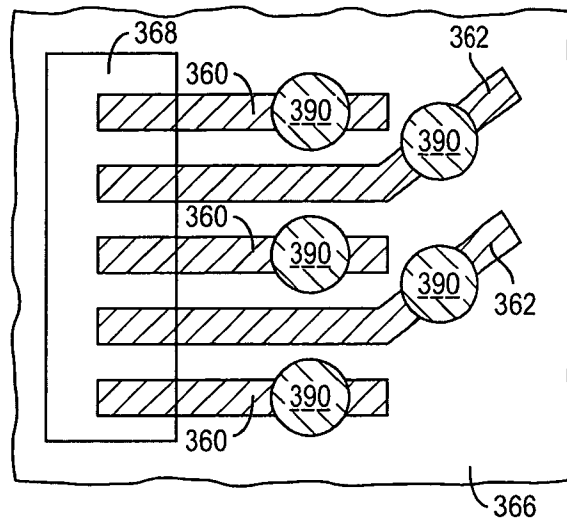


圖 17g

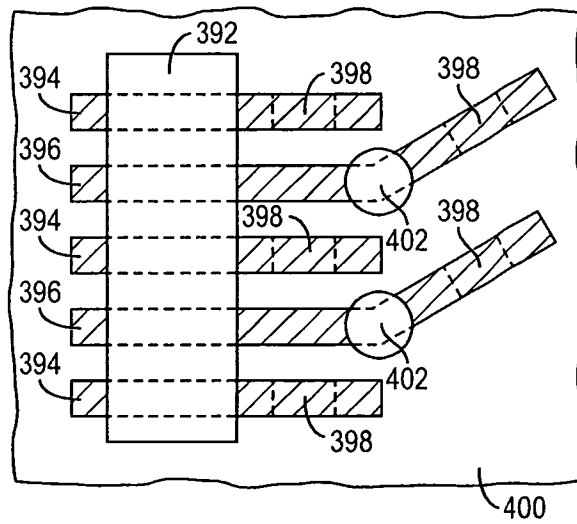


圖 18a

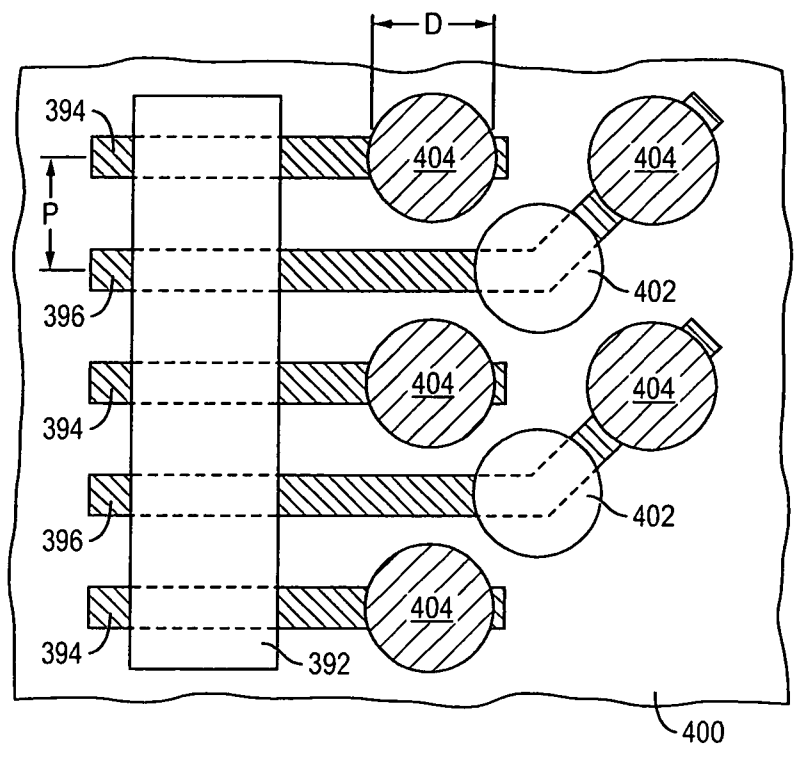


圖 18b

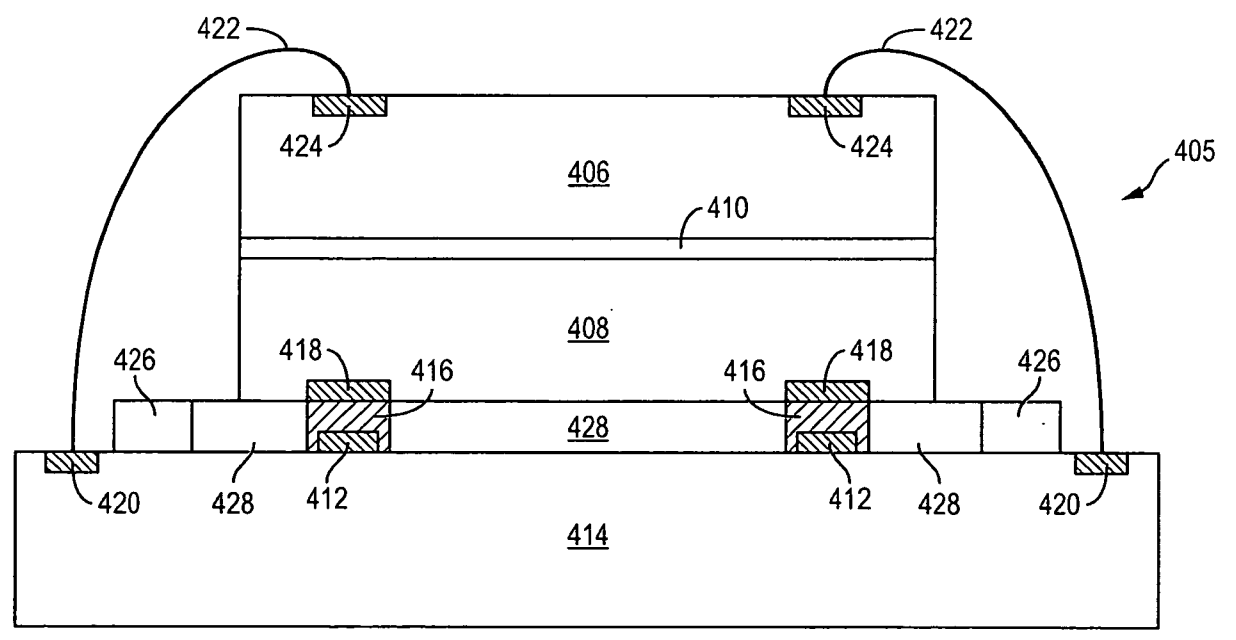


圖 19