



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년10월16일
(11) 등록번호 10-1785864
(24) 등록일자 2017년09월29일

- (51) 국제특허분류(Int. Cl.)
H01L 27/092 (2006.01) H01L 21/8238 (2006.01)
H01L 29/66 (2006.01)
- (52) CPC특허분류
H01L 27/092 (2013.01)
H01L 21/8238 (2013.01)
- (21) 출원번호 10-2016-0115452(분할)
- (22) 출원일자 2016년09월08일
심사청구일자 2016년09월08일
- (65) 공개번호 10-2016-0111017
- (43) 공개일자 2016년09월23일
- (62) 원출원 특허 10-2015-0130957
원출원일자 2015년09월16일
심사청구일자 2015년09월16일
- (30) 우선권주장
13/448,846 2012년04월17일 미국(US)
- (56) 선행기술조사문헌
KR1020120012705 A*
US20090181505 A1*
JP2003179169 A*
US20110057267 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
타이완 세미콘덕터 메뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (72) 발명자
주 밍
싱가포르 736688 우드랜드 드라이브 75 #13-74 블
록 688에프
용 진-안
중화민국 대만 신추 시티 300 이스트 디스트릭트
진산 노스 1번 스트리트 넘버 7 6층
리우 치-웬
중화민국 대만 신추 난-다 로드 넘버 561 3층
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 8 항

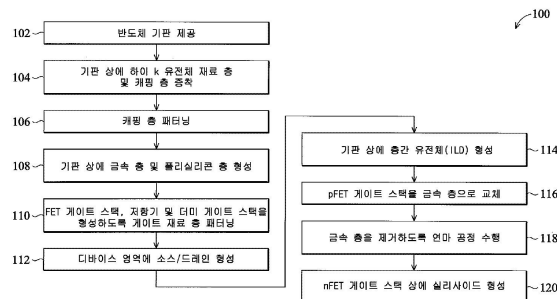
심사관 : 조훤

(54) 발명의 명칭 하이 K 금속 게이트를 갖는 n F E T에 대한 구조 및 방법

(57) 요약

본 개시는 집적 회로를 개시한다. 집적 회로는, 반도체 기판과; 상기 반도체 기판 상에 형성되며, 하이 k 유전체 층, 하이 k 유전체 층 상의 캐핑 층, 캐핑 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 폴리실리콘 층을 포함하는 제1 게이트 스택을 갖는 n 타입 전계 효과 트랜지스터(nFET)와; 반도체 기판 상에 형성되며, 하이 k 유전체 층, 하이 k 유전체 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 금속 재료를 포함하는 제2 게이트 스택을 갖는 p 타입 전계 효과 트랜지스터(pFET)를 포함한다.

대표도



(52) CPC특허분류
H01L 29/66515 (2013.01)

명세서

청구범위

청구항 1

하이브리드 게이트 형성 공정을 수행하는 단계로서, 상기 하이브리드 게이트 형성 공정은 게이트 퍼스트 공정을 수행하는 단계와 게이트 라스트 공정을 수행하는 단계를 포함하며, 상기 게이트 퍼스트 공정은 nFET 트랜지스터에 대응하는 제1 게이트 스택을 형성하기 위해 수행되고, 상기 게이트 라스트 공정은 pFET 트랜지스터에 대응하는 제2 게이트 스택을 형성하기 위해 수행되는 것인, 상기 하이브리드 게이트 형성 공정을 수행하는 단계를 포함하고,

상기 게이트 퍼스트 공정은,

기판 위에 유전체 층을 형성하는 단계;

상기 유전체 층 상에 캐핑 층을 형성하는 단계;

상기 유전체 층의 일부분을 노출시키기 위해 상기 캐핑 층을 패터닝하는 단계;

상기 캐핑 층 상에 그리고 상기 유전체 층의 노출된 일부분 상에 제1 금속 층을 형성하는 단계;

상기 제1 금속 층 상에 전도 층을 형성하는 단계;

상기 전도 층, 상기 제1 금속 층, 패터닝된 캐핑 층 및 상기 유전체 층을 패터닝함으로써, 상기 제1 게이트 스택, 상기 제2 게이트 스택 및 제3 게이트 스택을 형성하는 단계를 포함하고,

상기 제3 게이트 스택은 더미 구조물에 대응하는 것으로서 상기 제1 게이트 스택과 동일한 스택 구조물을 포함하는 것이며,

상기 게이트 라스트 공정은,

상기 pFET 트랜지스터에 대응하는 상기 제2 게이트 스택의 패터닝된 전도 층을 제2 금속 층으로 대체하는 단계를 포함하며,

상기 제2 금속 층으로 대체하는 단계는,

트렌치를 형성하기 위해 상기 제2 게이트 스택으로부터 상기 패터닝된 전도 층의 적어도 일부분을 제거하는 단계;

상기 제2 게이트 스택의 트렌치 내에 상기 제2 금속 층을 형성하는 단계; 및

상기 제2 금속 층에 대해 평탄화 공정을 수행하는 단계를 포함하는 것이고,

상기 제3 게이트 스택은 상기 평탄화 공정 중에 유발되는 상기 제1 게이트 스택에 대한 디싱 효과(dishing effect)를 억제하도록 배열되어 있는 것인, 방법.

청구항 2

제1항에 있어서, 상기 제2 게이트 스택은 상기 캐핑 층이 없는 것인, 방법.

청구항 3

제1항에 있어서, 상기 캐핑 층은 n 타입 일함수를 갖는 재료로 형성되고, 상기 제1 금속 층은 p 타입 일함수를 갖는 재료로 형성되는 것인, 방법.

청구항 4

제1항에 있어서, 상기 전도 층, 상기 제1 금속 층, 패터닝된 캐핑 층, 및 상기 유전체 층을 패터닝하는 단계는, 제4 게이트 스택을 형성하기 위해 상기 전도 층, 상기 제1 금속 층, 패터닝된 캐핑 층, 및 상기 유전체 층을 패터닝하는 단계를 포함하고,

상기 제4 게이트 스택은 상기 캐핑 층이 없는 것인, 방법.

청구항 5

반도체 기관의 n 타입 전계 효과 트랜지스터 (nFET) 영역, p 타입 전계 효과 트랜지스터 (pFET) 영역, 및 더미 영역 위에 하이-k 유전체 층을 형성하는 단계;

상기 반도체 기관의 nFET 영역, pFET 영역, 및 더미 영역 내의 상기 하이-k 유전체 층 위에 n 타입 일함수 재료 층을 형성하는 단계;

상기 pFET 영역 내의 상기 하이-k 유전체 층을 노출시키기 위해 상기 pFET 영역 내의 상기 n 타입 일함수 재료 층을 제거하는 단계;

상기 nFET 영역 및 상기 더미 영역 내의 n 타입 일함수 재료 층 위에 그리고 상기 pFET 영역 내의 상기 하이-k 유전체 층 위에 p 타입 일함수 재료 층을 형성하는 단계;

상기 nFET 영역, 상기 pFET 영역, 및 상기 더미 영역 내의 상기 p 타입 일함수 재료 층 위에 폴리실리콘 층을 형성하는 단계;

상기 nFET 영역 내의 nFET 게이트 스택 및 상기 더미 영역 내의 nFET 더미 게이트 스택을 형성하기 위해 패터닝 공정을 수행하는 단계로서, 상기 nFET 게이트 스택 및 상기 nFET 더미 게이트 스택은 상기 하이-k 유전체 층, 상기 n 타입 일함수 재료 층, 상기 p 타입 일함수 재료 층, 및 폴리실리콘 게이트를 포함하고, 상기 패터닝 공정은 상기 pFET 영역 내에 상기 하이-k 유전체 층, 상기 p 타입 일함수 재료 층, 및 폴리실리콘 게이트를 포함하는 pFET 게이트 스택을 형성하며, 상기 nFET 더미 게이트 스택은 상기 nFET 게이트 스택과 동일한 스택 구조물을 포함하는 것인, 상기 패터닝 공정 수행 단계;

이후, 상기 nFET 영역 및 상기 pFET 영역 내의 상기 반도체 기관 내에 소스 및 드레인 특징부를 형성하는 단계; 및

이후, 상기 pFET 게이트 스택이 상기 하이-k 유전체 층, 상기 p 타입 일함수 재료 층, 및 금속 게이트를 포함하도록, 상기 pFET 게이트 스택 내의 폴리실리콘 게이트를 상기 금속 게이트로 대체하기 위한 게이트 대체 공정을 수행하는 단계를 포함하고,

상기 게이트 대체 공정은 상기 금속 게이트에 대해 평탄화 공정을 수행하는 단계를 포함하며,

상기 nFET 더미 게이트 스택은 상기 평탄화 공정 중에 유발되는 상기 nFET 게이트 스택에 대한 디싱 효과를 억제하도록 배열되어 있는 것인, 방법.

청구항 6

제5항에 있어서, 상기 금속 게이트에 대해 평탄화 공정을 수행하는 단계는, 화학 기계적 연마 공정을 수행하는 단계를 포함하는 것인, 방법.

청구항 7

제5항에 있어서, 상기 소스 및 드레인 특징부를 형성하는 단계는 열 어닐링 공정을 수행하는 단계를 포함하는 것인, 방법.

청구항 8

반도체 기관을 제공하는 단계로서, 상기 반도체 기관은 n 타입 전계 효과 트랜지스터(nFET)를 위한 제1 영역, p 타입 전계 효과 트랜지스터(pFET)를 위한 제2 영역, 및 nFET 더미 게이트를 위한 제3 영역을 구비하는 것인, 상기 반도체 기관 제공 단계;

상기 제1 영역, 상기 제2 영역, 및 상기 제3 영역 내의 반도체 기관 상에 하이-k 유전체 층을 형성하는 단계;

상기 제1 영역 및 상기 제3 영역 내의 상기 하이-k 유전체 층 상에 란탄 산화물 캐핑 층을 형성하는 단계;

상기 제1 영역 및 상기 제3 영역 내의 상기 란탄 산화물 캐핑 층 상에, 그리고 상기 제2 영역 내의 상기 하이-k 유전체 층 상에 티타늄 질화물 층을 형성하는 단계;

상기 제1 영역, 상기 제2 영역, 및 상기 제3 영역 내의 상기 티타늄 질화물 층 상에 폴리실리콘 층을 형성하는

단계;

이후, 상기 제1 영역에 nFET 게이트 스택을 형성하고, 상기 제2 영역에 pFET 게이트 스택을 형성하고, 상기 제3 영역에 nFET 더미 게이트 스택을 형성하기 위해 상기 폴리실리콘 층, 상기 티타늄 질화물 층, 상기 란탄 산화물 캐핑 층, 및 상기 하이-k 유전체 층을 패터닝하는 단계;

이후, 상기 제1 영역 및 상기 제2 영역 내의 상기 반도체 기판 내에 소스 및 드레인 특징부를 형성하는 단계;

이후, 상기 제1 영역, 상기 제2 영역, 및 상기 제3 영역 위에 층간 유전체(ILD) 층을 형성하는 단계; 및

이후, 상기 nFET 게이트 스택 및 상기 nFET 더미 게이트 스택이 폴리실리콘 게이트를 포함하고 상기 pFET 게이트 스택이 금속 게이트를 포함하도록, 상기 제2 영역 내의 상기 pFET 게이트 스택의 폴리실리콘 층을 금속 층으로 대체하는 단계를 포함하고,

상기 pFET 게이트 스택의 폴리실리콘 층을 금속 층으로 대체하는 단계는,

상기 제2 영역 내의 폴리실리콘 층을 에칭하여 게이트 트렌치를 형성하는 단계;

상기 게이트 트렌치 내에 금속 재료를 성막하는 단계; 및

상기 금속 재료에 대해 화학 기계적 연마(CMP) 공정을 수행하는 단계를 포함하되, 상기 nFET 더미 게이트 스택은 상기 CMP 공정 중에 유발되는 상기 nFET 게이트 스택에 대해 디싱 효과를 억제하도록 배열되어 있는 것인, 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 분야에 관한 것이다.

배경 기술

[0002] 전계 효과 트랜지스터(FET; field effect transistor)는 종래의 집적 회로(IC; integrated circuit) 설계에 사용되어 왔다. 축소하는 기술 노드로 인해, 하이 k(high-k) 유전체 재료 및 금속이 종종 FET에 대한 게이트 스택을 형성하는데 고려된다. 단일 IC 칩으로 다양한 금속 게이트 FET를 형성할 때, 특히 저항기가 IC 회로에 집적될 때, 집적 문제가 존재한다. 하나의 문제는 연마 공정 중의 디싱(dishing) 효과와 관련이 있다. 다른 예에서, 게이트 교체 공정은 폴리실리콘 게이트를 제거하기 위한 에칭 공정을 포함한다. 그러나, 형성된 폴리실리콘 저항기가 에칭 공정에 의해 손상을 입고 리세스될 수 있으며, 이는 계획한 목표로부터의 폴리실리콘 저항기의 저항 편차를 야기한다. 따라서, 상기 문제에 대처하기 위한 하이 k 금속 게이트로 집적된 구조 및 이의 제조 방법이 필요하다.

발명의 내용

해결하려는 과제

[0003] 본 개시는 집적 회로를 개시한다.

과제의 해결 수단

[0004] 집적 회로는, 반도체 기판과; 상기 반도체 기판 상에 형성되며, 하이 k 유전체 층, 하이 k 유전체 층 상의 캐핑 층, 캐핑 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 폴리실리콘 층을 포함하는 제1 게이트 스택을 갖는 n 타입 전계 효과 트랜지스터(nFET)와; 반도체 기판 상에 형성되며, 하이 k 유전체 층, 하이 k 유전체 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 금속 재료를 포함하는 제2 게이트 스택을 갖는 p 타입 전계 효과 트랜지스터(pFET)를 포함한다.

발명의 효과

[0005] 본 발명에 따라 하이 K 금속 게이트를 갖는 nFET에 대한 구조 및 방법을 제공할 수 있다.

도면의 간단한 설명

[0006] 본 개시의 양상은 다음의 상세한 설명으로부터 첨부 도면과 함께 볼 때 가장 잘 이해될 것이다. 산업계에서의 표준 실시예에 따라 다양한 특징부들이 축척대로 도시된 것은 아님을 강조한다. 사실상 다양한 특징부들의 치수는 설명을 명확하게 하기 위해 임의로 증가되거나 감소되어질 수 있다.

도 1은 본 개시의 다양한 양상에 따라 구성된 금속 게이트 스택 및 폴리실리콘 스택을 갖는 반도체 디바이스를 제조하는 방법의 흐름도이다.

도 2 내지 도 7은 본 개시의 다양한 양상에 따라 구성된 다양한 제조 단계들에서의 금속 게이트 스택 및 폴리실리콘 스택을 갖는 반도체 구조의 하나의 실시예의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0007] 다음의 개시는 다양한 실시예의 상이한 특징들을 구현하기 위해 수많은 상이한 실시예 또는 예를 제공하는 것임을 이해하여야 한다. 특정 예의 컴포넌트 및 구성이 본 개시를 단순화하도록 아래에 기재된다. 이들은 물론 단지 예일 뿐이며 한정하고자 하는 것이 아니다. 또한, 본 개시는 다양한 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이 반복은 단순하고 명확하게 하기 위한 것이지 그 자체가 설명되는 다양한 실시예 및/또는 구성 간의 관계를 지시하는 것은 아니다. 또한, 이어지는 다음 설명에서 제2 특징부 상에 또는 위에 제1 특징부를 형성하는 것은 제1 및 제2 특징부가 직접 접촉하여 형성되는 실시예를 포함할 수 있고, 제1 및 제2 특징부가 직접 접촉하지 않도록 제1 특징부와 제2 특징부 사이에 개재되는 추가적인 특징부가 형성될 수 있는 실시예도 포함할 수 있다.

[0008] 도 1은 하나의 실시예에 따라 반도체 디바이스를 제조하는 방법(100)의 흐름도이다. 도 2 내지 도 7은 하나 이상의 실시예에 따라 구성되는 다양한 제조 단계들에서의 반도체 구조(200)의 단면도이다. 반도체 구조(200)는 n 타입 FET에 대한 폴리실리콘 게이트 스택 및 p 타입 FET에 대한 금속 게이트 스택과 같이 다양한 게이트 스택을 포함한다. 본 실시예에서, 반도체 구조(200)는 본 개시의 다양한 양상에 따라 구성된 폴리실리콘 저항기를 더 포함한다. 반도체 구조(200) 및 방법(100)은 도 1 내지 도 7에 관련하여 집합적으로 기재된다.

[0009] 도 1 및 도 2를 참조하면, 방법(100)은 반도체 기판(202)을 제공함으로써 단계 102에서 시작된다. 반도체 기판(202)은 실리콘을 포함한다. 대안으로서, 기판은 게르마늄, 실리콘 게르마늄 또는 기타 적합한 반도체 재료를 포함한다. 반도체 기판(202)은 또한 다양한 디바이스들을 분리시키도록 기판에 형성된 웰로우 트렌치 아이솔레이션(STI; shallow trench isolation)과 같은 다양한 아이솔레이션 특징부를 포함한다.

[0010] STI 특징부의 형성은, 기판에 트렌치를 에칭하고, 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물과 같은 하나 이상의 절연체 재료에 의해 트렌치를 채우는 것을 포함한다. 채워진 트렌치는 실리콘 질화물로 트렌치를 채운 열 산화물(thermal oxide) 라이너 층과 같은 다층 구조를 가질 수 있다. 하나의 실시예에서, STI 특징부는, 패드 산화물을 성장시키고, 저압 화학적 기상 증착(LPCVD; low pressure chemical vapor deposition) 질화물 층을 형성하고, 포토레지스트 및 마스크를 사용해 STI 개구를 패터닝하고, 기판에 트렌치를 에칭하고, 트렌치 계면을 개선하도록 열 산화물 트렌치 라이너를 선택적으로 성장시키고, CVD 산화물로 트렌치를 채우고, 화학 기계적 연마(CMP; chemical mechanical planarization)를 사용해 에칭 백(etch back)하고, 질화물 스트리핑(striping)을 사용해 STI 구조를 남기는 것과 같은 공정 순서를 사용하여 생성된다.

[0011] 반도체 기판(202)은 또한 다양한 활성 영역에 형성된 n 웰과 p 웰과 같은 다양한 도핑된 특징부를 포함한다. 이들 도핑된 특징부는 이온 주입과 같은 적합한 기술에 의해 형성된다.

[0012] 하나의 실시예에서, 반도체 기판(202)은 다양한 디바이스를 위한 제1 영역(204)과 기능 디바이스가 거의 또는 아예 없는 제2 영역(206)을 포함한다. 제1 영역에서의 다양한 디바이스는 다양한 n 타입 및 p 타입 전계 효과 트랜지스터와 하나 이상의 폴리실리콘 저항기를 포함한다. 본 실시예에서, 제1 영역(204)은 예시적인 n 타입 FET(nFET)을 위한 디바이스 영역(208), 예시적인 p 타입 FET(pFET)을 위한 디바이스 영역(210), 및 높은 저항의 저항기를 위한 디바이스 영역(212)을 포함한다.

[0013] 계속해서 도 1 및 도 2를 참조하면, 방법(100)은 게이트 유전체 층(218) 및 캐핑 층(220)을 형성함으로써 단계 104로 진행한다. 게이트 유전체 층(218)은 반도체 기판(202) 상에 형성된다. 본 실시예에서, 게이트 유전체 층(218)은 하이 k 유전체 재료를 포함한다. 하이 k 유전체 재료는 약 3.9인 열 실리콘 산화물의 유전 상수보다 높은 유전 상수를 갖는 유전체 재료를 포함한다. 하나의 예에서, 하이 k 유전체 재료는 하프늄 산화물(HfO)을

포함한다. 다양한 예에서, 하이 k 유전체 재료는 금속 산화물, 금속 질화물, 또는 이들의 조합을 포함한다. 하나의 예에서, 하이 k 유전체 재료의 게이트 유전체 층(218)은 화학적 기상 증착(CVD), 원자층 증착(ALD; atomic layer deposition), 플라즈마 강화 CVD(PECVD; plasma enhanced CVD), 또는 플라즈마 강화 ALD(PEALD)에 의해 형성될 수 있다. 다른 예에서, 하이 k 유전체 재료의 게이트 유전체 층(218)은 약 10 옹스트롬과 약 100 옹스트롬 사이 범위의 두께를 포함한다.

[0014] 다른 실시예에서, 게이트 유전체 층(218)은 하이 k 유전체 재료 막과 반도체 기판(202) 사이에 배치된 계면 층(IL; interfacial layer)을 더 포함한다. 하나의 예에서, 계면 층은 열 산화와 같은 적합한 기술에 의해 형성된 실리콘 산화물을 포함한다. 계면 층은 ALD 또는 CVD와 같은 다른 기술에 의해 형성될 수 있다

[0015] 캐핑 층(220)은 게이트 유전체 층(218) 상에 형성된다. 캐핑 층(220)은 게이트 전극으로부터 게이트 유전체 층으로의 금속 확산을 막는다. 본 실시예에서, 캐핑 층(220)은 nFET에 대한 일함수(work function) 재료를 형성하는 재료 중의 하나이다. nFET에 대한 일함수 재료는 nFET의 문턱 전압이 감소되도록 하는 적절한 일함수를 갖는다. 기판(202)이 실리콘 기판일 경우, nFET에 대한 일함수 재료는 실리콘 전도대(E_c)에 근접한 일함수 또는 더 낮은 일함수를 갖는다. 예를 들어, nFET에 대한 일함수 재료는 약 4.2 eV 이하의 일함수를 갖는다. 본 실시예에서, 캐핑 층(220)은 란타 산화물(LaO)을 포함한다. 캐핑 층(220)은 CVD, PVD 또는 기타 방법과 같은 적합한 기술에 의해 형성된다.

[0016] 도 1 및 도 3을 참조하면, 방법(100)은 리소그래피 공정을 포함한 절차를 사용하여 캐핑 층(220)을 패터닝함으로써 단계 106으로 진행한다. 예시적인 리소그래피 공정은 포토레지스트 패터닝, 에칭, 및 포토레지스트 스트리핑을 포함할 수 있다. 포토레지스트 패터닝은 코팅, 패턴 노광, 포스트 노광 베이킹, 및 포토레지스트 현상의 공정 단계들을 더 포함할 수 있다. 에칭은 캐핑 층(220)을 선택적으로 제거하기 위한 적절한 에천트를 사용한다. 캐핑 층(220)이 LaO 막을 포함하는 본 실시예에서, 에천트는 HCl 또는 약산(CO₂ 워터)을 포함할 수 있다.

[0017] 하나의 실시예에서, 캐핑 층(220)은 패터닝된 캐핑 층(220)이 nFET를 위한 디바이스 영역(208)을 덮고 pFET를 위한 디바이스 영역(210)을 노출시키도록 패터닝된다. 또한, 개선된 에칭 효과를 위해 패턴 밀도를 조정하도록 하나 이상의 더미 게이트 스택이 형성되어야 할 경우에 패터닝된 캐핑 층(220)은 제2 영역(206)을 덮는다. 제2 영역(206)에 LaO 층(220)을 유지함으로써, 란타 산화물 에칭 공정에서 부하 효과(loading effect)와 연관된 에칭 바이어스가 감소된다.

[0018] 도 1 및 도 4를 참조하면, 방법(100)은 금속 층(222)(예컨대, "제1 금속 층") 및 폴리실리콘 층(224)을 형성함으로써 단계 108로 진행한다. 금속 층(222)은 pFET에 대한 적절한 일함수를 갖도록 선택되며, 또한 p 일함수 금속(또는 p 금속)으로도 불린다. p 타입 일함수 금속은 연관된 pFET의 문턱 전압이 감소되도록 하는 일함수를 갖는 금속 또는 금속 합금이다. p 일함수 금속은 실리콘 가전자대 에너지(E_v)에 근접한 일함수 또는 더 높은 일함수를 가지며, 이는 핵에 대한 강한 전자 결합 에너지를 제시한다. 예를 들어, p 일함수 금속은 약 5.2 eV 이상의 일함수를 갖는다.

[0019] 금속 층(222)은 또한 캐핑 층(220) 및 금속 층(222)이 함께 4.2 eV에 근접하거나 그 이하인 일함수를 갖는 재료 층을 형성하도록 적절하게 선택된다. 본 실시예에서, 금속 층(222)은 PVD와 같은 적합한 기술에 의해 형성된 티타늄 질화물(TiN)을 포함한다. 다른 실시예에서, 금속 층(222)은 탄탈 질화물(TaN), 텅스텐 질화물(WN), 또는 이들의 조합을 포함한다.

[0020] 폴리실리콘(또는 비정질 실리콘) 층(224)은 전구체 실란(SiH₄) 또는 기타 실리콘 기반의 전구체를 이용해 CVD에 의해 형성될 수 있다. 비정질 실리콘의 증착은 높아진 온도에서 수행될 수 있다. 하나의 예에서, 증착 온도는 약 400 °C보다 더 크다. 폴리실리콘(또는 비정질) 층(224)은 하나의 실시예에 따라 도펀트 함유 가스를 포함한 전구체를 사용하여 인시추(in situ) 도핑될 수 있다.

[0021] 계속해서 도 1 및 도 4를 참조하면, 방법(100)은 트랜지스터 게이트 스택, 하나 이상의 저항기, 및 하나 이상의 더미 게이트를 포함하는 다양한 패터닝된 스택(228)을 형성하도록 게이트 재료 층을 패터닝함으로써 단계 110으로 진행한다. 게이트 재료 층은 게이트 유전체 층(218), (캐핑 층(220)), p 금속 층(222), 폴리실리콘 층(224)을 포함한다. 본 실시예에서, nFET에 대한 하나의 게이트 스택(228a)이 디바이스 영역(208)에 형성되고, 이는 캐핑 층(220) 및 금속 층(222)을 포함한다. pFET에 대한 하나의 게이트 스택(228b)이 디바이스 영역(210)에 형성되고, 이는 금속 층(222)을 포함한다. pFET 게이트 스택(228b)과 동일한 재료 스택을 갖는 저항기(228c)가 디바이스 영역(212)에 형성된다. nFET 게이트 스택(228a)과 동일한 재료 스택을 갖는 2개의 예시적인 더미 게

이트 스택(228d 및 228e)이 제2 영역(206)에 형성된다.

- [0022] 게이트 스택 및 저항기를 형성하기 위한 패터닝 공정은 리소그래피 패터닝 공정을 포함한다. 예를 들어, 패터닝 공정은 패터닝된 포토레지스트의 형성, 에칭, 및 포토레지스트 스트리핑을 포함한다. 다른 실시예에서, 패터닝 공정은 또한 에칭 마스크로서 하드 마스크를 사용할 수 있다. 이 경우, 하드 마스크 층은 게이트 재료 층 상에 형성되고, 패터닝된 포토레지스트 층이 하드 마스크 상에 형성되며, 패터닝된 포토레지스트로부터 하드 마스크로 패턴을 전사하도록 제1 에칭 공정이 하드 마스크에 적용되고, 패터닝된 하드 마스크를 에칭 마스크로서 사용하여 제2 에칭 공정이 게이트 재료 층에 적용된다. 본 실시예에서, 하드 마스크 층은 실리콘 산화물(SiO₂) 층 및 실리콘 산화물 상의 실리콘 질화물(SiN) 층을 포함한다. SiN 또는 SiO₂는 CVD 또는 기타 적합한 기술에 의해 형성될 수 있다.
- [0023] 하나의 실시예에서, 저항 스택(228c)이 수동 디바이스로서 형성된다. 이 수동 디바이스는 저항기로서 사용될 수 있거나 대안으로서 폴리실리콘 퓨즈(fuse)로서 사용될 수 있다. 다른 실시예에서, 저항기(228c)는 하나의 STI 특징부 상에 배치된다. 다른 실시예에서, 저항기(228c)는 실질적으로 기판(202)의 활성 영역에 배치된다. 대안으로서, 저항기는 부분적으로 활성 영역 상에 그리고 부분적으로 STI 특징부 상에 있을 수 있다. 다른 실시예에서, 도핑 종(doping species)을 유도하여 그의 저항을 조정하도록 이온 주입이 저항기(228c)에 적용될 수 있다.
- [0024] 계속해서 도 1 및 도 4를 참조하면, 방법(100)은 반도체 기판(202) 상에 소스 및 드레인 특징부를 형성함으로써 단계 112로 진행한다. 하나의 실시예에서, 소스 및 드레인 특징부는 저농도 도핑된 드레인(LDD; light doped drain) 영역 및 고농도 도핑된(heavily doped) 소스 및 드레인(S/D; source and drain)을 포함하며, 이는 소스 및 드레인 특징부라 총칭되고, 하나 이상의 주입 공정에 의해 형성된다. 제1 영역(204)이 디바이스 영역(208)에서의 nFET 및 디바이스 영역(210)에서의 pFET을 둘 다 포함할 때, 소스 및 드레인 영역은 적절한 도핑 종을 사용하여 nFET 및 pFET에 대하여 각각 형성된다. 하나의 실시예에서, n 타입 FET를 예로 들면, LDD 특징부는 저농도 도핑 도트로 이온 주입에 의해 형성된다. 그 후에, 스페이서(230)가 유전체 증착 및 플라즈마 에칭과 같은 이방성 에칭에 의해 형성된다. 그 다음, 고농도 도핑된 S/D 특징부가 고농도 도핑 도트로 이온 주입에 의해 형성된다. p 타입 FET의 다양한 소스 및 드레인 특징부가 마찬가지로 하지만 반대의 도핑 타입으로 형성될 수 있다.
- [0025] 저항기(228c)의 측벽 상의 측벽 스페이서(230)는 nFET 및 pFET의 스페이서를 형성하기 위한 공정 동안 동시에 형성될 수 있다. 다양한 소스 및 드레인 특징부를 형성하기 위한 다양한 도핑 공정 동안, 저항기 영역(212)은 패터닝된 포토레지스트 층과 같은 마스크 층에 의해 보호된다. nFET 및 pFET 둘 다에 대한 다양한 소스 및 드레인 특징부를 형성하기 위한 절차의 하나의 실시예에서, pFET 및 저항기의 영역이 패터닝된 포토레지스트 층에 의해 덮여있는 동안 nFET의 LDD 특징부가 이온 주입에 의해 형성되고, nFET 및 저항기의 영역이 또다른 패터닝된 포토레지스트 층에 의해 덮여있는 동안 pFET의 LDD 특징부가 이온 주입에 의해 형성되고, 그 다음 스페이서가 nFET 게이트 스택, pFET 게이트 스택 및 저항기에 증착 및 에칭에 의해 형성되며, pFET 및 저항기의 영역이 또다른 패터닝된 포토레지스트 층에 의해 덮여있는 동안 nFET의 S/D 특징부가 이온 주입에 의해 형성되고, nFET 및 저항기의 영역이 또다른 패터닝된 포토레지스트 층에 의해 덮여있는 동안 pFET의 S/D 특징부가 이온 주입에 의해 형성된다.
- [0026] 하나의 실시예에서, 소스 및 드레인 영역과 저항기의 다양한 도핑 종을 활성화시키도록 고온 어닐링 공정이 이어진다. 다른 실시예에서, 캐핑 층(220)을 금속 층(222)과 더 반응시키도록 열 어닐링 공정이 반도체 기판(202)에 적용되며, 디바이스 영역(208)에서 nFET에 대한 일함수 금속을 형성한다.
- [0027] 계속해서 도 1 및 도 4를 참조하면, 방법(100)은 층간 유전체(ILD; inter-level dielectric) 층(232)(ILD으로도 불림)을 형성함으로써 단계 114로 진행한다. ILD 층(232)은 먼저 반도체 기판(220) 상에 형성된다. ILD 층(232)은 실리콘 산화물, 로우 k 유전체 재료, 기타 적합한 유전체 재료, 또는 이들의 조합을 포함한다. ILD 층(232)은 CVD와 같은 적합한 기술에 의해 형성된다. 예를 들어, 고밀도 플라즈마 CVD가 ILD 층(232)을 형성하도록 구현될 수 있다. 하나의 실시예에서, ILD 층(232)은 기판(202) 상에 증착되고, 저항기와 게이트 스택(228a 및 228b) 사이의 갭을 채운다. 실시예에 더하여, ILD 층(232)은 저항기 및 게이트 스택의 상부 표면 위의 높이로 기판 상에 형성된다.
- [0028] 저항기 및 게이트 스택이 상부면으로부터 노출되도록 ILD 층(232)의 두께를 감소시키기 위해 화학 기계적 연마(CMP) 공정이 ILD 층(232)에 적용된다. ILD 층(232)을 부분적으로 제거하고 평탄화하도록 슬러리 화학 및 연마

압력을 포함한 CMP 공정의 공정 조건 및 파라미터가 조정될 수 있다.

- [0029] 도 1 및 도 5를 참조하면, 방법(100)은 디바이스 영역(210)에서의 폴리실리콘 게이트 스택(228b)을 금속 게이트로 교체함으로써 단계 116으로 진행한다. 패터닝된 포토레지스트 층(234)이 기판(202) 상에 형성된다. 패터닝된 포토레지스트 층(234)은 디바이스 영역(210)에서의 게이트 스택(228b)을 노출시키는 하나 이상의 개구를 포함한다.
- [0030] 먼저, 디바이스 영역(210) 내의 더미 게이트(228b)의 폴리실리콘 또는 비정질 실리콘을 제거하도록 에칭 공정이 적용된다. 하드 마스크가 게이트 스택(228)을 형성하는데 사용되는 경우, 에칭 공정은 하드 마스크도 제거한다. 하나의 실시예에서, 에칭 공정은 2단계를 포함하는데, 제1 단계는 하드 마스크를 제거하도록 설계되고 제2 단계는 디바이스 영역(210)에서의 폴리실리콘(224)을 제거하도록 설계된다. 디바이스 영역(210)에서의 폴리실리콘이 제거된 후에, 디바이스 영역(210)에 트렌치(236)가 형성되고, 게이트 트렌치라 지칭된다. 디바이스 영역(210)에서의 게이트 스택(228b)의 폴리실리콘(또는 비정질 실리콘)을 제거하는데 사용된 에칭 공정은 적합한 건식 에칭, 습식 에칭 또는 이들의 조합을 구현할 수 있다. 하나의 예에서, HNO₃, H₂O 및 HF를 포함한 에칭 용액, 또는 NH₄OH 용액이 폴리실리콘(또는 비정질 실리콘)을 제거하는데 사용될 수 있다. 다른 예에서, 염소(Cl) 기반의 플라즈마가 폴리실리콘을 선택적으로 제거하는데 사용될 수 있다.
- [0031] 그 다음, 도 6에 예시된 바와 같이, 하나 이상의 금속 재료 층(240)이 게이트 트렌치(236)에 형성된다. 금속 재료 층(240)은 실질적으로 게이트 트렌치 안을 채운다. 금속 재료 층(240)은 다양한 실시예에 따라 알루미늄, 구리 또는 텅스텐을 포함한다. 금속 재료(240)를 형성하기 위한 방법은 PVD, CVD, ALD, PECVD, PEALD 또는 스피온 금속을 포함할 수 있다. 대안으로서, 금속 재료 층(240)은 추가의 캐핑 층 또는 버퍼 층과 같은 기타 금속 또는 금속 합금 막을 더 포함할 수 있다.
- [0032] 계속해서 도 1 및 도 6을 참조하면, 방법(100)은 ILD 층(232) 상에 배치된 과도한 금속 재료(240)를 제거하도록 CMP 공정(242)을 수행함으로써 단계 118로 진행한다. CMP 공정(242)은 금속 재료(240)를 효과적으로 연마하도록 조정된다. 디바이스 영역(208)에서의 nFET에 대한 게이트 스택(228a)은 게이트 퍼스트(gate-first) 접근에 의해 형성된다. 디바이스 영역(212)에서의 저항기(228c)는 게이트 스택(228a)과 함께 형성된다. 게이트 스택(228a) 및 저항기(228c)는 둘 다 높이 편차 및 성능 저하를 야기하는 CMP 공정(242)에 의한 손상을 입을 수 있는 폴리실리콘 표면을 갖는다. 더미 게이트 스택(예를 들어, 228d 및 228e)이 게이트 퍼스트 공정에 의해 게이트 스택(228a)과 함께 형성되므로, 이는 폴리실리콘 표면 및 균일해진 폴리실리콘 패턴 밀도를 제공한다. CMP 공정 동안, 전체적인 금속 게이트 밀도는 너무 높지 않고, CMP 공정 중의 디싱 효과가 실질적으로 억제된다.
- [0033] 또한, nFET 게이트 스택은 게이트 퍼스트 공정에 의해 형성되고 pFET 게이트 스택은 게이트 라스트(gate last) 공정에 의해 형성되는 개시된 하이브리드 공정을 구현함으로써, nFET 게이트 스택(228a)은 디바이스 영역(208)에서의 nFET에 대하여 보다 잘 조정된 일함수를 갖고 게이트 스택(228b)은 디바이스 영역(210)에서의 pFET에 대하여 보다 잘 조정된 일함수를 갖는다. 특히, 디바이스 영역(210)에서의 pFET에 대한 게이트 스택(228b)이 금속 게이트가 교체되는 게이트 라스트 공정에 의해 형성될 때, 게이트 스택(228b)에서의 금속 층(222)은 소스 및 드레인 특징부의 형성 동안 열 어닐링 공정에 의해 예상했던 대로 조정된다.
- [0034] 도 1 및 도 7을 참조하면, 방법(100)은 감소된 콘택 저항으로 디바이스 영역(208)에서의 nFET에 대한 게이트 스택(228a)의 폴리실리콘 표면 상에 실리사이드 특징부(244)를 형성함으로써 단계 120으로 진행한다. 실리사이드 특징부(244)는 니켈 실리사이드, 코발트 실리사이드, 텅스텐 실리사이드, 탄탈 실리사이드, 티타늄 실리사이드, 플래티늄 실리사이드, 에르븀 실리사이드, 팔라듐 실리사이드, 또는 이들의 조합을 포함할 수 있다. 실리사이드는, 기판 상에 (니켈과 같은) 금속을 증착하고, 상승된 온도에서 실리사이드를 형성하도록 금속을 폴리실리콘과 반응시키고(예를 들어 열 어닐링을 통해), 그 다음 반응되지 않은 금속을 제거하기 위한 에칭을 포함한 절차에 의해 형성될 수 있다. 형성된 실리사이드가 높은 저항 상(resistive phase)에서 낮은 저항 상으로 변환되도록 더 높은 온도와 더 짧은 어닐링 지속시간을 이용한 또다른 어닐링 공정이 이어질 수 있다. 본 실시예에서, 저항기의 표면 저항이 예상했던 대로 변하도록 패터닝된 마스크(포토레지스트 또는 하드 마스크)가 디바이스 영역(212)에서의 저항기(228c)를 덮도록 기판 상에 형성될 수 있다.
- [0035] 도시되지 않았지만, 다른 대안 및 특징부가 존재할 수 있고 다른 공정 단계가 다양한 특징부를 형성하도록 존재할 수 있다. 하나의 실시예에서, 디바이스 영역(212)에서의 하나 이상의 저항기(228c와 같은)는 적절하게 구성될 수 있고, 대안으로서 다른 응용의 경우 폴리실리콘 퓨즈(또는 비정질 실리콘 퓨즈)로서 사용될 수 있다. 다른 실시예에서, 저항기는 각각이 셀로우 트렌치 아이솔레이션(STI) 상에 배치되어 있는 어레이로서 구성된다.

반도체 구조(200)는 복수의 저항기 및 다양한 전계 효과 트랜지스터 둘 다를 갖는 집적 회로의 일부이며, 각각의 nFET이 하이 k 유전체 및 폴리실리콘 게이트 전극의 게이트 스택을 갖고 각각의 pFET이 하이 k 유전체 및 금속 게이트 전극의 게이트 스택을 갖는다. 다른 실시예에서, 폴리실리콘 층(224)은 폴리실리콘 증착 동안 인시추 붕소 도핑될 수 있다. 실시예에 더하여, 인시추 도핑은 폴리실리콘 층(224)의 예상 저항을 달성하도록 조정되며 그리하여 하나 이상의 이온 주입이 없어질 수 있다.

[0036] 다른 실시예에서, pFET는 강화된 캐리어 이동도 및 개선된 디바이스 성능을 위해 변형(strained) 구조를 갖는다. 실시예에 더하여, 적절한 응력 효과를 달성하도록 pFET의 소스 및 드레인 영역에 실리콘 게르마늄(SiGe)이 형성된다. 이러한 변형 pFET를 형성하는 하나의 예에서, pFET의 소스 및 드레인 영역 내의 실리콘 기판은 하나 이상의 에칭 단계에 의해 리세스된다. 그 다음, SiGe가 리세스된 영역에 에피 성장되고, 고농도 도핑된 소스 및 드레인이 에피 성장된 SiGe 특징부에 형성된다. 다른 예에서, LDD 특징부의 형성 후에 더미 스페이서가 형성된다. 더미 스페이서는 SiGe 특징부의 형성 후에 제거된다. 그 다음, 메인 스페이서가 연관된 게이트 스택의 측벽 상에 형성되며, 고농도 도핑된 소스 및 드레인이 SiGe 특징부로부터의 오프셋을 갖도록 상이한 두께를 갖는다. 예를 들어, 메인 스페이서는 더미 스페이서보다 더 두꺼우며, 그리하여 고농도 도핑된 소스 및 드레인이 SiGe 특징부에 형성된다.

[0037] 다른 실시예에서, nFET는 강화된 캐리어 이동도 및 개선된 디바이스 성능을 위해 변형 구조를 갖는다. 실시예에 더하여, 적절한 응력 효과를 달성하기 위해 nFET의 소스 및 드레인 영역에 실리콘 카바이드(SiC)가 형성된다. 변형 nFET는 변형 pFET이 형성되는 바와 마찬가지로 형성될 수 있다. 다른 실시예에서, pFET(또는 nFET)에 대한 게이트 전극은 최적화된 일함수 및 감소된 문턱 전압을 갖는 다수의 전도 층을 갖는다.

[0038] 다른 실시예에서, 제2 영역(206)에서의 더미 게이트는 상이한 치수를 가질 수 있다. 예를 들어, 더미 게이트는 nFET 게이트 또는 pFET 게이트의 폭보다 더 작거나 더 큰 폭을 가질 수 있으며, 그리하여 CMP 디싱 문제를 감소시키도록 패턴 밀도가 보다 융통성있게 조정될 수 있다.

[0039] 저항기, nFET 및 pFET의 형성 전에, 그 동안 그리고/또는 그 후에 다른 공정 단계들이 구현될 수 있다. 예를 들어, 다층 상호접속부가 더 형성된다. 다층 상호접속부는 종래의 비아 또는 컨택과 같은 수직 상호접속부 및 금속 라인과 같은 수평 상호접속부를 포함한다. 다양한 상호접속 특징부는 구리, 텅스텐, 및 실리사이드를 포함한 다양한 전도성 재료를 구현할 수 있다. 하나의 예에서, 다마신 공정이 구리 관련 다층 상호접속 구조를 형성하는데 사용된다. 다른 실시예에서, 텅스텐이 컨택 홀에 텅스텐 플러그를 형성하는데 사용된다.

[0040] 또 다른 실시예에서, 하이 k 유전체 층은 MOCVD(metal organic chemical vapor deposition) 또는 MBE(molecular beam epitaxy)와 같은 다른 적합한 공정에 의해 형성될 수 있다. 하나의 예에서, 하이 k 유전체 재료는 HfO₂를 포함한다. 다른 예에서, 하이 k 유전체 재료는 Al₂O₃을 포함한다. 대안으로서, 하이 k 유전체 재료 층은 금속 질화물, 금속 실리케이트 또는 기타 금속 산화물을 포함한다. 다른 예에서, 실리콘 기판 상에 열 산화, ALD, UV-오존 산화 또는 기타 적합한 방법에 의해 (실리콘 산화물과 같은) 계면 층이 형성될 수 있다.

[0041] 다양한 패터닝 공정은 리소그래피 공정에 의해 패터닝된 포토레지스트 층을 형성하는 것을 포함할 수 있다. 예시적인 리소그래피 공정은, 포토레지스트 스핀온 코팅, 소프트 베이킹, 마스크 정렬, 노광, 포스트 노광 베이킹, 포토레지스트 현상 및 하드 베이킹의 공정 단계들을 포함할 수 있다. 리소그래피 노광 공정은 또한 마스크리스 리소그래피, 전자 빔 기록, 이온 빔 기록, 열 리소그래피, 및 분자 임프린트와 같은 다른 적절한 방법에 의해 구현되거나 교체될 수도 있다.

[0042] 다양한 실시예에서 다양한 이점들이 존재할 수 있다. 하나의 실시예에서, 폴리실리콘 패턴 밀도는 하이 k 금속 게이트(HKMG; high k metal gate) 게이트 라스트 공정을 제어하기 위한 요인이다. 설계 규칙에 의해 특정 레벨의 폴리실리콘 밀도가 요구되고 정의된다. 맞춤 설계의 더미 패턴 이외에도, 추가의 더미 폴리실리콘 게이트가 폴리실리콘 분리된 영역에 강제로 삽입된다. nFET(예를 들어 228a)를 형성하는 게이트 퍼스트 공정을 사용하여 더미 게이트(예를 들어, 228d 및 228e)가 제2 영역(206)에 형성됨에 따라 일부 관련된 공정의 부하 효과가 개선될 수 있다.

[0043] 다른 실시예에서, 개시된 방법은 HKMG 게이트 라스트 공정과 완전히 호환가능하며, 캐핑 층의 부하 효과가 개선되고, 디바이스 영역(210)에서의 금속 게이트의 부하 효과도 또한 CMP 공정 동안 개선된다.

[0044] 본 개시는 반도체 구조가 FET 및 폴리실리콘 저항기(또는 폴리실리콘 퓨즈)를 포함하는 응용에만 한정되지 않고, 금속 게이트 스택을 갖는 다른 집적 회로로 확장될 수 있다. 예를 들어, 반도체 구조는 동적 랜덤 액세스 메모리(DRAM; dynamic random access memory) 셀, 이미징 센서, 커패시터 및/또는 기타 마이크로전자 디바이스

이스(여기에서는 마이크로 전자 디바이스라 총칭함)를 포함할 수 있다. 다른 실시예에서, 반도체 구조는 FinFET 트랜지스터를 포함한다. 물론, 본 개시의 양상은 단일 게이트 트랜지스터, 더블 게이트 트랜지스터 및 기타 다중 게이트 트랜지스터를 포함한 다른 유형의 트랜지스터에도 적용 가능하고 그리고/또는 용이하게 적용될 수 있고, 센서 셀, 메모리 셀, 로직 셀 등을 포함한 많은 다양한 응용에 채용될 수 있다.

- [0045] 따라서, 본 개시는 집적 회로의 하나의 실시예를 제공한다. 집적 회로는, 반도체 기판과; 반도체 기판 상에 형성되며, 하이 k 유전체 층, 하이 k 유전체 층 상의 캐핑 층, 캐핑 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 폴리실리콘 층을 포함하는 제1 게이트 스택을 갖는 n 타입 전계 효과 트랜지스터(nFET)와; 반도체 기판 상에 형성되며, 하이 k 유전체 층, 하이 k 유전체 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 금속 재료를 포함하는 제2 게이트 스택을 갖는 p 타입 전계 효과 트랜지스터(pFET)를 포함한다.
- [0046] 집적 회로의 하나의 실시예에서, nFET는 폴리실리콘 특징부 상에 형성된 실리사이드 특징부를 더 포함한다. 다른 실시예에서, 캐핑 층은 란탄 산화물(LaO)을 포함한다. 다른 실시예에서, p 일함수 금속은 티타늄 질화물(TiN)을 포함한다. 다른 실시예에서, 금속 재료는 알루미늄을 포함한다.
- [0047] 또 다른 실시예에서, 각각의 nFET 및 pFET는 반도체 기판과 하이 k 유전체 층 사이에 배치된 실리콘 산화물의 계면 층을 더 포함한다.
- [0048] 또 다른 실시예에서, 집적 회로는 반도체 기판 상에 형성되는 저항기를 더 포함하며, 이는 하이 k 유전체 층, 하이 k 유전체 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 폴리실리콘 특징부를 갖는다.
- [0049] 또 다른 실시예에서, 집적 회로는 반도체 기판 상에 형성되는 적어도 하나의 더미 게이트를 더 포함하며, 이는 하이 k 유전체 층, 하이 k 유전체 층 상의 캐핑 층, 캐핑 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 폴리실리콘 특징부를 갖는다.
- [0050] 본 개시는 또한 반도체 구조의 하나의 실시예를 제공한다. 반도체 구조는, 반도체 기판과; 반도체 기판 상에 형성되며, 하이 k 유전체 층, 하이 k 유전체 층 상의 캐핑 층, 캐핑 층 상의 p 일함수 금속, p 일함수 금속 상의 폴리실리콘 층, 및 폴리실리콘 층 상의 실리사이드 특징부를 포함하는 제1 게이트 스택을 갖는 n 타입 전계 효과 트랜지스터(nFET)와; 반도체 기판 상에 형성되며, 하이 k 유전체 층, 하이 k 유전체 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 금속 재료를 포함하는 제2 게이트 스택을 갖는 p 타입 전계 효과 트랜지스터(pFET)와; 반도체 기판 상에 형성되며, 하이 k 유전체 층, 하이 k 유전체 층 상의 캐핑 층, 캐핑 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 폴리실리콘 특징부를 갖는 더미 게이트를 포함한다.
- [0051] 하나의 실시예에서, 반도체 구조는 반도체 기판 상에 형성된 저항기를 더 포함하며, 이는 하이 k 유전체 층, 하이 k 유전체 층 상의 p 일함수 금속, 및 p 일함수 금속 상의 폴리실리콘 층을 갖는다.
- [0052] 다른 실시예에서, 캐핑 층은 란탄 산화물(LaO)을 포함한다. 또 다른 실시예에서, p 일함수 금속은 티타늄 질화물(TiN), 탄탈 질화물, 텅스텐 질화물(WN) 및 이들의 조합으로 구성된 그룹으로부터 선택된 재료를 포함한다.
- [0053] 또 다른 실시예에서, 금속 재료는 알루미늄, 구리, 텅스텐, 및 이들의 조합으로 구성된 그룹으로부터 선택된 금속을 포함한다.
- [0054] 또 다른 실시예에서, 각각의 nFET 및 pFET는 반도체 기판과 하이 k 유전체 층 사이에 배치된 실리콘 산화물의 계면 층을 더 포함한다.
- [0055] 또 다른 실시예에서, 제1 게이트 스택, 제2 게이트 스택 및 더미 게이트 스택은 각각 각자의 게이트 스택 측면 상에 배치된 게이트 스페이서를 포함한다. 또 다른 실시예에서, 반도체 구조는 제1 게이트, 제2 게이트 및 더미 게이트의 겹에 형성된 층간 유전체(ILD) 재료를 더 포함한다.
- [0056] 본 개시는 또한 방법의 실시예를 제공한다. 방법은, n 타입 전계 효과 트랜지스터(nFET)를 위한 제1 영역, p 타입 전계 효과 트랜지스터(pFET)를 위한 제2 영역, 및 더미 게이트를 위한 제3 영역을 갖는 반도체 기판을 제공하고; 제1, 제2 및 제3 영역에서 반도체 기판 상에 하이 k 유전체 층을 형성하고; 제1 및 제2 영역 내의 하이 k 유전체 층 상에 란탄 산화물 캐핑 층을 형성하고; 제1 및 제2 영역에서 란탄 산화물 층 상에 그리고 제2 영역에서 하이 유전체 층 상에 티타늄 질화물 층을 형성하고; 제1, 제2 및 제2 영역에서 티타늄 층 상에 폴리실리콘 층을 형성하고; 제1 영역에 제1 게이트 스택을, 제2 영역에 제2 게이트 스택을, 그리고 제3 영역에 더미 게이트 스택을 형성하도록, 폴리실리콘 층, 티타늄 질화물 층, 란탄 산화물 층 및 하이 k 유전체 층을 패터닝하고; 제2 영역에서의 폴리실리콘 층을 금속 재료로 교체하는 것을 포함한다.

[0057] 방법의 하나의 실시예에서, 제2 영역에서의 폴리실리콘 층을 금속 재료로 교체하는 것은, 게이트 트렌치가 되도록 제2 영역에서의 폴리실리콘 층을 에칭하고; 게이트 트렌치에 금속 재료를 증착하고; 금속 재료에 화학 기계적 연마(CMP) 공정을 수행하는 것을 포함한다.

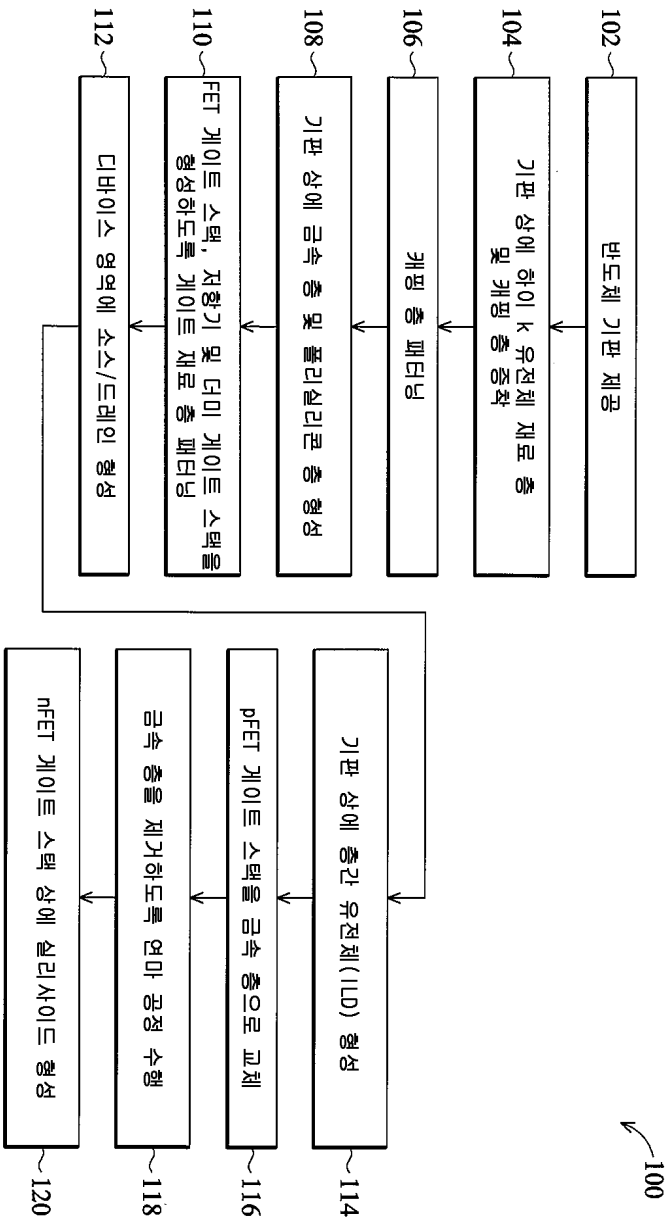
[0058] 다른 실시예에서, 방법은 제1 영역에서 제1 게이트 스택 상에 실리사이드를 형성하는 것을 더 포함한다. 또 다른 실시예에서, 방법은, 폴리실리콘 층, 티타늄 질화물 층, 란탄 산화물 층, 하이 k 유전체 층을 패터닝한 후에 이온 주입에 의해 반도체 기판에 소스 및 드레인 특징부를 형성하고; 반도체 기판에 열 어닐링을 수행하여 저항기를 형성하는 것을 더 포함한다.

[0059] 전술한 바는 여러 실시예의 특징들을 나타내었다. 당해 기술 분야에서의 숙련자라면, 여기에 소개된 실시예의 동일한 목적을 수행하고 그리고/또는 동일한 이점을 달성하기 위해 다른 공정 및 구조를 설계하거나 수정하기 위한 기반으로 본 개시를 용이하게 사용할 수 있음을 알아야 한다. 당해 기술 분야에서의 숙련자라면 또한 이러한 등가 구성이 본 개시의 진정한 의미 및 범위에서 벗어나지 않으며 본 개시의 진정한 의미 및 범위에서 벗어나지 않고서 다양한 변경, 치환 및 대안을 여기에 행할 수 있다는 것을 알아야 한다.

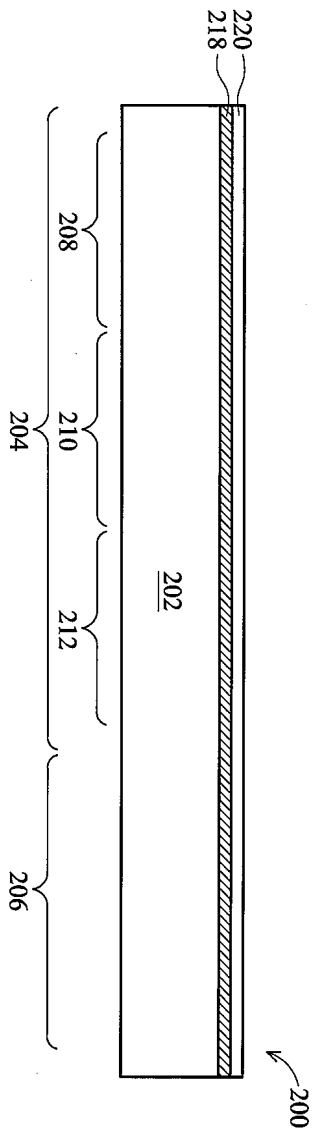
부호의 설명

- | | | |
|--------|----------------|--------------------|
| [0060] | 200: 반도체 구조 | 202: 반도체 기판 |
| | 218: 게이트 유전체 층 | 220: 캐핑 층 |
| | 222: 금속 층 | 224: 폴리실리콘 층 |
| | 230: 스페이서 | 232: 층간 유전체(ILD) 층 |
| | 234: 포토레지스트 층 | 236: 게이트 트렌치 |
| | 240: 금속 재료 층 | |

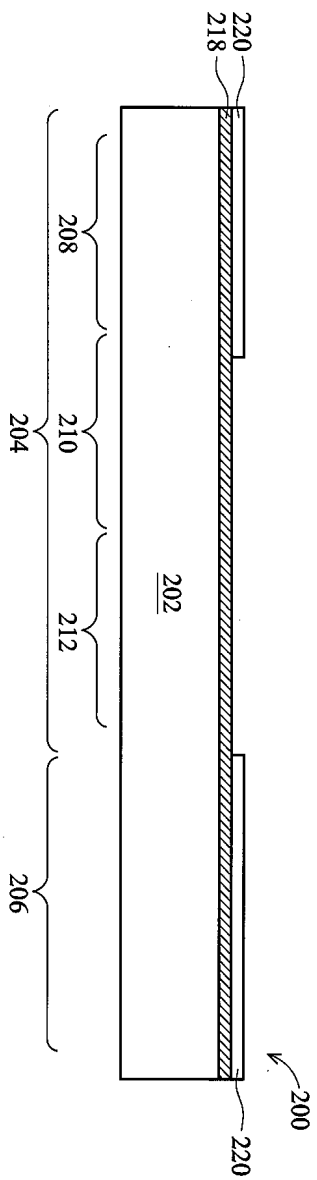
도면
도면1



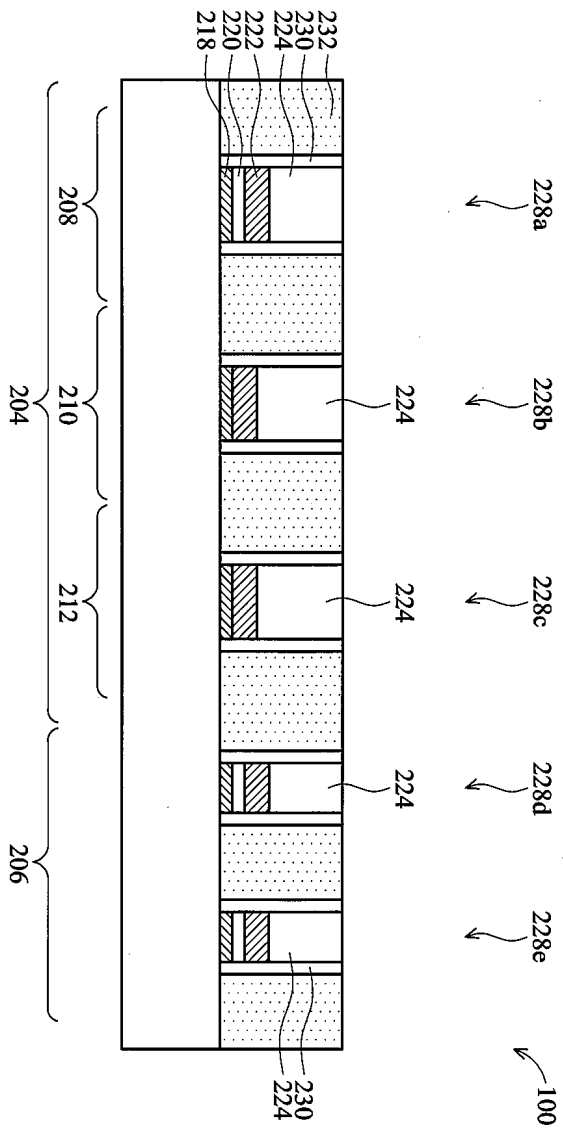
도면2



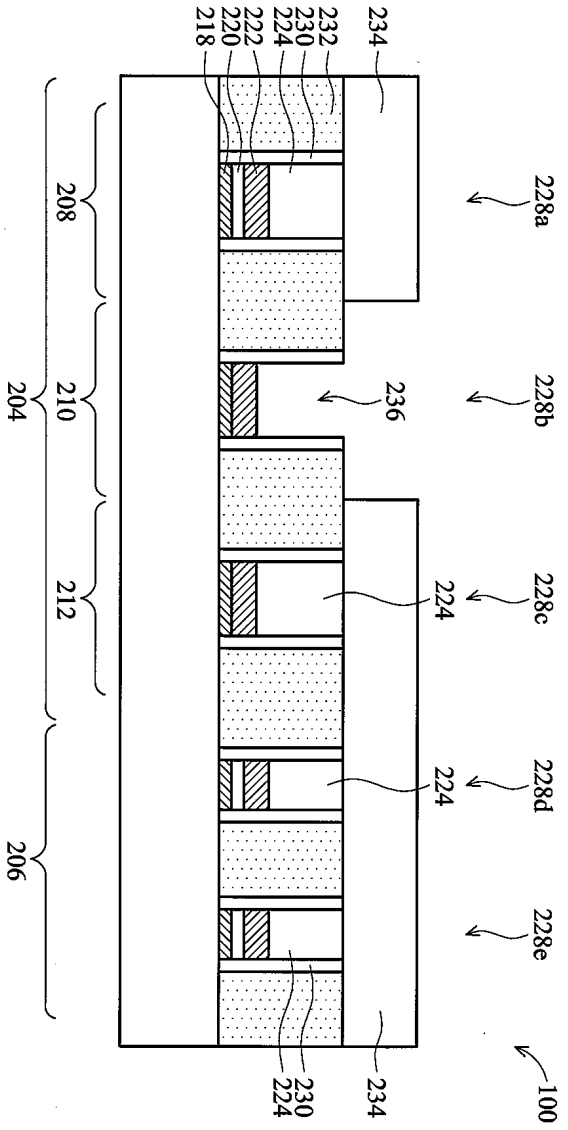
도면3



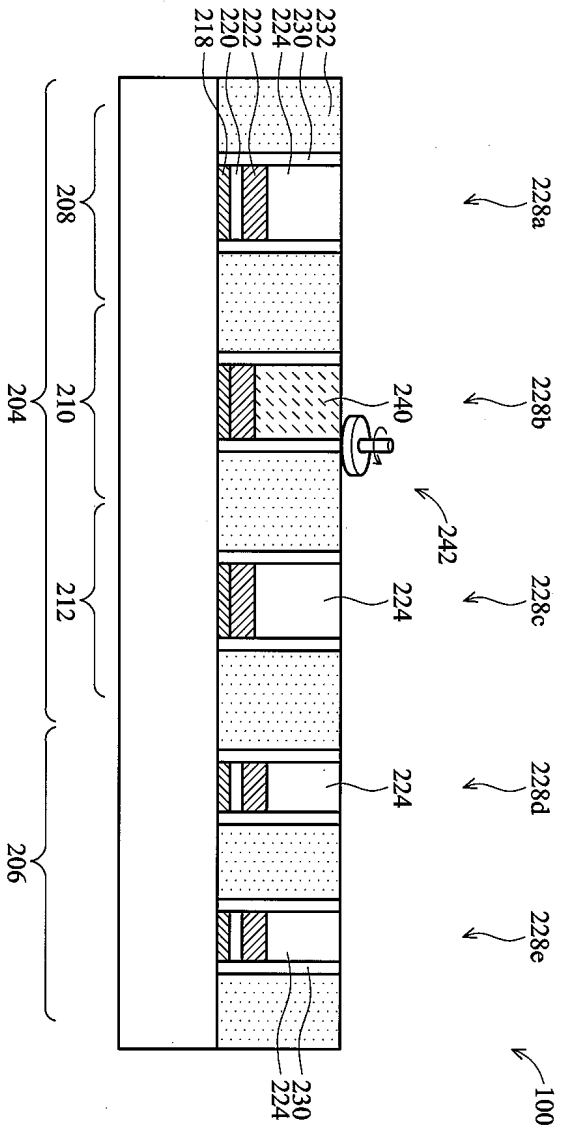
도면4



도면5



도면6



도면7

