



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0050923
(43) 공개일자 2011년05월17일

(51) Int. Cl.

G11C 7/10 (2006.01) G11C 11/4093 (2006.01)

(21) 출원번호 10-2009-0107514

(22) 출원일자 2009년11월09일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

성명희

경기도 화성시 병점동 늘벗마을 신창 미션힐
108-402

김중훈

경기도 화성시 병점동 구봉마을우남퍼스트빌1차아
파트 101-1606

(74) 대리인

리엔목특허법인

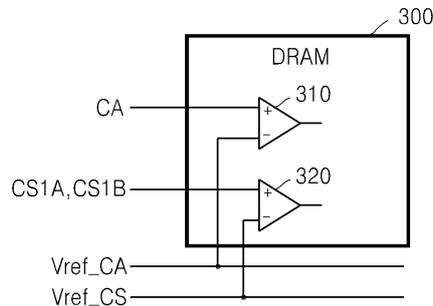
전체 청구항 수 : 총 21 항

(54) 반도체 메모리 장치, 반도체 메모리 모듈 및 이를 구비하는 반도체 메모리 시스템

(57) 요약

반도체 메모리 장치, 반도체 메모리 모듈 및 이를 구비하는 반도체 메모리 시스템이 개시된다. 상기 반도체 메모리 장치는, 커맨드/어드레스 신호 및 커맨드/어드레스 기준전압 신호를 입력받고, 상기 커맨드/어드레스 신호와 상기 커맨드/어드레스 기준전압 신호의 차이를 증폭하여 출력하는 커맨드/어드레스 입력 버퍼, 및 칩 선택 신호 및 칩 선택 기준전압 신호를 입력받고, 상기 칩 선택 신호 및 상기 칩 선택 기준전압 신호의 차이를 증폭하여 출력하는 칩 선택 입력 버퍼를 구비하고, 상기 커맨드/어드레스 기준전압 신호의 전압 레벨과 상기 칩 선택 기준전압 신호의 전압 레벨은 서로 다른 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

커맨드/어드레스 신호 및 커맨드/어드레스 기준전압 신호를 입력받고, 상기 커맨드/어드레스 신호와 상기 커맨드/어드레스 기준전압 신호의 차이를 증폭하여 출력하는 커맨드/어드레스 입력 버퍼; 및

칩 선택 신호 및 칩 선택 기준전압 신호를 입력받고, 상기 칩 선택 신호 및 상기 칩 선택 기준전압 신호의 차이를 증폭하여 출력하는 칩 선택 입력 버퍼를 구비하고,

상기 커맨드/어드레스 기준전압 신호의 전압 레벨과 상기 칩 선택 기준전압 신호의 전압 레벨은 서로 다른 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서,

상기 커맨드/어드레스 기준전압 신호와 상기 칩 선택 기준전압 신호는 서로 다른 전송 라인을 통해 상기 반도체 메모리 장치로 전달되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제1항에 있어서,

데이터 신호 및 데이터 기준전압 신호를 입력받고, 상기 데이터 신호 및 상기 데이터 기준전압 신호의 차이를 증폭하여 출력하는 데이터 입력 버퍼를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

커맨드/어드레스 신호를 커맨드/어드레스 버스를 통해 입력받고, 적어도 하나의 칩 선택 신호를 적어도 하나의 칩 선택 버스를 통해 입력받으며, 외부로부터 커맨드/어드레스 기준전압 신호 및 칩 선택 기준전압 신호를 입력 받는 반도체 메모리부; 및

상기 반도체 메모리부에 연결되고, 적어도 하나의 종단 저항을 구비하는 종단저항부를 구비하고,

상기 커맨드/어드레스 기준전압 신호의 전압 레벨과 상기 칩 선택 기준전압 신호의 전압 레벨은 서로 다른 것을 특징으로 하는 반도체 메모리 모듈.

청구항 5

제4항에 있어서,

상기 커맨드/어드레스 기준전압 신호와 상기 칩 선택 기준전압 신호는 서로 다른 전송 라인을 통해 상기 반도체 메모리부로 전달되는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 6

제4항에 있어서, 상기 반도체 메모리부는,

적어도 하나의 메모리 랭크를 포함하고,

상기 적어도 하나의 칩 선택 신호는 상기 적어도 하나의 메모리 랭크 중에서 어느 메모리 랭크를 선택하여 데이터를 기입하거나 독출할지를 결정하는 신호이고,

상기 적어도 하나의 칩 선택 신호 각각은, 대응되는 메모리 랭크로 입력되는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 7

제6항에 있어서, 상기 적어도 하나의 메모리 랭크는,

적어도 하나의 반도체 메모리 장치들을 구비하고,

상기 적어도 하나의 반도체 메모리 장치 각각은,

상기 커맨드/어드레스 신호 및 상기 커맨드/어드레스 기준전압 신호를 입력받고, 상기 커맨드/어드레스 신호와 상기 커맨드/어드레스 기준전압 신호의 차이를 증폭하여 출력하는 커맨드/어드레스 입력 버퍼; 및

상기 적어도 하나의 메모리 랭크 각각에 입력된 칩 선택 신호 및 상기 칩 선택 기준전압 신호를 입력받고, 상기 입력받은 칩 선택 신호 및 상기 칩 선택 기준전압 신호의 차이를 증폭하여 출력하는 칩 선택 입력 버퍼를 구비하는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 8

제7항에 있어서, 상기 적어도 하나의 반도체 메모리 장치들은,

상기 커맨드/어드레스 버스에 순차적으로 연결되는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 9

제7항에 있어서,

상기 적어도 하나의 반도체 메모리 장치들, 상기 종단저항부, 상기 커맨드/어드레스 버스 및 상기 적어도 하나의 칩 선택 버스는 플라이 바이(fly-by) 구조로 연결되는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 10

제4항에 있어서, 상기 종단저항부는,

상기 커맨드/어드레스 버스에 연결되는 제1 종단저항부; 및

상기 적어도 하나의 칩 선택 버스에 연결되는 적어도 하나의 제2 종단저항부를 구비하는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 11

제10항에 있어서, 상기 제1 종단저항부는,

상기 커맨드/어드레스 버스와 제1 전원전압 사이에 연결되는 제1 종단저항을 구비하는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 12

제10항에 있어서, 상기 제1 종단저항부는,

상기 커맨드/어드레스 버스와 접지 전압 사이에 연결되는 제2 종단저항을 구비하는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 13

제10항에 있어서, 상기 제1 종단저항부는,

상기 커맨드/어드레스 버스와 제1 전원전압 사이에 연결되는 제1 종단저항; 및

상기 커맨드/어드레스 버스와 제2 전원전압 사이에 연결되는 제2 종단저항을 구비하는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 14

제13항에 있어서,

상기 제2 전원전압은 접지 전압인 것을 특징으로 하는 반도체 메모리 모듈.

청구항 15

제10항에 있어서, 상기 제1 종단 저항부는,

상기 커맨드/어드레스 버스에 제1 단자가 연결되는 제1 스위치;

상기 제1 스위치의 제2 단자와 제1 전원전압 사이에 연결되는 제1 종단저항;

상기 커맨드/어드레스 버스에 제1 단자가 연결되는 제2스위치; 및

상기 제2 스위치의 제2 단자와 제2 전원전압 사이에 연결되는 제2 종단저항을 구비하는 것을 특징으로 하는 반도체 메모리 모듈.

청구항 16

커맨드/어드레스 신호, 칩 선택 신호, 커맨드/어드레스 기준전압 신호 및 칩 선택 기준전압 신호를 입력받는 적어도 하나의 반도체 메모리 모듈; 및

상기 커맨드/어드레스 신호, 칩 선택 신호, 커맨드/어드레스 기준전압 신호 및 칩 선택 기준전압 신호를 생성하여, 상기 적어도 하나의 반도체 메모리 모듈로 출력하는 메모리 컨트롤러를 구비하고,

상기 커맨드/어드레스 기준전압 신호의 전압 레벨과 상기 칩 선택 기준전압 신호의 전압 레벨은 서로 다른 것을 특징으로 하는 반도체 메모리 시스템.

청구항 17

제16항에 있어서,

상기 적어도 하나의 반도체 메모리 모듈은 공통된 하나의 커맨드/어드레스 버스를 통해서 상기 메모리 컨트롤러에 연결되고,

상기 적어도 하나의 반도체 메모리 모듈 각각은 적어도 하나의 칩 선택 버스를 통해서 상기 메모리 컨트롤러에 각각 연결되는 것을 특징으로 하는 반도체 메모리 시스템.

청구항 18

제16항에 있어서, 상기 적어도 하나의 반도체 메모리 모듈 중의 일부는,

더미 메모리 모듈인 것을 특징으로 하는 반도체 메모리 시스템.

청구항 19

제16항에 있어서, 상기 메모리 컨트롤러는,

상기 커맨드/어드레스 버스에 연결된 상기 적어도 하나의 반도체 메모리 모듈의 개수에 따라, 상기 커맨드/어드레스 기준전압 신호의 전압 레벨을 조절하는 것을 특징으로 하는 반도체 메모리 시스템.

청구항 20

제19항에 있어서, 상기 메모리 컨트롤러는,

상기 커맨드/어드레스 버스에 연결된 상기 적어도 하나의 반도체 메모리 모듈의 개수에 대응되는 상기 커맨드/어드레스 기준전압 신호의 전압 레벨을 저장하는 레지스터부를 구비하는 것을 특징으로 하는 반도체 메모리 시스템.

청구항 21

제16항에 있어서, 상기 메모리 컨트롤러는,

상기 커맨드/어드레스 신호의 스윙 레벨의 중간값을 상기 커맨드/어드레스 기준전압 신호의 전압 레벨로 결정하고,

상기 적어도 하나의 칩 선택 신호의 스윙 레벨의 중간값을 상기 칩 선택 기준전압 신호의 전압 레벨로 결정하는 것을 특징으로 하는 반도체 메모리 시스템.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치, 반도체 메모리 모듈 및 이를 구비하는 반도체 메모리 시스템에 관한 것으로서, 특히 반도체 메모리 장치에 입력되는 커맨드/어드레스 기준전압 신호와 칩 선택 기준전압 신호가 서로 다른 전압값을 갖는 것을 특징으로 하는 반도체 메모리 장치, 반도체 메모리 모듈 및 이를 구비하는 반도체 메모리 시스템에 관한 것이다.

배경 기술

[0002] 일반적인 반도체 메모리 모듈은 내부에 종단 저항부(termination resistance unit)를 구비할 수 있다. 그런데, 종단 저항부의 구조, 종단 저항부에 구비되는 저항의 크기, 메모리 모듈의 연결 상태 등에 따라, 신호가 전달되는 버스의 종단 저항값이 달라지면, 신호의 스윙 범위도 달라지므로 상기 신호의 판별을 위한 기준전압(Vref) 값도 변경될 필요가 있다.

발명의 내용

해결 하고자하는 과제

[0003] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 반도체 메모리 장치에 입력되는 커맨드/어드레스 기준전압 신호와 칩 선택 기준전압 신호가 서로 다른 전압값을 갖는 것을 특징으로 하는 반도체 메모리 장치, 반도체 메모리 모듈 및 이를 구비하는 반도체 메모리 시스템을 제공하는 것을 목적으로 한다.

과제 해결수단

[0004] 상기와 같은 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 반도체 메모리 장치는, 커맨드/어드레스 신호 및 커맨드/어드레스 기준전압 신호를 입력받고, 상기 커맨드/어드레스 신호와 상기 커맨드/어드레스 기준전압 신호의 차이를 증폭하여 출력하는 커맨드/어드레스 입력 버퍼, 및 칩 선택 신호 및 칩 선택 기준전압 신호를 입력받고, 상기 칩 선택 신호 및 상기 칩 선택 기준전압 신호의 차이를 증폭하여 출력하는 칩 선택 입력 버퍼를 구비하고, 상기 커맨드/어드레스 기준전압 신호의 전압 레벨과 상기 칩 선택 기준전압 신호의 전압 레벨은 서로 다른 것을 특징으로 한다.

[0005] 바람직하게는, 상기 커맨드/어드레스 기준전압 신호와 상기 칩 선택 기준전압 신호는 서로 다른 전송 라인을 통해 상기 반도체 메모리 장치로 전달될 수 있다.

[0006] 또한 바람직하게는, 상기 반도체 메모리 장치는 데이터 신호 및 데이터 기준전압 신호를 입력받고, 상기 데이터 신호 및 상기 데이터 기준전압 신호의 차이를 증폭하여 출력하는 데이터 입력 버퍼를 더 구비할 수 있다.

[0007] 본 발명의 일실시예에 따른 반도체 메모리 모듈은, 커맨드/어드레스 신호를 커맨드/어드레스 버스를 통해 입력받고, 적어도 하나의 칩 선택 신호를 적어도 하나의 칩 선택 버스를 통해 입력받으며, 외부로부터 커맨드/어드레스 기준전압 신호 및 칩 선택 기준전압 신호를 입력받는 반도체 메모리부, 및 상기 반도체 메모리부에 연결되고, 적어도 하나의 종단 저항을 구비하는 종단저항부를 구비하고, 상기 커맨드/어드레스 기준전압 신호의 전압 레벨과 상기 칩 선택 기준전압 신호의 전압 레벨은 서로 다른 것을 특징으로 한다.

[0008] 바람직하게는, 상기 커맨드/어드레스 기준전압 신호와 상기 칩 선택 기준전압 신호는 서로 다른 전송 라인을 통해 상기 반도체 메모리부로 전달될 수 있다.

[0009] 또한 바람직하게는, 상기 반도체 메모리부는, 적어도 하나의 메모리 랭크를 포함하고, 상기 적어도 하나의 칩 선택 신호는 상기 적어도 하나의 메모리 랭크 중에서 어느 메모리 랭크를 선택하여 데이터를 기입하거나 독출할 지를 결정하는 신호이고, 상기 적어도 하나의 칩 선택 신호 각각은, 대응되는 메모리 랭크로 입력될 수 있다.

[0010] 또한 바람직하게는, 상기 적어도 하나의 메모리 랭크는, 적어도 하나의 반도체 메모리 장치들을 구비하고, 상기 적어도 하나의 반도체 메모리 장치 각각은, 상기 커맨드/어드레스 신호 및 상기 커맨드/어드레스 기준전압 신호를 입력받고, 상기 커맨드/어드레스 신호와 상기 커맨드/어드레스 기준전압 신호의 차이를 증폭하여 출력하는 커맨드/어드레스 입력 버퍼, 및 상기 적어도 하나의 메모리 랭크 각각에 입력된 칩 선택 신호 및 상기 칩 선택 기준전압 신호를 입력받고, 상기 입력받은 칩 선택 신호 및 상기 칩 선택 기준전압 신호의 차이를 증폭하여 출

력하는 칩 선택 입력 버퍼를 구비할 수 있다.

- [0011] 또한 바람직하게는, 상기 적어도 하나의 반도체 메모리 장치들은, 상기 커맨드/어드레스 버스에 순차적으로 연결될 수 있다.
- [0012] 또한, 바람직하게는, 상기 적어도 하나의 반도체 메모리 장치들, 상기 종단저항부, 상기 커맨드/어드레스 버스 및 상기 적어도 하나의 칩 선택 버스는, 하나의 라인이 진행하면서 짧은 스템브(stub)들로 구성요소로 연결되는 플라이 바이(fly-by) 구조, 또는 하나 또는 2개의 분기점에서 사방으로 분기되는 스타 토폴로지(star-topology), 또는 여러 번 분기되는 티 토폴로지(T-topology)로 연결될 수 있다. 스타 토폴로지(star-topology)나 티 토폴로지(T-topology)도 종단 저항의 개수나 값에 따라 커맨드/어드레스 신호와 칩 선택 신호간의 기준전압 수준의 차이가 있을 수 있다.
- [0013] 한편, 상기 종단저항부는, 상기 커맨드/어드레스 버스에 연결되는 제1 종단저항부, 및 상기 적어도 하나의 칩 선택 버스에 연결되는 적어도 하나의 제2 종단저항부를 구비하는 것이 바람직하다.
- [0014] 바람직하게는, 상기 제1 종단저항부는, 상기 커맨드/어드레스 버스와 제1 전원전압 사이에 연결되는 제1 종단저항을 구비할 수 있다.
- [0015] 또한 바람직하게는, 상기 제1 종단저항부는, 상기 커맨드/어드레스 버스와 접지 전압 사이에 연결되는 제2 종단저항을 구비할 수 있다.
- [0016] 또한 바람직하게는, 상기 제1 종단저항부는, 상기 커맨드/어드레스 버스와 제1 전원전압 사이에 연결되는 제1 종단저항, 및 상기 커맨드/어드레스 버스와 제2 전원전압 사이에 연결되는 제2 종단저항을 구비할 수 있다. 상기 제2 전원전압은 접지 전압일 수 있다.
- [0017] 또한 바람직하게는, 상기 제1 종단 저항부는, 상기 커맨드/어드레스 버스에 제1 단자가 연결되는 제1 스위치, 상기 제1 스위치의 제2 단자와 제1 전원전압 사이에 연결되는 제1 종단저항, 상기 커맨드/어드레스 버스에 제1 단자가 연결되는 제2스위치, 및 상기 제2 스위치의 제2 단자와 제2 전원전압 사이에 연결되는 제2 종단저항을 구비할 수 있다.
- [0018] 본 발명의 일실시예에 따른 반도체 메모리 시스템은, 커맨드/어드레스 신호, 칩 선택 신호, 커맨드/어드레스 기준전압 신호 및 칩 선택 기준전압 신호를 입력받는 적어도 하나의 반도체 메모리 모듈, 및 상기 커맨드/어드레스 신호, 칩 선택 신호, 커맨드/어드레스 기준전압 신호 및 칩 선택 기준전압 신호를 생성하여, 상기 적어도 하나의 반도체 메모리 모듈로 출력하는 메모리 컨트롤러를 구비하고, 상기 커맨드/어드레스 기준전압 신호의 전압 레벨과 상기 칩 선택 기준전압 신호의 전압 레벨은 서로 다른 것을 특징으로 한다. 모듈이 아닌 온 보드 디램(on-board DRAM)의 경우에도, 플라이 바이(fly-by) 구조, 스타 토폴로지(star-topology) 구조, 티 토폴로지(T-topology) 구조를 가질 때, 종단 저항의 개수나 값이 동일하지 않으면 커맨드/어드레스 신호와 칩 선택 신호간의 기준전압의 차이가 있을 수 있다.
- [0019] 바람직하게는, 상기 적어도 하나의 반도체 메모리 모듈은 공통된 하나의 커맨드/어드레스 버스를 통해서 상기 메모리 컨트롤러에 연결되고, 상기 적어도 하나의 반도체 메모리 모듈 각각은 적어도 하나의 칩 선택 버스를 통해서 상기 메모리 컨트롤러에 각각 연결될 수 있다.
- [0020] 또한 바람직하게는, 상기 적어도 하나의 반도체 메모리 모듈 중의 일부는, 더미 메모리 모듈일 수 있다.
- [0021] 또한 바람직하게는, 상기 메모리 컨트롤러는, 상기 커맨드/어드레스 버스에 연결된 상기 적어도 하나의 반도체 메모리 모듈의 개수에 따라, 상기 커맨드/어드레스 기준전압 신호의 전압 레벨을 조절할 수 있다.
- [0022] 또한 바람직하게는, 상기 메모리 컨트롤러는, 상기 커맨드/어드레스 버스에 연결된 상기 적어도 하나의 반도체 메모리 모듈의 개수에 대응되는 상기 커맨드/어드레스 기준전압 신호의 전압 레벨을 저장하는 레지스터부를 구비할 수 있다.
- [0023] 상기 메모리 컨트롤러는, 상기 커맨드/어드레스 신호의 스윙 레벨의 중간값을 상기 커맨드/어드레스 기준전압 신호의 전압 레벨로 결정하고, 상기 적어도 하나의 칩 선택 신호의 스윙 레벨의 중간값을 상기 칩 선택 기준전압 신호의 전압 레벨로 결정할 수 있다.

효 과

- [0024] 상기와 같은 본 발명에 따른 반도체 메모리 장치, 반도체 메모리 모듈 및 이를 구비하는 반도체 메모리 시스템

은, 반도체 메모리 장치에 입력되는 커맨드/어드레스 기준전압 신호와 칩 선택 기준전압 신호가 서로 다른 전압 값을 갖기 때문에, 커맨드/어드레스 신호의 스큐(skew) 및 칩 선택 신호의 스큐(skew)를 모두 최소화할 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0025] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시 예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- [0026] 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0027] 도 1은, 본 발명의 일실시예에 따른 반도체 메모리 시스템을 나타내는 도면이다. 도 1을 참조하면, 상기 반도체 메모리 시스템(100)은, 제1 메모리 모듈(110), 제2 메모리 모듈(120) 및 메모리 컨트롤러(130)를 구비할 수 있다. 도 1에 도시된 반도체 메모리 시스템(100)은 2개의 메모리 모듈(110, 120)을 구비하고 있는 경우를 도시하고 있으나, 본 발명의 일실시예에 따른 반도체 메모리 시스템은 이에 국한되지 않으며, 1개 이상의 메모리 모듈을 구비할 수 있다.
- [0028] 도 1을 참조하면, 제1 메모리 모듈(110)은 제1 메모리부(113) 및 제1 종단저항부(116)를 구비할 수 있다. 제1 메모리부(113)는 적어도 하나의 메모리 랭크(rank)를 구비할 수 있고, 상기 적어도 하나의 메모리 랭크(rank) 각각은 복수 개의 반도체 메모리 장치들을 구비할 수 있다. 상기 제1 메모리부(113)는 메모리 컨트롤러(130)로부터 커맨드/어드레스 기준전압 신호(Vref_CA), 칩 선택 기준전압 신호(Vref_CS), 커맨드/어드레스 신호(CA) 및 제1 칩 선택 신호(CS1A, CS1B)를 입력받을 수 있다. 본 발명의 일실시예에 따른 반도체 메모리 시스템(100)은 제1 메모리부(113)에 구비되는 메모리 랭크의 수에 대응되는 개수의 칩 선택 신호가 제1 메모리부(113)에 입력될 수 있다. 도 1은 제1 메모리부(113)가 2개의 메모리 랭크를 구비하는 경우를 도시한 것으로서, 두 개의 제1 칩 선택 신호, 즉 제1 칩 선택 신호(CS1A) 및 제1 칩 선택 신호(CS1B)가 제1 메모리부(113)에 입력될 수 있다.
- [0029] 제1 종단저항부(116)는 내부에 종단 저항(termination resistor)을 구비할 수 있고, 제1 메모리부(113)에 연결될 수 있다. 상기 제1 종단저항부(116)는 메모리 모듈 내부에 배치되므로, 모듈 종단(module termination)에 해당하는 구성 요소일 수 있다.
- [0030] 제2 메모리 모듈(120)은 제2 메모리부(123) 및 제2 종단저항부(126)를 구비할 수 있다. 제2 메모리부(123)는 적어도 하나의 메모리 랭크(rank)를 구비할 수 있고, 상기 적어도 하나의 메모리 랭크(rank) 각각은 복수 개의 반도체 메모리 장치들을 구비할 수 있다. 또한 제2 메모리부(123)는, 제1 메모리부(113)와 유사하게, 메모리 컨트롤러(130)로부터 커맨드/어드레스 기준전압 신호(Vref_CA), 칩 선택 기준전압 신호(Vref_CS), 커맨드/어드레스 신호(CA) 및 제2 칩 선택 신호(CS2A, CS2B)를 입력받을 수 있다. 즉, 제2 메모리부(123)는 제1 칩 선택 신호(CS1A, CS1B) 대신에 제2 칩 선택 신호(CS2A, CS2B)를 입력받는 것을 제외하고는 제1 메모리부(113)와 동일한 신호를 메모리 컨트롤러(130)로부터 입력받을 수 있다. 본 발명의 일실시예에 따른 반도체 메모리 시스템(100)은 제2 메모리부(123)에 구비되는 메모리 랭크의 수에 대응되는 개수의 칩 선택 신호가 제2 메모리부(123)에 입력될 수 있다. 도 1은 제2 메모리부(123)가 2개의 메모리 랭크를 구비하는 경우를 도시한 것으로서, 두 개의 제2 칩 선택 신호, 즉 제2 칩 선택 신호(CS2A) 및 제2 칩 선택 신호(CS2B)가 제2 메모리부(123)에 입력될 수 있다.
- [0031] 메모리 컨트롤러(130)는 제1 메모리 모듈(110) 및 제2 메모리 모듈(120) 외부에 배치될 수 있다. 메모리 컨트롤러(130)는 커맨드/어드레스 기준전압 신호(Vref_CA), 칩 선택 기준전압 신호(Vref_CS), 커맨드/어드레스 신호(CA), 제1 칩 선택 신호(CS1A, CS1B) 및 제2 칩 선택 신호(CS2A, CS2B)를 생성하거나 값을 결정하며, 제1 메모리 모듈(110) 및 제2 메모리 모듈(120)로 출력할 수 있다.
- [0032] 여기에서, 커맨드/어드레스 신호(CA)는 제1 메모리부(110) 및 제2 메모리부(120)에 구비되는 복수 개의 반도체 메모리 장치들에 입력되는 명령 및 메모리 주소를 지시하는 신호일 수 있다.
- [0033] 그리고, 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)는 메모리 컨트롤러(130)에서 어느 메모리 모듈의 어느 메모리 랭크를 선택할 것인지를 결정하는 신호일 수 있다. 일례로서, 제1 메모리 모듈(110) 및 제2 메모리 모듈(120)이 각각 2개의 메모리 랭크를 구비하는 경우를 가정하면, 제1 칩 선택 신호(CS1A)가 인에이블되면 제1 메모리 모듈(110)의 제1 메모리 랭크가 선택되고, 제1 칩 선택 신호(CS1B)가 인에이블되면 제1 메모리 모듈(110)의 제2 메모리 랭크가 선택될 수 있다. 또한, 제2 칩 선택 신호(CS2A)가 인에이블되면 제2 메모리 모듈(120)의 제1 메모리 랭크가 선택되고, 제2 칩 선택 신호(CS2B)가 인에이블되면 제2 메모리 모듈(120)의 제2 메모리 랭크가 선택될 수 있다.

리 랭크가 선택되고, 제2 칩 선택 신호(CS2B)가 인에이블되면 제2 메모리 모듈(120)의 제2 메모리 랭크가 선택될 수 있다. 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)에 따라 선택된 메모리 모듈은, 커맨드/어드레스 신호(CA)를 통해 입력받은 명령 및 메모리 주소에 따라 독출 또는 기입 동작을 수행할 수 있다.

[0034] 다음으로, 커맨드/어드레스 기준전압 신호(Vref_CA)는 커맨드/어드레스 신호(CA)가 논리 하이인지 논리 로우인지를 판단하기 위한 기준 신호일 수 있다. 일례로서, 비교기(comparator)의 제1 입력단자에 커맨드/어드레스 신호(CA)가 입력되고, 비교기의 제2 입력단자에 커맨드/어드레스 기준전압 신호(Vref_CA)가 입력되면, 비교기의 출력 결과에 따라 제1 입력단자에 입력된 커맨드/어드레스 신호(CA)의 논리 상태를 판단할 수 있다. 즉, 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨보다 커맨드/어드레스 신호(CA)의 전압 레벨이 높은 경우에는 커맨드/어드레스 신호(CA)가 논리 하이인 것으로 판단할 수 있고, 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨보다 커맨드/어드레스 신호(CA)의 전압 레벨이 낮은 경우에는 커맨드/어드레스 신호(CA)가 논리 로우인 것으로 판단할 수 있다.

[0035] 칩 선택 기준전압 신호(Vref_CS)는 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 논리 하이인지 논리 로우인지를 판단하기 위한 기준 신호일 수 있다. 일례로서, 비교기(comparator)의 제1 입력단자에 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 입력되고, 비교기의 제2 입력단자에 칩 선택 기준전압 신호(Vref_CS)가 입력되면, 비교기의 출력 결과에 따라, 제1 입력단자에 입력된 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 논리 상태를 판단할 수 있다. 즉, 칩 선택 기준전압 신호(Vref_CS)의 전압 레벨보다 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 전압 레벨이 높은 경우에는 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 논리 하이인 것으로 판단할 수 있고, 칩 선택 기준전압 신호(Vref_CS)의 전압 레벨보다 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 전압 레벨이 낮은 경우에는 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 논리 로우인 것으로 판단할 수 있다.

[0036] 도 1에 도시된 바와 같이, 본 발명의 일실시예에 따른 반도체 메모리 시스템(100)은, 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)가 서로 다른 전송 라인을 통해서 제1 메모리 모듈(110) 및 제2 메모리 모듈(120)로 전송될 수 있다. 이에 따라, 상기 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)는 서로 다른 전압 레벨을 가질 수 있다.

[0037] 도 1을 참조하면, 커맨드/어드레스 신호(CA)가 전송되는 라인은, 제1 메모리 모듈(110) 및 제2 메모리 모듈(120)에 모두 연결되는 반면에, 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 전송되는 라인은, 제1 메모리 모듈(110) 또는 제2 메모리 모듈(120) 중의 어느 하나 그리고, 여러 메모리 랭크 중 하나의 메모리 랭크에 연결된다. 따라서, 커맨드/어드레스 신호(CA)가 전송되는 라인은, 제1 메모리부(113)를 통하여 제1 종단저항부(116)에 연결되고, 제2 메모리부(123)를 통하여 제2 종단저항부(126)에 연결되는 반면에, 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 전송되는 라인은, 제1 메모리부(113)를 통하여 제1 종단저항부(116)에 연결되거나, 제2 메모리부(123)를 통하여 제2 종단저항부(126)에 연결될 수 있다. 결국, 커맨드/어드레스 신호(CA)가 전송되는 라인에 연결되는 종단저항부의 수와, 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 전송되는 라인에 연결되는 종단저항부의 수가 서로 다르므로, 커맨드/어드레스 신호(CA)가 전송되는 라인과, 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 전송되는 라인의 종단저항값(termination resistance)은 서로 다르게 된다. 그런데 신호가 전송되는 라인의 종단저항값이 달라지면, 전달되는 신호의 스윙 범위(swing range)도 달라지기 때문에, 커맨드/어드레스 신호(CA)와 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 스윙 범위가 서로 달라질 수 있다.

[0038] 그런데, 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압값이 커맨드/어드레스 신호(CA)의 스윙 범위의 중심값과 동일할 때, 커맨드/어드레스 신호(CA)의 스큐(skew)가 최소화된다. 같은 원리로, 칩 선택 기준전압 신호(Vref_CS)의 전압값이 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 스윙 범위의 중심값과 동일할 때, 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 스큐(skew)가 최소화된다. 따라서, 커맨드/어드레스 신호(CA)와 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 스윙 범위가 서로 다른 경우에, 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)가 동일한 값을 가지면, 커맨드/어드레스 신호(CA) 및 칩 선택 신호(CS1A, CS1B, CS2A, CS2B) 중의 어느 하나는 스큐(skew)를 최소화할 수 없게 된다. 따라서, 이 경우, 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)는 서로 다른 값을 가질 필요가 있다.

[0039] 한편, 도 1에 도시된 반도체 메모리 시스템(100)이 하나의 메모리 모듈, 즉 제1 메모리 모듈(110)만을 구비하는 경우에도, 상기 제1 메모리 모듈(110)이 2개 이상의 메모리 랭크(rank)를 구비한다면, 커맨드/어드레스 신호(CA)와 칩 선택 신호(CS1A, CS1B)사이의 기준 전압의 레벨 차이가 생겨서 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)는 서로 다른 값을 가질 필요가 있다.

[0040] 또한, 복수 개의 메모리 랭크를 구비하는 레지스터드 덤(Registered DIMM)이나 부하 감소 덤(Load reduced

DIMM)의 경우처럼, 단순한 플라이 바이 토폴로지(fly-by topology)가 아닌 브랜치를 2개 가지는 플라이 바이 토폴로지(fly-by topology)인 Y 토폴로지(Y-topology)의 경우에도, 커맨드/어드레스 신호(CA)와 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)사이의 기준 전압의 레벨 차이가 생겨서 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)는 서로 다른 값을 가질 필요가 있다. 레지스터나 메모리 버퍼에서 다시 재구동(redriving)되지만, 기준전압은 메모리 컨트롤러(130)나 전압 분기 회로가 있는 마더보드에서 가져올 필요가 있다.

[0041] 또한, 본 발명의 일실시예에 따른 반도체 메모리 시스템(100)이 모듈이 아닌 온 보드 디램(on-board DRAM)을 구비하는 경우에도, 플라이 바이(fly-by) 구조, 스타 토폴로지(star-topology) 구조, 티 토폴로지(T-topology) 구조를 가질 때, 중단 저항의 개수나 값이 동일하지 않으면 커맨드/어드레스 신호(CA)와 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)간의 기준전압의 차이가 생기므로, 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)는 서로 다른 값을 가질 필요가 있다.

[0042] 도 1에 도시된 본 발명의 일실시예에 따른 반도체 메모리 시스템(100)은, 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)가 서로 다른 전송 라인을 통해서 전달되고, 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)가 서로 다른 전압 레벨을 가질 수 있다. 따라서, 상술한 바와 같이 커맨드/어드레스 신호(CA)와 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 스윙 범위가 서로 다른 경우에도, 각각의 스윙 범위에 적합한 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압값 및 칩 선택 기준전압 신호(Vref_CS)의 전압값을 서로 독립적으로 설정할 수 있다. 일례로서, 커맨드/어드레스 기준전압 신호(Vref_CA)는 커맨드/어드레스 신호(CA)의 스윙 범위의 중심값일 수 있고, 칩 선택 기준전압 신호(Vref_CS)는 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 스윙 범위의 중심값일 수 있다. 이 경우, 커맨드/어드레스 신호(CA)의 스큐(skew) 및 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)의 스큐(skew)를 모두 최소화할 수 있다. 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)는 메모리 컨트롤러(130)에서 설정될 수 있다.

[0043] 한편, 도 1에는 상기 커맨드/어드레스 기준전압 신호(Vref_CA), 칩 선택 기준전압 신호(Vref_CS), 커맨드/어드레스 신호(CA), 제1 칩 선택 신호(CS1A, CS1B) 및 제2 칩 선택 신호(CS2A, CS2B)가 메모리 컨트롤러(130)에서 출력되는 것으로 도시되어 있으나, 본 발명의 일실시예에 따른 반도체 메모리 시스템은 이에 국한되는 것은 아니며, 상기 커맨드/어드레스 기준전압 신호(Vref_CA), 칩 선택 기준전압 신호(Vref_CS), 커맨드/어드레스 신호(CA), 제1 칩 선택 신호(CS1A, CS1B) 및 제2 칩 선택 신호(CS2A, CS2B)는 메모리 컨트롤러(130)가 아닌 다른 제어 장치에서 생성되어 출력될 수도 있다.

[0044] 도 1에 도시된 본 발명의 일실시예에 따른 반도체 메모리 시스템(100)은, 마더 보드(mother board) 상에 배치될 수 있다. 이 때, 제1 메모리 모듈(110)은 마더 보드 상의 제1 메모리 슬롯(slot)에 장착되고, 제2 메모리 모듈(120)은 마더 보드 상의 제2 메모리 슬롯(slot)에 장착될 수 있다.

[0045] 한편, 도 1에 도시된 본 발명의 일실시예에 따른 반도체 메모리 시스템(100)에서 제1 메모리 모듈(110)만 구비하는 경우에는 커맨드/어드레스 신호(CA)가 전송되는 라인에 제1 메모리 모듈(110)의 제1 종단저항부(116)만 연결되므로, 제1 메모리 모듈(110)과 제2 메모리 모듈(120)이 모두 구비되는 경우에 비해 커맨드/어드레스 신호(CA)가 전송되는 라인의 종단저항값(termination resistance)이 다른 값을 갖게 된다. 따라서, 제1 메모리 모듈(110)만 구비하는 경우에도 커맨드/어드레스 신호(CA)가 전송되는 라인의 종단저항값(termination resistance)이 제1 메모리 모듈(110)과 제2 메모리 모듈(120)이 모두 구비되는 경우와 동일한 값을 갖도록 하기 위하여, 제2 메모리 모듈(120) 대신에 더미(dummy) 메모리 모듈을 추가적으로 구비할 수 있다. 여기에서, 더미 메모리 모듈은 내부에 메모리부는 구비하지 않고, 종단저항부만 구비하는 메모리 모듈을 의미할 수 있다. 즉, 실제로는 하나의 메모리 모듈만 구비하는 경우라도, 두 개의 메모리 모듈을 구비하는 것과 동일한 종단저항값을 얻기 위하여, 상기 반도체 메모리 시스템(100)은 제2 메모리 모듈(120) 대신에 더미 메모리 모듈을 구비할 수 있다. 또한, 상기 반도체 메모리 시스템(100)은, 제1 메모리 모듈(110) 대신에 더미 메모리 모듈을 구비하고 제2 메모리 모듈(120)만 구비하는 경우도 가능하다.

[0046] 도 1에 도시된 본 발명의 일실시예에 따른 반도체 메모리 시스템(100)이 제2 메모리 모듈(120) 대신에 더미(dummy) 메모리 모듈을 구비하면, 커맨드/어드레스 신호(CA)가 전송되는 라인의 종단저항값을 마더 보드에 장착된 메모리 모듈의 수에 관계없이 일정하게 유지할 수 있고, 이에 따라 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨을 변경할 필요가 없게 된다.

[0047] 도 2는, 도 1에 도시된 반도체 메모리 시스템(110)에 구비되는 제1 메모리 모듈(110)을 자세히 나타내는 도면이

다. 도 1에 도시된 제2 메모리 모듈(120) 또한 도 2에 도시된 제1 메모리 모듈(110)과 동일한 구성을 가질 수 있다.

[0048] 도 2를 참조하면, 상기 제1 메모리 모듈(110)은, 제1 메모리부(113) 및 제1 종단저항부(116)를 구비할 수 있다. 제1 메모리부(113)는 제1 메모리 랭크(113_1) 및 제2 메모리 랭크(113_2)를 구비할 수 있다. 여기에서 메모리 랭크(rank)는 메모리 뱅크(bank)로 명명할 수도 있다. 도 2는 제1 메모리부(113)가 2개의 메모리 랭크(113_1, 113_2)를 구비하고 있는 경우를 도시하고 있으나, 본 발명의 일실시예에 따른 제1 메모리부(113)는 이에 국한되는 것은 아니며, 제1 메모리부(113)는 적어도 하나의 메모리 랭크를 구비할 수 있다. 어느 메모리 모듈의 메모리 랭크를 선택하여 데이터를 독출하거나 데이터를 기입할지는 제1 칩 선택 신호(CS1A, CS1B)에 의해 결정될 수 있다.

[0049] 제1 메모리 랭크(113_1)는 복수 개의 반도체 메모리 장치들(1_1, 1_2, 1_3, 1_4, 1_5, 1_6, 1_7, 1_8)을 구비할 수 있다. 제2 메모리 랭크(113_2)도 제1 메모리 랭크(113_1)와 유사하게 복수 개의 반도체 메모리 장치들(2_1, 2_2, 2_3, 2_4, 2_5, 2_6, 2_7, 2_8)을 구비할 수 있다. 도 2는 제1 메모리 랭크(113_1) 및 제2 메모리 랭크(113_2)가 각각 8개의 반도체 메모리 장치들을 구비하고 있는 경우를 도시하고 있으나, 본 발명의 일실시예에 따른 제1 메모리 랭크(113_1) 및 제2 메모리 랭크(113_2)는 이에 국한되는 것은 아니며, 각각의 메모리 랭크는 적어도 하나의 반도체 메모리 장치들을 구비할 수 있다. 일례로서, ECC DIMM의 경우에는 제1 메모리 랭크(113_1) 및 제2 메모리 랭크(113_2)는 9개의 반도체 메모리 장치를 구비할 수 있다.

[0050] 제1 종단저항부(116)는 커맨드/어드레스 종단저항부(116_1), 제1 칩 선택 종단저항부(116_2) 및 제2 칩 선택 종단저항부(116_3)를 구비할 수 있다. 커맨드/어드레스 종단저항부(116_1)는 커맨드/어드레스 신호(CA)가 전달되는 커맨드/어드레스 버스를 통해 각각의 반도체 메모리 장치들(1_1 내지 1_8, 2_1 내지 2_8)에 연결될 수 있다. 커맨드/어드레스 종단저항부(116_1)는 커맨드/어드레스 버스를 통해 전송되는 커맨드/어드레스 신호(CA)의 반사를 방지하여 커맨드/어드레스 신호(CA)의 충실도를 향상시킬 수 있다. 제1 칩 선택 종단저항부(116_2)는 제1 칩 선택 신호(CS1A)가 전달되는 제1 칩 선택 버스를 통해 제1 메모리 랭크(113_1)에 연결될 수 있다. 제1 칩 선택 종단저항부(116_2)는 제1 칩 선택 버스를 통해 전송되는 제1 칩 선택 신호(CS1A)의 반사를 방지하여 제1 칩 선택 신호(CS1A)의 충실도를 향상시킬 수 있다. 제2 칩 선택 종단저항부(116_3)는 제1 칩 선택 신호(CS1B)가 전달되는 제1 칩 선택 버스를 통해 제2 메모리 랭크(113_2)에 연결될 수 있다. 커맨드/어드레스 종단저항부(116_1) 및 칩 선택 종단저항부(116_2, 116_3)의 구체적인 구성은 도 4a 내지 도 4d를 참조하여 설명하기로 한다.

[0051] 다시 도 2를 참조하면, 제1 메모리 랭크(113_1) 및 제2 메모리 랭크(113_2)에 구비되는 각각의 반도체 메모리 장치들(1_1 내지 1_8, 2_1 내지 2_8)은 DRAM(Dynamic Random Access Memory)일 수 있다. 각각의 반도체 메모리 장치들(1_1 내지 1_8, 2_1 내지 2_8)은 외부로부터 커맨드/어드레스 신호(CA), 제1 칩 선택 신호(CS1A, CS1B), 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)를 입력받을 수 있다. 도 2에 도시된 바와 같이, 커맨드/어드레스 신호(CA)는 커맨드/어드레스 버스를 통해 반도체 메모리 장치들(1_1 내지 1_8, 2_1 내지 2_8)에 순차적으로 입력될 수 있다. 또한, 제1 칩 선택 신호(CS1A)는 제1 메모리 랭크(113_1)의 반도체 메모리 장치들(1_1 내지 1_8)에 순차적으로 입력될 수 있고, 제1 칩 선택 신호(CS1B)는 제2 메모리 랭크(113_2)의 반도체 메모리 장치들(2_1 내지 2_8)에 순차적으로 입력될 수 있다.

[0052] 상기 커맨드/어드레스 신호(CA), 제1 칩 선택 신호(CS1A, CS1B), 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)는 메모리 컨트롤러(130)로부터 출력되는 신호일 수 있다. 또한, 제1 칩 선택 신호(CS1A, CS1B)는 제1 메모리 모듈(110)에만 입력되고, 제2 메모리 모듈(120)에는 입력되지 않으나, 커맨드/어드레스 신호(CA), 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)는 제1 메모리 모듈(110) 및 제2 메모리 모듈(120)에 모두 입력될 수 있다.

[0053] 도 2는 플라이-바이 토폴로지(fly-by topology)를 갖는 UDIMM(Unbuffered DIMM) 메모리 모듈을 예시적으로 도시한 것이다. 여기에서 플라이-바이 토폴로지(fly-by topology)는 하나의 라인이 진행하면서 짧은 스타브(stub)들로 구성요소로 연결되는 구조를 의미할 수 있다. 도 2에 도시된 플라이-바이 토폴로지(fly-by topology)는 예시적인 것으로서, 당업자라면 이로부터 커맨드/어드레스 신호(CA), 칩 선택 신호(CS1A, CS1B), 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)들이 전송되는 라인들의 연결 상태, 및 반도체 메모리 장치들(1_1 내지 1_8, 2_1 내지 2_8) 과 종단저항부의 배치를 다양하게 변형하는 것이 가능할 것이다. 예를 들면, 본 발명의 일실시예에 따른 메모리 모듈은 하나 또는 2개의 분기점에서 사방으로 분기되는 스타 토폴로지(star-topology), 또는 여러 번 분기되는 티 토폴로지(T-topology)를 가질 수도 있다. 스타 토폴로지(star-topology)나 티 토폴로지(T-topology)도 종단 저항의 개수나 값에 따라 커맨드/어드레스 신호(CA)와 칩

선택 신호(CS1A, CS1B)간의 기준전압 수준의 차이가 있을 수 있다.

- [0054] 도 3은, 본 발명의 일실시예에 따른 반도체 메모리 장치를 나타내는 도면이다. 상기 반도체 메모리 장치(300)는 도 2에 도시된 반도체 메모리 장치들(1_1 내지 1_8, 2_1 내지 2_8)의 일실시예일 수 있다. 도 3을 참조하면, 상기 반도체 메모리 장치(300)는, 커맨드/어드레스 입력버퍼(310) 및 칩 선택 입력버퍼(320)를 구비할 수 있다. 상기 반도체 메모리 장치(300)는, 커맨드/어드레스 버스를 통해서 커맨드/어드레스 신호(CA)를 입력받고, 제1 칩 선택 버스를 통해 제1 칩 선택 신호(CS1A, CS1B)를 입력받을 수 있다. 또한, 상기 반도체 메모리 장치(300)는, 메모리 컨트롤러(130)로부터 커맨드/어드레스 기준전압 신호(Vref_CA) 및 칩 선택 기준전압 신호(Vref_CS)를 입력받을 수 있다.
- [0055] 커맨드/어드레스 입력버퍼(310)는 커맨드/어드레스 신호(CA)를 제1 입력 단자로 입력받고, 커맨드/어드레스 기준전압 신호(Vref_CA)를 제2 입력 단자로 입력받을 수 있다. 커맨드/어드레스 입력버퍼(310)는 상기 커맨드/어드레스 신호(CA) 및 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 차이를 증폭하여 출력할 수 있다.
- [0056] 상기 커맨드/어드레스 입력버퍼(310)의 출력 결과에 따라 제1 입력단자에 입력된 커맨드/어드레스 신호(CA)의 논리 상태를 판단할 수 있다. 즉, 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨보다 커맨드/어드레스 신호(CA)의 전압 레벨이 높은 경우에는 커맨드/어드레스 신호(CA)가 논리 하이인 것으로 판단할 수 있고, 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨보다 커맨드/어드레스 신호(CA)의 전압 레벨이 낮은 경우에는 커맨드/어드레스 신호(CA)가 논리 로우인 것으로 판단할 수 있다. 상기 커맨드/어드레스 입력버퍼(310)의 출력은 상기 반도체 메모리 장치(300)의 기입(write) 동작 또는 독출(read) 동작의 제어에 사용될 수 있다.
- [0057] 칩 선택 입력버퍼(320)는 제1 칩 선택 신호(CS1A, CS1B)를 제1 입력 단자로 입력받고, 칩 선택 기준전압 신호(Vref_CS)를 제2 입력 단자로 입력받을 수 있다. 여기에서 반도체 메모리 장치(300)가 도 2의 제1 메모리 랭크(113_1)에 구비되는 경우에는, 칩 선택 입력버퍼(320)는 제1 칩 선택 신호(CS1A)를 입력받을 수 있고, 반도체 메모리 장치(300)가 도 2의 제2 메모리 랭크(113_2)에 구비되는 경우에는, 칩 선택 입력버퍼(320)는 제1 칩 선택 신호(CS1B)를 입력받을 수 있다. 칩 선택 입력버퍼(320)는 제1 칩 선택 신호(CS1A, CS1B) 및 칩 선택 기준전압 신호(Vref_CS)의 전압 차이를 증폭하여 출력할 수 있다. 도 3에 도시된 반도체 메모리 장치(300)가 제2 메모리 모듈(120)에 구비되는 경우에는, 칩 선택 입력버퍼(320)는 제1 칩 선택 신호(CS1A, CS1B) 대신에 제2 칩 선택 신호(CS2A, CS2B)를 입력받을 수 있다.
- [0058] 상기 칩 선택 입력버퍼(320)의 출력 결과에 따라 제1 입력단자에 입력된 제1 칩 선택 신호(CS1A, CS1B)의 논리 상태를 판단할 수 있다. 즉, 칩 선택 기준전압 신호(Vref_CS)의 전압 레벨보다 제1 칩 선택 신호(CS1A, CS1B)의 전압 레벨이 높은 경우에는 제1 칩 선택 신호(CS1A, CS1B)가 논리 하이인 것으로 판단할 수 있고, 칩 선택 기준전압 신호(Vref_CS)의 전압 레벨보다 제1 칩 선택 신호(CS1A, CS1B)의 전압 레벨이 낮은 경우에는 제1 칩 선택 신호(CS1A, CS1B)가 논리 로우인 것으로 판단할 수 있다. 상기 칩 선택 입력버퍼(310)의 출력은 상기 반도체 메모리 장치(300)의 기입(write) 동작 또는 독출(read) 동작의 제어에 사용될 수 있다.
- [0059] 도 1을 참조하여 상술한 바와 같이 상기 커맨드/어드레스 기준전압 신호(Vref_CA)와 상기 칩 선택 기준전압 신호(Vref_CS)는 서로 다른 라인을 통해서 반도체 메모리 장치(300)로 입력될 수 있고, 서로 다른 전압 레벨 값을 가질 수 있다.
- [0060] 도 4a는 본 발명의 일실시예에 따른 종단저항부를 나타내는 도면이다. 상기 종단저항부(401)는, 도 2에 도시된 커맨드/어드레스 종단저항부(116_1) 및 칩 선택 종단저항부(116_2, 116_3)의 일실시예일 수 있다.
- [0061] 도 4a를 참조하면, 상기 종단저항부(401)는 제1 종단저항(Rt1)을 구비할 수 있다. 제1 종단저항(Rt1)은 커맨드/어드레스 신호(CA)가 전달되는 커맨드/어드레스 버스 또는 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 전달되는 칩 선택 버스에 제1 단자가 연결되고, 전원전압(VDD)에 제2 단자가 연결될 수 있다. 즉, 상기 종단저항부(401)는 전원전압(VDD)을 종단 전압(termination voltage)으로 사용할 수 있다.
- [0062] 도 4b는, 본 발명의 다른 실시예에 따른 종단저항부를 나타내는 도면이다. 상기 종단저항부(402)는, 도 2에 도시된 커맨드/어드레스 종단저항부(116_1) 및 칩 선택 종단저항부(116_2, 116_3)의 일실시예일 수 있다.
- [0063] 도 4b를 참조하면, 상기 종단저항부(402)는 제2 종단저항(Rt2)을 구비할 수 있다. 제2 종단저항(Rt2)은 커맨드/어드레스 신호(CA)가 전달되는 커맨드/어드레스 버스 또는 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 전달되는 칩 선택 버스에 제1 단자가 연결되고, 접지전압(VSS)에 제2 단자가 연결될 수 있다. 즉, 상기 종단저항부(402)는 접지전압(VSS)을 종단 전압(termination voltage)으로 사용할 수 있다.

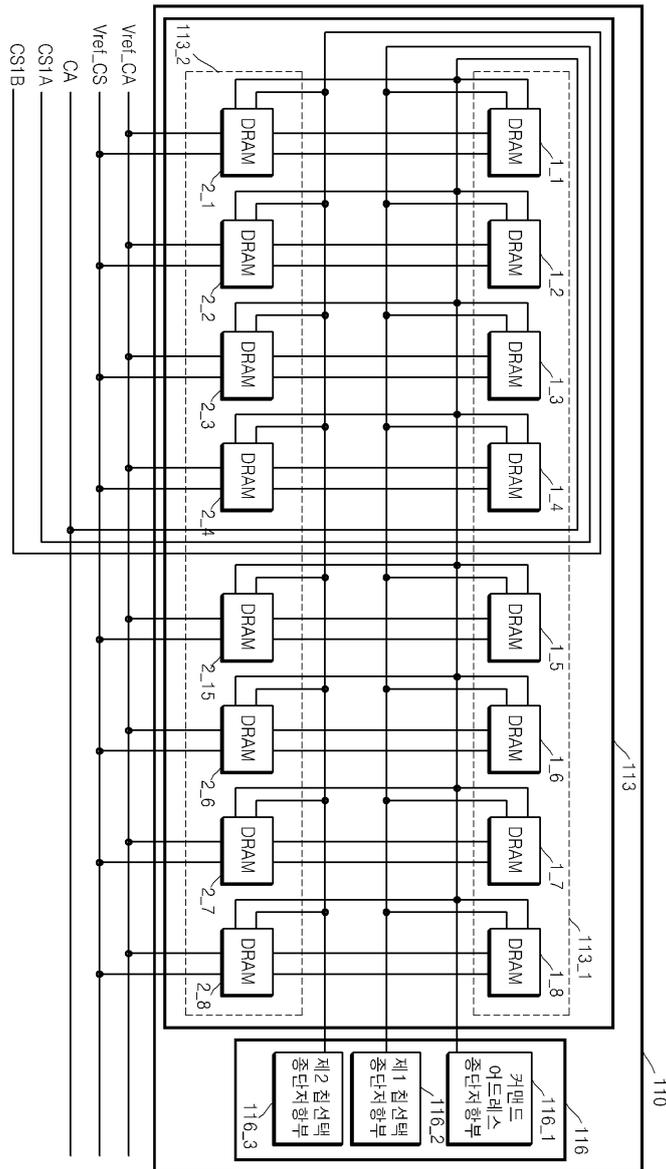
- [0064] 도 4c는, 본 발명의 다른 실시예에 따른 종단저항부를 나타내는 도면이다. 상기 종단저항부(403)는, 도 2에 도시된 커맨드/어드레스 종단저항부(116_1) 및 칩 선택 종단저항부(116_2, 116_3)의 일실시예일 수 있다.
- [0065] 도 4c를 참조하면, 상기 종단저항부(403)는 제3 종단저항(Rt3) 및 제4 종단저항(Rt4)을 구비할 수 있다. 제3 종단저항(Rt3)은 커맨드/어드레스 신호(CA)가 전달되는 커맨드/어드레스 버스 또는 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 전달되는 칩 선택 버스에 제1 단자가 연결되고, 전원전압(VDD)에 제2 단자가 연결될 수 있다. 제4 종단저항(Rt4)은 커맨드/어드레스 신호(CA)가 전달되는 커맨드/어드레스 버스 또는 칩 선택 신호(CS1A, CS1B, CS2A, CS2B)가 전달되는 칩 선택 버스에 제1 단자가 연결되고, 접지전압(VSS)에 제2 단자가 연결될 수 있다. 도 4c에 도시된 종단저항부는, 중앙 탭 종단(center tap termination) 방식으로서, 제3 종단저항(Rt3)과 제4 종단저항(Rt4)은 서로 동일한 저항값을 가질 수 있다.
- [0066] 도 4d는, 본 발명의 다른 실시예에 따른 종단저항부를 나타내는 도면이다. 상기 종단저항부(404)는, 도 2에 도시된 커맨드/어드레스 종단저항부(116_1) 및 칩 선택 종단저항부(116_2, 116_3)의 일실시예일 수 있다.
- [0067] 상기 종단저항부(404)는, 제5 종단저항(Rt5), 제6 종단저항(Rt6), 제1 스위치(SW1) 및 제2 스위치(SW2)를 구비할 수 있다. 도 4d에 도시된 바와 같이, 상기 종단저항부(404)는, 도 4c에 도시된 종단저항부(403)와 그 구성이 유사한 점이 있지만, 제1 스위치(SW1) 및 제2 스위치(SW2)를 추가적으로 구비하는 점에서 차이가 있다.
- [0068] 제1 스위치(SW1)는, 커맨드/어드레스 버스 또는 칩 선택 버스에 제1 단자가 연결되고, 제5 종단저항(Rt5)에 제2 단자가 연결될 수 있다. 제5 종단저항(Rt5)은 제1 스위치(SW1)와 전원전압(VDD) 사이에 연결될 수 있다. 제2 스위치(SW2)는, 커맨드/어드레스 버스 또는 칩 선택 버스에 제1 단자가 연결되고, 제6 종단저항(Rt6)에 제2 단자가 연결될 수 있다. 제6 종단저항(Rt6)은 제2 스위치(SW2)와 접지전압(VSS) 사이에 연결될 수 있다.
- [0069] 한편, 별도의 제어장치(미도시)에 의해 제1 스위치(SW1) 및 제2 스위치(SW2)의 온/오프 여부가 제어될 수 있다. 따라서, 도 4d의 종단저항부(404)는 제1 스위치(SW1) 및 제2 스위치(SW2)의 온/오프 여부에 따라, 다양한 방식의 종단저항부로 동작할 수 있다.
- [0070] 도 5는, 본 발명의 다른 실시예에 따른 반도체 메모리 시스템을 나타내는 도면이다. 도 5를 참조하면, 상기 반도체 메모리 시스템(500)은, 제1 메모리 모듈(510), 제2 메모리 모듈(520) 및 메모리 컨트롤러(530)를 구비할 수 있다.
- [0071] 도 5에 도시된 반도체 메모리 시스템(500)은, 도 1에 도시된 반도체 메모리 시스템(100)과 그 구성이 유사하지만, 메모리 컨트롤러(530)와 메모리 모듈들(510, 520) 사이에 데이터 버스(DQ)가 연결되고, 메모리 모듈들(510, 520)은 데이터 기준전압 신호(Vref_DQ)를 추가적으로 입력받을 수 있다.
- [0072] 상기 데이터 버스(DQ)를 통하여 메모리 모듈들(510, 520)에 구비되는 반도체 메모리 장치들에 데이터를 기입하거나, 반도체 메모리 장치들로부터 데이터를 독출할 수 있다. 상기 데이터 기준전압 신호(Vref_DQ)는 반도체 모듈들(510, 520)에 구비되는 반도체 메모리 장치들로 입력될 수 있다.
- [0073] 도 6은, 본 발명의 다른 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다. 상기 반도체 메모리 장치(600)는 도 5에 도시된 메모리 모듈들(510, 520)에 구비되는 반도체 메모리 장치들의 일실시예일 수 있다.
- [0074] 도 6을 참조하면, 상기 반도체 메모리 장치(600)는, 도 3에 도시된 반도체 메모리 장치(300)와 유사하게, 커맨드/어드레스 입력버퍼(610) 및 칩 선택 입력버퍼(620)를 구비할 수 있다. 상기 커맨드/어드레스 입력버퍼(610), 칩 선택 입력버퍼(620)의 구성 및 동작은 도 3을 참조하여 상술한 바와 유사하므로 여기에서는 설명을 생략한다.
- [0075] 상기 반도체 메모리 장치(600)는, 데이터 입력버퍼(630)를 더 구비할 수 있다. 데이터 입력버퍼(630)는 데이터 버스(DQ)를 통해 제1 입력 단자로 데이터신호를 입력받고, 제2 입력 단자로 데이터 기준전압 신호(Vref_DQ)를 입력받을 수 있다. 상기 데이터 입력버퍼(630)는 데이터 버스(DQ)를 통해 입력받은 데이터 신호와 데이터 기준전압 신호(Vref_DQ)의 차이를 증폭하여 출력할 수 있다. 데이터 입력버퍼(630)의 출력 결과에 따라 입력받은 데이터 신호의 논리 상태를 판단할 수 있고, 상기 데이터 입력 버퍼의 출력은 반도체 메모리 장치(600)의 기입(write) 동작에 사용될 수 있다. 상기 데이터 버스(DQ)를 통해 입력받은 데이터 신호 및 데이터 기준전압 신호(Vref_DQ)는 메모리 컨트롤러(530)로부터 출력되는 신호일 수 있다.
- [0076] 도 7은, 본 발명의 일실시예에 따른 메모리 컨트롤러를 나타내는 도면이다. 상기 메모리 컨트롤러(700)는, 도 1 및 도 5에 도시된 메모리 컨트롤러(130, 530)의 일실시예일 수 있다.

- [0077] 상기 메모리 컨트롤러(700)는, 기준전압 설정부(710) 및 레지스터부(720)를 구비할 수 있다. 기준전압 설정부(710)는, 메모리 컨트롤러(700)에 연결된 메모리 모듈의 개수에 따라, 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨을 조절할 수 있다. 레지스터부(720)는, 메모리 컨트롤러(700)에 연결된 메모리 모듈의 개수에 대응되는 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨을 저장할 수 있다.
- [0078] 메모리 모듈의 테스트 과정을 통해서, 메모리 컨트롤러(700)에 연결된 메모리 모듈의 개수에 따른 커맨드/어드레스 신호(CA)의 스윙 레벨의 중심값을 측정된 후, 상기 측정 결과를 메모리 모듈의 개수에 대응되는 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨에 관한 정보로서 레지스터부(720)에 저장할 수 있다.
- [0079] 또한, 기준전압 설정부(710)는, 커맨드/어드레스 신호(CA)를 전송하는 커맨드/어드레스 버스의 종단저항값을 측정하는 방법으로, 메모리 컨트롤러(700)에 연결되어 있는 메모리 모듈의 개수를 감지할 수 있다. 또한, 기준전압 설정부(710)는, 채널상에 연결된 댄(DIMM)의 EEPROM으로부터 메모리 랭크의 정보를 읽어서, 메모리 컨트롤러(700)에 연결되어 있는 메모리 모듈의 개수를 감지할 수 있다.
- [0080] 즉, 기준전압 설정부(710)는 메모리 컨트롤러(700)에 연결되어 있는 메모리 모듈의 개수를 감지한 후, 상기 메모리 모듈의 개수에 대응되는 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨에 관한 정보를 레지스터부(720)로부터 입력받아, 커맨드/어드레스 기준전압 신호(Vref_CA)의 전압 레벨을 설정할 수 있다.
- [0081] 도 8은, 본 발명의 일실시예에 따른 반도체 메모리 시스템을 구비하는 컴퓨팅 시스템을 나타내는 도면이다. 도 8을 참조하면, 상기 컴퓨팅 시스템(800)은, 반도체 메모리 시스템(810), 버스(850)에 전기적으로 연결된 마이크로프로세서(820), 사용자 인터페이스(830) 및 파워 공급 장치(840)를 구비할 수 있다.
- [0082] 반도체 메모리 시스템(810)은 도 1 및 도 5를 참조하여 상술하였으므로 여기에서는 자세한 설명을 생략한다. 상기 마이크로프로세서(820), 사용자 인터페이스(830) 및 파워 공급 장치(840)의 구성 및 동작은 당업자에게 널리 알려져 있으므로 여기에서는 설명을 생략한다. 본 발명에 따른 컴퓨팅 시스템(800)이 모바일 장치인 경우, 컴퓨팅 시스템(800)의 동작 전압을 공급하기 위한 배터리가 추가적으로 구비될 수 있을 것이다.
- [0083] 한편, 본 발명에 따른 반도체 메모리 장치, 반도체 메모리 모듈 또 반도체 메모리 시스템은 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 반도체 메모리 장치, 반도체 메모리 모듈 또는 반도체 메모리 시스템은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다. 또한 스택된 패키지 형태인 Dual-Die Package(DDP), Quad-Die Package(QDP), Through Silicon Via(TSV) 등과 같은 패키지들을 이용하여 실장될 수도 있다.
- [0084] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다.

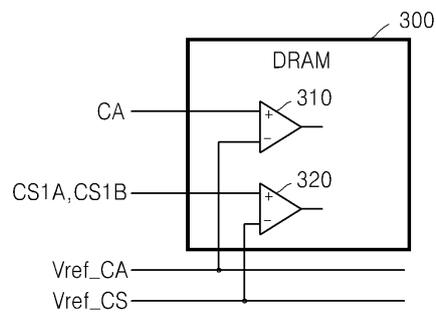
도면의 간단한 설명

- [0085] 도 1은, 본 발명의 일실시예에 따른 반도체 메모리 시스템을 나타내는 도면이다.
- [0086] 도 2는, 도 1에 도시된 반도체 메모리 시스템(110)에 구비되는 제1 메모리 모듈(110)을 자세히 나타내는 도면이다.
- [0087] 도 3은, 본 발명의 일실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.
- [0088] 도 4a는 본 발명의 일실시예에 따른 종단저항부를 나타내는 도면이다.
- [0089] 도 4b는, 본 발명의 다른 실시예에 따른 종단저항부를 나타내는 도면이다.
- [0090] 도 4c는, 본 발명의 다른 실시예에 따른 종단저항부를 나타내는 도면이다.
- [0091] 도 4d는, 본 발명의 다른 실시예에 따른 종단저항부를 나타내는 도면이다.

도면2



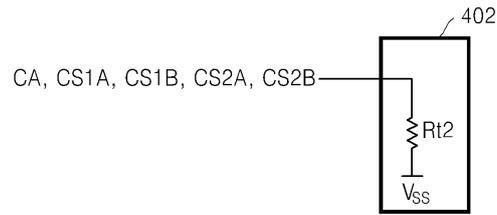
도면3



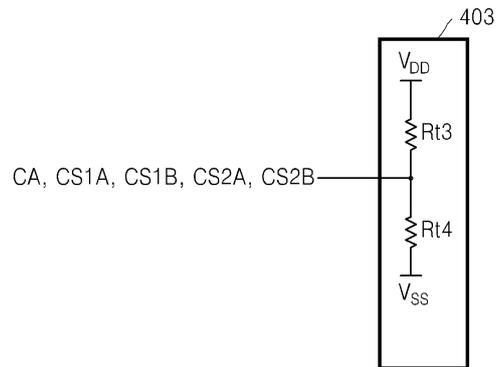
도면4a



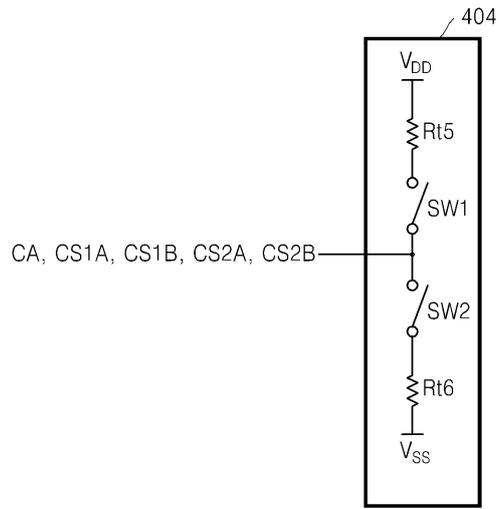
도면4b



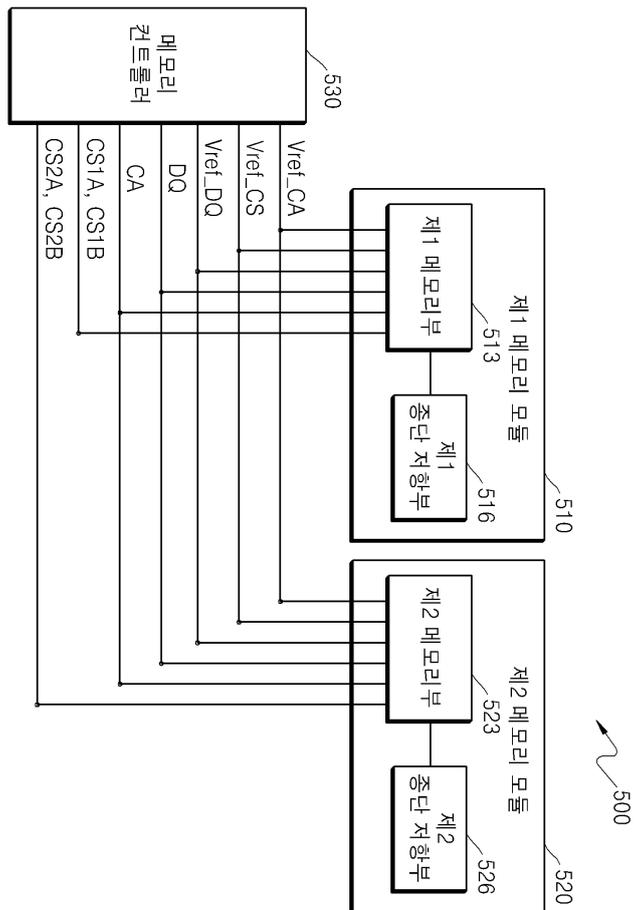
도면4c



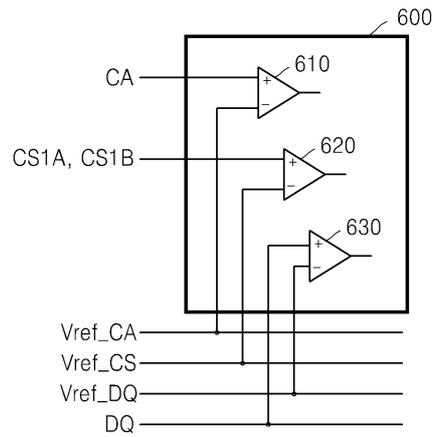
도면4d



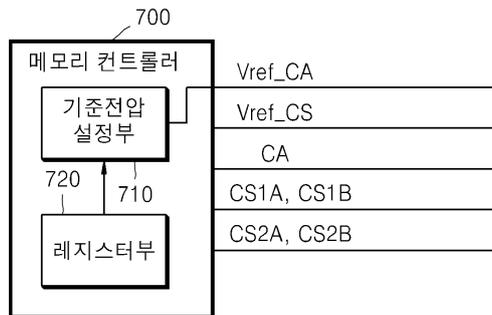
도면5



도면6



도면7



도면8

