



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월28일
(11) 등록번호 10-2143431
(24) 등록일자 2020년08월05일

(51) 국제특허분류(Int. Cl.)
H01L 21/266 (2006.01)
(21) 출원번호 10-2013-0151453
(22) 출원일자 2013년12월06일
심사청구일자 2018년11월09일
(65) 공개번호 10-2015-0066196
(43) 공개일자 2015년06월16일
(56) 선행기술조사문헌
KR1020090044810 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
백재직
경기도 성남시 분당구 무지개로 144, 521동 1404호 (구미동, 무지개마을청구아파트)
박상진
경기도 용인시 기흥구 한보라1로64번길 22, 104동 1406호 (보라동, 삼성래미안아파트)
(뒷면에 계속)
(74) 대리인
박영우

전체 청구항 수 : 총 8 항

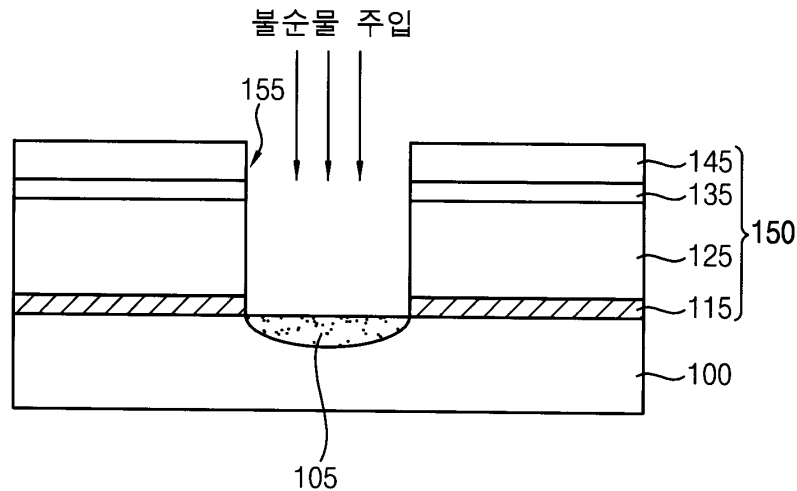
심사관 : 오창석

(54) 발명의 명칭 불순물 영역 형성 방법 및 반도체 소자의 제조 방법

(57) 요약

불순물 영역의 형성 방법에 있어서, 기판 상에 제1 보호막, 마스크막, 제2 보호막 및 포토 레지스트막을 순차적으로 형성한다. 포토 레지스트막을 부분적으로 제거하여 포토 레지스트 패턴을 형성한다. 포토 레지스트 패턴을 이용하여 제2 보호막, 마스크막, 제1 보호막을 순차적으로 식각함으로써 기판 상에 순차적으로 적층된 제1 보호막 패턴, 마스크막 패턴, 제2 보호막 패턴 및 포토 레지스트 패턴을 포함하는 이온 주입 마스크를 형성한다. 이온 주입 마스크에 의해 노출된 상기 기판 상부에 불순물을 주입한다. 복층 구조의 이온 주입 마스크를 이용하여 균일한 불순물 영역을 수득할 수 있다.

대표도 - 도5



(72) 발명자

윤보연

서울특별시 서초구 신반포로19길 10, 42동 304호
(반포동, 신반포한신아파트)

윤영상

경기도 수원시 권선구 입북로 50, 132동 301호 (입북동, 서수원자이아파트)

정지민

서울특별시 구로구 남부순환로97길 50, 101동 1204호 (개봉동, 상우아파트)

차지훈

서울특별시 서초구 사평대로 240, 503동 1404호
(반포동, 미도2차아파트)

(56) 선행기술조사문헌

KR1020120067712 A*

US20080026572 A1*

US06395596 B1

US20020020860 A1

US20030151109 A1

US20070148863 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기판 상에 제1 보호막, 마스크막, 제2 보호막 및 포토 레지스트막을 순차적으로 형성하는 단계;

상기 포토 레지스트막을 부분적으로 제거하여 포토 레지스트 패턴을 형성하는 단계;

상기 포토 레지스트 패턴을 이용하여 상기 제2 보호막, 상기 마스크막, 상기 제1 보호막을 순차적으로 식각함으로써 상기 기판 상에 순차적으로 적층된 제1 보호막 패턴, 마스크막 패턴, 제2 보호막 패턴 및 상기 포토 레지스트 패턴을 포함하는 이온 주입 마스크를 형성하는 단계; 및

상기 이온 주입 마스크에 의해 노출된 상기 기판 상부에 불순물을 주입하는 단계를 포함하며,

상기 제1 보호막은 폴리실리콘, 금속 및 금속 질화물로 이루어진 그룹에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 불순물 영역 형성 방법.

청구항 2

제1 항에 있어서, 상기 제2 보호막은 실리콘 산화물 또는 실리콘 산질화물을 포함하며, 상기 마스크막은 스피너온 하드 마스크 물질을 포함하는 것을 특징으로 하는 불순물 영역 형성 방법.

청구항 3

제2 항에 있어서, 상기 제2 보호막 및 상기 마스크막은 각각 서로 다른 반응 가스를 사용하는 건식 식각 공정에 의해 식각되는 것을 특징으로 하는 불순물 영역 형성 방법.

청구항 4

삭제

청구항 5

제1 항에 있어서, 상기 제1 보호막은 히드록시기를 포함하는 용액 또는 과산화수소를 포함하는 용액을 사용하는 습식 식각 공정에 의해 식각되는 것을 특징으로 하는 불순물 영역 형성 방법.

청구항 6

제1 항에 있어서, 상기 제1 보호막은 불소를 포함하는 반응 가스를 사용하는 건식 식각 공정을 통해 식각되는 것을 특징으로 하는 불순물 영역 형성 방법

청구항 7

삭제

청구항 8

제1 영역 및 제2 영역을 포함하는 기판을 마련하는 단계;

상기 제1 영역 및 상기 제2 영역 상에 각각 제1 게이트 구조물 및 제2 게이트 구조물을 형성하는 단계;

상기 제2 게이트 구조물을 커버하며 제1 보호막 패턴, 마스크막 패턴, 제2 보호막 패턴 및 포토 레지스트 패턴을 포함하는 제1 이온 주입 마스크를 형성하는 단계;

상기 제1 이온 주입 마스크에 의해 노출된 상기 제1 영역의 상기 기판 상부에 제1 불순물 영역을 형성하는 단계;

상기 제1 이온 주입 마스크를 제거하는 단계;

상기 제1 게이트 구조물을 커버하며 마스크막 패턴, 제2 보호막 패턴 및 포토 레지스트 패턴을 포함하는 제2 이온 주입 마스크를 형성하는 단계; 및

상기 제2 이온 주입 마스크에 의해 노출된 상기 제2 영역의 상기 기판 상부에 제2 불순물 영역을 형성하는 단계를 포함하며,

상기 제1 보호막 패턴은 폴리실리콘, 금속 및 금속 질화물로 이루어진 그룹에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9

제8 항에 있어서, 상기 제1 영역 및 상기 제2 영역은 메모리 셀 영역으로 제공되고,

상기 기판은 적어도 하나의 주변회로 영역 및 상기 주변회로 영역에 형성된 적어도 하나의 제3 게이트 구조물을 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 10

제9 항에 있어서, 상기 주변회로 영역에 제3 불순물 영역을 형성하는 단계를 더 포함하며, 상기 제3 불순물 영역을 형성하는 단계는,

상기 기판을 커버하는 포토레지스트막을 형성하는 단계;

상기 포토레지스트막을 부분적으로 제거하여 상기 주변회로 영역을 노출시키는 제3 이온 주입 마스크를 형성하는 단계; 및

상기 제3 이온 주입 마스크에 의해 노출된 상기 주변회로 영역의 상기 기판 상부에 불순물을 주입하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 불순물 영역 형성 방법 및 반도체 소자의 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 이온 주입용 마스크를 이용한 불순물 영역 형성 방법 및 이를 이용한 반도체 소자의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자의 트랜지스터 형성을 위해 기판 상에 게이트 구조물을 형성하고 상기 게이트 구조물에 인접한 기판 상부에 이온 주입 공정을 수행하여 불순물 영역을 형성할 수 있다. 상기 이온 주입 공정을 위해 불순물 영역이 형성되는 기판의 일부 영역을 노출시키는 이온 주입 마스크를 형성한다. 상기 이온 주입 마스크가 불균일하게 형성되는 경우 상기 불순물 영역 역시 불균일하게 형성되어 반도체 장치의 전기적 특성을 악화시킬 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 일 목적은 균일한 불순물 영역 형성 방법을 제공하는 것이다.

[0004] 본 발명의 다른 목적은 상기 불순물 영역 형성 방법을 이용한 반도체 소자의 제조방법을 제공하는 것이다.

[0005] 그러나, 본 발명이 해결하고자 하는 과제는 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0006] 상술한 본 발명의 일 목적을 달성하기 위한, 본 발명의 실시예들에 따른 불순물 영역 형성 방법에 있어서, 기판 상에 제1 보호막, 마스크막, 제2 보호막 및 포토 레지스트막을 순차적으로 형성한다. 상기 포토 레지스트막을 부분적으로 제거하여 포토 레지스트 패턴을 형성한다. 상기 포토 레지스트 패턴을 이용하여 상기 제2 보호막, 상기 마스크막, 상기 제1 보호막을 순차적으로 식각함으로써 상기 기판 상에 순차적으로 적층된 제1 보호막 패턴, 마스크막 패턴, 제2 보호막 패턴 및 상기 포토 레지스트 패턴을 포함하는 이온 주입 마스크를 형성한다. 상

기 이온 주입 마스크에 의해 노출된 상기 기판 상부에 불순물을 주입한다.

- [0007] 예시적인 실시예들에 있어서, 상기 제2 보호막은 실리콘 산화물 또는 실리콘 산질화물을 포함하며, 상기 마스크막은 스핀-온 하드 마스크 물질을 포함할 수 있다.
- [0008] 예시적인 실시예들에 있어서, 상기 마스크막은 카본 계열 폴리머 또는 비정질 카본을 포함하는 것을 특징으로 하는 불순물 영역 형성 방법,
- [0009] 예시적인 실시예들에 있어서, 상기 제2 보호막 및 상기 마스크막은 각각 서로 다른 반응 가스를 사용하는 건식 식각 공정에 의해 식각될 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 제1 보호막은 폴리실리콘을 포함할 수 있다.
- [0011] 예시적인 실시예들에 있어서, 상기 제1 보호막은 히드록시기를 포함하는 용액을 사용하는 습식 식각 공정에 의해 식각될 수 있다.
- [0012] 예시적인 실시예들에 있어서, 상기 제1 보호막은 금속 혹은 금속 질화물을 포함할 수 있다.
- [0013] 예시적인 실시예들에 있어서, 상기 제1 보호막은 과산화수소를 포함하는 용액을 사용하는 습식 식각 공정에 의해 식각될 수 있다.
- [0014] 예시적인 실시예들에 있어서, 상기 제1 보호막은 건식 식각 공정을 통해 식각될 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 건식 식각 공정은 불소를 포함하는 반응 가스를 사용하여 수행될 수 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 기판 상부에 불순물을 주입하기 이전에 상기 포토 레지스트 패턴을 먼저 제거할 수 있다. 이 경우, 상기 건식 식각 공정에 의해 제2 보호막 패턴이 동시에 제거될 수 있다.
- [0017] 상술한 본 발명의 다른 목적을 달성하기 위한, 본 발명의 실시예들에 따른 반도체 소자의 제조 방법에 있어서, 제1 영역 및 제2 영역을 포함하는 기판을 마련한다. 상기 제1 영역 및 상기 제2 영역 상에 각각 제1 게이트 구조물 및 제2 게이트 구조물을 형성한다. 상기 제2 게이트 구조물을 커버하며 제1 보호막 패턴, 마스크막 패턴, 제2 보호막 패턴 및 포토 레지스트 패턴을 포함하는 제1 이온 주입 마스크를 형성한다. 상기 제1 이온 주입 마스크에 의해 노출된 상기 제1 영역의 상기 기판 상부에 제1 불순물 영역을 형성한다. 상기 제1 이온 주입 마스크를 제거한다. 상기 제1 게이트 구조물을 커버하며 마스크막 패턴, 제2 보호막 패턴 및 포토 레지스트 패턴을 포함하는 제2 이온 주입 마스크를 형성한다. 상기 제2 이온 주입 마스크에 의해 노출된 상기 제2 영역의 상기 기판 상부에 제2 불순물 영역을 형성한다.
- [0018] 예시적인 실시예들에 있어서, 상기 제1 영역 및 상기 제2 영역은 메모리 셀 영역으로 제공되고, 상기 기판은 적어도 하나의 주변회로 영역 및 상기 주변회로 영역에 형성된 적어도 하나의 제3 게이트 구조물을 더 포함할 수 있다.
- [0019] 예시적인 실시예들에 있어서, 상기 주변회로 영역에 제3 불순물 영역을 더 형성할 수 있다. 상기 제3 불순물 영역을 형성하기 위해, 상기 기판을 커버하는 포토레지스트막을 형성한다. 상기 포토레지스트막을 부분적으로 제거하여 상기 주변회로 영역을 노출시키는 제3 이온 주입 마스크를 형성한다. 상기 제3 이온 주입 마스크에 의해 노출된 상기 주변회로 영역의 상기 기판 상부에 불순물을 주입한다.
- [0020] 예시적인 실시예들에 있어서, 상기 기판 상에 상기 제1 게이트 구조물 및 상기 제2 게이트 구조물을 커버하는 스페이서막을 더 형성할 수 있다.

발명의 효과

- [0021] 진술한 바와 같이, 본 발명의 실시예들에 의한 불순물 영역 형성 방법에 따르면, 복층 구조를 갖는 이온 주입 마스크를 사용하여 반도체 기판에 불순물을 주입할 수 있다. 예를 들어, 상기 이온 주입 마스크는 제1 보호막, 마스크막, 제2 보호막 및 포토 레지스트막을 순차적으로 형성한 후 각 층을 식각하여 형성될 수 있다.
- [0022] 상기 이온 주입 마스크 형성시 상기 각 층에 선택적인 식각 물질 또는 식각 방법을 적절히 선택하여 균일한 측벽 프로파일을 갖는 이온 주입 마스크를 형성할 수 있으며, 상기 반도체 기판 또는 상기 반도체 기판 상에 형성된 막구조물의 손상을 방지할 수 있다. 이에 따라, 예를 들어 포토 레지스트막을 사용하여 형성된 단층 구조의 이온 주입 마스크를 사용하는 경우 보다 원하는 농도, 깊이 및/또는 면적을 갖는 불순물 영역을 용이하게 형성

할 수 있다.

도면의 간단한 설명

[0023] 도 1 내지 도 5는 예시적인 실시예들에 따른 불순물 영역의 형성 방법을 설명하기 위한 단면도들이다.
 도 6 내지 도 17은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.
 도 18 내지 도 30은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.
 도 31 내지 도 52는 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도 및 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

[0025] 본 발명의 각 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.

[0026] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0027] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0028] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기판, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기판 상에 추가적으로 형성될 수 있다.

[0029] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.

[0030] 즉, 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0031] 도 1 내지 도 5는 예시적인 실시예들에 따른 불순물 영역의 형성 방법을 설명하기 위한 단면도들이다.

[0032] 도 1을 참조하면, 기판(100) 상에 제1 보호막(110), 마스크막(120), 제2 보호막(130) 및 포토 레지스트막(140)을 순차적으로 형성한다.

[0033] 기판(100)은 실리콘 기판, 게르마늄 기판, 실리콘-게르마늄 기판, 실리콘-온-인슐레이터(Silicon-On-Insulator: SOI) 기판, 게르마늄-온-인슐레이터(Germanium-On-Insulator: GOI) 기판 등과 같은 반도체 기판과, GaP 기판, GaAs 기판, GaSb 기판 등 과 같은 III-V족 반도체 기판을 포함할 수 있다.

[0034] 예시적인 실시예들에 따르면, 기판(100) 상에는 액티브 영역을 정의하는 소자 분리막(도시되지 않음), 게이트 구조물(도시되지 않음), 상기 게이트 구조물 상에 형성되는 스페이서 막(도시되지 않음) 등의 구조물들이 더 형성될 수 있다.

[0035] 제1 보호막(110)은 폴리실리콘을 사용하여 형성될 수 있다. 일 실시예에 있어서, 제1 보호막(110)은 금속 또는 금속 질화물을 사용하여 형성될 수 있다. 상기 금속 또는 금속 질화물의 예로서, 티타늄(Ti), 티타늄 질화물

(TiN), 텅스텐(W), 텅스텐 질화물(WN) 등을 들 수 있다. 이들은 단독으로 혹은 2 이상을 조합하여 사용될 수 있다. 제1 보호막(110)은 원자층 증착 (Atomic Layer Deposition: ALD) 공정, 물리 기상 증착(Physical Vapor Deposition: PVD) 공정, 스퍼터링(sputtering) 공정 등을 통해 획득될 수 있다.

- [0036] 마스크막(120)은 스핀-온(spin-on) 코팅 방식으로 형성되는 하드 마스크 물질을 포함할 수 있다. 예를 들어, 마스크막(120)은 카본 계열의 폴리머 혹은 비정질 카본 등을 사용하여 형성될 수 있다.
- [0037] 제2 보호막(130)은 실리콘 산화물(SiO_x) 또는 실리콘 산질화물(SiON)을 사용하여 형성될 수 있다. 제2 보호막(130)은 화학 기상 증착(Chemical Vapor Deposition: CVD) 공정, 플라즈마 강화 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD), 스핀 코팅(spin coating) 공정 등을 통해 획득될 수 있다.
- [0038] 포토 레지스트막(140)은 제2 보호막(130) 상에 감광성 조성물을 도포하여 형성될 수 있다. 예를 들어, 포토 레지스트막(140)은 노광된 부분이 용해되어 제거되는 포지티브(positive) 형 감광성 조성물을 사용하여 형성될 수 있다. 상기 감광성 조성물을 도포 후, 베이킹(baking) 공정 등을 통해 포토 레지스트막(140)을 획득할 수 있다.
- [0039] 예시적인 실시예들에 따르면, 제1 보호막(110), 마스크막(120), 제2 보호막(130) 및 포토 레지스트막(140) 중에서 제1 보호막(110)이 가장 얇은 두께로 형성될 수 있다. 또한, 마스크막(120)이 가장 두꺼운 두께로 형성될 수 있다.
- [0040] 도 2를 참조하면, 포토 레지스트막(140)을 부분적으로 제거하여 포토 레지스트 패턴(145)을 형성한다. 예시적인 실시예들에 따르면, 포토 레지스트막(140) 상에 노광 마스크를 배치하고 EUV, ArF, 전자 빔(Electron Beam: EB) 등을 사용하여 노광 공정을 수행한다. 이후, 노광된 부분을 현상액을 이용하여 제거함으로써 포토 레지스트 패턴(145)을 획득할 수 있다. 현상 공정 이후, 추가적인 베이킹 공정을 더 수행할 수도 있다. 한편, 상기 노광 공정시 제2 보호막(130)은 반사 방지막 역할을 수행할 수도 있다.
- [0041] 도 3을 참조하면, 포토 레지스트 패턴(145)을 식각 마스크로 사용하여 제2 보호막(130) 및 마스크막(120)을 부분적으로 식각함으로써, 제2 보호막 패턴(135) 및 마스크막 패턴(125)을 형성한다.
- [0042] 예시적인 실시예들에 따르면, 제2 보호막(130) 및 마스크막(120)은 건식 식각 공정을 통해 부분적으로 제거될 수 있다. 예를 들어, 제2 보호막(130)은 불화 황(SF₆), 불화 수소(HF), 불화 브롬(HBr), 불화 암모늄(NH₄F), 불화 질소(NF₃) 등과 같은 불소계 가스를 이용한 건식 식각 공정을 통해 부분적으로 제거될 수 있다. 마스크막(120)은 예를 들어, 질소(N₂) 및/또는 산소(O₂)를 반응 가스로 사용하는 반응성 이온 에칭(Reactive Ion Etching: RIE) 공정을 통해 부분적으로 제거될 수 있다. 일 실시예에 있어서, 제2 보호막(130) 및 마스크막(120)은 동일한 식각 챔버 내에서 반응 가스를 다르게 적용하여 인-시튜(In-Situ)로 식각될 수 있다.
- [0043] 상술한 바와 같이, 상대적으로 마스크막(120)의 높이가 높아 식각량이 많아지므로 포토 레지스트 패턴(145)이 상기 식각 공정 동안 손상될 수 있다. 예시적인 실시예들에 따르면, 포토 레지스트 패턴(145)과 마스크막(120) 사이에 제2 보호막 패턴(135)이 추가적으로 형성되므로, 포토 레지스트 패턴(145)의 손상을 보충할 수 있다. 따라서, 원하는 형상으로 균일한 측면 프로파일을 갖는 마스크막 패턴(125)을 획득할 수 있다.
- [0044] 도 4a를 참조하면, 마스크막 패턴(125)에 의해 노출된 제1 보호막(110) 부분을 식각함으로써 제1 보호막 패턴(115)을 형성한다. 예시적인 실시예들에 따르면, 제1 보호막(110)은 식각 용액을 사용하는 습식 식각 공정을 통해 부분적으로 제거될 수 있다. 예를 들어, 제1 보호막(110)이 폴리실리콘을 포함하는 경우 히드록시기(-OH)를 포함하는 식각 용액을 사용할 수 있다. 상기 식각 용액은 암모늄 히드록사이드(NH₄OH), 테트라메틸암모늄 히드록사이드(tetramethyl ammonium hydroxide: TMAH), 테트라에틸암모늄 히드록사이드(tetraethyl ammonium hydroxide: TEAH), 수산화나트륨(NaOH), 수산화칼륨(KOH) 등을 포함할 수 있다. 이들은 단독으로 혹은 2 이상을 조합하여 사용할 수 있다.
- [0045] 제1 보호막(110)이 금속 또는 금속 질화물을 포함하는 경우, 상기 식각 용액은 과산화수소(H₂O₂) 혹은 과산화수소와 염산, 질산, 황산 등과 같은 산성 용액을 혼합한 용액을 사용할 수 있다.
- [0046] 일 실시예에 따르면, 제1 보호막(110)은 건식 식각 공정을 통해 부분적으로 제거될 수도 있다. 이 경우, SF₆, HF, NF₃, Cl₂, HBr 등의 물질이 반응 가스로 사용될 수 있다. 이들은 단독으로 혹은 2 이상이 조합되어 사용될 수 있다.
- [0047] 제1 보호막 패턴(115)이 형성됨에 따라 후속 공정에서 이온이 주입될 기관 상부를 노출시키는 개구부(155) 및

이온 주입 마스크(150)가 형성될 수 있다. 이온 주입 마스크(150)는 기판(100) 상에 순차적으로 적층된 제1 보호막 패턴(115), 마스크막 패턴(125), 제2 보호막 패턴(135) 및 포토 레지스트 패턴(145)을 포함할 수 있다.

[0048] 도 4b를 참조하면, 이온 주입 마스크(150a)는 제1 보호막 패턴(115) 및 마스크막 패턴(125) 패턴으로 정의될 수도 있다. 이 경우, 제1 보호막(115)을 식각하기 전에 포토 레지스트 패턴(145)을 애싱(ahing) 및/또는 스트립(strip) 공정을 통해 먼저 제거한다. 이후, 제1 보호막(115)을 상술한 반응 가스를 이용한 건식 식각 공정을 통해 부분적으로 제거하여 제1 보호막 패턴(115)을 형성한다. 이 때, 마스크막 패턴(125) 상에 형성된 제2 보호막 패턴(135)도 함께 제거될 수 있다. 또한, 제1 보호막 패턴(115) 상에 존재하는 자연 산화막도 함께 제거될 수 있다. 상기 반응 가스는 SF₆, HF, NH₄F, NF₃ 등과 같은 불소계 가스를 사용할 수 있다. 이에 따라, 이온 주입 마스크(150a)는 제1 보호막 패턴(115) 및 마스크막 패턴(125)에 의해 정의될 수 있으며, 이온 주입 마스크(150a)에 의해 기판(100) 상부를 노출시키는 개구부(155a)가 형성된다.

[0049] 도 5를 참조하면, 이온 주입 마스크(150)를 이용하여 불순물 들을 주입함으로써 기판(100) 상부의 소정의 영역에 불순물 영역(105)을 형성할 수 있다. 예를 들어, 노출된 기판(100)의 영역이 NMOS 영역인 경우, 상기 불순물 들은 인(P), 비소(As) 등과 같은 n형 불순물을 포함할 수 있다. 이와는 달리, 노출된 기판(100)의 영역이 PMOS 영역인 경우, 상기 불순물들은 붕소(B), 갈륨(Ga) 등과 같은 p형 불순물을 포함할 수 있다.

[0050] 상술한 예시적인 실시예들에 따르면, 이온 주입 마스크(150) 형성시 포토레지스트 패턴(145)을 이용해 마스크막(120)을 건식 식각 공정을 통해 패터닝하고, 이어서 제1 보호막(110)을 선택적으로 제거한다. 상기 이온 주입 마스크를 포토 레지스트막 만을 사용하여 형성하는 경우, 노광 공정 수행시 상기 포토 레지스트막 하부까지 충분한 노광량이 공급되지 못하는 문제점이 발생할 수 있다. 이 경우, 상기 이온 주입 마스크로 사용되는 포토 레지스트 패턴이 하부에서 폭이 넓어지는 포토 레지스트 테일(photoresist tail: PR-tail) 현상이 발생할 수 있다. 상기 PR-tail에 의해 이온 주입이 일부 차단되거나 방해될 수 있으며, 원하는 형상의 균일한 농도의 불순물 영역을 형성하기가 곤란할 수 있다. 상술한 문제점은, 기판(100) 상에 높은 종횡비 및/또는 미세 피치를 갖는 게이트 구조물, 단차부 등과 같은 구조물들이 배치된 경우 더욱 심화될 수 있다.

[0051] 그러나, 예시적인 실시예들에 따르면, 포토 레지스트 패턴(145)은 제2 보호막(130) 및 마스크막(120) 패터닝을 위한 마스크로 사용되며, 건식 식각된 마스크막 패턴(125)이 실질적으로 이온 주입 마스크로 사용된다. 마스크막 패턴(125)은 균일한 측벽 프로파일을 가지므로 균일한 이온 주입이 가능하다. 또한, 마스크막 패턴(125) 형성 후, 제1 보호막(110)이 선택적 식각 공정에 의해 제거되므로 제1 보호막(110) 하부의 기판(100) 및/또는 막 구조물들의 손상을 방지할 수 있다.

[0052] 한편, 포토 레지스트 패턴(145)이 노광 오차로 인해 미정렬 또는 오형성된 경우 형성된 포토 레지스트 패턴(145)을 박리하는 리워크(rework) 공정을 수행할 수 있다. 이 경우, 포토 레지스트 패턴(145) 및 마스크막(120) 사이에 제2 보호막(130)이 배치되므로 마스크막(120)의 손상 없이 포토 레지스트 패턴(145)만 선택적으로 박리될 수 있다.

[0053] 또한, 도 4b에 도시된 바와 같이 포토 레지스트 패턴(145) 및 제2 보호막 패턴(135)을 이온 주입 공정 전에 제거한 경우에는 이온 주입 마스크(150a)의 높이를 감소시킬 수 있으므로, 상기 이온 주입 공정의 투영 거리(Rp)를 보다 용이하게 조절할 수 있다.

[0054] 도 6 내지 도 17은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다. 도 1 내지 도 5를 참조로 설명한 구성, 재료 및/또는 공정들과 실질적으로 동일하거나 유사한 구성, 재료 및/또는 공정들에 대한 상세한 설명은 생략한다. 또한, 도 1 내지 도 5를 참조로 설명한 구성과 실질적으로 동일하거나 유사한 구성에 대해서는 유사한 참조부호를 사용한다.

[0055] 도 6을 참조하면, 제1 영역(I) 및 제2 영역(II)을 포함하는 기판(200)을 마련한다. 예시적인 실시예들에 따르면, 제1 영역(I) 및 제2 영역(II)은 각각 NMOS 영역 및 PMOS 영역으로 제공될 수 있다. 이 경우, 기판(200)의 제1 영역(I)에는 p형 불순물을 도핑하여 기판(100) 상부에 p형 웰(도시되지 않음)을 형성하고, 기판(200)의 제2 영역(II)에는 n형 불순물을 도핑하여 기판(100) 상부에 n형 웰(도시되지 않음)을 형성할 수 있다. 이후, 얇은 트렌치 소자 분리(Shallow Trench Isolation: STI) 공정을 수행하여 소자 분리막(202)을 형성할 수 있다. 소자 분리막(202)에 의해 기판(200)의 액티브 영역 및 필드 영역이 구분될 수 있다.

[0056] 도 7을 참조하면, 기판(200)의 제1 영역(I) 및 제2 영역(II)에 각각 제1 게이트 구조물(242) 및 제2 게이트 구조물(244)을 형성한다.

- [0057] 제1 게이트 구조물(242)는 기판(200)의 제1 영역(I) 상에 순차적으로 적층된 제1 게이트 절연막 패턴(212), 제1 게이트 전극(222) 및 제1 게이트 마스크(232)를 포함할 수 있다. 제2 게이트 구조물(244)은 기판(200)의 제2 영역(II) 상에 순차적으로 적층된 제2 게이트 절연막 패턴(214), 제2 게이트 전극(224) 및 제2 게이트 마스크(234)를 포함할 수 있다.
- [0058] 예시적인 실시예들에 따르면, 기판(200) 상에 게이트 절연막, 게이트 전극막 및 게이트 마스크막을 순차적으로 형성하고, 사진 식각 공정을 통해 이들을 패터닝하여 제1 게이트 구조물(242) 및 제2 게이트 구조물(244)을 형성할 수 있다.
- [0059] 상기 게이트 절연막은 실리콘 산화물 혹은 금속 산화물을 사용하여 형성될 수 있다. 일 실시예에 있어서, 상기 게이트 절연막은 기판(200) 상부에 열 산화 공정을 수행하여 형성될 수도 있다. 상기 게이트 전극막은 도핑된 폴리실리콘, 금속, 금속 질화물 또는 금속 실리사이드를 사용하여 형성될 수 있다. 예를 들면, 상기 게이트 전극막은 몰리브덴, 티타늄, 탄탈륨, 하프늄, 지르코늄, 알루미늄, 텅스텐, 탄탈륨 실리사이드, 탄탈륨 알루미늄, 티타늄 실리사이드, 티타늄 알루미늄, 몰리브덴 질화물, 티타늄 질화물, 탄탈륨 질화물, 하프늄 질화물, 지르코늄 질화물, 알루미늄 질화물, 텅스텐 질화물, 탄탈륨 실리사이드 질화물, 탄탈륨 알루미늄 질화물, 티타늄 실리사이드 질화물, 티타늄 알루미늄 질화물 등을 사용하여 형성될 수 있다. 상기 게이트 마스크막은 실리콘 질화물을 사용하여 형성될 수 있다. 상기 게이트 절연막, 상기 게이트 전극막 및 상기 게이트 마스크막은 CVD 공정, PVD 공정, ALD 공정 등을 통해 수득될 수 있다. 일 실시예에 있어서, 상기 게이트 마스크막은 생략될 수도 있으며, 이 경우 게이트 구조물들(242, 244)에서 게이트 마스크들(232, 234)은 형성되지 않을 수 있다.
- [0060] 도 8을 참조하면, 기판(200) 상에 제1 게이트 구조물(242) 및 제2 게이트 구조물(244)을 덮는 스페이서막(250)을 형성한다. 스페이서막(250)은 실리콘 질화물을 사용하여 CVD 공정, PECVD 공정 등을 통해 수득될 수 있다.
- [0061] 도 9를 참조하면, 도 1을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행할 수 있다. 이에 따라, 기판(200) 상에 순차적으로 적층되며 스페이서막(250), 제1 게이트 구조물(242) 및 제2 게이트 구조물(244)을 덮는 제1 보호막(310), 마스크막(320), 제2 보호막(330) 및 포토 레지스트막(340)을 형성한다.
- [0062] 예시적인 실시예들에 따르면, 제1 보호막(310)은 스페이서막(250)의 전면에 형성되며, 마스크막(320)은 제1 및 제2 게이트 구조물들(242, 244)을 완전히 커버하도록 형성될 수 있다.
- [0063] 도 10을 참조하면, 도 2 내지 도 4a를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정을 수행하여, 기판(200)의 제1 영역(I) 상에 형성된 포토 레지스트막(340), 제2 보호막(330), 마스크막(320) 및 제1 보호막(310) 부분들을 순차적으로 제거할 수 있다. 이에 따라, 기판(200)의 제1 영역(I)을 노출시키는 제1 이온 주입 마스크(350a) 및 제1 개구부(355a)를 형성할 수 있다. 제1 이온 주입 마스크(350a)는 기판(200)의 제2 영역(II) 상에 순차적으로 적층된 제1 보호막 패턴(315a), 마스크막 패턴(325a), 제2 보호막 패턴(335a) 및 포토 레지스트 패턴(345a)을 포함할 수 있다. 예시적인 실시예들에 따르면, 마스크막 패턴(325a)을 건식 식각 공정을 통해 형성한 후, 노출된 제1 보호막(310) 부분을 스페이서막(250)에 대해 낮은 식각 선택비를 갖는 식각액 혹은 식각 가스를 이용하여 제거하므로, 스페이서막(250)의 손상을 방지할 수 있다.
- [0064] 일 실시예에 있어서, 도 4b를 참조로 설명한 바와 같이 포토 레지스트 패턴(345a) 및 제2 보호막 패턴(335a)이 함께 제거되어 제1 이온 주입 마스크(350a)는 제1 보호막 패턴(315a) 및 마스크막 패턴(325a)으로 정의될 수도 있다.
- [0065] 도 11을 참조하면, 제1 이온 주입 마스크(350a)를 사용하여 제1 영역(I)의 기판(200) 상부에 제1 불순물을 주입한다. 이에 따라, 제1 게이트 구조물(242)에 인접한 기판(200) 상부에 제1 불순물 영역(205)을 형성할 수 있다. 상술한 바와 같이, 제1 영역(I)이 NMOS 영역으로 제공되는 경우 상기 제1 불순물은 인, 비소와 같은 n형 불순물을 포함할 수 있다.
- [0066] 도 12를 참조하면, 애싱 및/또는 스트립 공정을 수행하여 기판(200)의 제2 영역(II) 상에 형성된 포토 레지스트 패턴(345a), 제2 보호막 패턴(335a) 및 마스크막 패턴(325a)을 제거할 수 있다. 이 때, 제1 보호막 패턴(315a)은 제거되지 않고 잔류시킴으로써, 후속 공정에서 제2 이온 주입 마스크(350b, 도 14 참조) 형성시 활용될 수 있다.
- [0067] 도 13을 참조하면, 기판(200) 상에 스페이서막(250)과 제1 보호막 패턴(215a)을 덮는 마스크막(320), 제2 보호막(330) 및 포토 레지스트막(340)을 다시 형성한다. 이에 따라, 기판(200)의 제1 영역(I)은 스페이서막(250) 상에 마스크막(320), 제2 보호막(330) 및 포토 레지스트막(340)이 적층된 구조를 가지며, 제2 영역(II)에서는 스

페이서막(250) 상에 제1 보호막 패턴(315a), 마스크막(320), 제2 보호막(330) 및 포토 레지스트막(340)이 적층된 구조를 가질 수 있다.

- [0068] 도 14를 참조하면, 도 2 및 도 3을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정을 수행하여, 기관(200)의 제2 영역(II) 상에 형성된 포토 레지스트막(340), 제2 보호막(330) 및 마스크막(320) 부분들을 제거한다. 이에 따라, 기관(200)의 제1 영역(I) 상에는 기관(200)의 제2 영역(II)을 노출시키는 제2 이온 주입 마스크(350b) 및 제2 개구부(355b)가 형성될 수 있다. 예시적인 실시예들에 따르면, 제2 이온 주입 마스크(350b)는 스페이서막(250) 상에 순차적으로 적층된 마스크막 패턴(325b), 제2 보호막 패턴(335b) 및 포토 레지스트 패턴(345b)을 포함할 수 있다.
- [0069] 일 실시예에 있어서, 제2 이온 주입 마스크(350b)는 제1 보호막 패턴(315a)을 덮지 않도록 형성될 수 있다. 제2 이온 주입 마스크(350b)가 제1 보호막 패턴(315a)을 덮는 경우, 제2 불순물 주입 공정(도 15 참조)을 수행하고 제2 이온 주입 마스크(350b)를 제거한 후에도 제1 보호막 패턴(315a)중 제2 이온 주입 마스크(350b)에 의해 덮힌 부분이 남아있을 수 있다. 따라서, 제2 이온 주입 마스크(350b)는 제1 보호막 패턴(315a)을 덮지 않도록 스페이서막(250) 상에만 형성될 수 있다.
- [0070] 도 15를 참조하면, 도 4a를 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행하여 제1 보호막 패턴(315a)을 제거할 수 있다. 일 실시예에 있어서, 도 4b를 참조로 설명한 바와 같이 포토 레지스트 패턴(345b)을 먼저 제거하고, 제1 보호막 패턴(315a)을 제거하면서 제2 보호막 패턴(335b)도 함께 제거될 수 있다. 이 경우, 제2 이온 주입 마스크(350b)는 마스크막 패턴(325b)만으로 정의될 수 있다.
- [0071] 이후, 제2 이온 주입 마스크(350b)를 사용하여 제2 영역(II)의 기관(200) 상부에 제2 불순물을 주입한다. 이에 따라, 제2 게이트 구조물(244)에 인접한 기관(200) 상부에 제2 불순물 영역(207)을 형성할 수 있다. 상술한 바와 같이, 제2 영역(II)이 PMOS 영역으로 제공되는 경우 상기 제2 불순물은 붕소, 갈륨 등과 같은 p형 불순물을 포함할 수 있다.
- [0072] 제2 불순물 영역(207)이 형성됨에 따라, 제1 영역(I)에 형성된 NMOS 트랜지스터 및 제2 영역(II)에 형성된 PMOS 트랜지스터를 포함하는 CMOS 트랜지스터 구조가 정의될 수 있다.
- [0073] 예시적으로, NMOS 영역에 상기 제1 불순물 주입 공정을 수행하고, PMOS 영역에 상기 제2 불순물 주입 공정을 수행하는 것으로 설명하였으나, 그 순서에 한정되는 것은 아니다. 예를 들어, PMOS 영역을 먼저 노출시키는 제1 이온 주입 마스크를 형성하여 제1 불순물 주입 공정을 수행하고, NMOS 영역을 노출시키는 제2 이온 주입 마스크를 형성하여 제2 불순물 주입 공정을 수행할 수도 있다.
- [0074] 도 16을 참조하면, 애싱 및/또는 스트립 공정을 통해 제2 이온 주입 마스크(350b)를 제거할 수 있다. 이어서, 스페이서막(250)을 이방성 식각 공정 또는 에치-백(etch-back) 공정을 통해 부분적으로 제거하여 제1 및 제2 게이트 구조물들(242, 244)의 측벽들 상에 제1 게이트 스페이서(253) 및 제2 게이트 스페이서(255)를 형성할 수 있다. 스페이서막(250)이 부분적으로 식각됨에 따라, 제1 및 제2 불순물 영역들(205, 207)이 노출될 수 있다.
- [0075] 도 17을 참조하면, 배선 구조물들을 추가적으로 형성하여 예시적인 실시예들에 따른 반도체 소자를 획득할 수 있다.
- [0076] 기관(200) 상에 제1 및 제2 게이트 구조물들(242, 244)을 덮는 제1 층간 절연막(260)을 형성한다. 제1 층간 절연막(260)은 실리콘 산화물과 같은 절연 물질을 사용하여 CVD 공정, PECVD 공정, 스프인 코팅 공정 등을 통해 형성될 수 있다.
- [0077] 제1 층간 절연막(260)을 관통하여 제1 및 제2 불순물 영역들(205, 207)과 각각 접촉하는 플러그들(265)이 형성될 수 있다. 예시적인 실시예들에 따르면, 제1 층간 절연막(260)을 부분적으로 식각하여 제1 및 제2 불순물 영역들(205, 207)을 노출시키는 콘택홀들을 형성할 수 있다. 제1 층간 절연막(260)과 노출된 제1 및 제2 불순물 영역(205, 207) 상에 상기 콘택홀들을 채우는 제1 도전막을 형성한 후, 상기 제1 도전막을 평탄화하여 플러그들(265)을 형성할 수 있다.
- [0078] 제1 층간 절연막(260) 상에 제2 도전막을 형성한 후, 상기 제2 도전막을 패터닝하여 플러그들(265)과 전기적으로 연결되는 배선들(270)을 형성할 수 있다.
- [0079] 상기 제1 도전막 및 상기 제2 도전막은 티타늄, 티타늄 질화물, 텅스텐, 텅스텐 질화물, 알루미늄 등과 같은 금속 혹은 금속 질화물을 사용하여 스퍼터링 공정, PVD 공정, ALD 공정 등을 통해 형성될 수 있다.

- [0080] 이후, 배선들(270)을 덮는 제2 층간 절연막(280)을 형성할 수 있다. 제2 층간 절연막(280)은 실리콘 산화물과 같은 절연물질을 사용하여 CVD 공정, PECVD 공정, 스핀 코팅 공정 등을 통해 형성될 수 있다.
- [0081] 도시되지는 않았으나 배선들(270)과 전기적으로 연결되는 패드, 메모리 유닛 등의 구조물들을 더 형성할 수도 있다.
- [0082] 도 18 내지 도 30은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다. 도 1 내지 도 5 및 도 6 내지 도 17을 참조로 설명한 구성, 재료 및/또는 공정들과 실질적으로 동일하거나 유사한 구성, 재료 및/또는 공정들에 대한 상세한 설명은 생략한다. 또한, 도 1 내지 도 5 및 도 6 내지 도 17을 참조로 설명한 구성과 실질적으로 동일하거나 유사한 구성에 대해서는 유사한 참조부호를 사용한다.
- [0083] 도 18을 참조하면, 제1 영역(I), 제2 영역(II), 제3 영역(III) 및 제4 영역(IV)을 포함하는 기판(400)을 마련한다. 예시적인 실시예들에 따르면, 제1 영역(I) 및 제2 영역(II)은 기판(400)의 메모리 셀 영역에 해당할 수 있으며, 제3 영역(III) 및 제4 영역(IV)은 기판(400)의 주변회로 영역에 해당할 수 있다. 한편, 제1 영역(I) 및 제4 영역(IV)은 NMOS 영역으로 제공될 수 있으며, 제2 영역(II) 및 제3 영역(III)은 PMOS 영역으로 제공될 수 있다. 이 경우, 도 6을 참조로 설명한 바와 같이 제1 영역(I) 및 제4 영역(IV)의 기판(400) 상부에는 p형 웰(도시되지 않음)이 형성되고, 제2 영역(II) 및 제3 영역(III)의 기판(400) 상부에는 n형 웰(도시되지 않음)이 형성될 수 있다. 한편, STI 공정을 통해 기판(400)의 액티브 영역 및 필드 영역을 구분하는 소자 분리막(402)이 형성될 수 있다.
- [0084] 이후, 도 7을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행하여 기판(400)의 제1 영역(I), 제2 영역(II), 제3 영역(III) 및 제4 영역(IV) 상에 각각 제1 게이트 구조물(441), 제2 게이트 구조물(443), 제3 게이트 구조물(445) 및 제4 게이트 구조물(447)을 형성할 수 있다. 제1 게이트 구조물(441)은 제1 게이트 절연막 패턴(411), 제1 게이트 전극(421) 및 제1 게이트 마스크(431)가 기판(400) 상에 순차적으로 적층된 구조로 형성될 수 있다. 이와 유사하게, 제2 내지 제4 게이트 구조물(443, 445, 447) 역시 제2 내지 제4 게이트 절연막 패턴(413, 415, 417), 제2 내지 제4 게이트 전극(423, 425, 427) 및 제2 내지 제4 게이트 마스크(433, 435, 437)이 기판(400) 상에 순차적으로 적층된 구조를 가질 수 있다.
- [0085] 예시적인 실시예들에 따르면, 제1 영역(I) 및 제2 영역(II)은 바로 인접하도록 위치할 수 있다. 또는, 제1 영역(I) 및 제2 영역(II) 사이의 간격은 다른 영역들 사이의 간격보다 작을 수 있다.
- [0086] 도 18에서는 제1 영역(I), 제2 영역(II), 제3 영역(III) 및 제4 영역(IV) 각각에 하나의 게이트 구조물이 형성되는 것으로 도시하였으나, 각 영역에 복수의 게이트 구조물들이 형성될 수도 있다. 이 경우, 메모리 셀 영역에 해당하는 제1 영역(I) 및 제2 영역(II)에서 상기 게이트 구조물들이 보다 좁은 간격 혹은 피치로 형성될 수 있다.
- [0087] 도 19를 참조하면, 도 8을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행하여 기판(400) 상에 게이트 구조물들(441, 443, 445, 447)을 덮는 스페이서막(450)을 형성할 수 있다.
- [0088] 도 20을 참조하면, 도 1 또는 도 9를 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행한다. 이에 따라, 스페이서막(450) 상에 게이트 구조물들(441, 443, 445, 447)을 커버하는 제1 보호막(510), 마스크막(520), 제2 보호막(530) 및 제1 포토 레지스트막(540)을 형성할 수 있다.
- [0089] 도 21을 참조하면, 도 2 내지 도 4a 또는 도 10을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다. 이에 따라, 기판(400)의 제1 영역(I)을 노출시키는 제1 이온 주입 마스크(550a) 및 제1 개구부(555a)를 형성할 수 있다. 제1 이온 주입 마스크(550a)는 기판(400)의 제2 영역(II), 제3 영역(III) 및 제4 영역(IV)을 실질적으로 커버하며, 기판(400) 상에 순차적으로 적층된 제1 보호막 패턴(515a), 마스크막 패턴(525a), 제2 보호막 패턴(535a) 및 제1 포토 레지스트 패턴(545a)을 포함할 수 있다.
- [0090] 일 실시예에 있어서, 도 4b를 참조로 설명한 바와 같이 포토 레지스트 패턴(545a) 및 제2 보호막 패턴(535a)이 함께 제거되어 제1 이온 주입 마스크(550a)는 제1 보호막 패턴(515a) 및 마스크막 패턴(525a)으로 정의될 수도 있다.
- [0091] 도 22를 참조하면, 도 11을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행하여, 제1 게이트 구조물(441)과 인접한 제1 영역(I)의 기판(400) 상부에 제1 불순물을 주입함으로써 제1 불순물 영역(403)을 형성할 수 있다. 예시적인 실시예들에 따르면, 상기 제1 불순물은 인, 비소와 같은 n형 불순물을 포함할 수 있다.
- [0092] 도 23을 참조하면, 도 12 내지 도 14를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한

다. 구체적으로, 애싱 및/또는 스트립 공정을 통해 제1 포토 레지스트 패턴(545a), 제2 보호막 패턴(535a) 및 마스크막 패턴(525a)을 제거한다. 이후, 기관(400) 상에 마스크막, 제2 보호막 및 제1 포토 레지스트막을 다시 형성한 후 이를 부분적으로 식각하여 기관(400)의 제2 영역(II)을 노출시키는 제2 이온 주입 마스크(550b) 및 제2 개구부(555b)를 형성할 수 있다.

- [0093] 예시적인 실시예들에 따르면, 제2 이온 주입 마스크(550b)는 제1 영역(I)에서는 마스크막 패턴(525b), 제2 보호막 패턴(535b) 및 제1 포토 레지스트 패턴(545b)이 적층된 구조를 가질 수 있다. 한편, 제3 영역(III) 및 제4 영역(IV)에서는 제1 보호막 패턴(515a), 마스크막 패턴(525b), 제2 보호막 패턴(535b) 및 제1 포토 레지스트 패턴(545b)이 적층된 구조를 가질 수 있다.
- [0094] 도 24를 참조하면, 도 15를 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행할 수 있다. 이에 따라, 제2 영역(II)의 기관(400) 상에 형성된 제1 보호막 패턴(515a) 부분을 제거한 후, 제2 불순물을 주입함으로써 제2 게이트 구조물(443)과 인접한 기관(400) 상부에 제2 불순물 영역(405)을 형성할 수 있다. 예시적인 실시예들에 따르면, 상기 제2 불순물은 붕소, 갈륨 등과 같은 p형 불순물을 포함할 수 있다.
- [0095] 도 25를 참조하면, 애싱 및/또는 스트립 공정을 통해 마스크막 패턴(525b), 제2 보호막 패턴(535b) 및 제1 포토 레지스트 패턴(545b)을 제거하고 잔류하는 제1 보호막 패턴(515a)을 제거한다.
- [0096] 이어서, 스페이서막(450) 상에 게이트 구조물들(441, 443, 445, 447)을 커버하는 제2 포토레지스트막(560)을 형성한다.
- [0097] 도 26을 참조하면, 노광 및 현상 공정을 수행하여 제3 영역(III)의 기관(400) 상에 형성된 제2 포토레지스트막(560) 부분을 제거할 수 있다. 이에 따라, 기관(400)의 제3 영역(III)을 노출시키는 제2 포토레지스트 패턴(565) 및 제3 개구부(570)을 형성할 수 있다.
- [0098] 도 27을 참조하면, 제2 포토레지스트 패턴(565)을 이온 주입 마스크로 사용하여 제3 개구부(570)를 통해 제3 불순물을 주입한다. 이에 따라, 제3 게이트 구조물(445)과 인접한 제3 영역(III)의 기관(400) 상부에 제3 불순물 영역(407)을 형성할 수 있다. 예시적인 실시예들에 따르면, 상기 제3 불순물은 붕소, 갈륨 등과 같은 p형 불순물을 포함할 수 있다.
- [0099] 도 28을 참조하면, 애싱 및/또는 스트립 공정을 통해 제2 포토레지스트 패턴(565)을 제거한다. 이후, 스페이서막(450) 상에 게이트 구조물들(441, 443, 445, 447)을 커버하는 포토레지스트막을 다시 형성한 후 노광 및 현상 공정을 통해 기관(400)의 제4 영역(IV)을 노출시키는 제3 포토레지스트 패턴(575) 및 제4 개구부(580)를 형성할 수 있다.
- [0100] 도 29를 참조하면, 제3 포토레지스트 패턴(575)을 이온 주입 마스크로 사용하여 제4 개구부(580)를 통해 제4 불순물을 주입한다. 이에 따라, 제4 게이트 구조물(447)과 인접한 제4 영역(III)의 기관(400) 상부에 제4 불순물 영역(409)을 형성할 수 있다. 예시적인 실시예들에 따르면, 상기 제4 불순물은 인, 비소 등과 같은 n형 불순물을 포함할 수 있다.
- [0101] 제4 불순물 영역(409)이 형성됨에 따라, 제1 영역(I), 제2 영역(II), 제3 영역(III) 및 제4 영역(IV)의 기관(400) 상에 각각 트랜지스터 구조가 형성될 수 있다.
- [0102] 도 30을 참조하면, 도 16을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행할 수 있다. 예시적인 실시예들에 따르면, 애싱 및/또는 스트립 공정을 통해 제3 포토레지스트 패턴(575)을 제거하고, 스페이서막(450)을 이방성 식각 공정 또는 에치-백 공정을 통해 부분적으로 제거한다. 이에 따라, 제1 내지 제4 게이트 구조물들(441, 443, 445, 447)의 측벽들 상에는 각각 제1 내지 제4 게이트 스페이서(451, 453, 455, 447)가 형성될 수 있다.
- [0103] 이후, 도 17을 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행함으로써, 불순물 영역들(403, 405, 407, 409)과 접촉하는 플러그들 및 상기 플러그들과 전기적으로 연결되는 배선들을 추가적으로 형성할 수 있다.
- [0104] 예시적인 실시예들에 따르면, 상대적으로 좁은 피치 및/또는 간격을 갖는 제1 영역(I) 및 제2 영역(II)에 이온 주입 공정을 수행할 때는 예시적인 실시예들에 따른 불순물 형성 방법을 적용한다. 구체적으로, 도 1 내지 도 5를 참조로 설명한 바와 같이 복층 구조의 이온 주입 마스크를 이용하여 상술한 PR-tail 현상을 방지하고 균일한 불순물 농도를 갖는 불순물 영역을 형성할 수 있다. 한편, 상대적으로 넓은 피치 및/또는 간격을 갖는 제3 영역(III) 및 제4 영역(IV)에서는 포토 레지스트 패턴을 포함하는 단층 구조의 이온 주입 마스크를 이용하여 불순물

영역을 형성하므로 공정 비용 및 시간을 단축할 수 있다.

- [0105] 예시적인 실시예들에 따르면, 상기 복층 구조의 이온 주입 마스크를 이용하는 이온 주입 공정 및 상기 단층 구조의 이온 주입 마스크를 이용하는 이온 주입 공정은 각각 연속적인 공정으로 수행될 수 있다.
- [0106] 예를 들어, n형 불순물이 주입되는 제1 영역(I) 및 제4 영역(II)에 대해 연속적으로 이온 주입 공정을 수행하고, p형 불순물이 주입되는 제2 영역(II) 및 제3 영역(III)에 대해 다시 연속적으로 이온 주입 공정을 수행하는 방법을 고려할 수 있다. 이 경우, 상기 복층 구조 이온 주입 마스크 및 상기 단층 구조 이온 주입 마스크가 번갈아 반복적으로 형성되어야 한다. 따라서, 공정의 복잡성이 증가하고, 제1 보호막 패턴(515a)의 형성 및 제거가 반복되므로 스페이서막(450) 및 스페이서막(450) 하부의 기관(400)이 손상될 수 있다.
- [0107] 따라서, 상기 복층 구조의 이온 주입 마스크를 이용하는 이온 주입 공정을 연속 수행한 후, 상기 단층 구조의 이온 주입 마스크를 이용하는 이온 주입 공정을 연속 수행함으로써 공정을 보다 단순화하고 스페이서막(450) 및 기관(400)의 손상을 방지할 수 있다.
- [0108] 도 31 내지 도 52는 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도 및 단면도들이다. 구체적으로, 도 31, 도 34, 도 37, 도 40, 도 43, 도 46, 도 49 및 도 51은 예시적인 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도이다. 도 32, 도 35, 도 38, 도 41, 도 44, 도 47, 도 50 및 도 52는 도 31에 도시된 I-I' 라인 방향으로 절단한 단면도들이다. 도 33, 도 36, 도 39, 도 42, 도 45 및 도 48은 도 31에 도시된 II-II' 라인 방향으로 절단한 단면도들이다.
- [0109] 도 31 내지 도 52는 핀 전계 효과 트랜지스터(Fin field-effect transistor: FinFET)를 포함하는 반도체 소자의 제조 방법을 예시적으로 설명하고 있다. 도 6 내지 도 17 또는 도 18 내지 도 30을 참조로 설명한 공정, 구성 및/또는 재료들에 대한 상세한 설명은 생략한다.
- [0110] 도 31 내지 도 33을 참조하면, 기관(600) 상에 액티브 영역(610)을 정의하는 소자 분리막(602)을 형성한다. 소자 분리막(602)은 기관(600) 상부에 대해 STI 공정을 수행하여 형성될 수 있다.
- [0111] 예시적인 실시예들에 따르면, 액티브 영역(610)은 제1 방향을 따라 연장되도록 형성될 수 있다. 또한, 소자 분리막(602)에 의해 상기 제1 방향에 실질적으로 수직인 제2 방향을 따라 복수의 액티브 영역들(610)이 정의될 수 있다.
- [0112] 도 34 내지 도 36을 참조하면, 소자 분리막(602) 상부를 부분적으로 식각하여 액티브 영역(610)의 상부를 노출시킨다. 이에 따라, 소자 분리막(602) 상면 위로 돌출된 제1 반도체 핀(623) 및 제2 반도체 핀(625)이 형성된다. 도 32에서는 두개의 반도체 핀들을 예시적으로 도시하였으나, 상기 제2 방향을 따라, 복수의 상기 반도체 핀들이 배열될 수 있다.
- [0113] 도 37 내지 39를 참조하면, 소자 분리막(602) 및 반도체 핀들(623, 625) 상에 게이트 절연막(630), 게이트 전극막(640) 및 게이트 마스크막(650)을 순차적으로 형성한다. 일 실시예에 있어서, 게이트 절연막(630)을 열산화 공정을 통해 형성하는 경우 게이트 절연막(630)은 반도체 핀들(623, 625)의 표면 상에만 형성될 수도 있다.
- [0114] 도 40 내지 도 42를 참조하면, 게이트 마스크막(650), 게이트 전극막(640) 및 게이트 절연막(630)을 순차적으로 패터닝하여, 액티브 영역(610) 상에 게이트 구조물(660)을 형성한다. 게이트 구조물(660)은 액티브 영역(610)의 반도체 핀들(623, 625) 상에 순차적으로 적층된 게이트 절연막 패턴(635), 게이트 전극(645) 및 게이트 마스크(655)를 포함할 수 있다.
- [0115] 예시적인 실시예들에 따르면, 게이트 마스크막(650)을 사진 식각 공정 등을 통해 패터닝하여 게이트 마스크(655)를 형성한다. 이후, 게이트 마스크(655)를 사용하여 게이트 전극막(640) 및 게이트 절연막(630)을 식각함으로써 게이트 구조물(660)을 형성할 수 있다, 게이트 구조물(660)은 상기 제2 방향으로 연장하며, 상기 제1 방향을 따라 복수 개로 형성될 수 있다.
- [0116] 도 43 내지 도 45를 참조하면, 도 9 및 도 10을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정을 수행한다. 이에 따라, 제1 반도체 핀(623)을 노출시키는 제1 이온 주입 마스크(750a)를 형성할 수 있다. 제1 이온 주입 마스크(750a)는 제2 반도체 핀(625)을 커버하며 제1 보호막 패턴(715a), 마스크막 패턴(725a), 제2 보호막 패턴(735a) 및 포토 레지스트 패턴(745a)이 순차적으로 적층된 구조를 가질 수 있다.
- [0117] 제1 이온 주입 마스크(750a)는 제2 반도체 핀(625)과 제2 반도체 핀(625)에 인접한 소자 분리막(602) 및 게이트 구조물(660) 부분을 커버할 수 있다.

[0118] 도 46 내지 도 48을 참조하면, 제1 이온 주입 마스크(750a)를 사용하여 제1 불순물을 주입함으로써 게이트 구조물(660)과 인접한 제1 반도체 핀(623) 상부에 제1 불순물 영역(624)을 형성할 수 있다.

[0119] 도 49 및 도 50을 참조하면, 도 12 내지 도 15를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정을 수행할 수 있다. 이에 따라, 제2 반도체 핀(625)을 노출시키는 제2 이온 주입 마스크(750b)를 형성할 수 있다.

[0120] 제2 이온 주입 마스크(750b)는 제1 반도체 핀(623)을 커버하며 마스크막 패턴(725b), 제2 보호막 패턴(735b) 및 포토 레지스트 패턴(745b)이 순차적으로 적층된 구조를 가질 수 있다. 제2 이온 주입 마스크(750b)는 제1 반도체 핀(623)과 제1 반도체 핀(623)에 인접한 소자 분리막(602) 및 게이트 구조물(660) 부분을 커버할 수 있다.

[0121] 도 51 및 도 52를 참조하면, 제2 이온 주입 마스크(750b)를 사용하여 제2 불순물을 주입함으로써 게이트 구조물(660)과 인접한 제2 반도체 핀(625) 상부에 제2 불순물 영역(626)을 형성할 수 있다. 제2 불순물 영역(626) 형성 후, 애싱 및/또는 스트립 공정을 통해 제2 이온 주입 마스크(750b)는 제거될 수 있다.

[0122] 이후, 게이트 구조물(660) 및 반도체 핀들(623, 625)을 덮는 층간 절연막을 형성하고 상기 층간 절연막을 관통하여 불순물 영역들(624, 626)에 접촉하는 플러그들, 상기 플러그들에 전기적으로 연결되는 배선들 등을 추가로 형성하여 예시적인 실시예들에 따른 반도체 소자를 제조할 수 있다,

[0123] FinFET 구조를 갖는 반도체 소자의 경우 게이트 구조물(660) 및 반도체 핀들(623, 625)에 의해 다수의 단차들이 형성될 수 있다. 따라서 포토 레지스트를 이용한 단층 구조의 이온 주입 마스크를 사용할 경우, 상술한 PR-tail 현상이 심화되어 균일한 불순물 주입이 곤란할 수 있다. 따라서, 예시적인 실시예들에 따른 복층 구조 이온 주입 마스크를 상기 FinFET 구조의 반도체 소자에 적용하여 원하는 깊이, 농도, 면적 등을 갖는 불순물 영역들을 형성할 수 있다.

산업상 이용가능성

[0124] 본 발명에 실시예들에 따른 불순물 영역 형성 방법은, 좁은 피치 및/또는 간격으로 형성된 게이트 구조물들을 포함하거나, 다수의 단차들을 포함하는 반도체 소자들에 효과적으로 적용될 수 있다. 예를 들어, 다수의 반도체 핀을 포함하는 FinFET 반도체 소자, 미세 피치의 게이트 구조물들을 포함하는 SRAM 장치 등에 적용될 수 있다.

[0125] 상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

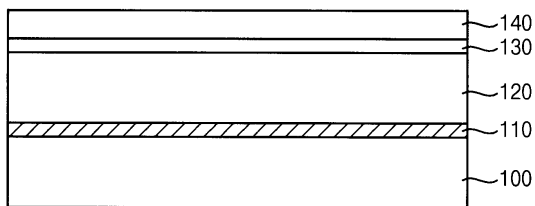
부호의 설명

- [0126] 100, 200, 400, 600: 기판
 105: 불순물 영역
 110, 310, 510: 제1 보호막
 115, 315a, 515a, 715a: 제1 보호막 패턴
 120, 320, 520: 마스크막
 125, 325a, 325b, 525a, 525b, 725a, 725b: 마스크막 패턴
 130, 330, 530: 제2 보호막
 135, 335a, 335b, 535a, 535b, 735a, 735b: 제2 보호막 패턴
 140, 340: 포토 레지스트막
 145, 345a, 345b, 745a, 745b: 포토 레지스트 패턴
 150, 150a: 이온 주입 마스크 155, 155a: 개구부
 202, 402, 602: 소자 분리막 205, 403, 624: 제1 불순물 영역
 207, 405, 626: 제2 불순물 영역
 212, 411: 제1 게이트 절연막 패턴
 214, 413: 제2 게이트 절연막 패턴

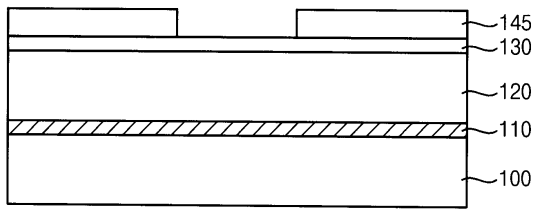
- | | |
|--------------------------------|----------------------|
| 222, 421: 제1 게이트 전극 | 224, 423: 제2 게이트 전극 |
| 232, 431: 제1 게이트 마스크 | 234, 433: 제2 게이트 마스크 |
| 242, 441: 제1 게이트 구조물 | 244, 443: 제2 게이트 구조물 |
| 250, 450: 스페이서막 | 253: 제1 게이트 스페이서 |
| 255: 제2 게이트 스페이서 | 260: 제1 층간 절연막 |
| 265: 플러그 | 270: 배선 |
| 280: 제2 층간 절연막 | |
| 350a, 550a, 750a: 제1 이온 주입 마스크 | |
| 350b, 550b, 750b: 제2 이온 주입 마스크 | |
| 355a, 555a: 제1 개구부 | 355b, 555b: 제2 개구부 |
| 407: 제3 불순물 영역 | 409: 제4 불순물 영역 |
| 415: 제3 게이트 절연막 패턴 | 417: 제4 게이트 절연막 패턴 |
| 425: 제3 게이트 전극 | 427: 제4 게이트 전극 |
| 435: 제3 게이트 마스크 | 437: 제4 게이트 마스크 |
| 445: 제3 게이트 구조물 | 447: 제4 게이트 구조물 |
| 451: 제1 게이트 스페이서 | 453: 제2 게이트 스페이서 |
| 455: 제3 게이트 스페이서 | 457: 제3 게이트 스페이서 |
| 540: 제1 포토 레지스트막 | 560: 제2 포토레지스트막 |
| 545a, 545b: 제1 포토 레지스트 패턴 | |
| 565: 제2 포토 레지스트 패턴 | |
| 570: 제3 개구부 | 575: 제3 포토레지스트 패턴 |
| 580: 제4 개구부 | 610: 액티브 영역 |
| 623: 제1 반도체 핀 | 625: 제2 반도체 핀 |
| 630: 게이트 절연막 | 635: 게이트 절연막 패턴 |
| 640: 게이트 전극막 | 645: 게이트 전극 |
| 650: 게이트 마스크막 | 655: 게이트 마스크 |
| 660: 게이트 구조물 | |

도면

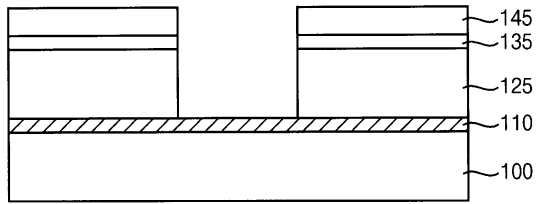
도면1



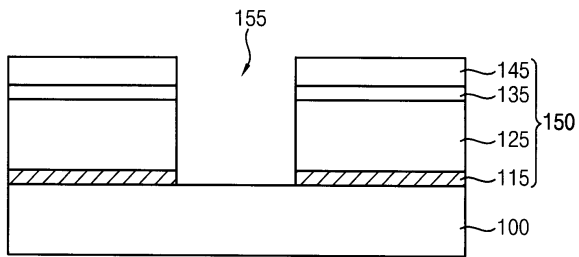
도면2



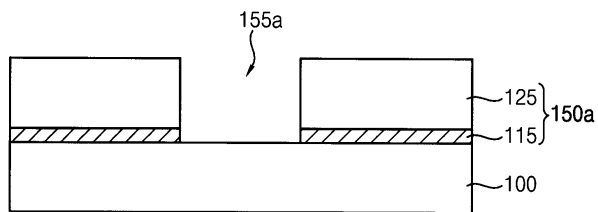
도면3



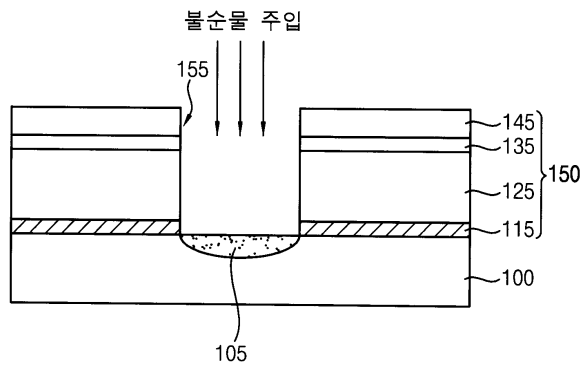
도면4a



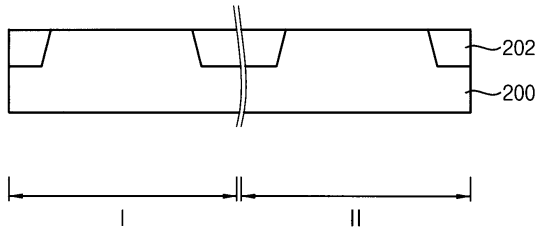
도면4b



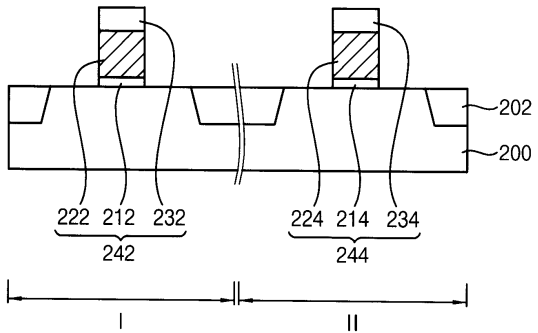
도면5



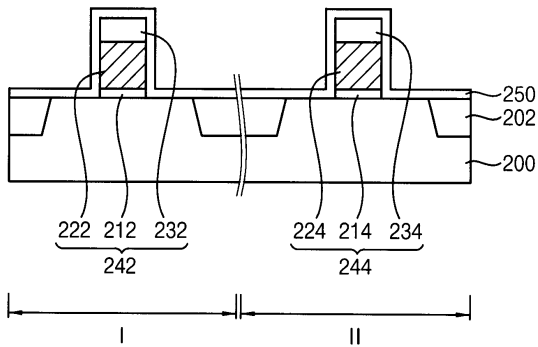
도면6



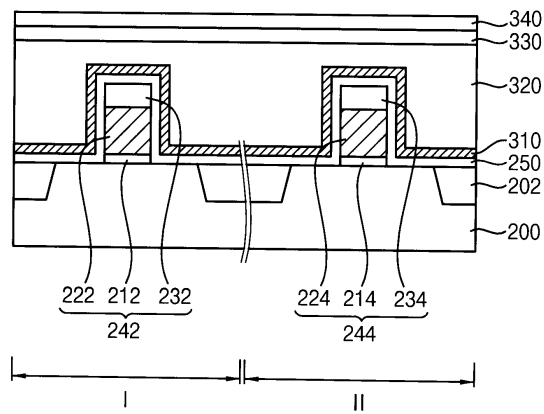
도면7



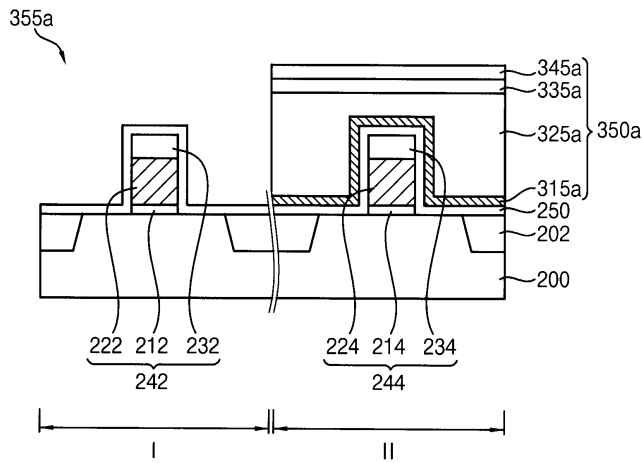
도면8



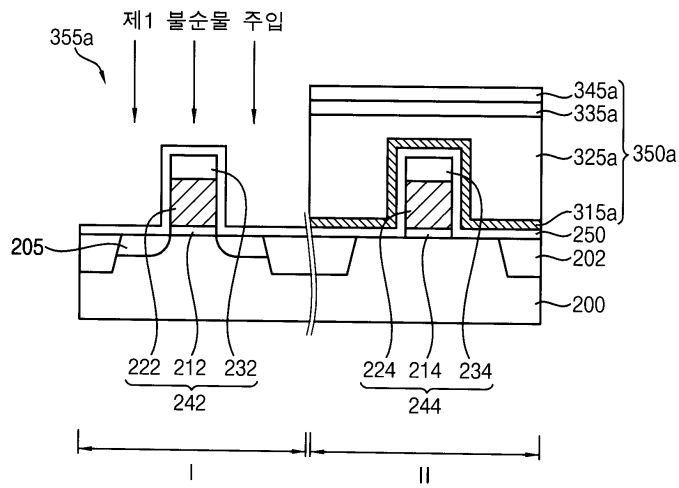
도면9



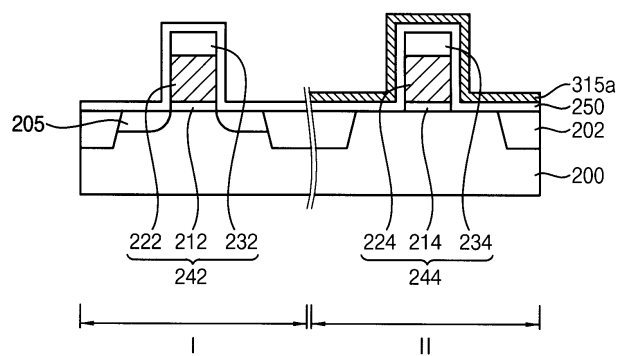
도면10



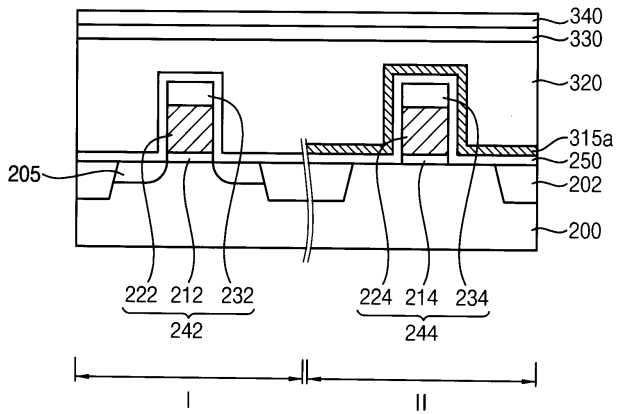
도면11



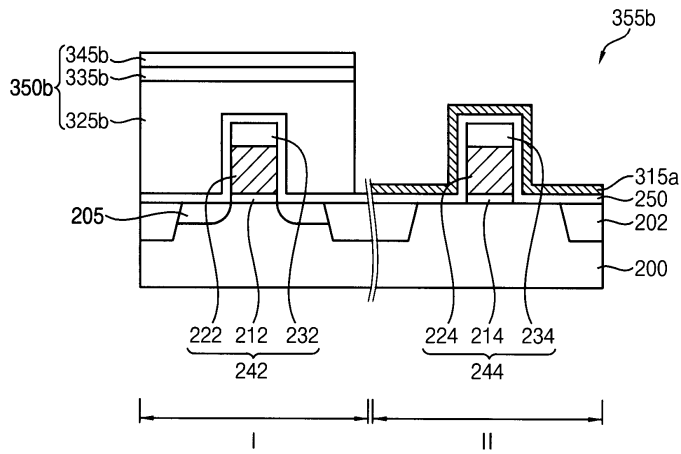
도면12



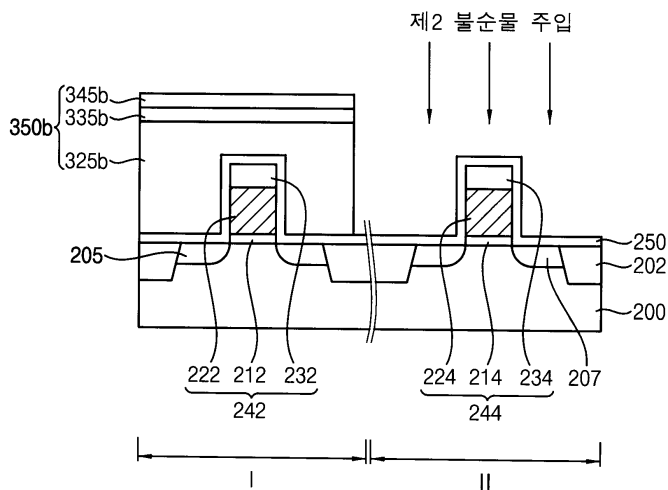
도면13



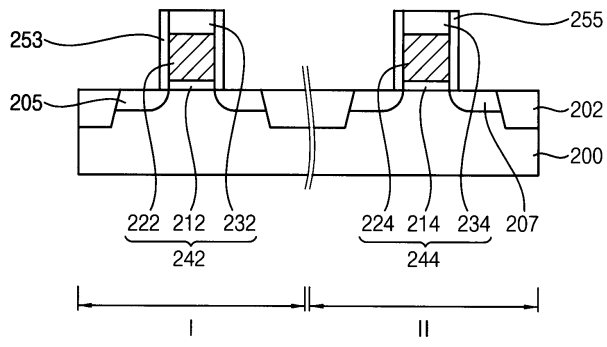
도면14



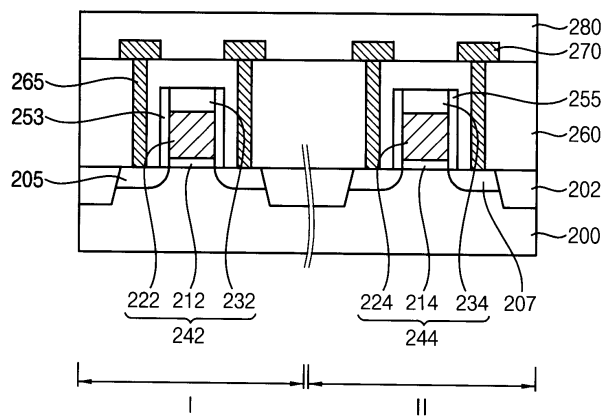
도면15



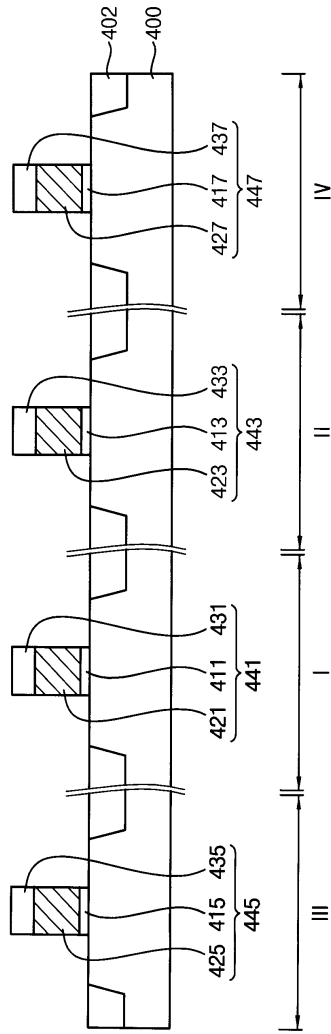
도면16



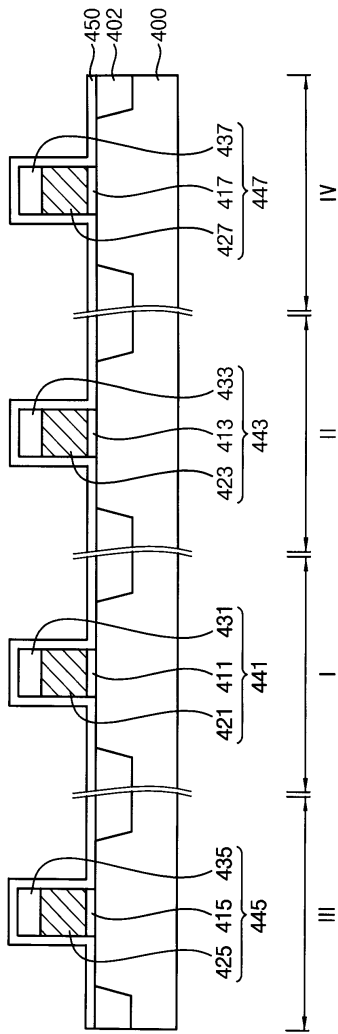
도면17



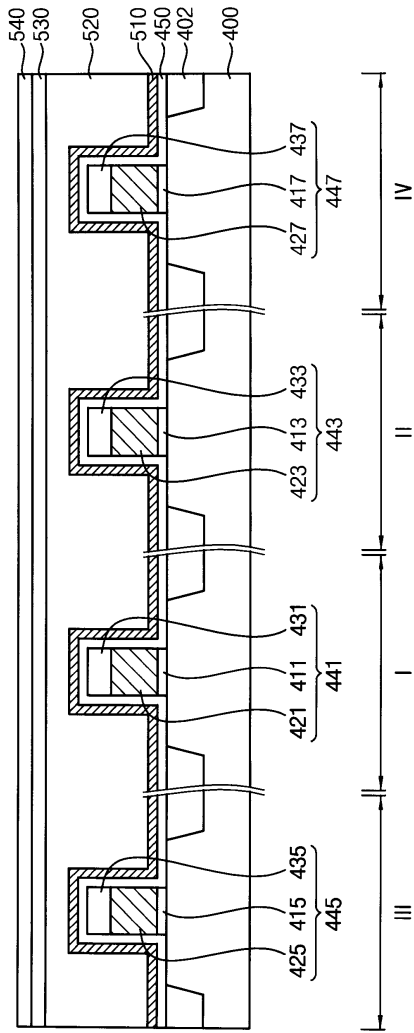
도면18



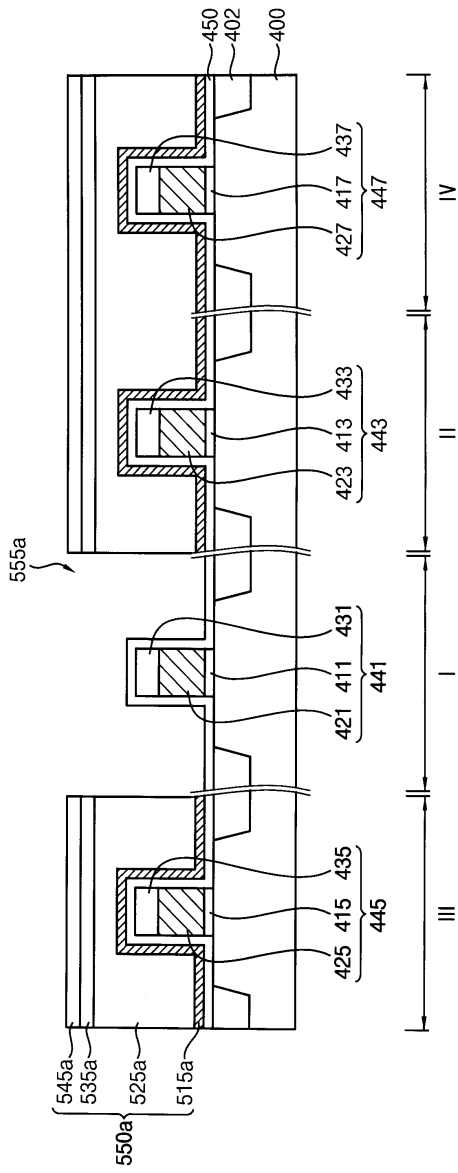
도면19



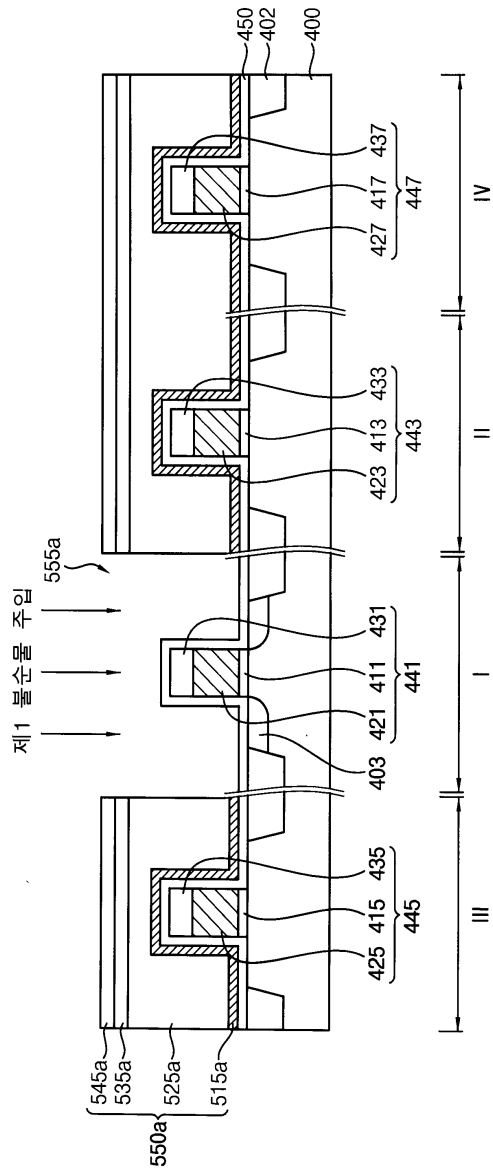
도면20



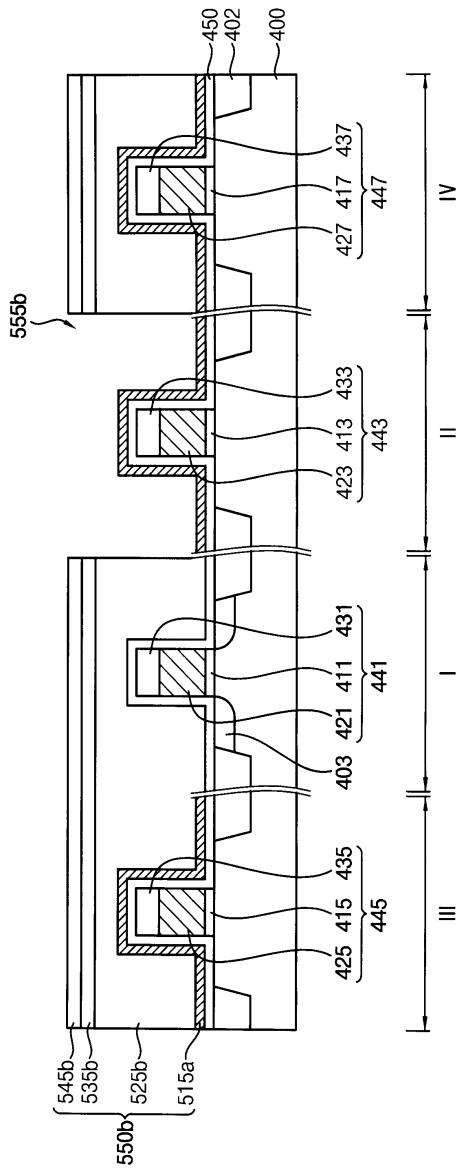
도면21



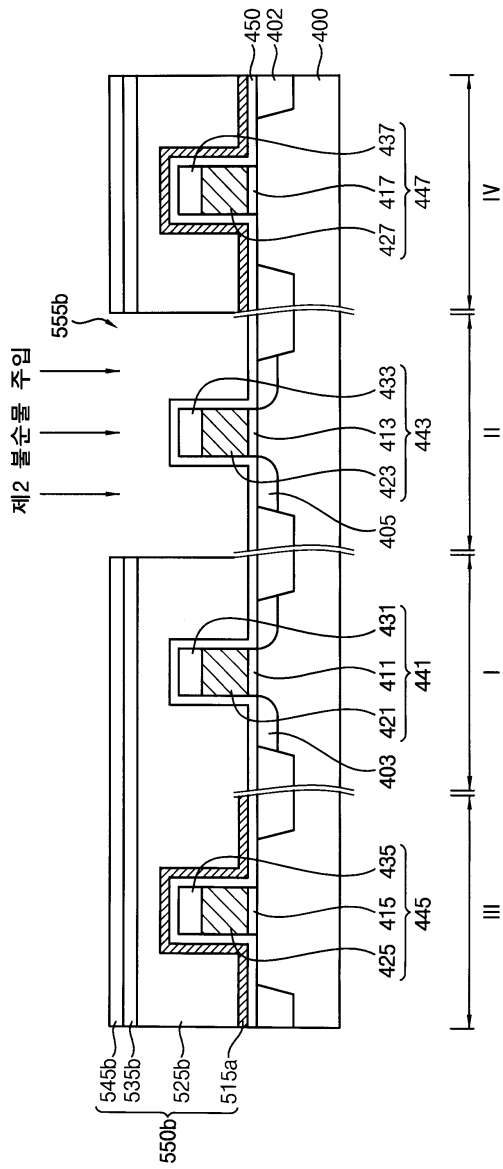
도면22



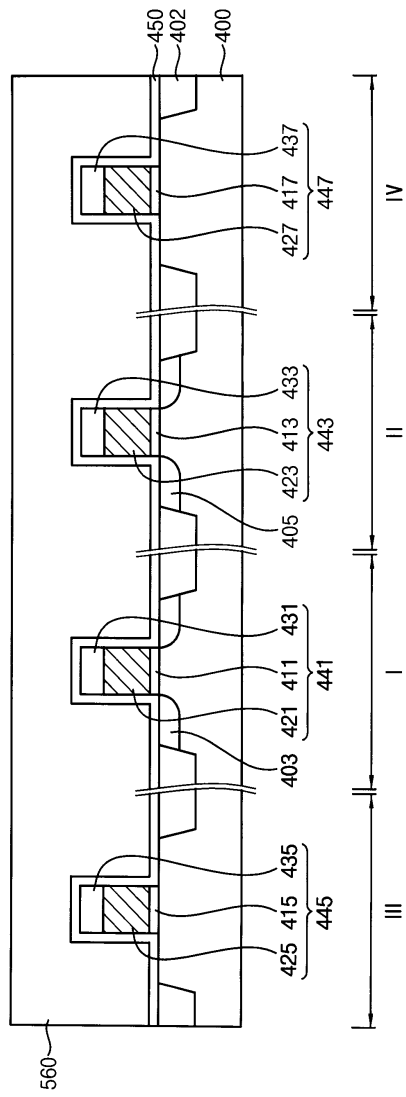
도면23



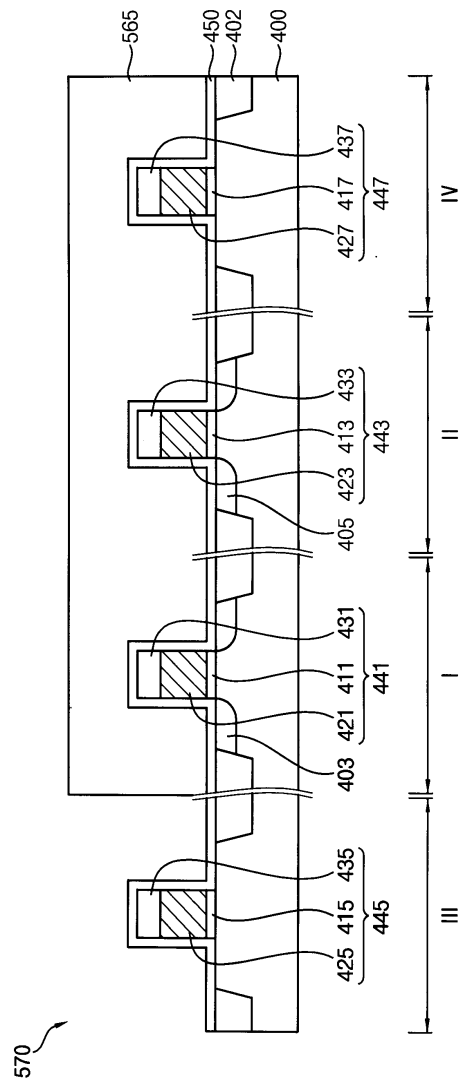
도면24



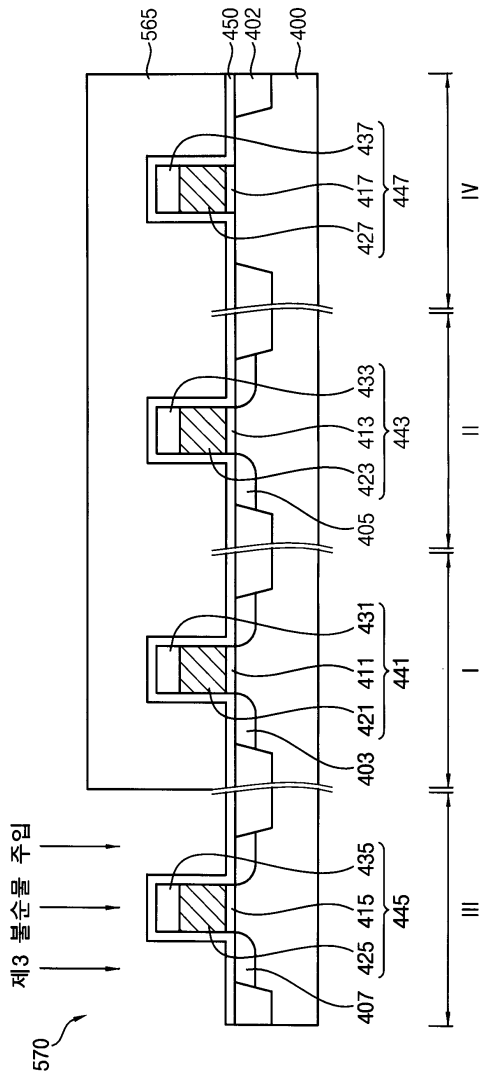
도면25



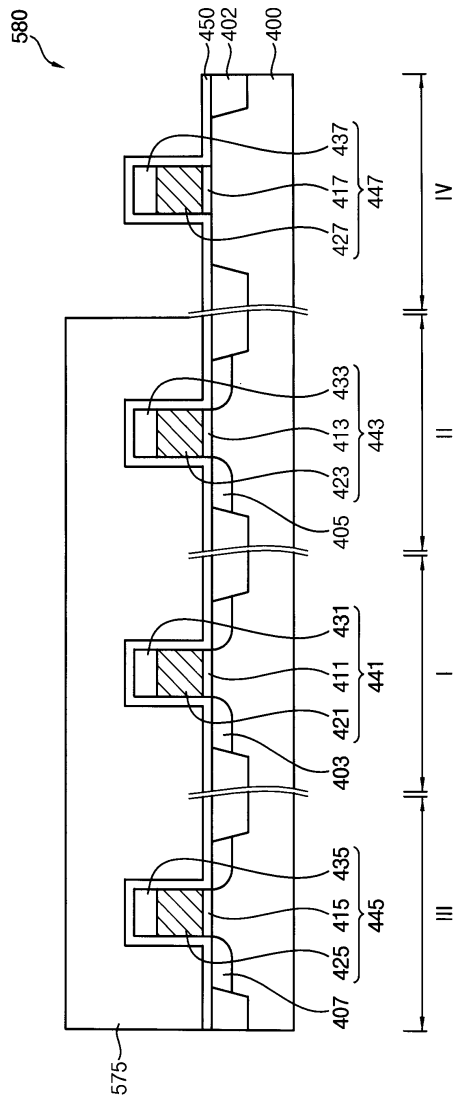
도면26



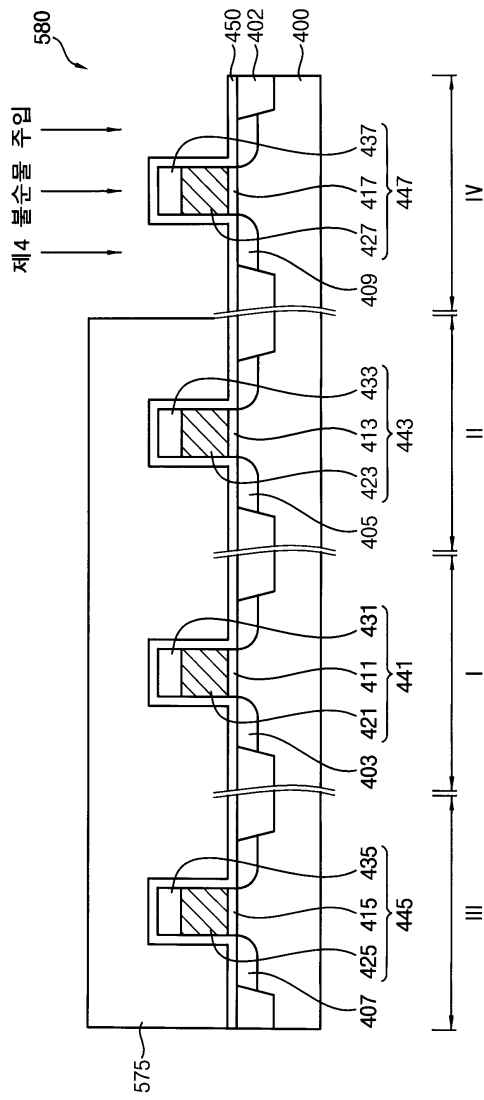
도면27



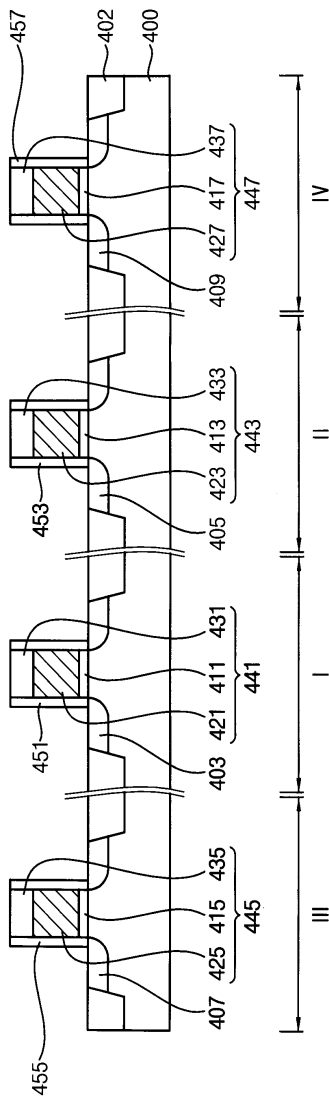
도면28



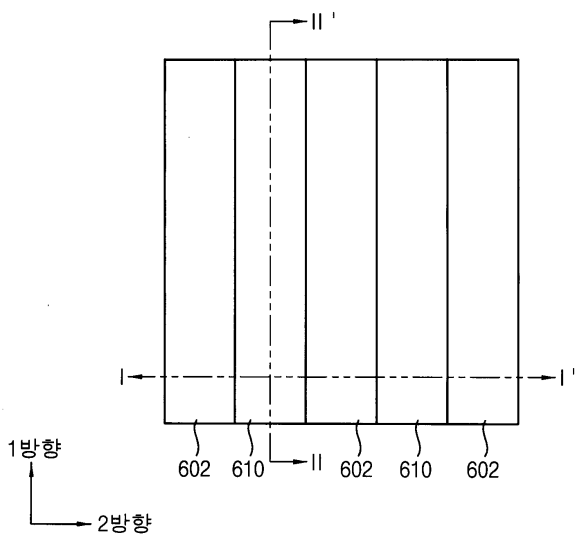
도면29



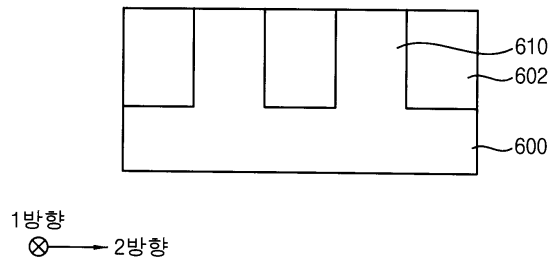
도면30



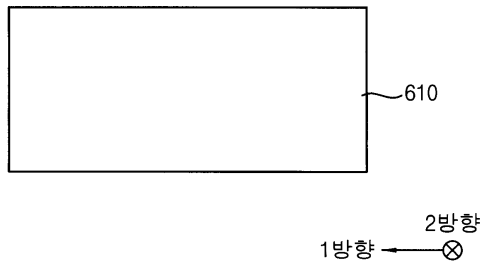
도면31



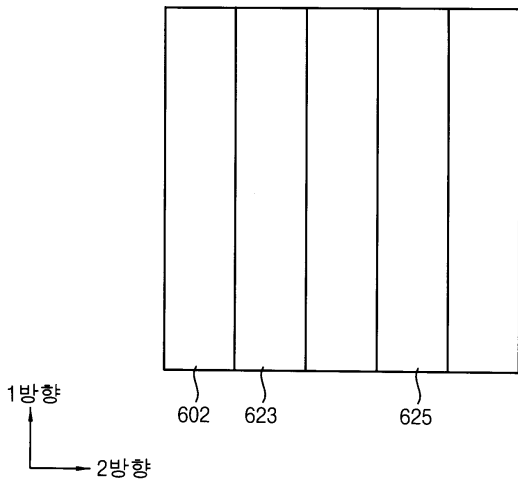
도면32



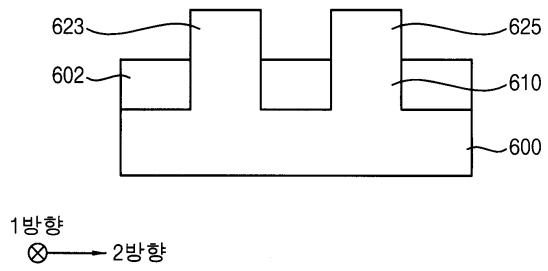
도면33



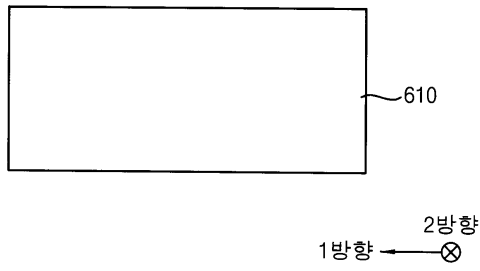
도면34



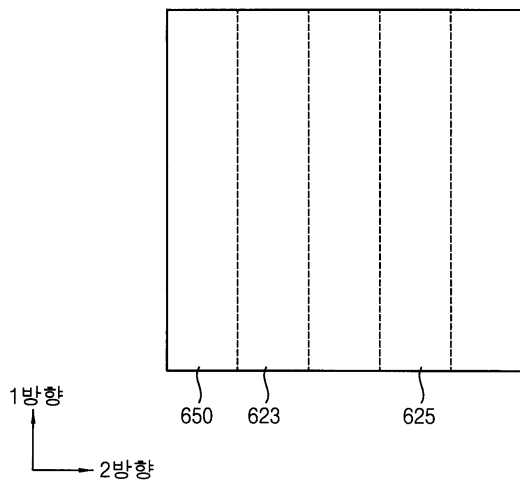
도면35



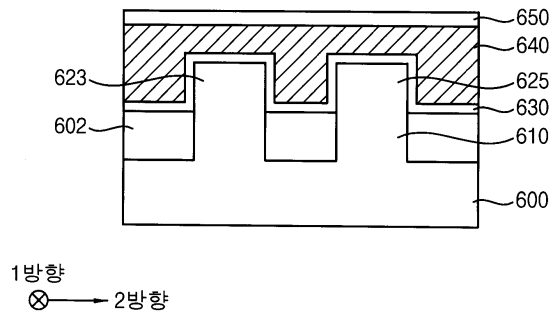
도면36



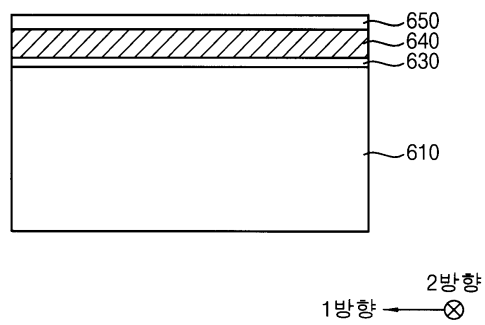
도면37



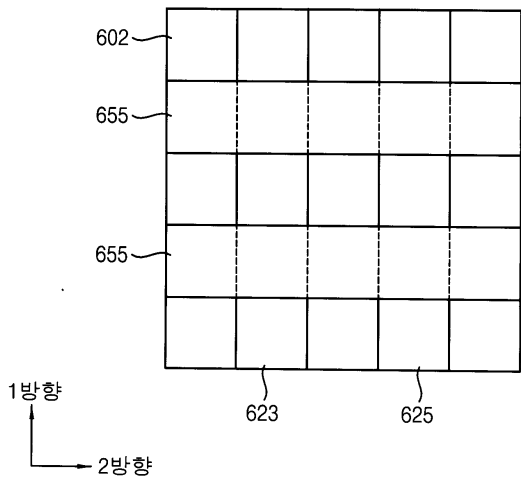
도면38



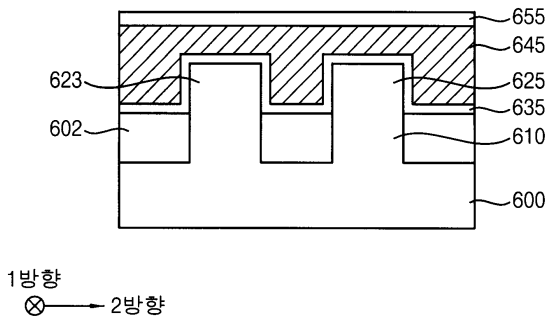
도면39



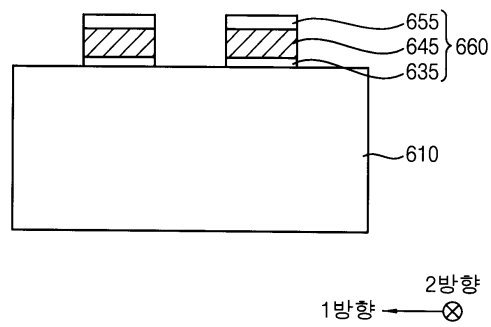
도면40



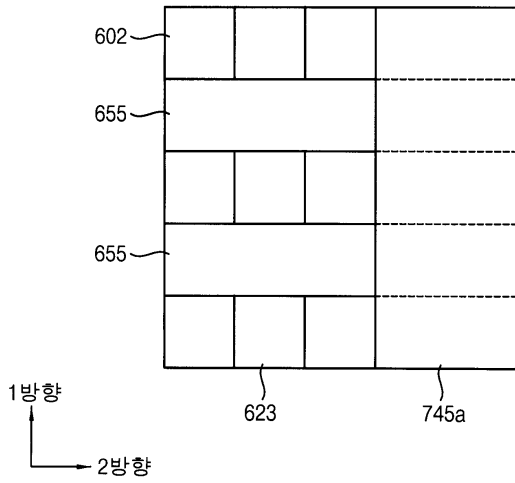
도면41



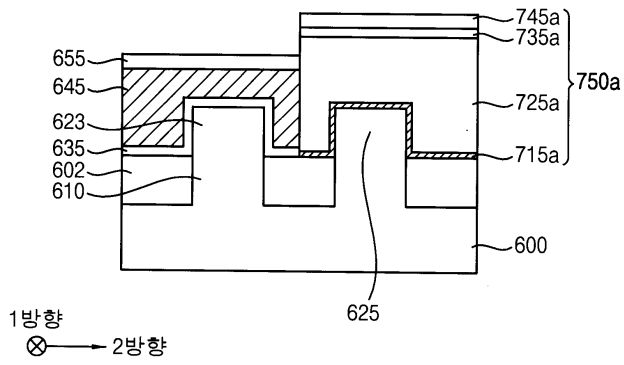
도면42



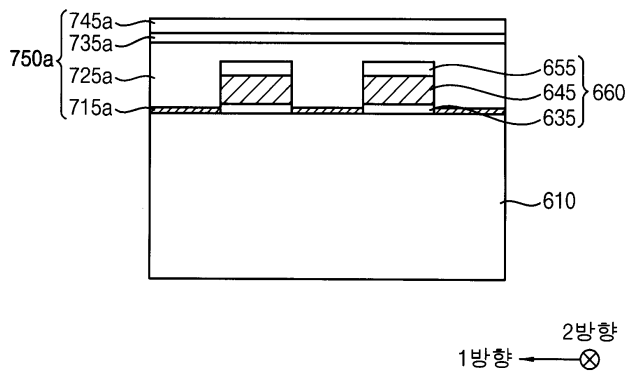
도면43



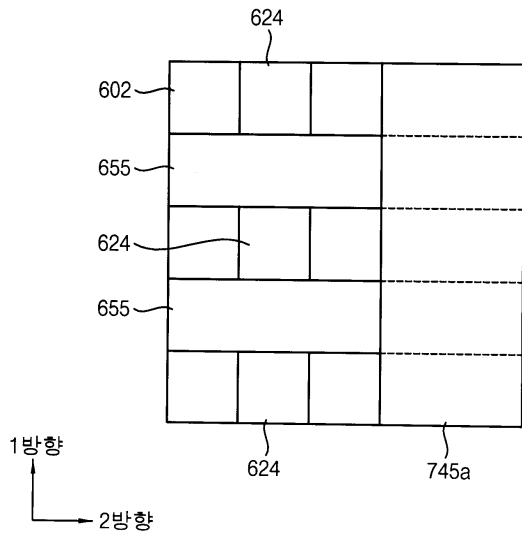
도면44



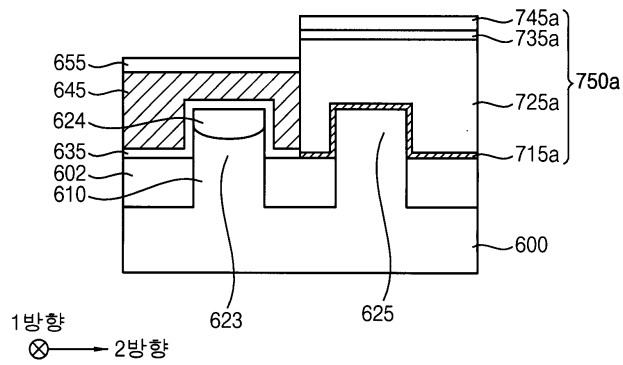
도면45



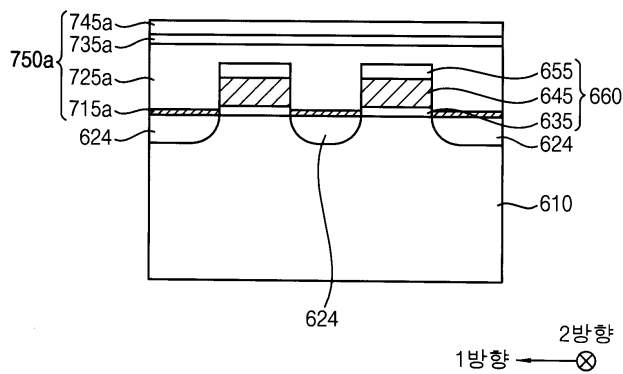
도면46



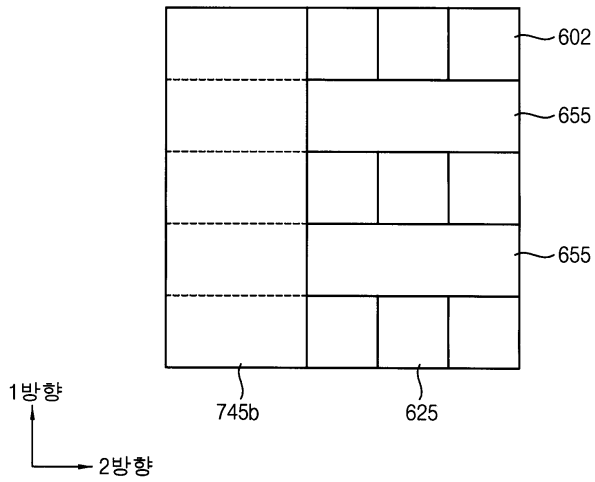
도면47



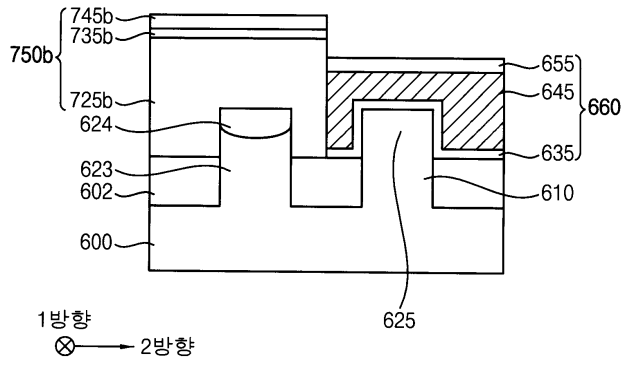
도면48



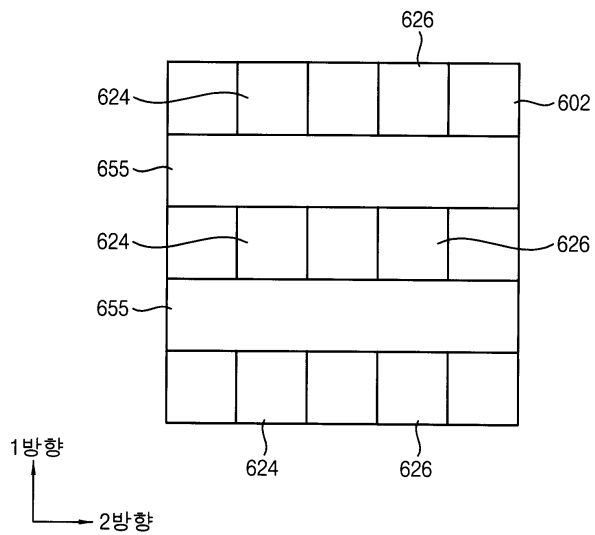
도면49



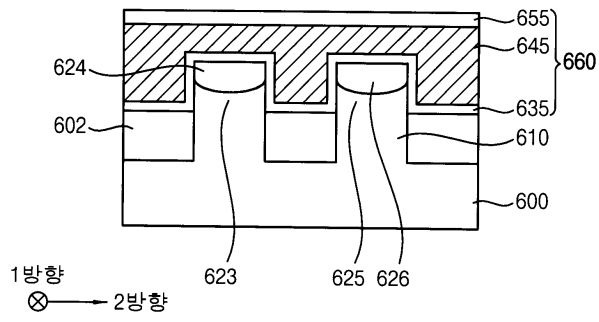
도면50



도면51



도면52



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 10, 3째줄

【변경전】

포토레지스막을

【변경후】

포토레지스트막을