



(12) 发明专利

(10) 授权公告号 CN 1802750 B

(45) 授权公告日 2012. 04. 18

(21) 申请号 200480015732. 2

(22) 申请日 2004. 04. 08

(30) 优先权数据

10/410, 191 2003. 04. 10 US

(85) PCT申请进入国家阶段日

2005. 12. 06

(86) PCT申请的申请数据

PCT/US2004/010707 2004. 04. 08

(87) PCT申请的公布数据

W02004/093439 EN 2004. 10. 28

(73) 专利权人 微米技术有限公司

地址 美国爱达荷州

(72) 发明人 H·E·罗德斯

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 杨凯 张志醒

(51) Int. Cl.

H01L 27/146(2006. 01)

(56) 对比文件

JP 特开平 11-354768 A, 1999. 12. 24, 说明书 [0003] - [0012]、附图 1-5.

JP 特开平 11-354768 A, 1999. 12. 24, 说明书 [0003] - [0012]、附图 1-5.

CN 1334483 A, 2002. 02. 06,

审查员 杨嘉

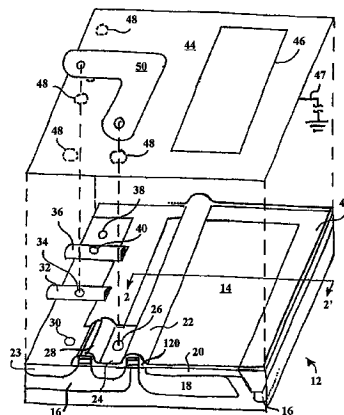
权利要求书 4 页 说明书 6 页 附图 13 页

(54) 发明名称

经改进的成像装置的遮光层

(57) 摘要

一种经改进的成像装置像素的结构, 在像素电路至少但在像素导电互连层之下设有遮光层。遮光层可为不透光(或几乎不透光)材料的薄膜, 并有孔供接触体连接到下面的电路。遮光层中的开口露出像素的光电转换器的活性区。



1. 一种成像装置,包括:
像素光电转换器;
与所述像素光电转换器电连接的像素电路;
遮光层,所述遮光层设于所述像素电路之上,在所述光电转换器之上有透光区域,并被配置成遮蔽光能量照射下面的像素电路以及允许光通过所述透光区域到达所述光电转换器;以及
至少一个互连层,所有所述互连层设于所述遮光层之上,其中所述遮光层是所述像素电路上的单个共形层。
2. 按照权利要求 1 所述的成像装置,其中:所述像素电路包含将所述光电转换器与扩散区电连接的转移晶体管,所述扩散区通过设于所述至少一个互连层的导体与一个晶体管栅极电连接。
3. 按照权利要求 2 所述的成像装置,其中:所述导体设于在所述遮光层之上的第一个互连层中。
4. 按照权利要求 1 所述的成像装置,其中:所述光电转换器与扩散区电连接,所述像素电路还包含将所述扩散区与晶体管栅极电连接的导体,所述导体设于所述至少一个互连层。
5. 按照权利要求 4 所述的成像装置,其中:所述导体设于在所述遮光层之上的第一个互连层中。
6. 按照权利要求 1 所述的成像装置,其中:所述光电转换器是从由光电二极管、光电门和光电导体构成的一组中选择的光电传感器。
7. 按照权利要求 1 所述的成像装置,其中:所述光电转换器是光电二极管。
8. 按照权利要求 1 所述的成像装置,其中:所述遮光层是导电层。
9. 按照权利要求 1 所述的成像装置,其中:所述遮光层是电绝缘层。
10. 按照权利要求 1 所述的成像装置,其中:所述遮光层的所述透光区域是所述遮光层中的开口。
11. 按照权利要求 1 所述的成像装置,其中:所述遮光层包含由钨、硅化钨、钛、氮化钛、钴、铬、多晶硅-硅化钨、铝、硅化钛以及它们的组合所构成的一组中选择的一种材料。
12. 按照权利要求 1 所述的成像装置,还包括:与所述遮光层电接触的接地电路。
13. 按照权利要求 1 所述的成像装置,还包括:在所述遮光层中形成的让导体从中穿过的若干个孔。
14. 按照权利要求 1 所述的成像装置,其中:所述至少一个互连层中至少包含第一互连层和在所述第一互连层之上的第二互连层。
15. 按照权利要求 1 所述的成像装置,其中:所述遮光层的厚度为 100\AA 至 3000\AA 。
16. 按照权利要求 1 所述的成像装置,其中:所述遮光层让少于 1% 的照射其上的光透过而到达下面的所述像素电路。
17. 按照权利要求 1 所述的成像装置,其中:所述至少一个互连层在覆盖所述光电转换器的区域上至少部分地透光。
18. 按照权利要求 1 所述的成像装置,其中:所述遮光层是所述像素电路之上的平面

层。

19. 按照权利要求 1 所述的成像装置,其中:所述成像装置是 CMOS 成像装置。

20. 一种含有至少一个 CMOS 像素传感器单元的集成电路,所述像素传感器单元包括:
半导体衬底;

在所述衬底内的光电传感器;

像素电路,用以门控由所述光电传感器产生的电荷;

在所述衬底和所述像素电路之上、但在所述集成电路的所有导电互连层之下的阻光膜,其中,所述阻光膜是所述像素电路之上的单个共形层并在所述光电传感器之上具有开口,所述阻光膜被接地;所述阻光膜被配置成遮蔽光能量照射下面的像素电路以及允许光通过所述开口到达光电转换器;以及

在所述阻光膜之上的第一导电互连层。

21. 按照权利要求 20 所述的集成电路,其中:所述像素传感器单元还包括转移晶体管,用于通过栅极控制电荷从所述光电传感器流向源极跟随器晶体管。

22. 按照权利要求 20 所述的集成电路,其中:所述第一导电互连层将从所述光电传感器接收电荷的区域与源极跟随器晶体管的栅极电连接。

23. 按照权利要求 20 所述的集成电路,其中:所述阻光膜上有孔,以让接触体穿过而到达下面的所述像素传感器单元的电路。

24. 按照权利要求 20 所述的集成电路,其中:所述光电传感器是光电二极管。

25. 一种成像系统,包括:

处理器;以及

与所述处理器电耦合的成像装置,所述成像装置包含 CMOS 像素阵列,所述阵列的至少一个像素包括:

像素光电转换器;

与所述像素光电转换器电连接的像素电路;

遮光层,所述遮光层设于所述像素电路之上,在所述光电转换器之上有透光区域,并被配置成遮蔽光能量照射下面的像素电路以及允许光通过所述透光区域到达所述光电转换器,其中所述遮光层是所述像素电路之上的单个共形层;

设置在所述遮光层上的第一互连层;以及

设置在所述第一互连层上的第二互连层,所有互连层设于所述遮光层之上。

26. 按照权利要求 25 所述的成像系统,其中:所述遮光层的厚度为 100\AA 至 3000\AA 。

27. 一种 CMOS 成像装置的像素,具有与光电转换器电连接的像素电路并通过至少一层导电互连层互相电连接,包括:

位于所述像素电路和所有导电互连层之间并被设置成与所述像素电路共形的单个遮光层,在所述光电转换器之上有一透光区域,并被配置成遮蔽光能量照射下面的像素电路以及允许光通过所述透光区域到达所述光电转换器。

28. 按照权利要求 27 所述的 CMOS 成像装置的像素,其中:所述遮光层形成得让不到 1% 的照射其上的光透射到所述像素电路。

29. 一种 CMOS 成像装置,包括:

具有多个像素的像素阵列,各所述像素含有与光电转换器电连接的像素电路和设于所

述像素电路和所有金属互连层之间的非导体的遮光层,所述遮光层是所述像素电路之上的单个共形层,所述遮光层在所述光电转换器之上具有透光区域,并被配置成遮蔽光能量照射下面的像素电路以及允许光通过所述透光区域到达所述光电转换器,其中,由所述像素阵列响应光输入而产生电信号流;

读出电路,用来从所述像素阵列接收所述电信号流;

模数变换器,用来从所述读出电路接收所述电信号流;

处理器,用来从所述模数变换器接收所述电信号流;以及

串行化器,用来从所述处理器接收所述电信号流。

30. 按照权利要求 29 所述的 CMOS 成像装置,其中:所述电信号流从所述成像装置输出到外部硬件。

31. 一种形成成像装置的像素的方法,包括:

在衬底中形成光电转换器;

在所述衬底上形成像素电路;

在所述衬底和所述像素电路上形成遮光层,所述遮光层配置成与所述像素电路单个共形,并配置成遮蔽光能量照射下面的像素电路以及允许光通过透光区域而到达所述光电转换器;以及

在所述遮光层之上形成至少一层金属互连层,其中,所有形成的金属互连层形成在所述遮光层之上。

32. 按照权利要求 31 所述的方法,其中:所述遮光层包含由钨、硅化钨、钛、氮化钛、钴、铬、多晶硅-硅化钨、铝、硅化钛及其组合所构成的一组中选择的一种材料。

33. 按照权利要求 31 所述的方法,其中:所述遮光层的厚度为 100\AA 至 3000\AA 。

34. 按照权利要求 31 所述的方法,其中:所述遮光层形成得阻止至少 99% 的照射所述遮光层的光透射到下面的电路。

35. 按照权利要求 31 所述的方法,其中:所述遮光层在所述光电转换器之上开有透光开口。

36. 按照权利要求 31 所述的方法,还包括:在所述遮光层中形成至少一个孔,并在其中形成电导体。

37. 按照权利要求 31 所述的方法,还包括:在所述至少一层金属互连层之上形成介质层,并在所述介质层之上形成第二金属互连层。

38. 按照权利要求 31 所述的方法,其中:所述遮光层是平面层。

39. 按照权利要求 31 所述的方法,其中:所述遮光层是导电层。

40. 按照权利要求 31 所述的方法,其中:所述遮光层是电绝缘层。

41. 按照权利要求 31 所述的方法,其中:所述成像装置是 CMOS 成像装置。

42. 一种形成 CMOS 成像装置的像素阵列的方法,包括:

在衬底之上和之内形成相互隔离的 CMOS 像素的阵列,各所述 CMOS 像素由下列步骤形成:

在所述衬底内形成光电二极管;

在所述光电二极管之上形成第一介质层;

在所述第一介质层之上共形地淀积单个遮光层;

在所述光电二极管的至少一部分之上方的所述遮光层中形成开口；
通过接地电路将所述遮光层接地；以及
在所述遮光层之上形成多个金属互连层；
其中所述遮光层被配置成遮蔽光能量照射下面的像素电路以及允许光通过所述开口到达光电转换器。

43. 按照权利要求 42 所述的方法,还包括:形成用以将电荷从所述光电二极管转移到扩散区的转移晶体管的步骤。

44. 按照权利要求 42 所述的方法,还包括:形成一扩散区,该扩散区被连接而从所述光电二极管接收电荷。

45. 按照权利要求 42 所述的方法,还包括:在所述遮光层上形成的第二介质层之上形成第一金属互连层,在所述第一金属互连层之上形成第三介质层,以及在所述第三介质层之上形成第二金属互连层。

经改进的成像装置的遮光层

技术领域

[0001] 本发明涉及光电成像装置的遮光层以及形成和使用遮光层的方法。

背景技术

[0002] CMOS 成像器电路包含像素单元的焦平面阵列, 每一个单元包括光电转换器 (例如, 光电门、光电导体或光电二极管), 用以在衬底区域产生和累积光引起的电荷。读出电路与各像素单元连接, 包含至少一个输出晶体管, 它接收来自掺杂的扩散区的光产生的电荷, 产生输出信号由像素存取晶体管周期性地读出。成像装置可以任选地包含一个晶体管, 用以将电荷从光电转换器转输到扩散区, 或者扩散区可直接连接到光电转换器 (或光电转换器的一部分)。一般还设有一个晶体管, 用以将扩散区复原至在它接收光产生的电荷之前的预定电荷量级。CMOS 成像器电路往往与一滤色器连接, 例如用于辨别变化的光波长的 Bayer 滤色器。

[0003] 一个典型的三晶体管 (3T) 像素的 CMOS 成像器像素电路包含用以将光生电荷送至扩散区的光电二极管; 用以将复原扩散区复原的复原晶体管; 用以产生输出信号的其栅极与扩散区连接的源极跟随器晶体管; 以及用以将源极跟随器晶体管与像素阵列的一个列线有选择地连接的行选择晶体管。另一个典型的 CMOS 成像器像素采用四晶体管 (4T) 结构, 它与 3T 结构相似, 但还使用了一个转移晶体管 (transfer transistor), 控制来自光电二极管的电荷通向扩散区和源极跟随器晶体管, 以供输出。

[0004] 示范性的 CMOS 成像电路、其制造步骤以及成像电路中各 CMOS 元件功能详细说明于下列专利文献: 例如授予 Rhodes 的美国专利 No. 6140630、授予 Rhodes 的美国专利 No. 6376868、授予 Rhodes 等人的美国专利 No. 6310366、授予 Rhodes 的美国专利 No. 6326652、授予 Rhodes 的美国专利 No. 6204524 以及授予 Rhodes 的美国专利 No. 6333205。上述各专利公开被整体引用而纳入本申请。

[0005] 典型的成像装置具有遮光层, 遮光层具有一些开口, 在将像素电路其余部分遮光时对入射光露出光电转换器的至少一部分。遮光层用以更好地分隔邻近像素所接收的光信号并防止在像素中的不适当位置上产生光电流, 使得成像装置可实现较少模糊、弥散及其它不良影响的更高分辨率的图像。遮光层也可用于与像素有关的电路的保护。

[0006] 在先有技术中, 遮光层一般形成在集成电路的金属互连层中 (例如, M1 层、M2 层或 M3 层 (若使用))。金属化层的遮光层结构有一些缺点, 例如将金属层的使用限制在遮光而不是正常的导电互连用途。此外, 在上金属化 (导电互连) 层中用遮光层与感光区域隔开, 可能增加像素中的光导 (light piping) 和光影 (light shadowing), 这可能导致器件功能的失误。

发明内容

[0007] 本发明通过提出一种改进的成像装置像素结构来克服上述这些缺点, 该改进的成像装置像素结构中, 在像素电路上面但在金属互连层下面设遮光层。该遮光层可为采用适

形的或平坦的不透光（或几乎不透光）材料的薄膜，其上有开孔供导体从导电互连层穿到下层电路。遮光层中开口露出像素光电转换器的感光区域。本发明还涉及遮光层形成方法和包含遮光层的成像装置。本发明的遮光层及其形成方法特别地适用于 CMOS 成像装置。

[0008] 遮光层结构保护下层电路而留下金属化（导电互连）层用于正常的信号路径之用。在克服例如模糊、弥散、光导和光影这些不良影响的同时实现像素的光隔离。

[0009] 通过以下说明本发明各实施例的附图和详细解释，本发明的种种特征和优点将更加显而易见。

附图说明

[0010] 图 1 是本发明的一个像素的分解透视图。

[0011] 图 2 和 2a 是图 1 中的像素在线 2-2' 截取的局部剖面图，还示出另一导电互连层。

[0012] 图 3 表示本发明的图 1 和图 2 所示电路的制造步骤。

[0013] 图 4 表示在图 3 所示电路制造步骤之后的制造步骤。

[0014] 图 5 表示在图 4 所示电路制造步骤之后的制造步骤。

[0015] 图 6 表示在图 5 所示电路制造步骤之后的制造步骤。

[0016] 图 7 表示在图 6 所示电路制造步骤之后的制造步骤。

[0017] 图 8 表示在图 7 所示电路制造步骤之后的制造步骤。

[0018] 图 9 表示在图 8 所示电路制造步骤之后的制造步骤。

[0019] 图 10 表示在图 9 所示电路制造步骤之后的制造步骤。

[0020] 图 11 表示与图 1 和图 2 所示的 4T 像素类似的 3T 像素沿图 1 的线 2-2' 截取的通过同一像素剖面部分的局部剖面图。

[0021] 图 12 表示本发明的集成在 CMOS 成像器系统内的像素阵列。

[0022] 图 13 表示与图 1 所示相同的 4T 像素的电路图。

[0023] 图 14 表示本发明的包含至少一个如图 12 所示的 CMOS 成像装置的处理系统。

[0024] 发明的详细说明

[0025] 以下，参阅构成本说明书的一部分的附图进行详细说明，附图所示的仅为举例说明可以实现本发明的各实施例。对这些实施例作了充分详细的描述，使本领域技术人员可以实现和使用本发明。但应理解，可以使用其他实施例，可以进行各种结构、逻辑和电气上的变化以及所用材料的变化而并不偏离本发明的精神和范围。此外，揭示了一些加工步骤以及加工步骤的特定顺序，然而，加工步骤的顺序并不限于本文所述的顺序，如本领域公知可以加以改变，除了一些必须按一定顺序进行的步骤以外。

[0026] “晶片”和“衬底”应理解为包括（可互换为）硅、绝缘物上硅（SOI）或蓝宝石上硅（SOS）、掺杂与未掺杂的半导体、由底层半导体支持的硅外延层以及其他半导体结构。而且，在下文提及“晶片”或“衬底”时，可以使用先前的加工步骤在基底半导体结构或基底之上或之内构成区域、结或材料层。此外，半导体不一定为基于硅的，而可以基于硅-锗、锗、砷化镓或其它已知的半导体材料。

[0027] “像素”指包含将电磁辐射转换为电信号的光电转换元件和晶体管的光电元件单元。本说明书中，所述的像素仅以 4T 像素电路为例加以图示和说明。但应该理解本发明并不限于四晶体管（4T）像素，而是可以适用于具有比四个晶体管少些（例如 3T）或多些（例

如 5T) 的其它像素结构。尽管以一个像素的结构和制造为例对本发明进行描述,但应该理解这个像素是成像装置阵列中许多像素的代表。此外,尽管本发明在下文以 CMOS 成像装置为例进行描述,但本发明同样适用于含有像素的任何其它固态成像装置。因此,以下的详细说明并不具有限制意义,本发明的范围仅由所附的权利要求书加以规定。

[0028] 现在参阅附图,其中相同元件标以相同标号,图 1 和 2 表示本发明的示范性实施例,以用光电二极管 14 作为光电转换器的四晶体管 (4T) CMOS 像素 12 为例说明。光电二极管 14 形成在典型的 p 型衬底 10 上,包括 n 型导电区 18 和在 n 型区 18 的最上层的 p 型薄导电层 20。应该理解,图 1 只是表示单个像素 12 的电路,正如本技术领域所周知,实际使用中有按行和列排列的像素 12 的 M×N 阵列,而使用行和列选择电路访问阵列中的像素 12。所示像素 12 可以用浅沟道隔离区 42 与阵列中其它像素横向隔离。为简单起见,只在像素 12 的一边画出隔离区 42,实际上它可以沿像素 12 全部的周边延伸。

[0029] 图 1(和图 2) 所示的 4T CMOS 像素 12 部分地形成在衬底 10 的掺杂的 p 型区 16 之上和之内,它包含光电二极管 14、转移栅极 22、复原栅极 28、源极跟随器栅极 32 和行选择栅极 36。转移栅极 22 构成转移晶体管的一部分,以电的方式控制光电二极管 14 积累的电荷通向扩散区 24。在浮置扩散区 24 的第一导体 26 通过第二导体 34 与源极跟随器晶体管栅极 32 电连接(尽管导体例如 26 和 34 没有在图 1 的分解剖面图上画出,它们会沿着与之相随的虚线到达导电路径 50)。两个导体 26 和 34 通过导电互连层(例如 M1 层)中的导电路径 50 电连接。与转移晶体管共有浮置扩散区 24 的是具有栅极 28 的复原晶体管。复原晶体管通过具有导体 30 的源/漏区与电压源 (V_{dd}) 连接,向浮置扩散区 24 提供复原电压。

[0030] 在图 13 画出图 1 像素的等效电路,正如本技术领域周知,像素 12 由复原(RESET)、转移(TRANSFER)和行选择(ROW SELECT)信号运行。如图 13 所示,通过除去虚线框 22' 内包含的部分(即转移晶体管)并将光电二极管 14 的输出与 p 型区 16 内浮置扩散区 24 电连接,而浮置扩散区 24 与源极跟随器晶体管栅极 32 连接,4T 电路就可以变换为 3T 电路。

[0031] 在像素 12 电路上有遮光层 44,如图 1 所示,遮光层由不透明材料构成,防止光能量辐射到下面电路。遮光层 44 材料可以有 WSi_x 、W、TiN、Ti、Co、Cr、poly/ WSi_x 、Al、Ti/Al、 $TiSi_2$ /Al 和 Ti/Al/TiN,或者具有所要求的遮光、电气和物理特性的其它材料。遮光层 44 可以非常薄。例如,与厚度约为 1000 \AA - 10000 \AA 的一般金属互连层比较,遮光层 44 只需要厚到能遮光即可,约为 100 \AA - 3000 \AA 。在这个范围内的特定厚度可以根据遮光层 44 材料的光吸收/反射特性来确定。最好不到 1% 的入射到遮光层 44 的光能穿透到下面的晶片。如图 2 及参照该图的描述所示,透明介质层 52 可位于遮光层 44 和下面的像素 12 之间。再参阅图 1,包含导电互连图案 50 的 M1 层形成在遮光层 44 上,遮光层 44 位于像素晶体管和 M1 层之间。作为一种任选方式,假如遮光层 44 不导电,层 54 可以被省略,第一导电互连层 50 可以直接形成在遮光层 44 上。

[0032] 遮光层 44 确定在光电二极管 14 上的开口 46,以容许光通过而到达该光电二极管。遮光层 44(假如导电)也可以任选地通过接地电路 47 接地,这样可以为下面的像素电路提供电屏蔽。在另一实施例中,遮光层 44 可以用作周边的导电条。在遮光层 44 还有其它的孔 48,使得在上面的导电互连层 50、60(例如 M1、M2 等)和下面的像素电路(例如 22、28、32、36)之间各个电路接触柱 26、30、34、40、38 能处于电连接。

[0033] 图 2 和 2a 表示图 1 的像素 12 沿线 2-2' 截取的另一局部剖面图,其中增加了某

些细节。如图所示,透光的第一介质层 52 可设在像素 12 上,介质层 52 的上表面高过像素 12 的晶体管栅极(例如栅极 22)的高度。如图 2a 所示,该遮光层 44(以及像素单元的其它层)可以共形地淀积。与第一介质层 52 具有相同透光和绝缘特性的第二介质层 54 可以形成在遮光层 44 上(并形成在开口 46 内)。在第二介质层 54 上可以形成第一导电互连层 50(例如 M1 层),第一导电互连层 50 可以通过位于孔 48 中穿过各层 52、54、44 的接触体(例如导体 26)连接下面的电路。如图 2 和 2a 所示,在第一导电互连层 50 之上还有其它层,例如与其它两个介质层 52 和 54 具有相同透光和绝缘特性的第三介质层 56。在该第三介质层 56 上可以形成第二导电互连层 60,第二导电互连层 60 可以通过导体 58 与第一导电互连层 50(或者像素 12 电路或成像装置的其它部分)电连接。在第二导电互连层 60 之上还可以形成其它介质层、导电互连层或钝化层,但为了简明起见在图上没有画出。图 1 以及图 2 和 2a 所示的像素 12 器件可以按下述方法制造。

[0034] 图 3 表示加工的起始步骤。如上在讨论图 1 时所述,在衬底 10 内每个像素 12 用隔离区 42 隔开,隔离区 42 最好是 STI(浅沟道隔离)区,但也可用 LOCOS 工艺形成。图 3 表示已形成的 STI 隔离区 42。STI 隔离区 42 可以使用光刻胶掩模、图案化和蚀刻而在在需要成为隔离区 42 的地方形成沟道。然后,除去光刻胶层。用 CVD、LPCVD、HDP 或其它适用的手段在沟道中形成一层介质材料层(例如,二氧化硅、氮化硅、氧化物-氮化物、氮化物-氧化物或氧化物-氮化物-氧化物等)。在用介质材料填充沟道后,例如用 CMP 或 RIE 干法蚀刻工艺对晶片作平坦化处理,处理完毕的隔离区如图 3 所示,包围像素 12 区域。

[0035] 接着,如图 4 所示,形成晶体管各栅极(包括图 1 和 2 所示的转移栅极 22)。标准的 MOS 栅极的形成是在衬底 10 上先形成栅极氧化物层 100(例如氧化硅),再在栅极氧化物层 100 上形成经掺杂的多晶硅层 102(多晶硅层可以用掺杂剂在原位置掺杂或在此后离子注入),再形成绝缘帽层 106(例如氧化物或氮化物)。再用例如图案化的光刻胶掩模覆盖这些层 100、102、106,经过蚀刻后留下将是晶体管栅极叠层(其中包括转移栅极 22)。在另一实施例中,硅化物层 104(在图 2 中,而不在图 4 中)可形成在多晶硅层 102 上。然而,最好省去硅化物层 104。此外,正如本技术领域所周知,在加工过程中可以进行 Vt 离子注入。

[0036] 在形成栅极叠层(例如晶体管栅极 22)以后,在衬底 10 进行掺杂注入 108,在像素 12 的一部分下面形成 p 型区 16。光刻胶掩模 160 防止注入 108 掺杂到像素 12 上以后要形成光电二极管的区域(见图 2)。作为一种选择方案,p 型区 16 也可以通过覆盖式注入(blanket implant)来形成。然而,应注意,在整个工艺过程中所使用的掺杂剂导电类型可容易地反转而形成 PMOS 型像素结构,与 NMOS 像素相反。

[0037] 在形成 p 型区 16 以后,使用另一次注入 118 形成邻近晶体管栅极叠层 22 的浮置扩散区 24,如本技术领域周知(其它晶体管的源/漏区 23 可以同时形成)。浮置扩散区 24 就作为该转移晶体管的源/漏区。浮置扩散区 24 的注入 118 可以用大约 1×10^{12} 至 2×10^{16} 离子/cm² 的离子注入剂量进行。在一优选实施例中,该注入 118 的注入剂量范围大约为 4×10^{12} 至 2×10^{15} 离子/cm²,浮置扩散区 24 通过扩散完成。

[0038] 光电二极管 14(见图 2)包含 p-n-p 结构,该结构由下面的 p 型衬底 10、在 p 型阱 16 内 n 型区 18 和在 n 型区 18 上的 p 型层 20 构成。光电二极管 14 的各层(即层 10、18 和 20)可以按图 5 和 6 所示地形成。图 5 表示衬底 10 被覆盖图案化的光刻胶膜 110 的掩模,进行另一次第二导电类型(这里为 n 型)的离子注入 112。这就在像素 12 光敏区内并在转

移栅极 22 之下形成 n 型区 18。可以使用斜角入射的离子注入 112 形成区 18, 以达到光电二极管 14 的一定空间特征。

[0039] 如图 6 所示, 在除去光刻胶膜 110 以后, 在晶体管栅极 22 上形成绝缘层 120 (该同一层 120 也可以构成对其它晶体管栅极的侧壁隔层)。在晶体管栅极 22 上局部地形成另一层光刻胶膜 111 的掩模, 进行掺杂注入 114 形成光电二极管 14 的 p 型顶层 20。作为任选方案, 也可采用斜角入射的离子注入 114。光电二极管 14 称为“牵制”光电二极管 14, 因为当光电二极管 14 被充分耗尽时它的电位被牵制在恒定值上。

[0040] 如图 7 所示, 介质层 52 淀积在包含晶体管栅极 22 的像素 12 的电路上。该介质层 52 应该是透光的, 从而不会阻碍光入射到光电二极管 14。介质层 52 可以包括例如硅氧化物或氮化物、玻璃或聚合物材料, 可以用蒸发技术、CVD、PECVD、溅射或本技术领域众所周知的其它技术进行淀积。介质层 52 可以用例如 CMP 或 RIE 蚀刻的各种技术做平坦化处理。或者, 假如要求共形的介质层 (见图 2a) 可以不做平坦化加工步骤。通过在介质层 52 上淀积一层不透明或几乎不透明材料作为一层薄膜, 在介质层 52 上形成遮光层 44。遮光层的厚度最好约为 $100 \text{ \AA} - 3000 \text{ \AA}$ 。遮光层 44 的厚度和材料应该使得只有不到 1% 的入射光能透射, 遮光层 44 可以是导电层或绝缘层。遮光层 44 的材料可以有例如 WSi_x 、W、TiN、Ti、Co、Cr、poly/ WSi_x 、Al、Ti/Al、 TiSi_2 /Al 和 Ti/Al/TiN。可以运用例如蒸发技术、物理淀积、溅射和 CVD 等传统方法在介质层 52 上淀积上述这些材料。遮光层 44 可以是共形层或平面层。遮光层 44 可以是导电的或绝缘的。假如遮光层 44 由导电材料构成, 就可以接地, 因而提供电屏蔽, 保护下面的像素电路不受上面的导电互连层即金属化层 (在后续步骤中形成) 的影响。与先有技术中在 M1 和 / 或 M2 层中形成的遮光层比较, 遮光层 44 位置相对地靠近下面的光电二极管。因此, 光导和光影的不良影响得以克服。

[0041] 接着, 如图 8 所示, 在遮光层 44 上形成图案化的光刻胶掩模 122。此后, 蚀刻遮光层 44, 形成在光电二极管 14 上面的开口 46。介质层 52 可以作为蚀刻止挡层。如图 9 所示, 第二介质层 54 再淀积在遮光层 44 上和第一介质层 52 上开口 46 内。该介质层 54 可以与第一介质层 52 具有相同或相似的组成、透光和介质特性, 并可以相似的方式淀积。第二介质层 54 可以用 CMP 或者 RIE 蚀刻技术进行平坦化处理, 或者也可以是共形的层。在第二介质层上形成图案化的光刻胶膜 124, 接着刻蚀晶片, 形成穿过两层介质层 52 和 54 和遮光层的孔 48, 露出衬底上的包含浮置扩散区 24 的活性区。

[0042] 如图 10 所示, 在孔 48 内形成到达像素 12 电路的活性区的导体。作为任选方案, 可以在孔 48 内淀积薄绝缘层 (未画出), 使遮光层 (若为导电) 与导体电绝缘。在浮置扩散区 24 上形成一种这样的导体 26。在第二介质层 54 上淀积与导体 26 电连接的最好是金属的导电互连层 50, 构成 M1 层。若导电互连层 50 由不透光材料形成, 最好不要延伸到开口 46 和光电二极管 14 上面。然而, 例如多晶硅的透光或半透光材料可用于导电互连层 50, 若如此, 它们可以覆盖在光电二极管 14 上 (如果想要这样)。

[0043] 浮置扩散区 24 通过若干标准金属化步骤与源极跟随器晶体管栅极 32 电连接, 例如: 形成到浮置扩散区 24 的导体 26; 形成到源极跟随器晶体管栅极的导体 34 (见图 1); 再在导体 26 和 34 之间形成导电互连 50。导体 26 与 M1 导电互连层 50 电连接, 并通过导电互连层 50 与源极跟随器晶体管栅极 32 和集成电路 (像素 12 是其一部分) 的其余部分电连接。可以后续附加的处理, 例如形成覆盖的介质层 56 和第二导电互连层 60 (M2) 的其它工

艺处理,这是本技术领域周知的。

[0044] 如上指出,本发明的遮光层 44 适合用于任何 CMOS 像素电路,而不论在像素电路中使用多少个晶体管。图 11 表示 3T 像素 112 的剖面图,3T 像素 12 与上述 4T 电路大部分相似,不同之处是去掉了转移栅极 22。光电二极管 14 通过浮置扩散区 24、导体 26、M1 导电互连层 50 和导体 34 与源极跟随器栅极 32 直接电连接。不再需要转移晶体管控制光电二极管 14 产生的电荷流动,因为浮置扩散区 24 与光电二极管 14 直接电接触。然而,仍然设有复原栅极 28,并通过接触体 30 和部分导电路径 50 与电压源 (V_{dd}) 电连接。

[0045] 图 12 表示具有包含如图 1 至图 11 所示上述方式构成的像素 12 的像素阵列 200 的 CMOS 成像装置 308 的方块图。像素阵列 200 由多个像素 12 按预定数量的列和行排列组成。阵列 200 中每行的像素 12 可以由行选择线同时全部选通,每列的像素 12 由列选择线选择地输出。对于整个阵列 200 有多个行线和列线。行线由行驱动器 210 响应行地址解码器 220 而选择地被驱动,列选择线由列驱动器 260 响应列地址解码器 270 而选择地被驱动。因此,各像素 12 都具有行和列的地址。

[0046] CMOS 成像装置 308 由控制电路 250 运行,控制电路 250 控制地址解码器 220、270 和行与列驱动电路 210、260,地址解码器 220、270 选择要读取的像素的行线和列线,行和列驱动电路 210、260 施加驱动电压在所选择的行和列的驱动晶体管上。存储器 275 例如 SRAM 可以与阵列 200 和控制电路 250 通信。串行器模块 280 和 SFR(特定功能寄存器)设备 285 可各自与控制电路 250 通信。作为任选方式,可在成像装置 308 中装入本机电源 290。

[0047] 一般说,一旦接收到光输入并产生电荷在阵列 200 上的成像装置 308 中就会开始信号流动。该信号被输出到读出电路,再输出到模/数变换器。此后,该信号被传送到处理器,再传送到串行化器,然后该信号就可从成像装置输出到外部硬件。

[0048] 图 14 表示系统 300,一个典型的被改为包括图 12 所示的成像装置 308 和对系统 300 的输入设备的基于处理器的系统。成像装置 308 也可以接收来自系统 300 的控制或其它数据。可使用成像装置 308 的基于处理器的系统的例子包括(但不限于):计算机系统、摄像机系统、扫描仪、机器可读系统、车辆自动驾驶系统、可视电话、监视系统、自动聚焦系统、行星跟踪系统、运动检测系统、图像稳定系统以及其它系统。

[0049] 系统 300 包含例如中央处理单元(CPU)302,它通过总线 304 与各种设备通信。与总线 304 连接的一些设备(例如包括输入/输出(I/O)设备 306 和成像装置 308)提供与系统 300 的进出通信。与总线 304 连接的其它设备有存储器,例如包括:随机存取存储器(RAM)310、硬盘驱动器 312 以及例如软盘驱动器 314 和光盘(CD)驱动器 316 的一个或多个外围存储设备。成像装置 308 可以与处理器(例如,CPU、数字信号处理器或微处理器)一起集成在一个集成电路上。

[0050] 以上描述的方法和器件说明可以使用和产生的许多例子中的优选方法和典型器件。上述叙述和附图说明实现本发明的目标、特征和优点的实施例。然而,不能推断本发明只限于以上描述和图示的实施例。对本发明的任何修改(虽然现在无法预料)只要不脱离下述权利要求的精神和范围都应该被认为是本发明的一部分。

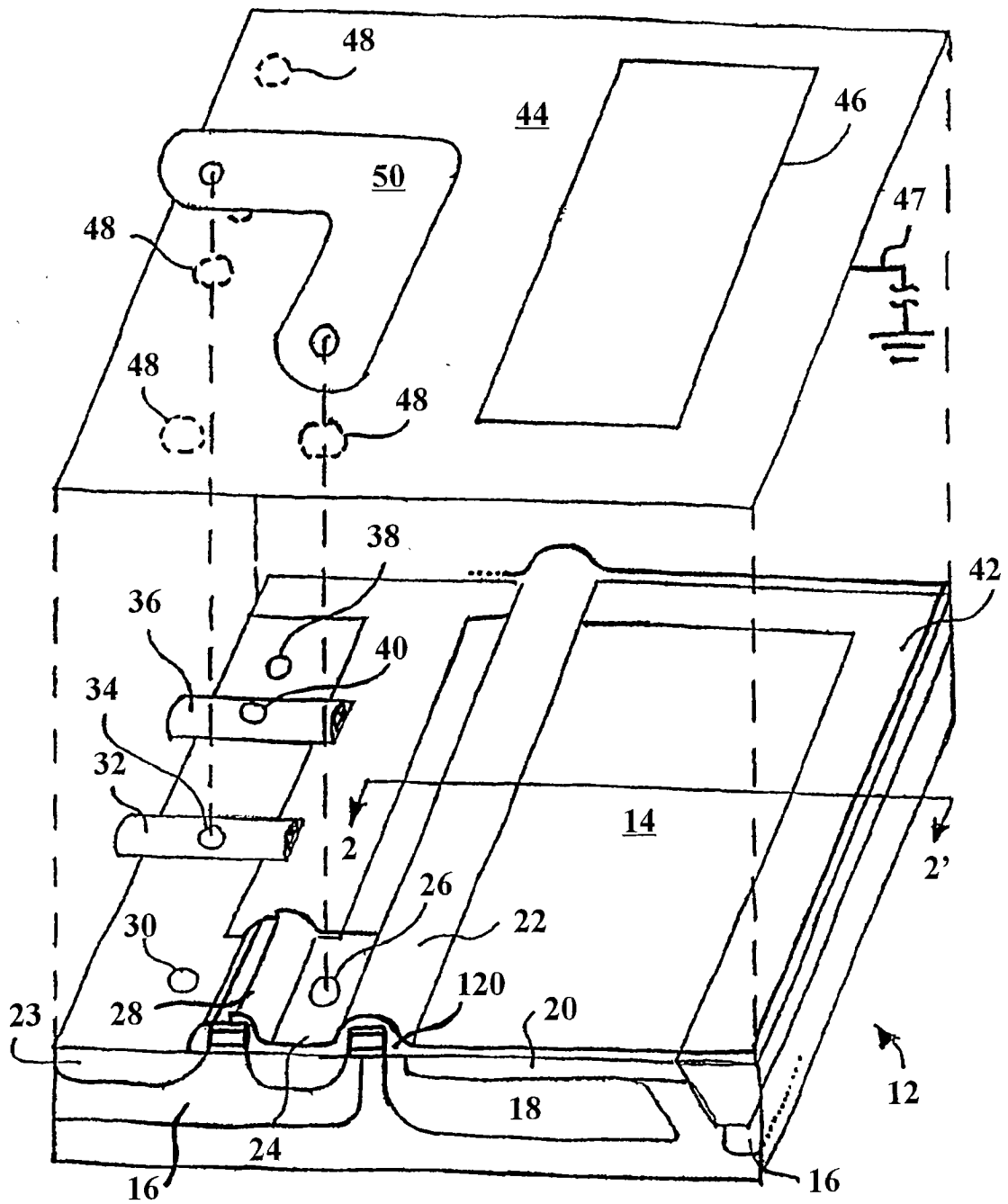


图 1

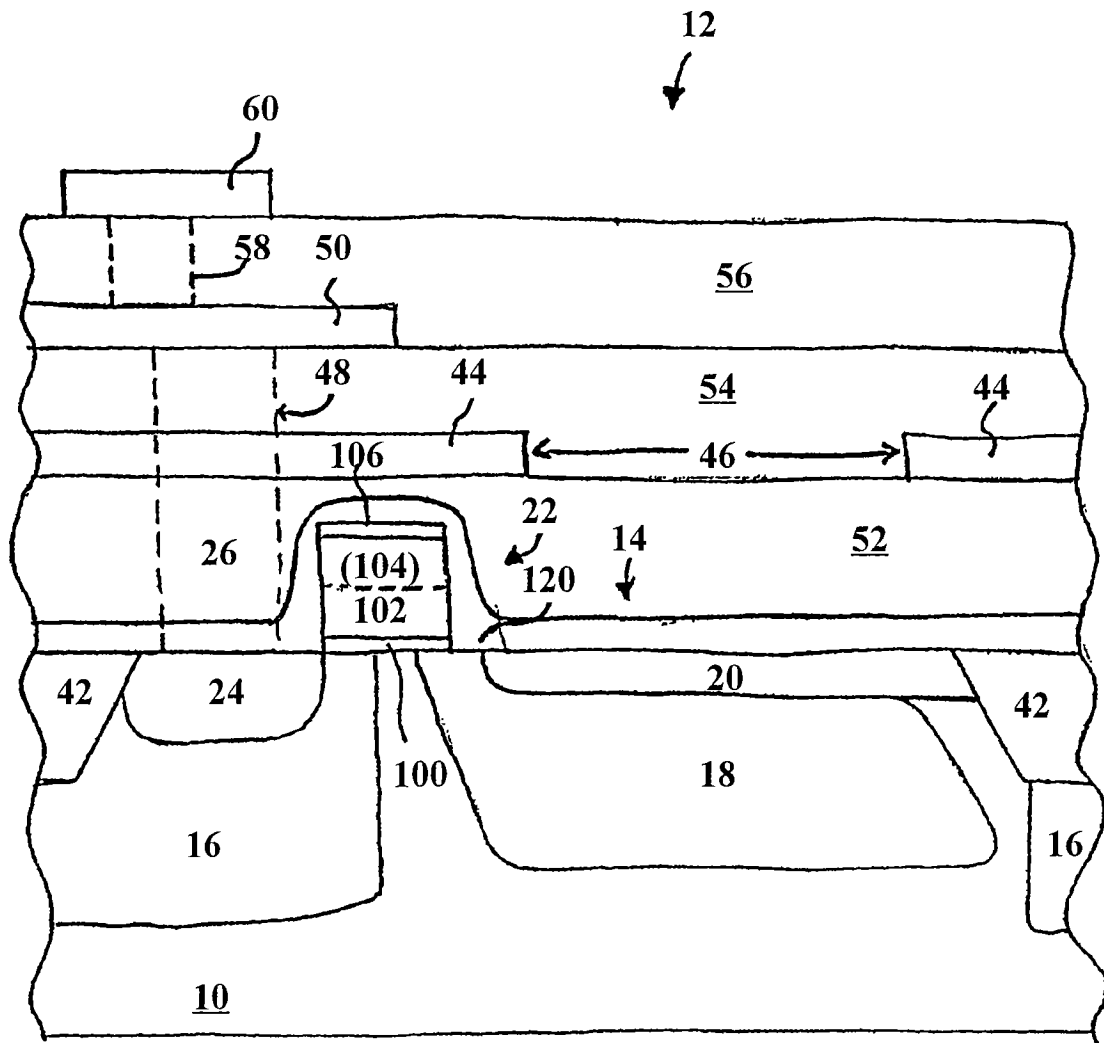


图 2

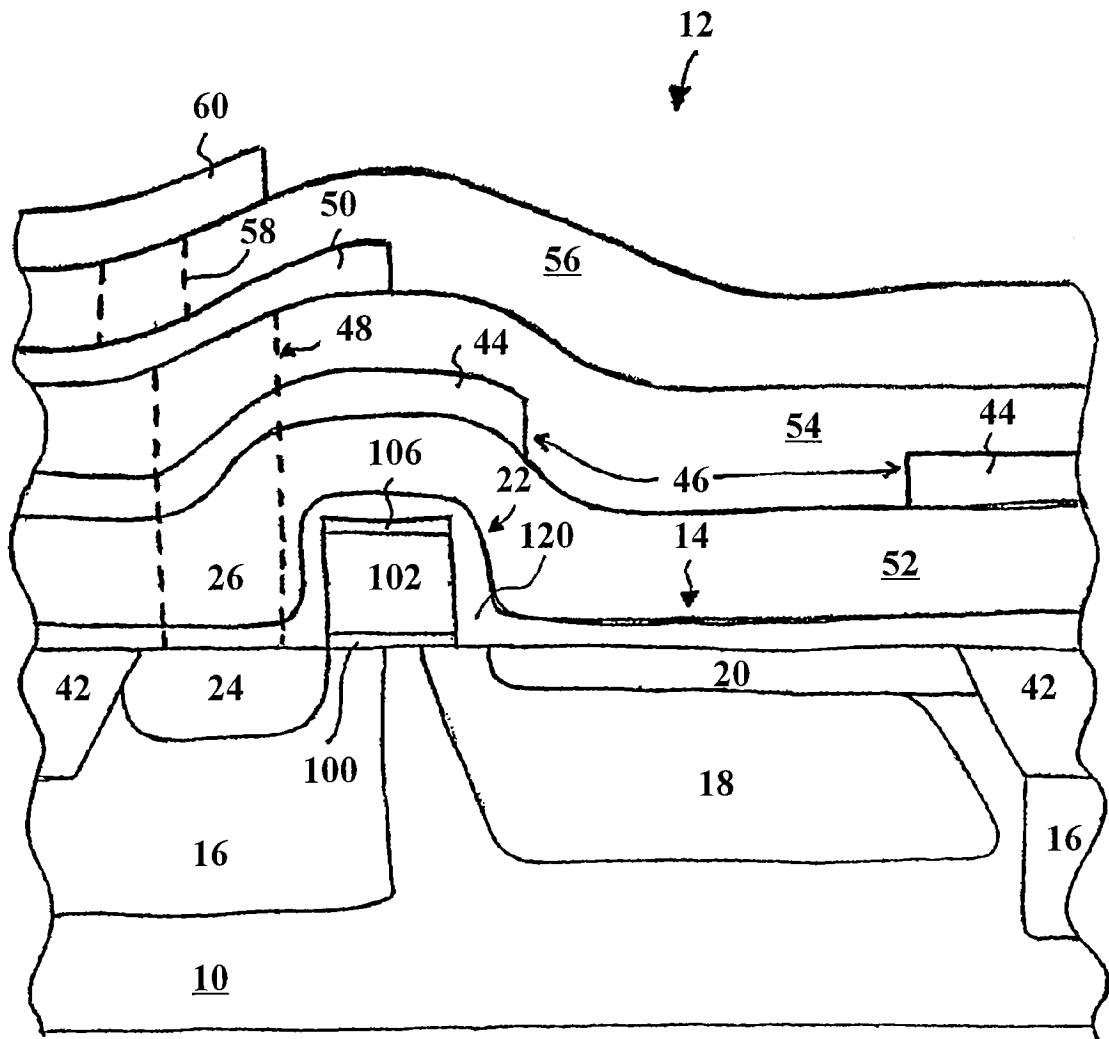


图 2a

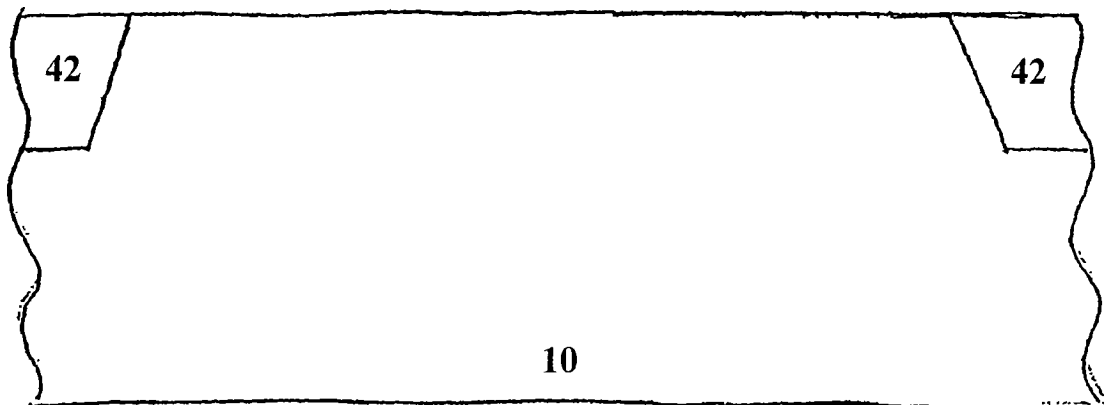


图 3

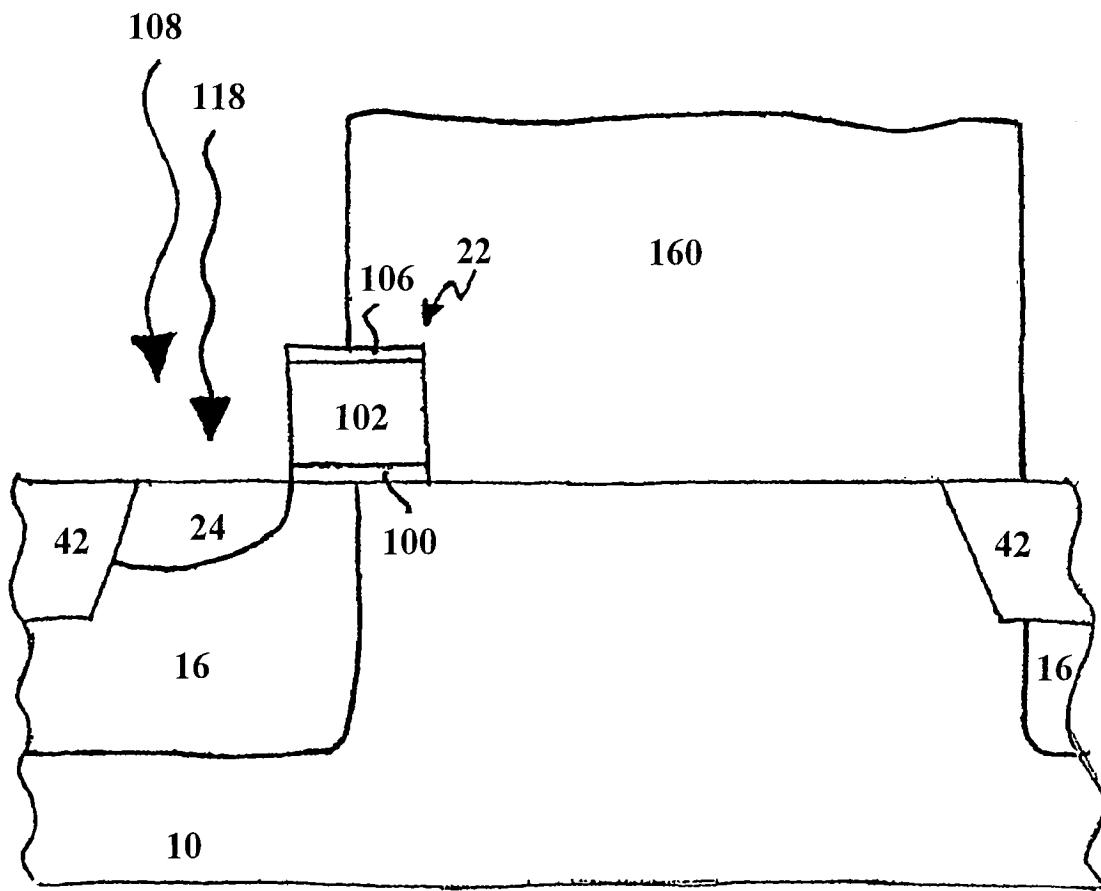


图 4

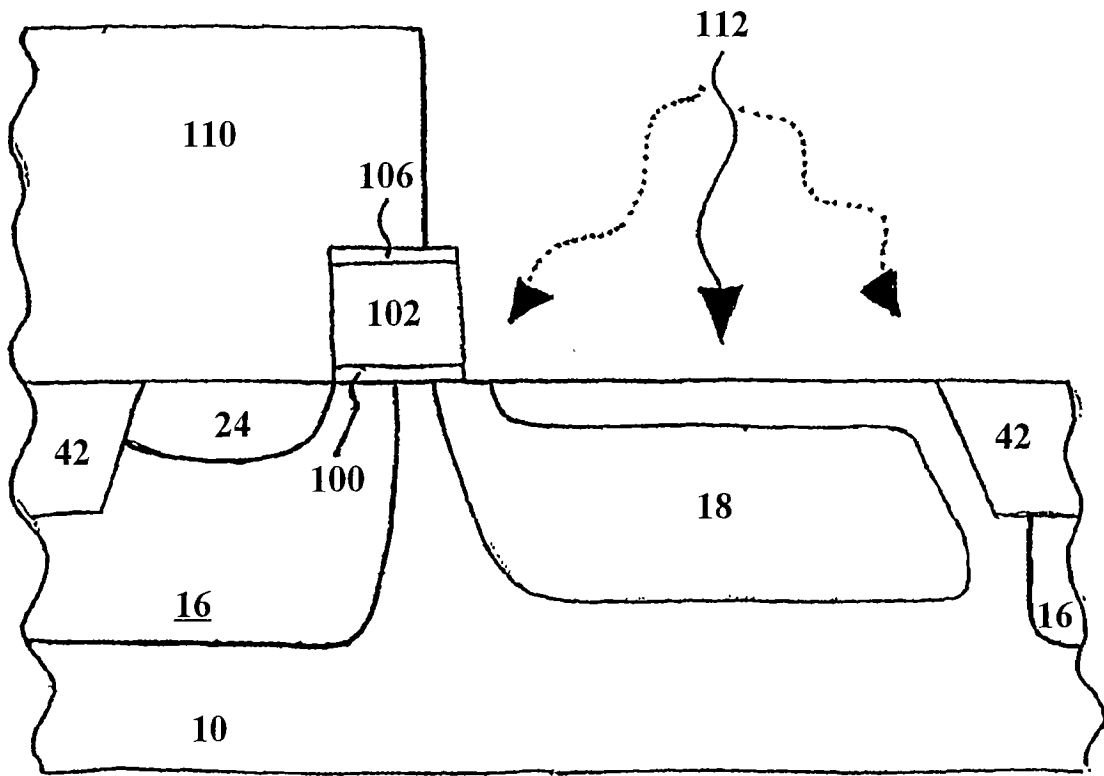


图 5

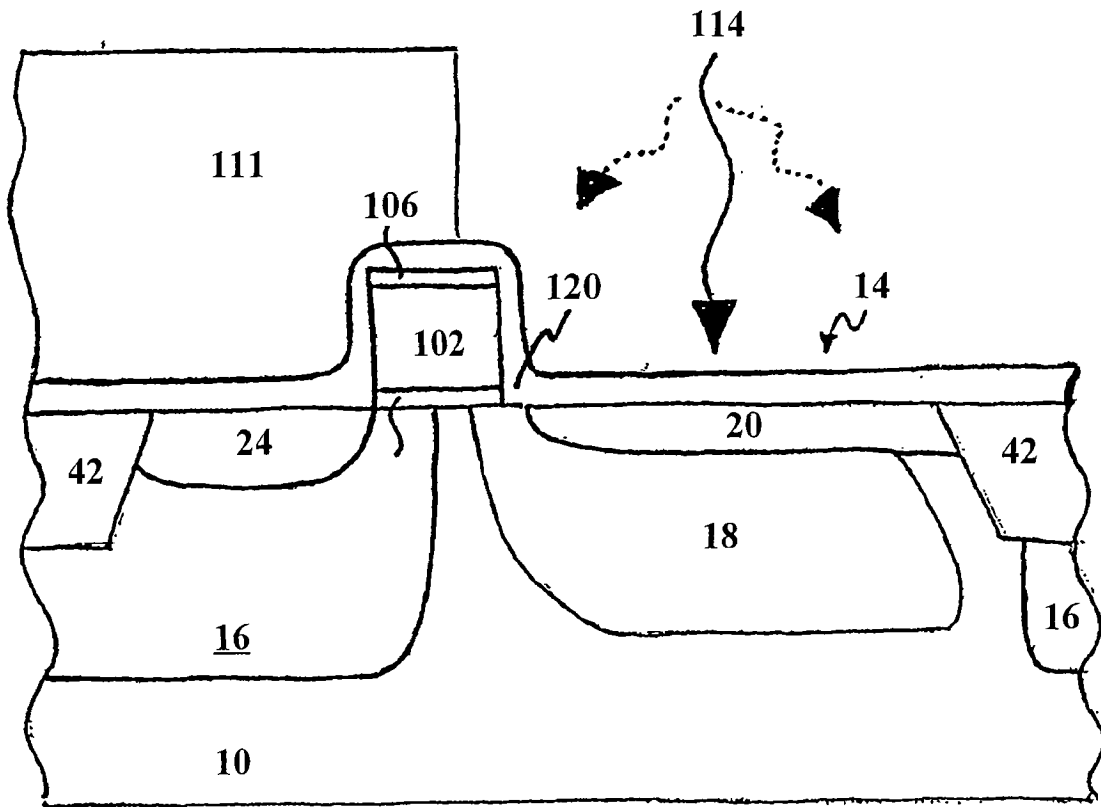


图 6

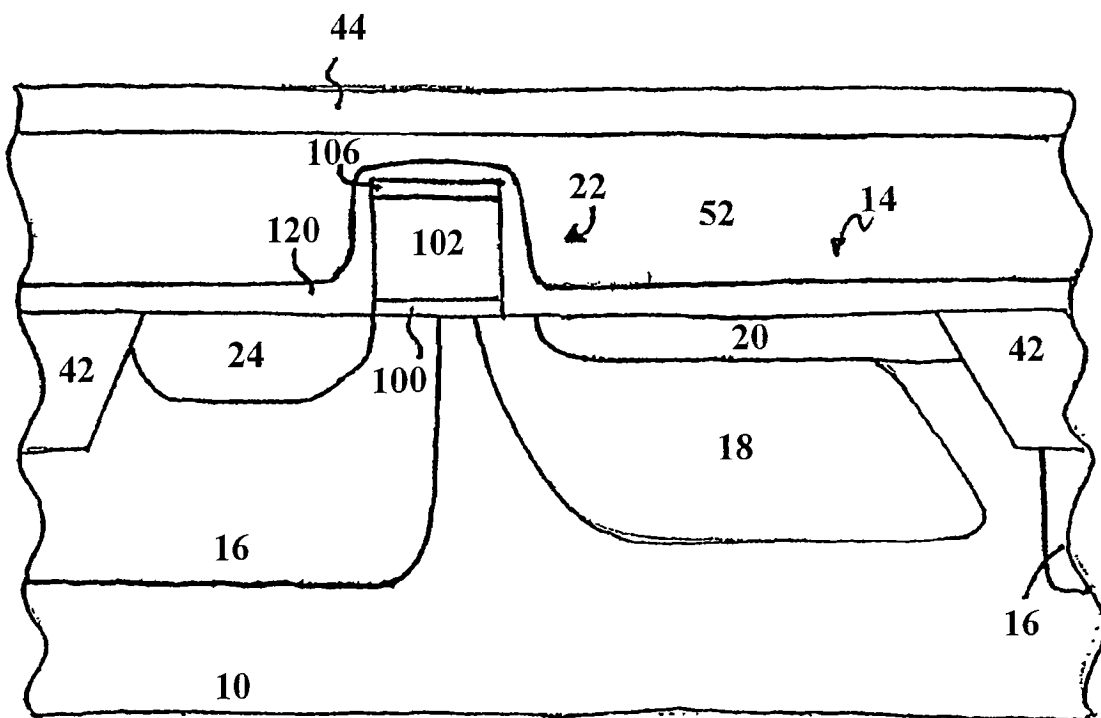


图 7

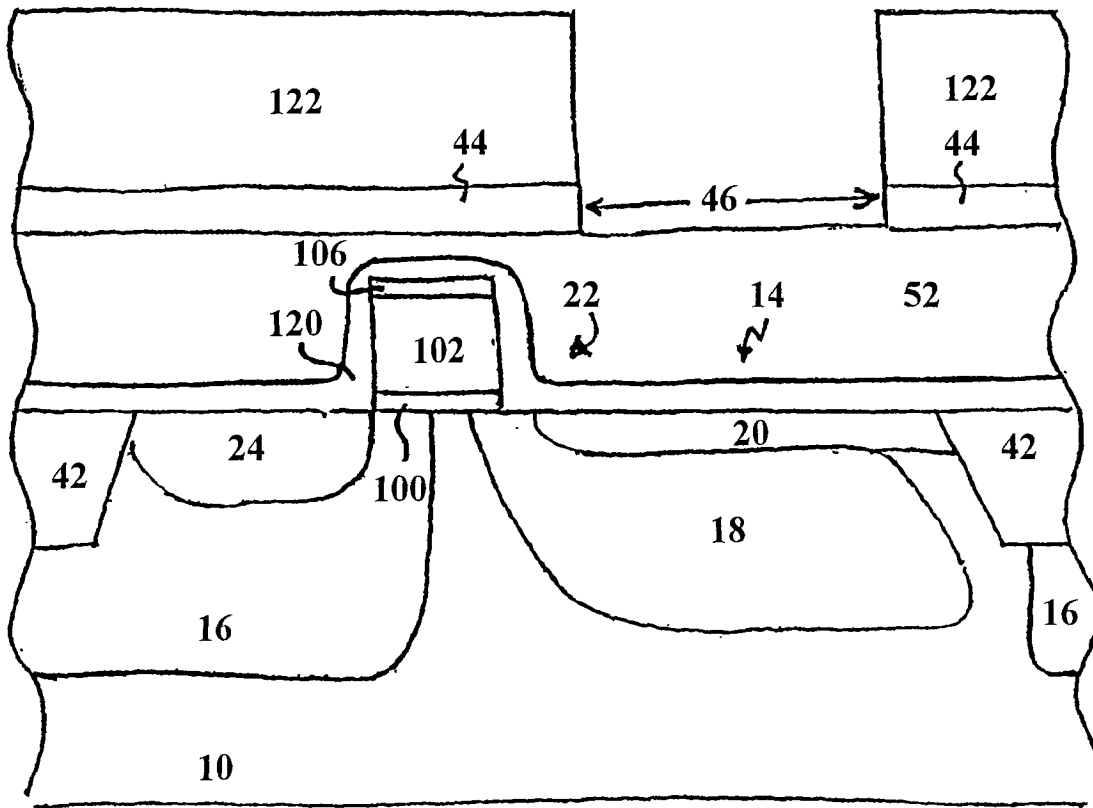


图 8

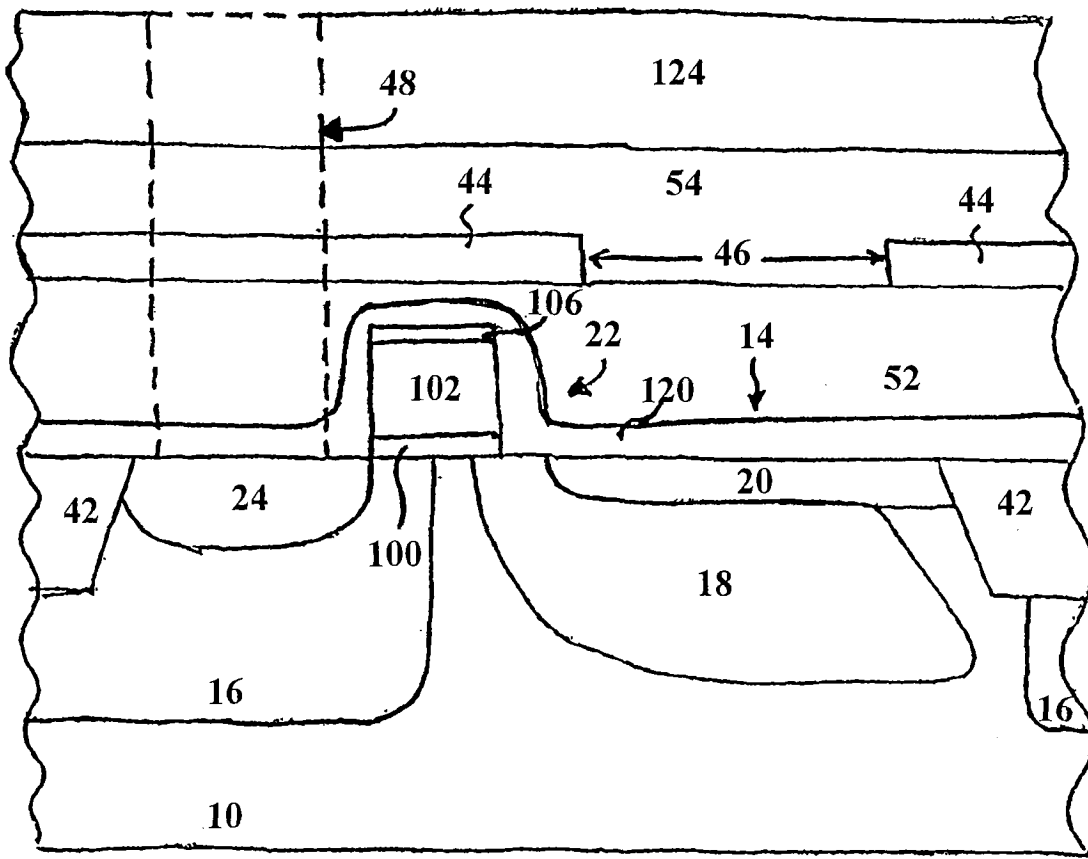


图 9

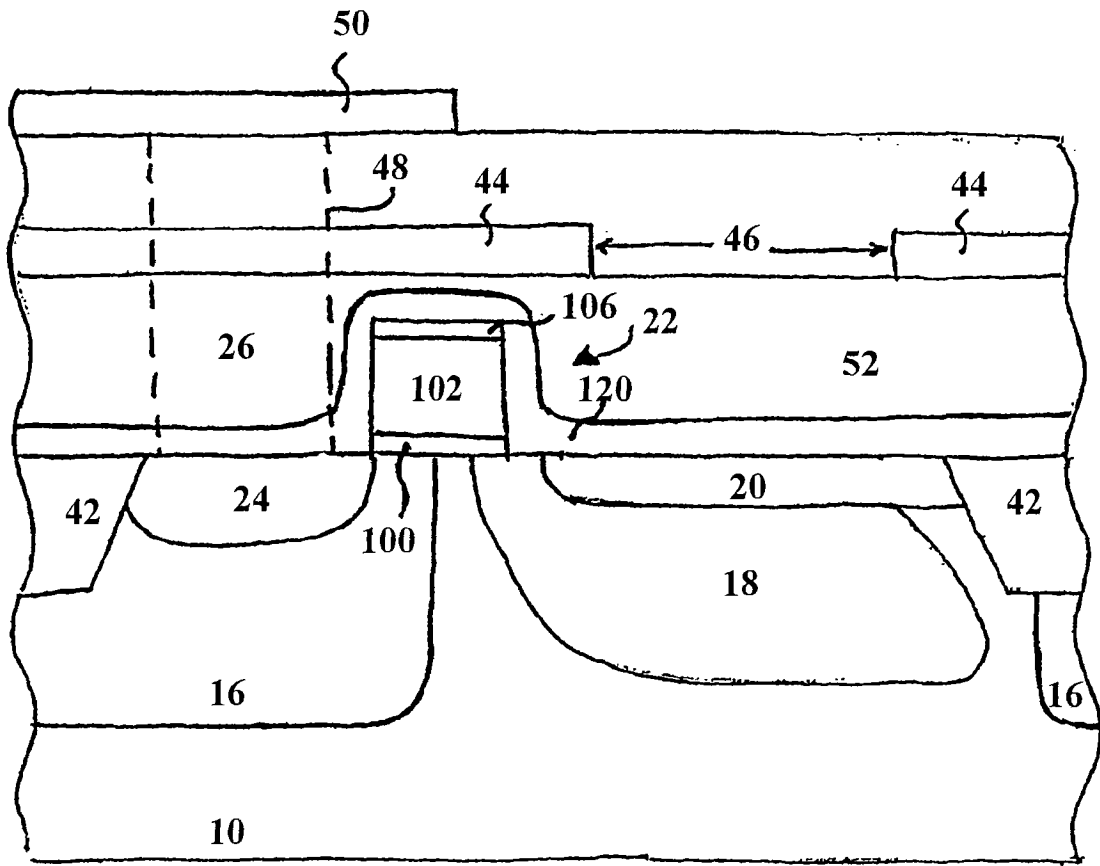


图 10

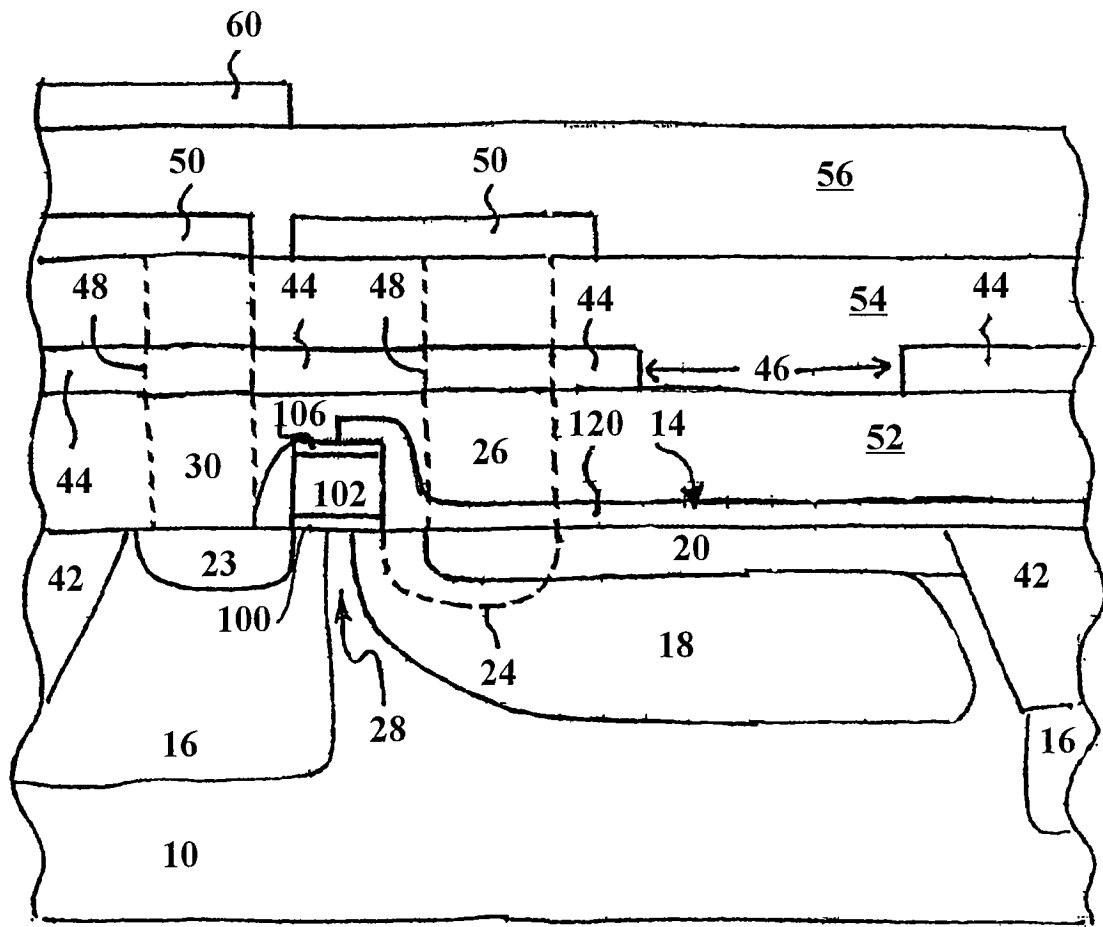


图 11

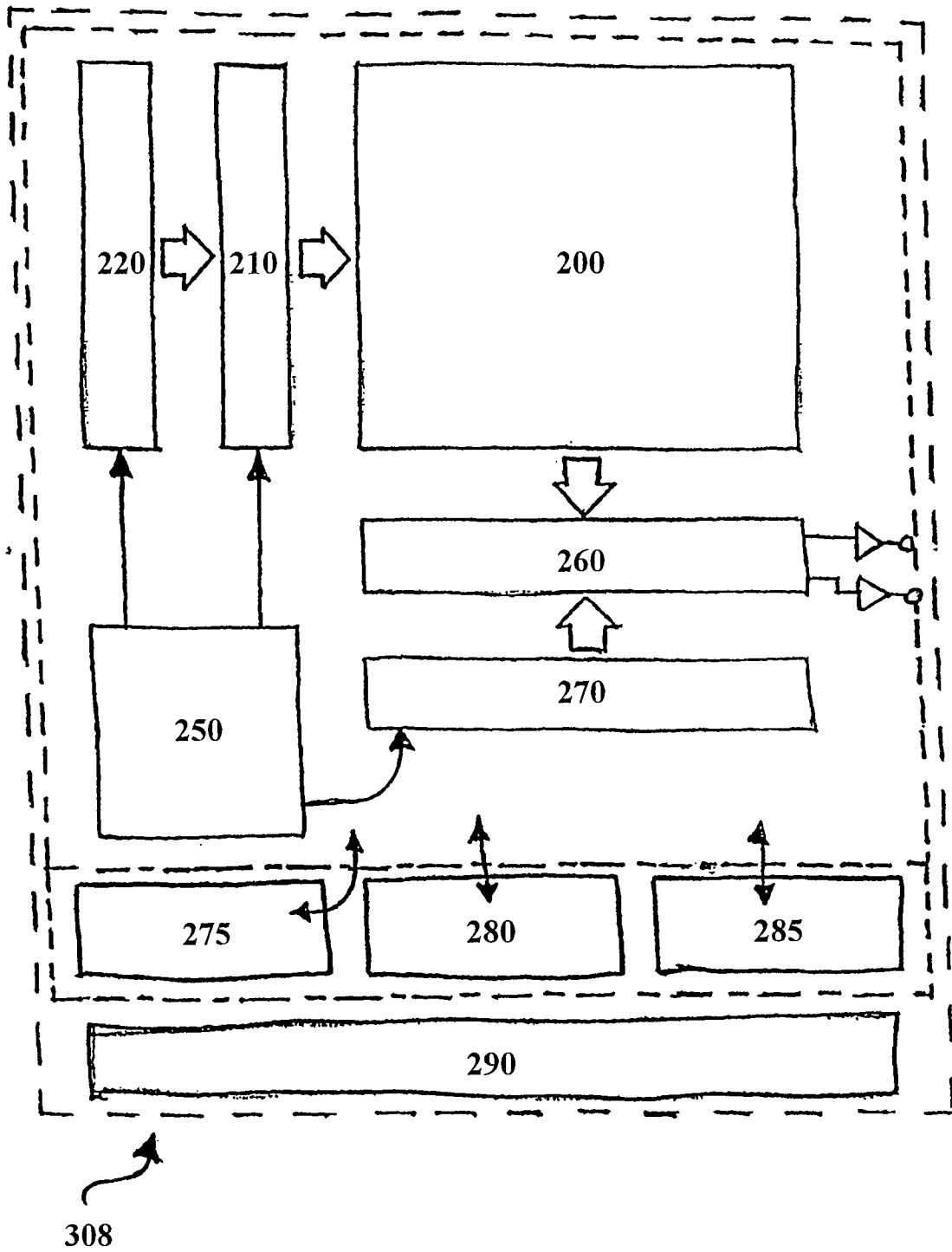


图 12

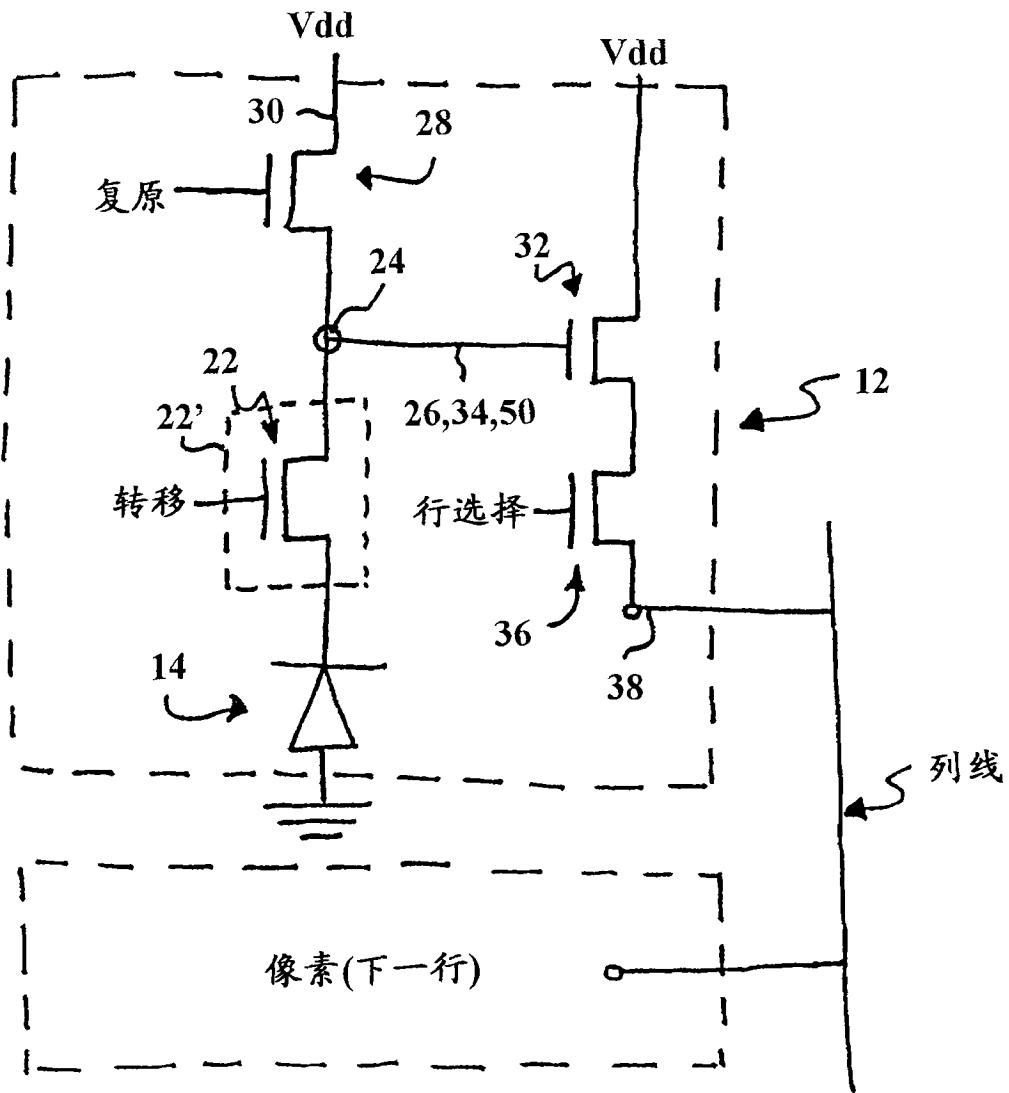


图 13

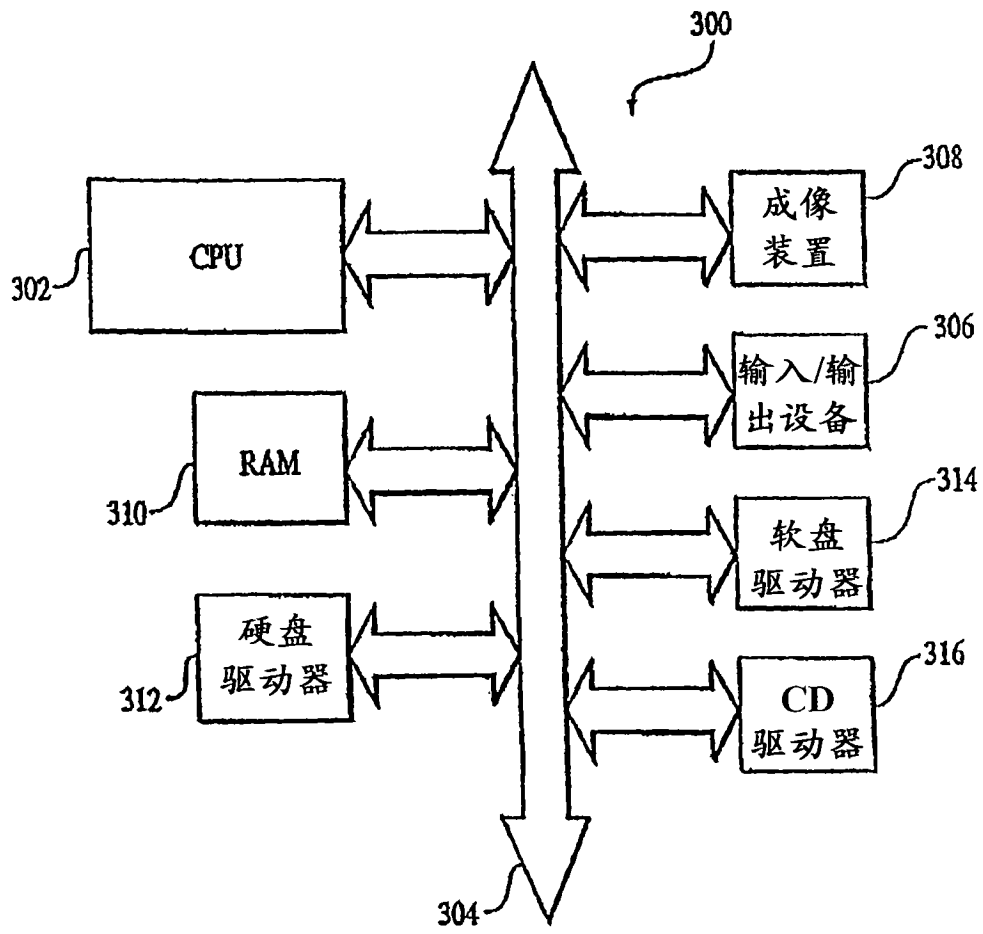


图 14