

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410060022.3

[45] 授权公告日 2008年2月6日

[11] 授权公告号 CN 100367452C

[22] 申请日 2004.6.21

[21] 申请号 200410060022.3

[30] 优先权

[32] 2003.6.19 [33] JP [31] 2003-175323

[73] 专利权人 精工爱普生株式会社

地址 日本东京

[72] 发明人 深泽元彦

[56] 参考文献

JP10-223833A 1998.8.21

JP2000-40713A 2000.2.8

JP2001-339011A 2001.12.7

JP2001-210667A 2001.8.3

JP10-221372A 1998.8.21

JP2000-77558A 2000.3.14

US2002/0084513A1 2002.7.4

审查员 闫立刚

[74] 专利代理机构 中科专利商标代理有限责任公
司

代理人 李香兰

权利要求书2页 说明书14页 附图7页

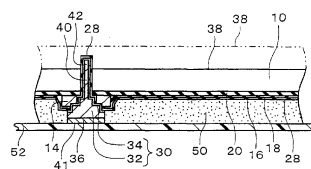
[54] 发明名称

半导体装置及其制造方法

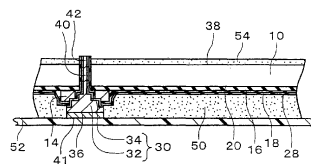
[57] 摘要

本发明提供一种半导体装置的制造方法，包括：(a)在半导体基板形成了集成电路的第一面上形成第一树脂层；(b)通过从与第一面相反的第二面去掉一部分而使半导体基板变薄而形成贯通电极，该贯通电极具有从第二面突出的第二突出部；(c)在半导体基板的第二面上，通过避开突出部而形成第二树脂层。这样，可以提高其可靠性。

(A)



(B)



1、一种半导体装置的制造方法，其特征在于，包括：

(a) 在与半导体基板的集成电路电连接的电极上形成贯通穴，在所述半导体基板上形成凹部，在所述贯通穴和所述凹部中形成贯通电极，并通过从与所述半导体基板的形成有所述集成电路和所述电极的第一面相反的第二面去掉一部分而使得变薄，从而使所述贯通电极的第二凸出部从所述半导体基板的所述第二面凸出；

(b) 在所述半导体基板的所述第一面上，形成第一树脂层；

(c) 在所述半导体基板的所述第二面上，露出所述第二突出部的表面的至少一部分，形成第二树脂层。

2、根据权利要求1所述的半导体装置的制造方法，其特征在于，所述贯通电极具有从所述第一面突出的第一突出部；

在所述(b)工序中，按照比所述第一突出部更低那样形成所述第一树脂层。

3、根据权利要求1所述的半导体装置的制造方法，其特征在于，所述贯通电极具有从所述第一面突出的第一突出部；

在所述(b)工序中，按照与所述第一突出部具有相同高度那样形成所述第一树脂层。

4、根据权利要求1所述的半导体装置的制造方法，其特征在于，

以在所述半导体基板的所述第一面侧设置增强部件的状态进行所述(a)工序。

5、根据权利要求1所述的半导体装置的制造方法，其特征在于，

在所述(c)工序中，按照比所述第二突出部更低那样形成所述第二树脂层。

6、根据权利要求1所述的半导体装置的制造方法，其特征在于，

在所述半导体基板上形成多个所述集成电路，与各个所述集成电路对应形成所述贯通电极；

还包括沿着切断区域切断所述半导体基板的工序。

7、根据权利要求6所述的半导体装置的制造方法，其特征在于，

在所述（b）工序中，通过避开所述半导体基板的所述切断区域的至少一部分来形成所述第一树脂层。

8、根据权利要求6所述的半导体装置的制造方法，其特征在于，在所述（c）工序中，通过避开所述半导体基板的所述切断区域的至少一部分来形成所述第二树脂层。

9、根据权利要求1~8中任一项所述的半导体装置的制造方法，其特征在于，

还包括：将所述（a）~（c）工序完成后的多个所述半导体基板堆叠，并通过所述贯通电极使上下半导体基板电连接的工序。

10、根据权利要求9所述的半导体装置的制造方法，其特征在于，还包括在所述上下半导体基板之间填充树脂的工序。

11、根据权利要求10所述的半导体装置的制造方法，其特征在于，所述第一和第二树脂层以及所述树脂都由相同的材料构成。

半导体装置及其制造方法

技术领域

本发明涉及半导体装置及其制造方法。

背景技术

现在正在开发三维安装形式的半导体装置。已知在半导体芯片上形成贯通电极并且通过堆叠半导体芯片来粘结上下贯通电极。在堆叠的上下半导体芯片之间填充了树脂（补填材料），由于基于该树脂固化收缩的应力，有时在某一个半导体芯片上产生翘曲和破裂。特别地，最上层的半导体芯片由于只在其一面（下侧）上设置了树脂，由于不平衡施加了基于树脂固化收缩的应力，助长了半导体芯片的翘曲和破裂。

发明内容

本发明目的是针对半导体装置及其制造方法以谋求可靠性的提高。

(1) 有关本发明的一种半导体装置的制造方法，包括：(a) 在与半导体基板的集成电路电连接的电极上形成贯通穴，在所述半导体基板上形成凹部，在所述贯通穴和所述凹部中形成贯通电极，并通过从与所述半导体基板的形成有所述集成电路和所述电极的第一面相反的第二面去掉一部分而使得变薄，从而使所述贯通电极的第二凸出部从所述半导体基板的所述第二面凸出；(b) 在所述半导体基板的所述第一面上，形成第一树脂层；(c) 在所述半导体基板的所述第二面上，露出所述第二突出部的表面的至少一部分，形成第二树脂层。依据本发明，在半导体基板的两个面上形成了树脂层。这样，由于任何一个树脂层固化收缩（或者膨胀）将由其它树脂层产生的应力相抵消，则施加到半导体基板上的应力减缓，能够防止其翘曲和破裂。

(2) 在该半导体装置的制造方法中，上述贯通电极具有从上述第一

面突出的第一突出部；在上述（b）工序中，按照比上述第一突出部更低那样形成上述第一树脂层。

这样，能够使第一树脂层和第一突出部之间的级差变小。因此，能够将半导体基板保持为水平，并能够稳定进行薄形化工序。

（3）在该半导体装置的制造方法中，上述贯通电极具有从上述第一面突出的第一突出部；在上述（b）工序中，按照与上述第一突出部具有相同高度那样形成上述第一树脂层。

这样，能够使第一树脂层和第一突出部之间没有级差，和使第一面变成平坦。因此，能够将半导体基板保持为水平，并能够稳定进行薄形化工序。

（4）在该半导体装置的制造方法中，以在上述半导体基板的上述第一面侧设置增强部件的状态进行上述（a）工序。

（5）在该半导体装置的制造方法中，在上述（c）工序中，按照比上述第二突出部更低那样形成上述第二树脂层。

这样，当堆叠多个半导体基板时，能够使堆叠的上下半导体基板的贯通电极之间能够可靠地粘结，并改善电连接的可靠性。

（6）在该半导体装置的制造方法中，在上述半导体基板上形成多个上述集成电路，与各个上述集成电路对应形成上述贯通电极；还包括沿着切断区域切断上述半导体基板的工序。

（7）在该半导体装置的制造方法中，在上述（b）工序中，通过避开上述半导体基板的上述切断区域的至少一部分来形成上述第一树脂层。

这样，半导体基板切断变得容易，能够防止碎片和破裂。如果在第一树脂层中不向切断面露出（或者露出少），则能够防止第一树脂层从第一面剥离。

（8）在该半导体装置的制造方法中，在上述（c）工序中，通过避开上述半导体基板的上述切断区域的至少一部分来形成上述第二树脂层。

这样，半导体基板切断变得容易，能够防止碎片和破裂。如果在第二树脂层中不向切断面露出（或者露出少），则能够防止第二树脂层从第二面剥离。

（9）在该半导体装置的制造方法中，还包括将上述（a）～（c）工序完成后的多个上述半导体基板堆叠，并通过上述贯通电极使上下半导体基板电连接的工序。

(10) 在该半导体装置的制造方法中, 还包括在上述上下半导体基板之间填充树脂的工序。

这样, 能够维持和增强上下半导体基板的接合状态。

(11) 在该半导体装置的制造方法中, 上述第一和第二树脂层以及上述树脂都由相同的材料构成。

这样, 能够防止因不同材料导致的界面剥离的发生。

(12) 有关本发明的半导体装置, 包括: 半导体基板, 其具有形成了集成电路的第一面和与其相反的第二面; 贯通电极, 其具有从上述第一面突出的第一突出部和从上述第二面突出的第二突出部; 第一树脂层, 其在上述半导体基板的上述第一面上避开上述第一突出部而被形成; 和第二树脂层, 其在上述半导体基板的上述第二面上让上述第二突出部表面的至少一部分露出而被形成。

依据本发明, 在半导体基板的两个面上形成了树脂层。这样, 由于任何一个树脂层固化收缩(或者膨胀)使得将另一方树脂层产生的应力抵消, 因此施加到半导体基板的应力被缓解, 能够防止其翘曲和破裂。

(13) 在该半导体装置中, 上述第一树脂层被形成为比上述第一突出部更低。

(14) 在该半导体装置中, 上述第一树脂层被形成为与上述第一突出部具有相同的高度。

(15) 在该半导体装置中, 上述第二树脂层被形成为比上述第二突出部更低。

这样, 当堆叠多个半导体装置时, 能够使被堆叠的上下半导体装置的贯通电极之间可靠地粘结, 并提高电连接可靠性。

(16) 在该半导体装置中, 在上述半导体基板上形成了多个上述集成电路; 上述贯通电极被形成为与各个上述集成电路对应。

(17) 在该半导体装置中, 上述第一和第二树脂层的至少一方通过避开上述半导体基板的用于获得多个芯片的切断区域的至少一部分来形成。

这样, 半导体基板变得容易切断, 能够防止碎片和破裂的发生。而且, 如果树脂层上向着切断面没有露出(或者露出少), 能够防止树脂层从半导体基板的面剥离。

(18) 有关本发明的半导体装置，由上述多个半导体装置堆叠构成；上述多个半导体装置中的上下半导体装置通过上述贯通电极连接。

(19) 在该半导体装置中，在上述上下半导体装置之间填充树脂后构成。

这样，能够维持和增强上下半导体装置的接合状态。

(20) 在该半导体装置中，上述第一和第二树脂层以及上述树脂都用同一材料构成。

这样，能够防止由于不同材料导致的界面剥离的发生。

附图说明

图 1A~图 1D 是说明本发明实施方式之半导体装置的制造方法的示意图。

图 2A~图 2D 是说明本发明实施方式之半导体装置的制造方法的示意图。

图 3A 和图 3B 是说明本发明实施方式之半导体装置的制造方法的示意图。

图 4A 和图 4B 是说明本发明实施方式之半导体装置的制造方法的示意图。

图 5 是说明本发明实施方式之半导体装置的制造方法的示意图。

图 6 是说明本发明实施方式之半导体装置的制造方法的示意图。

图 7 是说明本发明实施方式之半导体装置的示意图。

图 8 是说明本发明实施方式之半导体装置的示意图。

图 9 是表示本发明实施方式之电路基板的示意图。

图 10 是表示本发明实施方式之电子设备的示意图。

图 11 是表示本发明实施方式之电子设备的示意图。

具体实施方式

下面，参考附图说明本发明的实施方式。

图 1A~图 6 是说明适用于本发明之实施方式的半导体装置的制造方法的示意图，图 7 和图 8 是说明半导体装置的示意图。而且，图 4B 是图

4A 的 IVB-IVB 线的剖面图。在本实施方式中，使用半导体基板 10。在半导体基板 10 上制作了集成电路（例如具有晶体管和存储器的电路）12 的至少一部（一部或者全部）。在半导体基板 10 上也可以制作多个集成电路 12 之每一个的至少一部，以及一个集成电路 12 的至少一部。在半导体基板 10 上形成了多个电极（例如焊盘）14。各个电极 14 被电连接到集成电路 12。各个电极可以由铝形成。电极 14 的表面形状没有特别限定，但大多为矩形。

在半导体基板 10 上形成了一层或者一层以上的钝化膜 16、18。钝化膜 16、18 能够由例如 SiO_2 、 SiN 、聚酰亚胺树脂等形成。在图 1A 所示的例子中，在钝化膜 16 上形成了电极 14、以及将集成电路 12 和电极 14 连接的布线（未图示）。另一个钝化膜 18 通过避开电极 14 表面的至少一部而形成。钝化膜 18 在覆盖电极 14 表面而形成之后，通过蚀刻其一部而露出电极 14 一部也是可以的。蚀刻可以使用干法蚀刻和湿法蚀刻的任何一种。当钝化膜 18 蚀刻时，也可以蚀刻电极 14 的表面。

在本实施方式中，在半导体基板 10 上从其第一面 20 形成凹部 22（参考图 1C）。第一面 20 是形成电极 14 的侧面（形成了集成电路 12 的侧面）。凹部 22 通过避开集成电路 12 的元件和布线而形成。如图 1B 所示，可以在电极 14 上形成贯通坑 24。为了形成贯通坑 24，可以使用蚀刻（干法蚀刻或者湿法蚀刻）。蚀刻可以在通过光刻（lithography）工艺形成了被形成图案的抗蚀剂（未图示）之后进行。当在电极 14 的下面形成了钝化膜 16 时，也在此上形成贯通坑 26（参考图 1C）。当电极 14 的蚀刻在钝化膜 16 上停止时，为了形成贯通坑 26，可以将电极 14 的蚀刻中使用的蚀刻剂改换成别的蚀刻剂。此时，可以通过光刻工艺再次形成被形成图案的抗蚀剂（未图示）。

如图 1C 所示，为了与贯通坑 24（和贯通坑 26）连通，在半导体基板 10 上形成了凹部 22。也能够将贯通坑 24（以及贯通坑 26）和凹部 22 一并称为凹部。为了形成凹部 22，也能够使用蚀刻（干法蚀刻或者湿法蚀刻）。蚀刻可以在通过光刻工艺形成了被形成图案的抗蚀剂（未图示）之后进行。或者，为了形成凹部 22，可以使用激光器（例如 CO_2 激光器、YAG 激光器等）。激光器也可以应用于贯通坑 24、26 的形成上。通过一种蚀刻剂或

者激光器，可以连续进行凹部 22 和贯通坑 24, 26 的形成。为了形成凹部 22，可以使用磨蚀加工。

如图 1D 所示，可以在凹部 22 的内侧形成绝缘层 28。绝缘层 28 可以是氧化膜。例如，当半导体基板 10 由 Si 形成时，绝缘层 28 可以是 SiO_2 和 SiN 。绝缘层 28 形成在凹部 22 的底面上。绝缘层 28 形成在凹部 22 的内壁面上。但是，绝缘层 28 形成使得不掩埋凹部 22。就是说，根据绝缘层 28 而形成凹部。绝缘层 28 也可以形成在钝化膜 16 贯通坑 26 的内壁面上。绝缘层 28 也可以形成在钝化膜 18 上。

绝缘层 28 可以形成在电极 14 的贯通坑 24 的内壁面上。绝缘层 28 避开电极 14 一部（例如其上面）而形成。也可以覆盖电极 14 的整个表面而形成绝缘膜 28，使得通过蚀刻（干法蚀刻或者湿法蚀刻）其一部而露出电极 14 的一部。蚀刻可以在通过光刻工艺来形成被形成图案的抗蚀剂（未图示）之后进行。

接着，在凹部 22 上（例如绝缘层 28 的内侧）设置导电部 30（参考图 2B）。导电部 30 可以由 Cu 或者 W 等形成。如图 2A 所示，在形成了导电部 30 的外层部 32 之后，可以形成其中心部 34。中心部 34 能够由 Cu, W, 掺杂多晶硅（例如低温多晶硅）的任何一个形成。外部层 32 可以至少包含阻挡层。阻挡层是用于防止中心部 34 或者下面说明的晶种（seed）层的材料扩散到半导体基板 10（例如 Si）的层。阻挡层可以由与中心部 34 不同的材料（例如 TiW, TiN）形成。当通过电解电镀形成中心部 34 时，外层部 32 也可以包含晶种层。晶种层在形成了阻挡层之后形成。晶种层由与中心部 34 相同的材料（例如 Cu）形成。而且，导电部 30（至少其中心部 34）可以通过非电解电镀和喷墨方式形成。

如图 2B 所示，当在钝化膜 18 上也形成了外层部 32 时，如图 2C 所示，蚀刻外层部 32 之钝化膜 18（和绝缘层 28）上的部分。当形成了外层部 32 之后，通过形成中心部 34，能够设置导电部 30。导电部 30 的一部位于半导体基板 10 的凹部 22 内。由于绝缘层 28 介于凹部 22 的内壁面和导电部 30 之间，因此两者的电连接被隔断。导电部 30 与电极 14 电连接。例如，导电部 30 可以被接触到电极 14 之绝缘层 28 的露出部。导电部 30 的一部可以位于钝化膜 18 上。导电部 30 可以只设置在电极 14 的区域内。导电

部 30 可以至少在凹部 22 的上面突出。例如。导电部 30 可以从钝化膜 18（和绝缘层 28）中突出。

而且，作为变形例，可以在将外层部 32 剩余在钝化膜 18 上的状态下来形成中心部 34。此时，由于与中心部 34 连接的层也被形成在钝化膜 18 的上面，因此蚀刻该层。

如图 2D 所示，在导电部 30 上可以设置焊料材料 36。详细地，在导电部 30 中，在从第一面 20 突出部分的前端面上设置焊料材料 36。焊料材料 36 例如由手工形成，可以由软焊料和硬焊料的任何一种形成。焊料材料 36 可以通过由抗蚀剂覆盖导电部 30 以外的区域而形成。

这样，能够形成从半导体基板 10 的第一面 20 突出的第一突出部 41。第一突出部 41 是导电部 30 的一部。在图 2D 所示的例子中，第一突出部 41 还包含上述的焊料材料 36。第一突出部 41 也从周围钝化膜 16, 18（和绝缘膜 28）中突出。第一突出部 41 可以被配置在电极 14 的上方。

在本实施方式中，在半导体基板 10 的薄形化工序（参考图 3A）之前，在第一面 20（例如钝化膜 16, 18 和绝缘膜 28）上形成第一树脂层 50。第一树脂层 50 可以由与在后述补填（underfill）中使用的树脂 90（参考图 8）相同的材料（例如环氧类树脂）构成。第一树脂层 50 可以含有必要量的填料（filler）。第一树脂层 50 可以是热固化性树脂，也可以是热可塑性树脂。第一树脂层 50 可以由单层构成，也可以由多层构成。第一树脂层 50 可以具有应力缓解功能。第一树脂层 50 可以具有遮光性。第一树脂层 50 可以使用旋涂而形成，也可以适用 CVD（化学气相沉积）、罐封（potting）、印刷方式或者喷墨方式而形成。如图 2D 所示，第一树脂层 50 可以避开第一突出部 41 而形成。此时，第一树脂层 50 通过进行喷墨方式或者掩膜处理，可以只在避开了第一突出部 41 的区域上有效地形成。或者，当在包含了第一突出部 41 的区域上设置了树脂之后，可以通过蚀刻等而使第一突出部 41 露出，形成第一树脂层 50。作为变形例，第一树脂层 50 可以形成为覆盖第一突出部 41。就是说，在第一突出部 41 由第一树脂层 50 覆盖的状态下，可以进行薄形化工序。此时，第一突出部 41 在堆叠多个半导体基板 10 的工序时刻或者在此之前从第一树脂层 50 中露出。

第一树脂层 50 可以形成在半导体基板 10 的整个第一面 20 上（几乎

包含整个面)。但是,第一树脂层 50 可以如上述通过避开第一突出部 41 而形成。第一树脂层 50 可以通过避开在半导体基板 10 中不被使用作为产品的不需要部分(例如半导体晶片的端部)的至少一部而形成。

或者,第一树脂层 50 在第一面 20 中可以形成为使得(只)覆盖形成了集成电路 12(例如有源元件)的区域。在与集成电路 12 对应而配置了多个电极 14 的情况下,其可以形成为使得(只)覆盖由多个电极 14 包围的各个区域。通过这样,能够保护集成电路 12 而与外部环境隔开,并能够谋求半导体装置可靠性的提高。

当在后工序切断半导体基板 10(例如半导体晶片)时,可以通过避开该切断区域 L(例如切割线)的至少一部(全部或者一部)来形成第一树脂层 50(参考图 4A)。通过这样,使半导体基板 10 变得容易切割,能够防止碎片和破裂发生。而且,如果在第一树脂层 50 中没有向着切断面的露出(或者如果露出少),则能够优选地防止第一树脂层 50 从第一面 20 的剥离。而且,在切断区域 L 中,通过不使用作为产品的不需要部分(例如半导体晶片的端部)的区域即使由第一树脂层 50 覆盖也没有关系(参考图 4A)。如图 4A 所示,如果通过分割第一树脂层 50 而形成多个区域,则优选能够分散因树脂固化收缩产生的应力。

可以将第一树脂层 50 形成为与第一突出部 41 相同的高度(包含几乎相同的高度)。就是说,通过使第一树脂层 50 和第一突出部 41 之间没有级差,可以使第一面 20 的侧面平坦。或者,也可以形成为使得第一树脂层 50 比第一突出部 41 更低。即,可以使第一树脂层 50 和第一突出部 41 之间的级差小。而且,第一树脂层 50 可以形成为使得其表面变得平坦(例如在一定厚度上)。或者,第一树脂层 50 即使形成为使得随着远离第一突出部 41 而变薄也没有关系。

如图 3A 所示,将半导体基板 10 通过从其第二面(与第一面 20 相反的侧面)38 中去掉一部分而变薄。例如,可以通过机械方法或者化学方法的至少一种方法来削除。半导体基板 10 可以通过磨石等研削/研磨表面,也可以实施蚀刻加工。半导体基板 10 的去掉工序可以分成多次来进行。例如,在第一次去掉工序中在凹部 22 上所形成的绝缘层 28 露出之前进行研削/研磨,在第二次以后的去掉工序中使绝缘层 28 露出。

如图 3A 所示, 为了使导电部 30 (具体地为其凹部 22 内的部分) 在覆盖绝缘层 28 的状态下突出, 可以蚀刻半导体基板 10 的第二面 38。蚀刻可以通过使对半导体基板 (例如 Si) 10 的蚀刻量变得比对绝缘层 (例如 SiO_2) 28 的蚀刻量更多之特性的蚀刻剂来进行。蚀刻剂可以是 SF_6 或者 CF_4 或者 Cl_2 气。蚀刻可以通过使用干法蚀刻装置来进行。或者, 蚀刻剂可以是氟酸和硝酸的混合液或者是氟酸、硝酸和醋酸的混合液。

如图 3A 所示, 可以在半导体基板 10 的第一面 20 上设置增强部材 52 的状态下进行上述薄形化工序。当薄形化工序包括多个去掉工序时, 其中至少一次去掉工序 (例如为研削/研磨工序) 可以在设置了增强部材 52 的状态下进行。在本实施方式中, 由于半导体基板 10 的第一面 20 变得平坦, 通过增强部材 52 使半导体基板 10 能够保持为水平, 进而能够使薄形化工序 (例如研削/研磨工序) 稳定进行。而且, 由于第一树脂层 50 和第一突出部 41 之间没有级差 (或者级差小), 因此能够防止增强部材 52 的一部分 (例如粘接材料 (粘接带或者液态粘接剂)) 因附着在第一突出部 41 周边而残留。

如图 3A 所示, 增强部材 52 可以是容易弯曲的柔性基板 (例如带), 也可以是很难弯曲的硬性基板 (例如塑料板、玻璃板)。增强部材 52 可以具有粘接性。粘接材料可以是粘接带 (例如 UV 带), 也可以是液态粘接剂 (例如 UV 粘接剂)。柔性基板或者硬性基板的表面可以设置液态的粘接剂。而且, 当增强部材 52 是柔性基板时, 大多在外周端部设置了环 (ring)。

这样, 能够形成贯通电极 40, 其具有从第一面 20 突出的第一突出部 41 和从第二面 38 突出的第二突出部 42。第二突出部 42 通过后述工序使其前端面露出。贯通电极 40 贯通第一和第二面 20, 38。第一突出部 41 的横向宽度可以比第二突出部 42 的横向宽度大。

如图 3B 所示, 在半导体基板 10 的第二面 38 上形成第二树脂层 54。第二树脂层 54 可以在设置了增强部材 52 的状态下形成。第二树脂层 54 可以具有与第一树脂层 50 相同 (或者类似) 的物理特性 (例如线膨胀系数等), 由与第一树脂层 50 相同的材料构成。第二树脂层 54 可以是热固化性树脂, 也可以是热可塑性树脂。第二树脂层 54 可以由单一层形成,

也可以由多层形成，由此具有应力缓解功能。第二树脂层 54 可以具有遮光性。第二树脂层 54 的形成方法能够使用在第一树脂层 50 的形成方法中说明的内容。第二树脂层 54 最终通过避开第二突出部 42 而形成。其详细说明是与在第一树脂层 50 之形成方法中说明的相同。

第二树脂层 54 通过避开第二突出部 42 可以形成在半导体基板 10 的整个第二面 38 上(包含几乎整个面)。第二树脂层 54 在半导体基板 10 中，可以避开作为产品不被使用的不需要部分(例如半导体晶片的端部)的至少一部来形成。

第二树脂层 54 可以形成为使得在第二面 38 中只覆盖与形成了集成电路 12 的区域相重叠的区域。第二树脂层 54 可以通过避开半导体基板 10 的切断区域 L(例如切割线)的至少一部(全部或者一部)来形成。通过这样，使半导体基板 10 变得容易切割，能够防止碎片和破裂发生。而且，如果在第二树脂层 54 中没有向着切断面的露出(或者如果露出少)，则能够防止第二树脂层 54 从第二面 38 的剥离，因而优选。而且，可以分割第二树脂层 54 而形成多个区域。这些细节能够使用第一树脂层 50 的内容。

如图 3B 所示，可以将第二树脂层 54 形成为比第二突出部 42 更低。就是说，可以形成第二树脂层 54 使得第二突出部 42 从第二树脂层 54 中突出。通过这样，当堆叠多个半导体基板 10 时，能够使被堆叠的上下半导体基板 10 的贯通电极 40 之间可靠地粘接，并提高电连接的可靠性(参考图 8)。作为变形例，可以将第二树脂层 54 形成为与第二突出部 42 相同的高度(包含几乎相同的高度)，也可以形成为比第二突出部 42 更高。而且，第二树脂层 54 可以形成为使得其表面变得平坦(例如在一定厚度上)。或者，第二树脂层 54 可以形成为使得随着远离第二突出部 42 而变薄。

如果是通过蚀刻而形成第二树脂层 54，则一旦形成了用于覆盖第二突出部 42 之前端面的第二树脂层 54，在其后就可以在其上进行蚀刻。这种情况下，在进行蚀刻之前可以研削或者研磨第二树脂层 54。通过与第二树脂层 54 的研削或者研磨连续或者与此不同，可以研削或者研磨贯通电极 40。在绝缘膜 28 覆盖贯通电极 40 的状态下(参考图 3A)形成第二树脂层 54，通过研削或者研磨绝缘膜 28，可以使贯通电极 40 露出。

可以露出贯通电极 40(详细的是第二突出部 42)的新生面。例如，

在新生面（只由构成材料形成的面，即被去掉了氧化膜和堆积的有机物的面）露出之前，可以研削或者研磨第二突出部 42。研削可以使用磨石。例如，能够使用 #100~#4000 大小之粒度的磨石，但是，如果使用 #1000~#4000 大小之粒度的磨石，能够防止绝缘层 28 的破损。研磨可以使用研磨布。研磨布可以是绒面革类型或者泡沫氨（基）甲酸（乙）酯类型的布，也可以是无纺布。为了研磨，可以使用釉浆（slurry），其为在诸如 Na, NH₄ 等碱阳离子溶液中分散了胶态硅石作为研磨粒子的浆液。研磨粒子具有 0.03 μ m~10 μ m 的粒径，可以以 10wt% 的比率分散。釉浆可以包含螯合剂、氨、过氧化氢等的添加剂。研磨压力可以是 5g/cm²~1kg/cm²。

当形成了绝缘层 28 时，比贯通电极 40 更早的研磨或者研削绝缘层 28。可以连续地进行绝缘层 28 的研磨或者研削以及贯通电极 40 的研磨或者研削。去掉绝缘层 28 至少在凹部 22 的底面上所形成的部分。然后，露出贯通电极 40，进而可以露出其新生面。可以使贯通电极 40 的新生面露出，但贯通电极 40 前端面的外周面被绝缘层 28 覆盖。也可以不露出贯通电极 40 中心部 34 的新生面，而使外层部 32（例如阻挡层）的新生面露出，也可以使外层部 32 和中心部 34 的新生面露出。如果露出贯通电极 40 的新生面，能够形成电连接时特性优良的贯通电极。而且，贯通电极 40 在新生面氧化之前（例如在新生面露出后不久或者可在其后很早（例如 24 小时以内）可以进行电连接。

通过以上工序，可得到例如具有贯通电极 40、第一和第二树脂层 50、54 的半导体装置（半导体晶片 70（参考图 4A））。这种情况下，在半导体基板 10 上形成了多个集成电路 12，并且形成了与各个集成电路 12 对应的贯通电极 40。第一和第二树脂层 50，54 两者可以通过避开切断区域 L 的至少一部而形成。或者，可以获得具有贯通电极 40、第一和第二树脂层 50、54 的半导体装置（半导体芯片 80（参考图 4B 和图 7））。这种情况下，在半导体基板 10 上，形成了一个集成电路 12。而且，半导体晶片 70 和半导体芯片 80 的详细结构是能够从上述的制造方法中导出的内容。

如图 4B 所示，可以切断（例如切割）半导体晶片 70。沿着半导体晶片 70 的切断区域 L 进行切断。切断可以使用切割机（例如切丁机）60 或者激光器（例如 CO₂ 激光器、YAG 激光器等）。可以从半导体基板 10 的

第一面 20 切断。此时，可以在第二面 38 上设置增强部材 56。这样，从半导体晶片 70 可获得具有贯通电极 40、第一和第二树脂层 50, 54 的多个半导体芯片 80（参考图 7）。

半导体装置的制造方法可以包含堆叠多个半导体基板 10。例如，如图 5 所示，可以堆叠具有贯通电极 40、第一和第二树脂层 50, 54 的多个半导体晶片 70。或者，如图 6 所示，可以堆叠具有贯通电极 40、第一和第二树脂层 50, 54 的多个半导体芯片 80。或者，可以将具有贯通电极 40、第一和第二树脂层 50, 54 的半导体芯片 80 与具有贯通电极 40、第一和第二树脂层 50, 54 的多个半导体晶片 70 堆叠。

在被堆叠的多个半导体基板 10 中，通过贯通电极 40 将上下半导体基板 10 进行电连接。详细地是可以将上下贯通电极 40 之间（详细地是一方半导体基板的第一突出部 41 和另一方半导体基板的第二突出部 42 之间）进行电连接。为了电连接，可以使用焊锡连接或者金属连接，可以使用异性导电材料（异性导电膜或者异性导电膏等），可以使用利用绝缘粘接剂之收缩力的压接，以及这些的组合。

图 8 是表示本发明实施方式之半导体装置（堆叠型半导体装置）的示意图。堆叠型半导体装置包含具有上述贯通电极 40、第一和第二树脂层 50, 54 的多个半导体芯片 80。多个半导体芯片 80 被堆叠。上下贯通电极 40 之间或者贯通电极 40 和电极 14 可以通过焊料材料 36 粘接。焊料材料 36 变成为被设置在一个半导体芯片 80 的第一突出部 41 上，以及装载在另一个半导体芯片 80 的第二突出部 42 上。在半导体芯片 80 上，树脂层（第一或者第二树脂层 50, 54）被形成在其两个面（第一和第二面 20, 38）上。因此，由于任何一个树脂层（例如第二树脂层 54）固化收缩（或者膨胀）使得相抵消由另一个树脂层（例如第一树脂层 50）产生的应力，因此能够使施加到半导体芯片 80 的应力减缓，防止其翘曲和破裂。而且，即使焊料材料 36 流出到第二突出部 42 的周边区域（或者即使分离滚动），由于形成了第二树脂层 54，使得变成不接触半导体芯片 80 的第二面 38（半导体部分）。因此，防止了因焊料材料 36 产生的短路或者电气不良。

在被堆叠的上下半导体芯片 80 之间，可以填充树脂 90（例如环氧类树脂）。树脂 90 是补填材料，能够维持和增强上下半导体基板 10 的粘接

状态。树脂 90 在填充上下半导体芯片 80 之间的同时，可以设置为覆盖多个半导体芯片 80 的侧面。树脂 90 可以由与第一和第二树脂层 50, 54 之至少一个（优选为两个）相同的材料构成。通过这样，能够防止因不同材料产生的界面剥离的发生。树脂 90 可以通过分送器、针等注入上下半导体芯片 80 之间。

对于被堆叠的多个半导体芯片 80 中的一个（例如在第二面 38 方向上最外侧的半导体芯片 80），其第二突出部 42 可以通过第二树脂层 58 覆盖。第二突出部 42 可以由绝缘膜 28 覆盖。根据本实施方式，能够特别有效地防止最上层半导体芯片 80 的翘曲和破裂。

被堆叠的多个半导体芯片 80 可以被安装在布线基板 100 上。在被堆叠的多个半导体芯片 80 中，最外侧的半导体芯片 80 可以安装在布线基板（例如插入器）100 上。该安装可以使用面朝下焊接法。此时，在第一面 20 的方向上具有最外侧（例如最下侧）之贯通电极 40 的半导体芯片 80 被安装在布线基板 100 上。例如，可以将贯通电极 40 的第一突出部 41 或者电极 14 电连接（例如粘接）成布线图样 102。在半导体芯片 80 和布线基板 100 之间也可以填充树脂 90。

或者，作为未图示的例子，可以将被堆叠的多个半导体芯片 80 面朝上焊接到布线基板 100 上。此时，可以将来自贯通电极 40 第二面 38 的第二突出部 42 电连接（例如粘接）成布线图样 102。在布线图样 102 上电连接的外部端子（例如焊锡球）104 被设置在布线基板 100 上。或者，在半导体芯片 80 上形成应力缓解层，在其上形成来自电极 14 的布线图样，以及可以在其上形成外部端子。其它的内容能够从上述制造方法中导出。

图 9 表示出安装了半导体装置 1 的电路板 1000，该半导体装置 1 通过堆叠了多个半导体芯片构成。多个半导体芯片通过上述贯通电极 40 被电连接。作为具有上述半导体装置的电子设备，图 10 示出了笔记本型个人计算机 2000，图 11 示出了便携式电话 3000。

本发明不局限于上述实施方式，可以具有各种变形。例如，本发明包含与在实施方式中说明的构成实质上相同的构成（例如为其功能、方法和结果是相同的构成，或者为其目的和结果是相同的构成）。而且，本发明包含置换了不是在实施方式中说明构成之本质部分的构成。本发明包含获

得了与在实施方式中说明构成之相同作用效果的构成，或者能够实现相同目的的构成。本发明包含在实施方式说明的构成中附加了公知技术的构成。

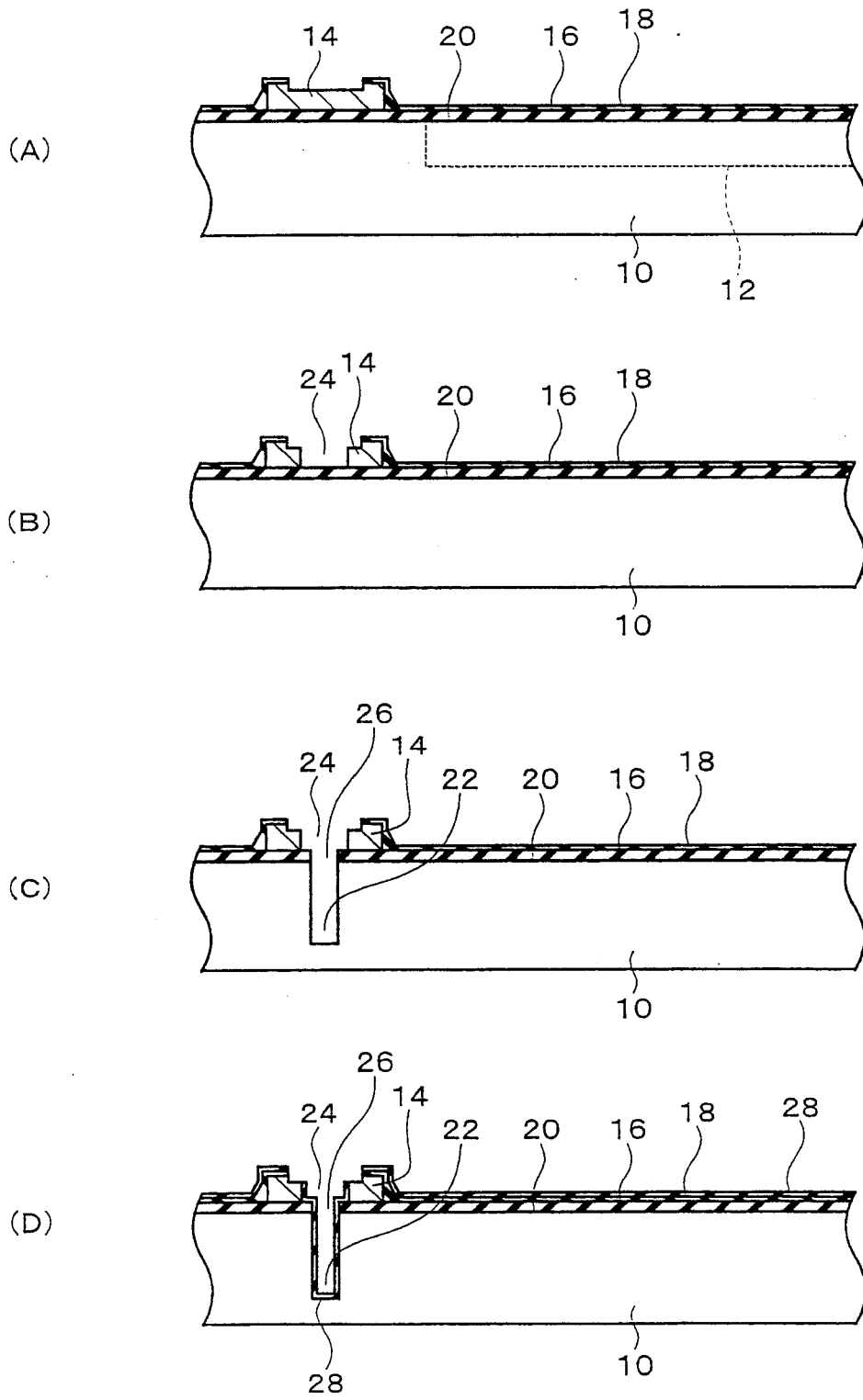


图 1

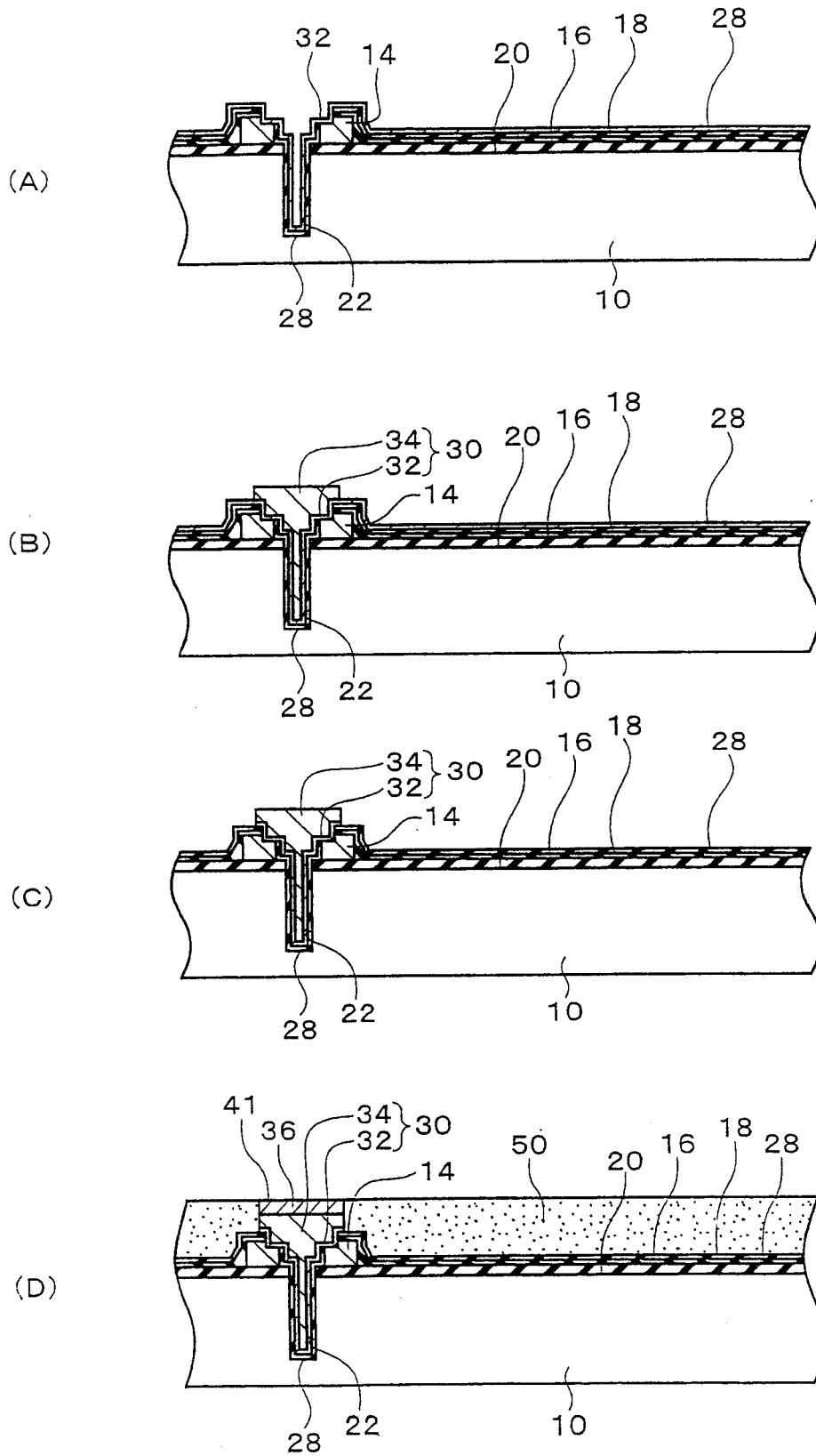
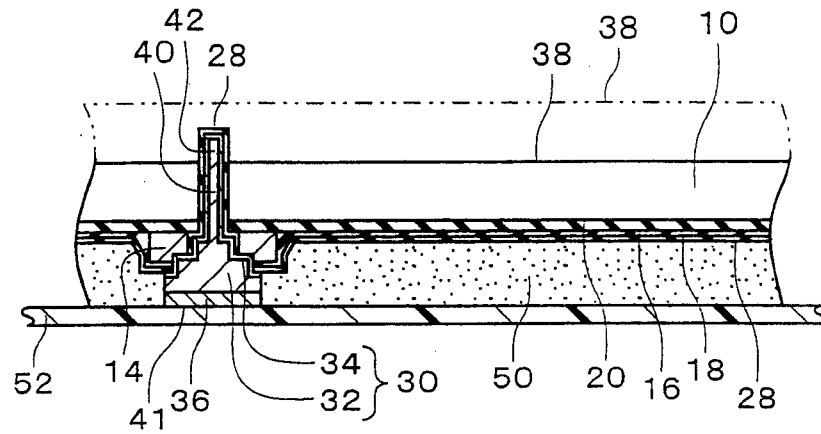


图 2

(A)



(B)

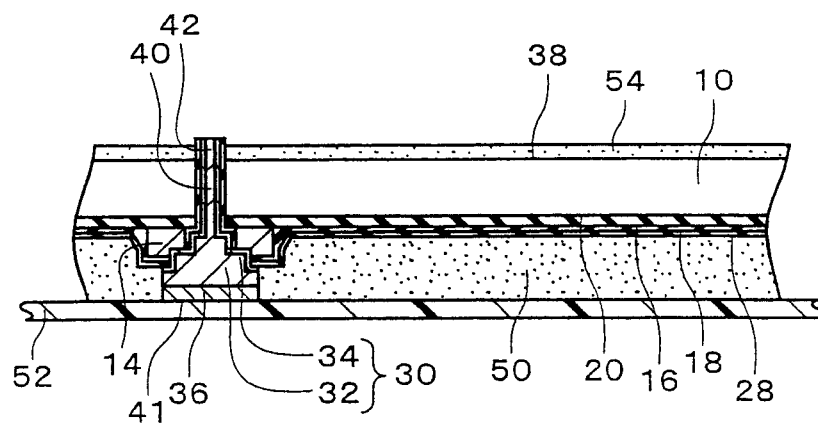
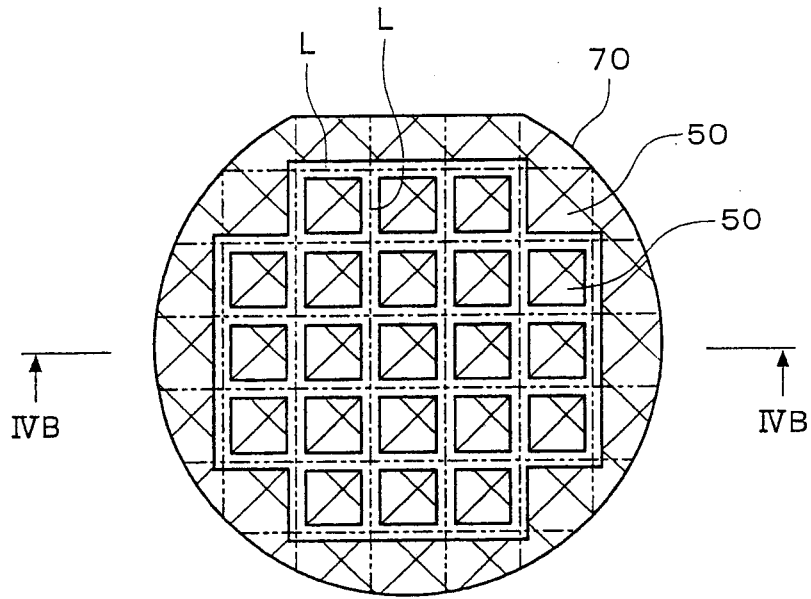


图 3

(A)



(B)

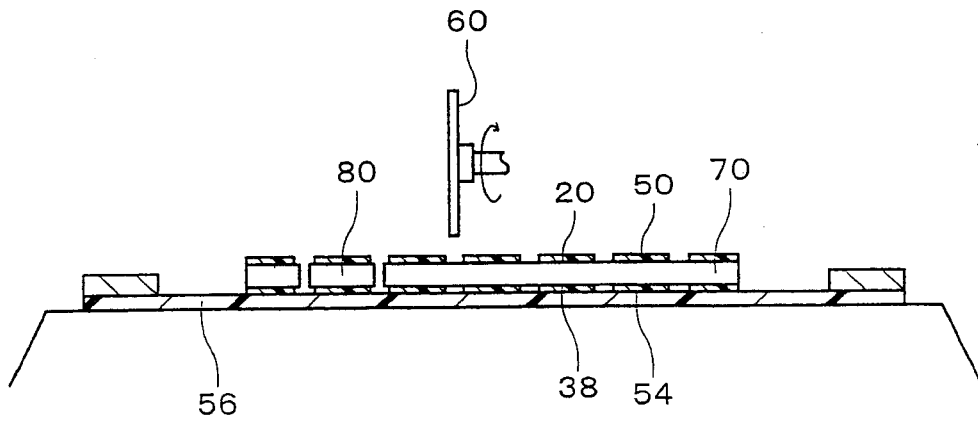


图 4

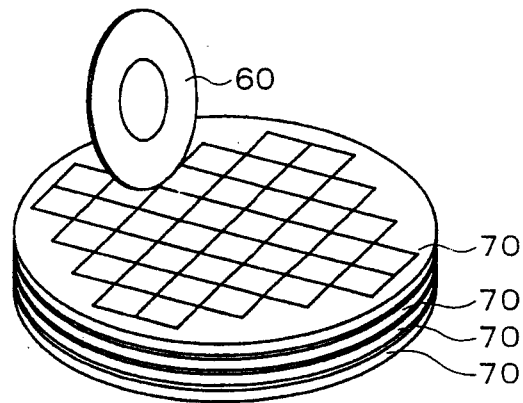


图 5

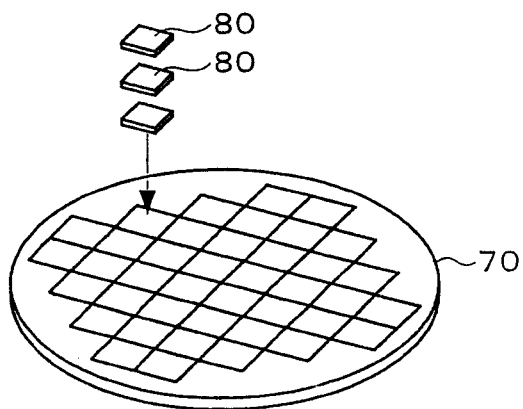


图 6

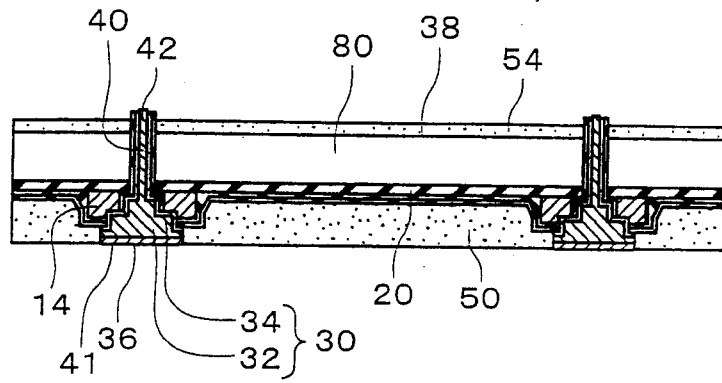


图 7

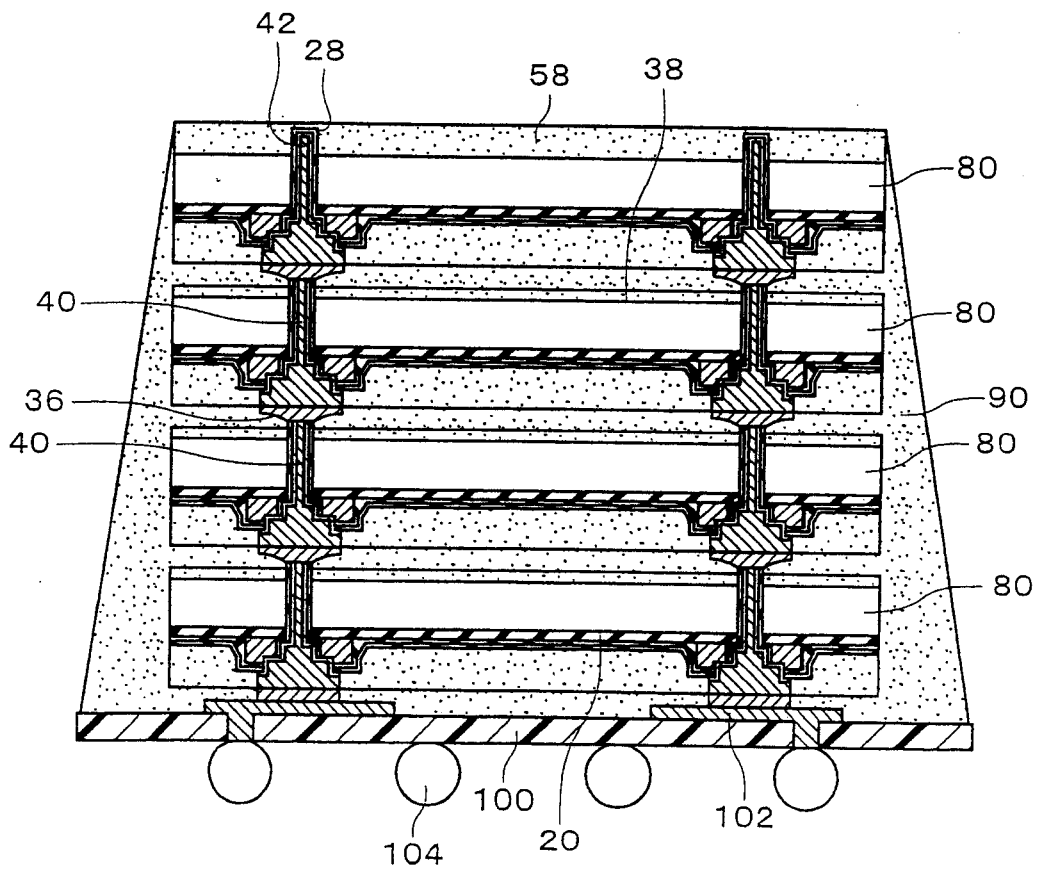


图 8

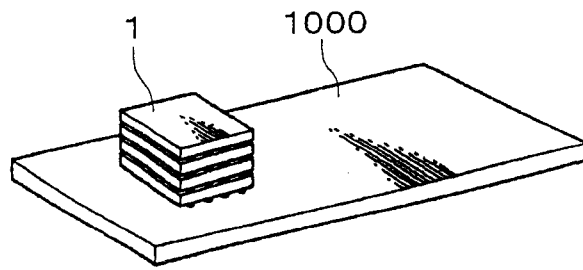


图 9

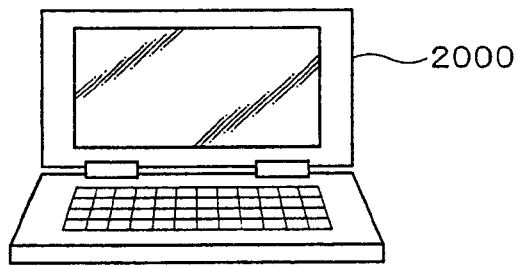


图 10

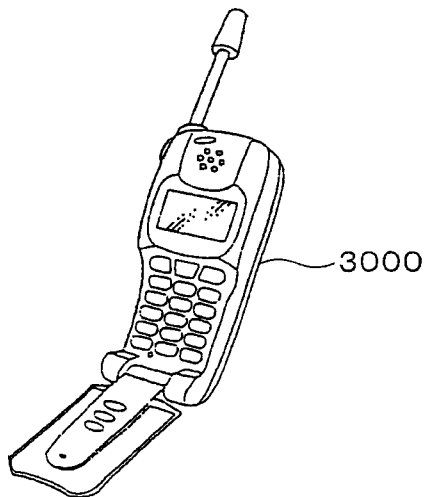


图 11