

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 21/768 (2006.01)



# [12] 发明专利说明书

专利号 ZL 02128694.9

[45] 授权公告日 2006 年 10 月 11 日

[11] 授权公告号 CN 1279603C

[22] 申请日 2002.8.12 [21] 申请号 02128694.9

[71] 专利权人 联华电子股份有限公司  
地址 台湾省新竹科学园区

[72] 发明人 李世达  
审查员 刘天飞

[74] 专利代理机构 北京三友知识产权代理有限公司  
代理人 刘朝华

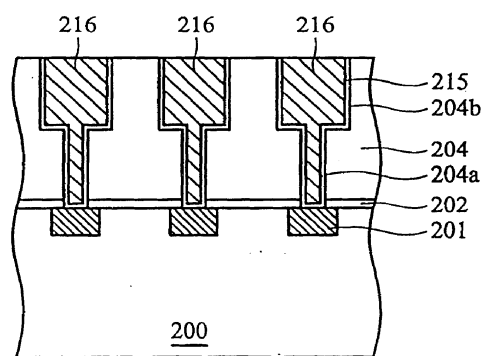
权利要求书 2 页 说明书 5 页 附图 5 页

## [54] 发明名称

形成双镶嵌结构的方法

## [57] 摘要

一种形成双镶嵌结构的方法。首先，提供其上具有一介电层的基底；接着，依序在介电层上形成上盖层及具有至少一沟槽图案的掩模层；之后，在掩模层及上盖层上形成具有至少一介层洞图案的光刻胶层，且介层洞图案的位置是对应于沟槽图案；接下来，将介层洞图案转移至上盖层及介电层的上半部，且接着去除光刻胶层；接下来，将沟槽图案转移至上盖层及介电层的上半部，且同时将介层洞图案转移至介电层的下半部；最后，在介电层的沟槽及介层洞中填入导电层。具有防止光刻胶毒化和改善双镶嵌结构的轮廓的功效。



1、一种形成双镶嵌结构的方法，其特征是：它至少包括下列步骤：

(1) 提供基底，该基底上具有介电层；

(2) 在该介电层上形成上盖层；

(3) 在该上盖层上方形成具有至少一沟槽图案的掩模层，其中在该掩模层上还形成有一抗反射层；

(4) 在该抗反射层及该上盖层上形成具有至少一介层洞图案的光刻胶层，且该介层洞图案的位置是对应于该沟槽图案；

(5) 将该介层洞图案转移至该上盖层及该介电层的上半部；

(6) 去除该光刻胶层；

(7) 将该沟槽图案转移至该上盖层及该介电层的上半部，且同时将该介层洞图案转移至该介电层的下半部；

(8) 在该介电层的沟槽及介层洞中填入导电层。

2、根据权利要求1所述的形成双镶嵌结构的方法，其特征是：该基底包含有金属导线，该金属导线位于该介电层的该介层洞的下方。

3、根据权利要求2所述的形成双镶嵌结构的方法，其特征是：该基底的金属导线上覆盖有封盖层。

4、根据权利要求1所述的形成双镶嵌结构的方法，其特征是：该方法还包括如下步骤：

去除该抗反射层、该掩模层及该上盖层，以露出该具有沟槽及介层洞的介电层表面；

在该介电层上及其沟槽与介层洞表面顺应性形成金属阻障层。

5、根据权利要求4所述的形成双镶嵌结构的方法，其特征是：该金属阻障层是选自钛、钽、氮化钛或氮化钽的任一种。

6、根据权利要求1所述的形成双镶嵌结构的方法，其特征是：该介电层

是低介电常数材料层。

7、根据权利要求1所述的形成双镶嵌结构的方法,其特征是:该上盖层是选自未掺杂硅玻璃、碳化硅或氟化硅的任一种。

8、根据权利要求1所述的形成双镶嵌结构的方法,其特征是:该上盖层是通过化学气相沉积法形成,且使用硅烷作为反应气体。

9、根据权利要求1所述的形成双镶嵌结构的方法,其特征是:该上盖层是通过化学气相沉积法形成,且使用四乙基硅酸盐作为反应气体。

## 形成双镶嵌结构的方法

### 发明领域

本发明是有关于一种半导体集成电路的制造方法，特别是有关于一种形成双镶嵌结构的方法，以防止光刻胶毒化。

### 背景技术

众所周知，在半导体工业中，耗费相当多的时间于致力发展高操作速度的半导体装置。然而，随着集成电路（IC）制程技术迅速发展，以增加集成电路的积集度的情形下，半导体装置的尺寸缩小将使得金属导线的电阻值上升，寄生电容效应的问题变得更加的严重，因而降低金属导线中的电流速度。

为了降低电阻值及寄生电容效应，金属导线是采用低电阻值的材料，例如铜，且金属导线之间的绝缘层是采用低介电常数（low k）材料。

近年来，发展出使用低介电常数的介电层及低电阻值的金属材料的双镶嵌制程，以在集成电路装置中制作高可靠度和低成本的内连线。为了进一步说明本发明的背景技术，以下配合图1-图4说明传统技术形成双镶嵌结构的方法。

首先，参阅图1所示，提供一基底100，例如一半导体基底，接着，在基底100上依序形成一封盖层102及一低介电常数材料层104，然后，在低介电常数材料层104上形成一具有多数沟槽开口106a的掩模层106。

接下来，参阅图2所示，在掩模层106上涂覆一层光刻胶层108，并填满沟槽开口106a。接着，对光刻胶层108实施一光刻步骤，以在掩模层106及介电层104上形成具有多数介层洞（via）开口108a的光刻胶图案层108。其中，介层洞开口108a的位置是对应于下方掩模层106的沟槽开口106a。然而，此处由于介电层104中的氨（amino）而造成光刻胶毒化，使得光刻胶图案层108的侧壁轮廓（Profile）不佳。

接下来,参阅图3所示,利用光刻胶图案层108作为掩模,对介电层104实施一各向异性蚀刻,而将介层洞图案转移至介电层104的上半部。

最后,参阅图4所示,剥除光刻胶图案层108。接着,利用具有沟槽开口106a的掩模层106来蚀刻介电层104,且利用封盖层102作为蚀刻终止层,而将沟槽图案转移至介电层104的上半部。同时,也将介电层104上半部介层洞图案转移至介电层104的下半部。形成于介电层104中的沟槽104b及介层洞104a是构成双镶嵌结构。之后,将位于介层洞104a下方的封盖层102去除,以露出基底100表面。其主要缺陷在于:

由于受到上述光刻胶毒化的影响,双镶嵌结构中的介层洞轮廓不佳,而降低集成电路装置的可靠度。

## 发明内容

本发明的目的是提供一种形成双镶嵌结构的方法,通过在介电层上额外形成一上盖层,以避免光刻胶直接接触到介电层,达到防止光刻胶毒化的目的。

本发明的另一目的是提供一种形成双镶嵌结构的方法,通过形成一作为抗反射层(anti-reflective layer, ARL)的上盖层,达到改善双镶嵌结构的轮廓的目的。

本发明的目的是这样实现的:一种形成双镶嵌结构的方法,其特征是:它至少包括下列步骤:

- (1) 提供基底,该基底上具有介电层;
- (2) 在该介电层上形成上盖层;
- (3) 在该上盖层上方形成具有至少一沟槽图案的掩模层,其中在该掩模层上还形成有一抗反射层;
- (4) 在该抗反射层及该上盖层上形成具有至少一介层洞图案的光刻胶层,且该介层洞图案的位置是对应于该沟槽图案;
- (5) 将该介层洞图案转移至该上盖层及该介电层的上半部;

(6) 去除该光刻胶层;

(7) 将该沟槽图案转移至该上盖层及该介电层的上半部, 且同时将该介层洞图案转移至该介电层的下半部;

(8) 在该介电层的沟槽及介层洞中填入导电层。

该基底包含有金属导线, 该金属导线位于该介电层的该介层洞的下方。该基底的金属导线上覆盖有封盖层。该掩模层包含有抗反射层。

本发明的方法还包括如下步骤:

去除该抗反射层、该掩模层及该上盖层, 以露出该具有沟槽及介层洞的介电层表面; 及在该介电层上及其沟槽与介层洞表面顺应性形成金属阻挡层。

该金属阻挡层是选自钛、钽、氮化钛或氮化钽的任一种。该介电层是低介电常数材料层。该上盖层是选自未掺杂硅玻璃、碳化硅或氟化硅的任一种。该上盖层是通过化学气相沉积法形成, 且使用硅烷或四乙基硅酸盐作为反应气体。

下面结合较佳实施例配合附图详细说明。

## 附图说明

图1-于4是传统形成双镶嵌结构方法的剖面示意图;

图5-图10是本发明形成双镶嵌结构方法的剖面示意图。

## 具体实施方式

参阅图5-图10所示, 为本发明的形成双镶嵌结构的方法。

首先, 参阅图5所示, 提供一基底200, 例如一半导体基底, 基底200中具有多数金属导线201, 例如铜导线。接着, 在基底200上形成一封盖层202。之后, 在封盖层202上沉积一作为金属层间介电层(intermetal dielectric, IMD)的介电层204。此处, 封盖层202是用以防止金属导线201接触空气而造成氧化, 以及防止金属导线201中的原子/离子扩散进入介电层204, 而造成漏电流或不良好的电性接触。在本实施例中, 封盖层202所使用的材质最好是氮化硅(SiN)

或碳化硅 (SiC)。另外,介电层204所使用的材质最好是低介电常数材料,例如BD、Coral、Aurora或GreenDot。之后,在介电层204上依序形成一上盖层206、一掩模层208及一光刻胶层212。在本实施例中,上盖层206所使用的材质可以是未掺杂的硅玻璃(undoped silicate glass, USG)、碳化硅或气相沉积(SiF),且其厚度在300-1000埃的范围。此上盖层204可通过化学气相沉积(chemical vapor deposition, CVD)法形成,其中是利用硅烷(SiH<sub>4</sub>)或四乙基硅酸盐(tetraethyl orthosilicate, TEOS)作为反应气体。再者,掩模层208是在双镶嵌制程中用以定义沟槽图案,其较佳的材质为氮化硅,且厚度在800-1200埃的范围。另外,可选择性地在掩模层208上形成一厚度在200-400埃的范围的抗反射层(anti-reflective layer, ARL)210,其较佳的材质为氮氧化硅(SiON)。

接下来,参阅图6所示,对光刻胶层212实施一光刻步骤,以在光刻胶层212中形成多数沟槽开口212a。随后,以图案化的光刻胶层212作为掩模,各向异性蚀刻抗反射层210及其下方的掩模层208,至露出作为蚀刻终止层的上盖层206。如此一来,便将沟槽开口图案转移至掩模层208。

接下来,参阅图7所示,利用传统的光刻胶剥除法去除光刻胶层212,例如氧电浆灰化法。之后,在抗反射层210上涂覆另一光刻胶层214并填满沟槽开口212a。接下来,同样对光刻胶层214实施一光刻步骤,以在抗反射层210及上盖层206上形成具有多数介层洞(via)开口214a的光刻胶图案层214。其中,介层洞开口214a的位置是对应于下方抗反射层210及掩模层208的沟槽开口212a。

接下来,参阅图8所示,以图案化的光刻胶层214作为掩模掩模,各向异性蚀刻介层洞开口214a下方的上盖层206及介电层204,以将介层洞图案转移至上盖层206及介电层204的上半部。在本实施例中,由于上盖层206是形成于掩模层208与介电层204之间,光刻胶层214无法直接与介电层204接触,因此可防止光刻胶发生毒化现象。再者,由于本发明的上盖层206亦可作为一抗反射层,因此可进一步避免驻波效应及反射刻痕等问题产生。

接下来，参阅图9所示，同样利用传统氧电浆灰化法的光刻胶剥除法，去除光刻胶层214。此处，上盖层206可保护介电层204免遭受氧电浆攻击而损害。之后，利用上方覆盖有一抗反射层210的具有沟槽图案的掩模层208及作为蚀刻终止层的封盖层202，对上盖层206及其下方的介电层204进行蚀刻，以将沟槽图案转移至上盖层206及其下方的介电层204的上半部。同时，原先介电层204上半部的介层洞图案亦转移至介电层204的下半部。这些形成于介电层204中的沟槽204b及介层洞204a是构成双镶嵌结构。接着，去除位于介层洞204a下方的封盖层202，以露出介层洞204a下方的金属导线201。

最后，参阅图10所示，依序去除抗反射层210、掩模层208及上盖层206，以露出具有沟槽204b及介层洞204a的介电层204表面。接着，在介电层204上及其沟槽204b及介层洞204a侧壁顺应性形成一金属阻障层215。此处，金属阻障层215的材质最好是选自钛（Ti）、钽（Ta）、氮化钛（TiN）及氮化钽（TaN）的任一种。同样地，金属阻障层215是用以防止金属（未绘示）中的原子/离子在后续实施金属化制程后，扩散至介电层204，而造成不良的电性接触或漏电流。之后，在介电层204上沉积一导电层216，例如铜金属层，并填满其沟槽204b及介层洞204a，与金属导线201电性接触。接着，通过化学机械研磨法（chemical mechanical polishing, CMP）来研磨介电层204上方多余的导电层216及金属阻障层215，以在介电层204的沟槽204b及介层洞204a中形成内连线。

本发明的主要优点是：

相较于传统形成双镶嵌结构的方法，本发明是通过形成一额外的上盖层206来避免介电层204与光刻胶层214相互接触。因此，可防止光刻胶毒化的问题产生，进而改善双镶嵌结构的轮廓。亦即，可有效提升集成电路装置的可靠度。

虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此项技艺者，在不脱离本发明的精神和范围内，所作更动与润饰，都属于本发明的保护范围之内。



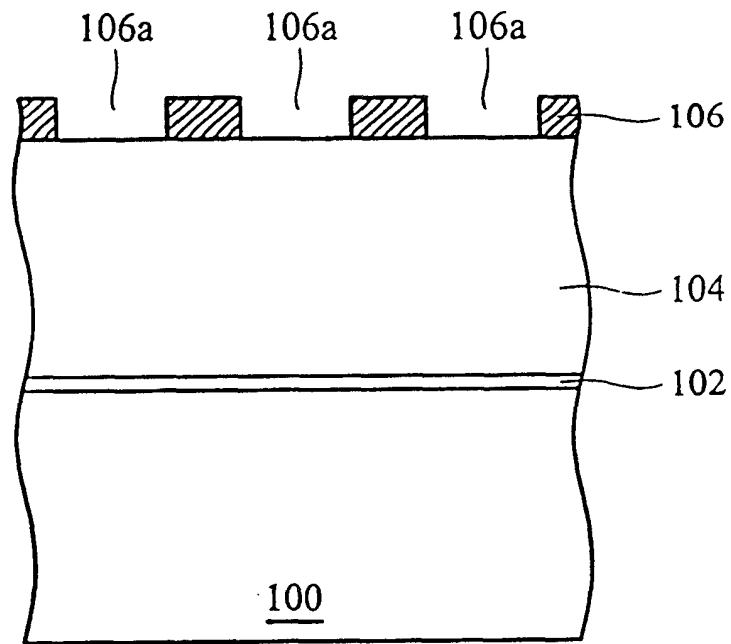


图 1

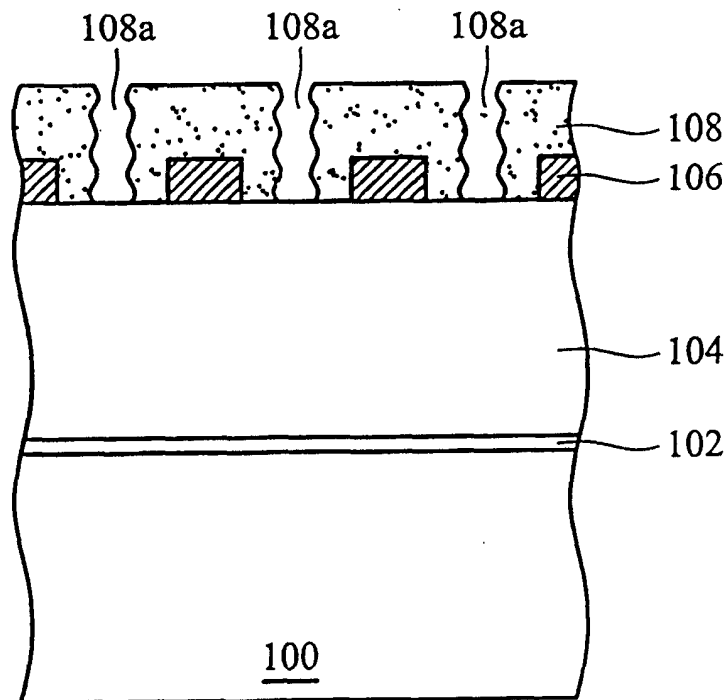


图 2

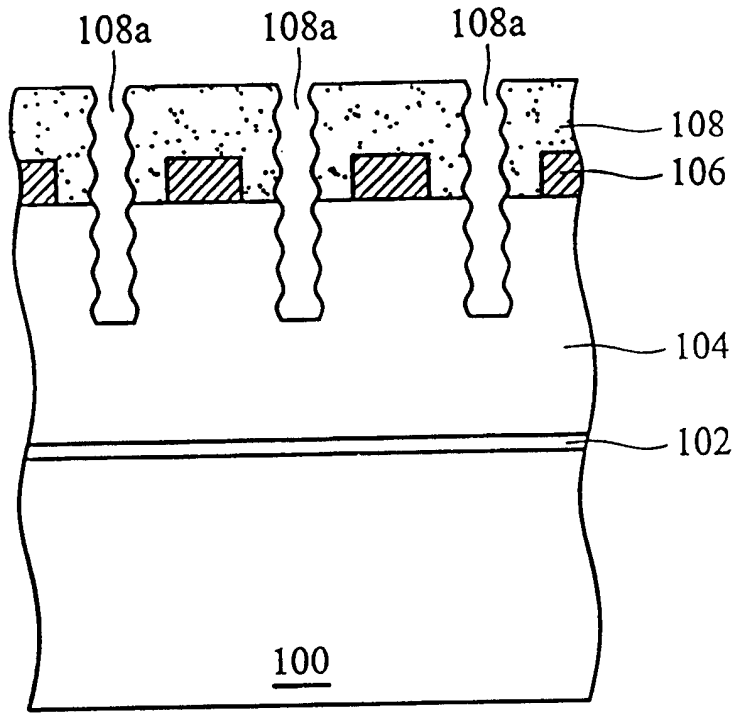


图 3

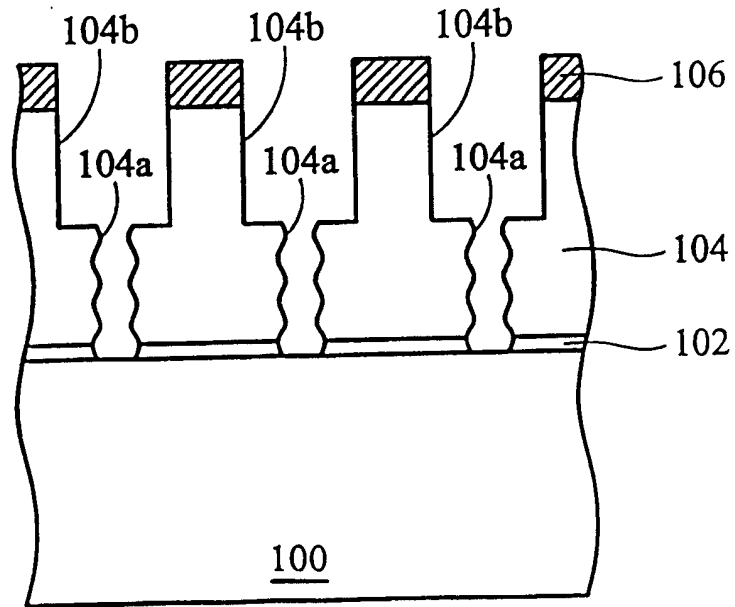


图 4

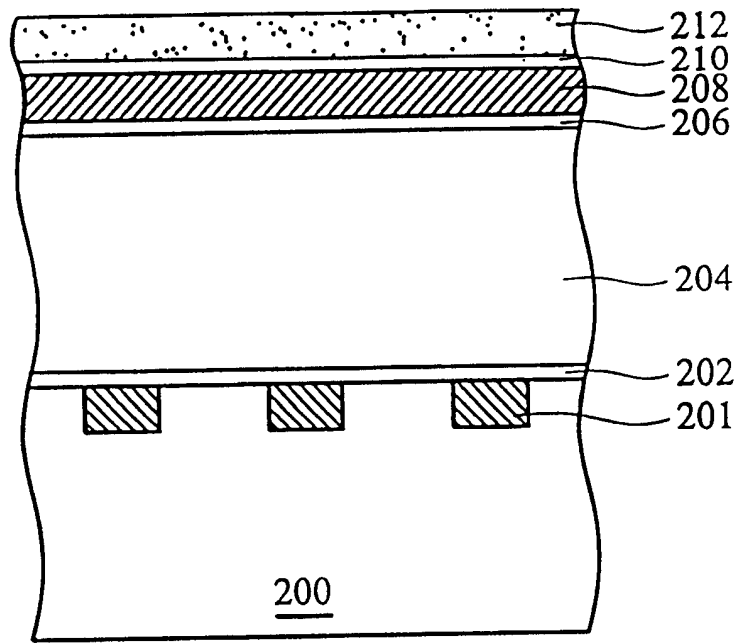


图 5

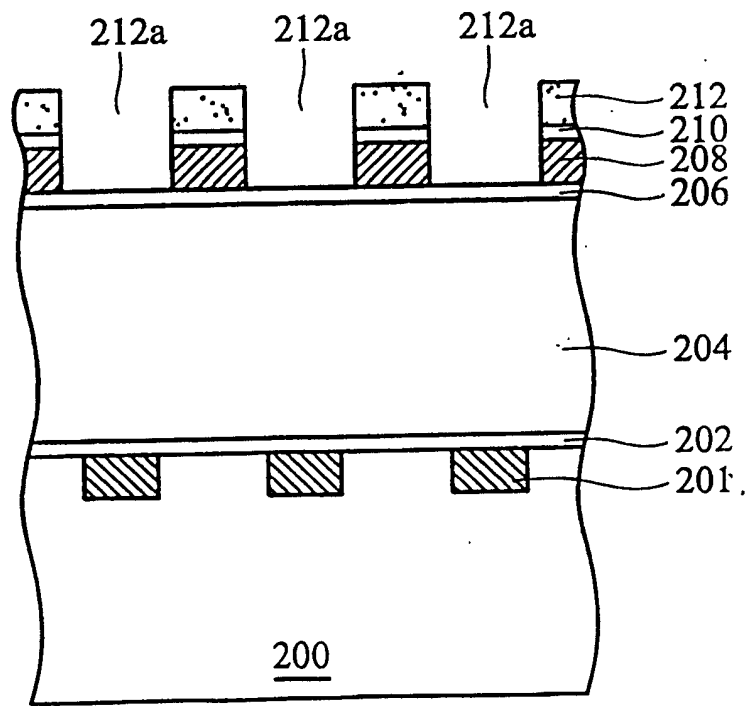


图 6

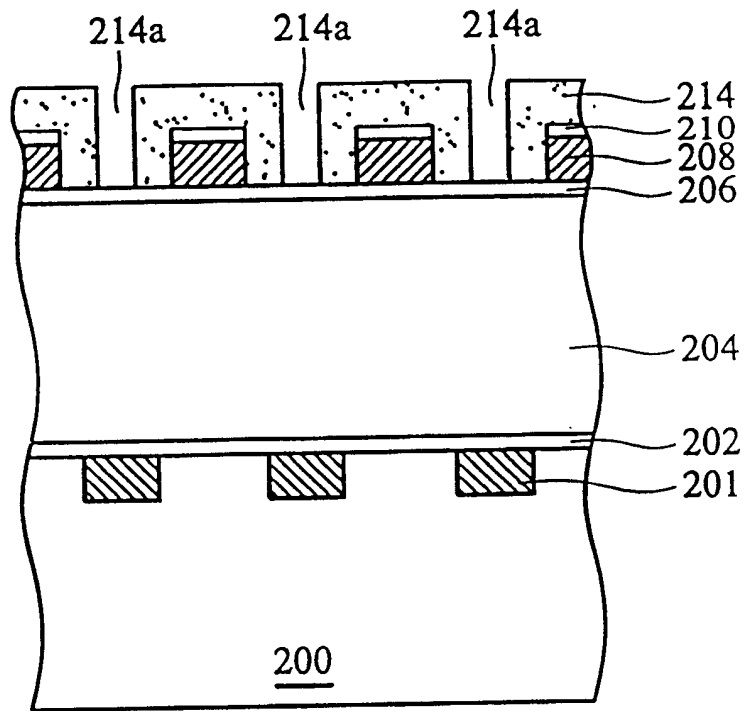


图 7

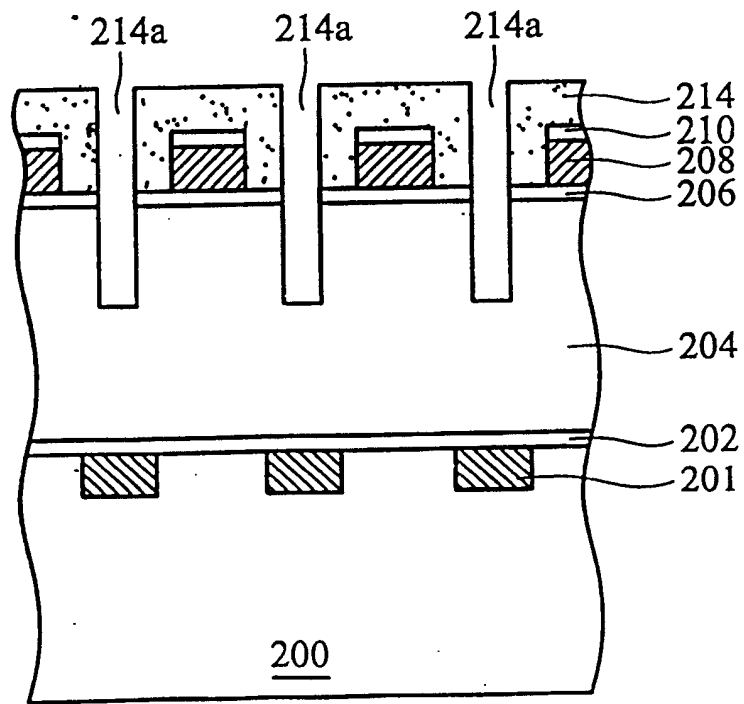


图 8

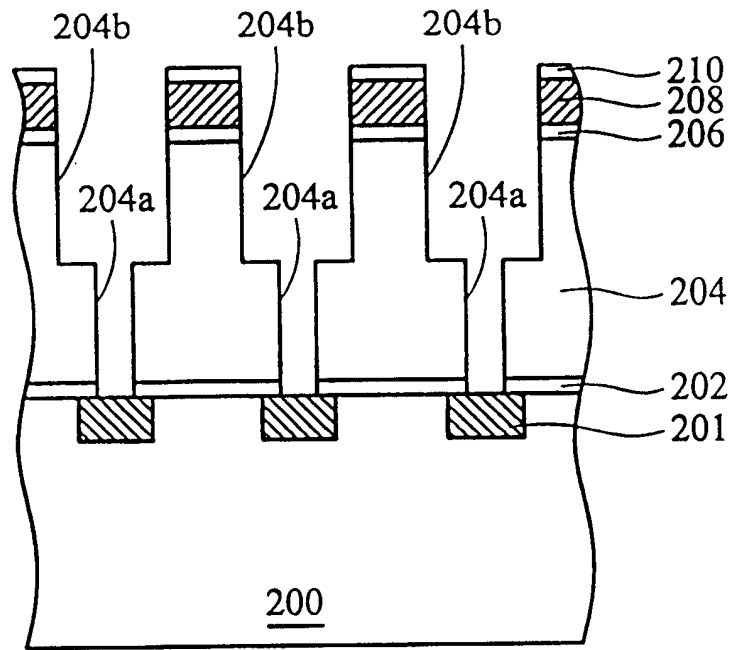


图 9

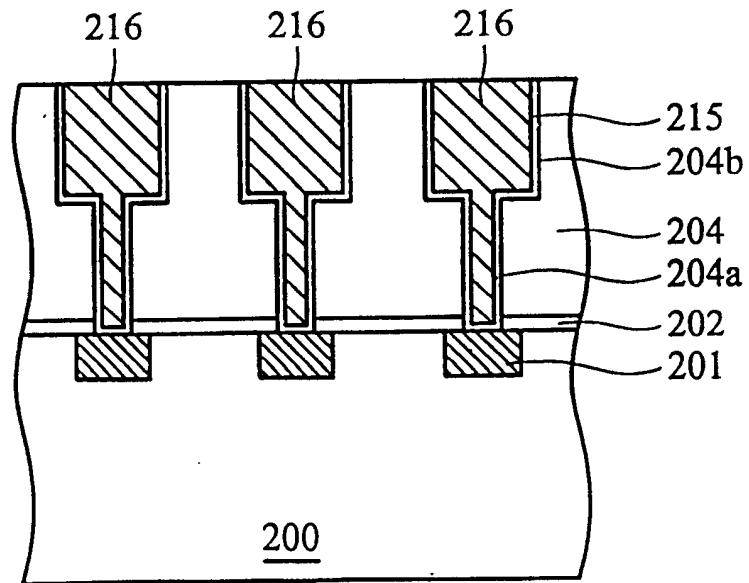


图 10