

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5458486号
(P5458486)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

| | | | |
|------------------------------|-------------|------|--|
| (51) Int. Cl. | F I | | |
| G03F 7/20 (2006.01) | G03F 7/20 | 501 | |
| G09F 9/30 (2006.01) | G09F 9/30 | 338 | |
| H01L 21/336 (2006.01) | H01L 29/78 | 627C | |
| H01L 29/786 (2006.01) | G02F 1/1343 | | |
| G02F 1/1343 (2006.01) | G03F 1/00 | Z | |
| 請求項の数 5 (全 13 頁) 最終頁に続く | | | |

| | | | |
|--------------|-------------------------------|-----------|--|
| (21) 出願番号 | 特願2007-270090 (P2007-270090) | (73) 特許権者 | 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号 |
| (22) 出願日 | 平成19年10月17日(2007.10.17) | (74) 代理人 | 100113077 弁理士 高橋 省吾 |
| (65) 公開番号 | 特開2008-152236 (P2008-152236A) | (74) 代理人 | 100112210 弁理士 稲葉 忠彦 |
| (43) 公開日 | 平成20年7月3日(2008.7.3) | (74) 代理人 | 100108431 弁理士 村上 加奈子 |
| 審査請求日 | 平成22年9月13日(2010.9.13) | (74) 代理人 | 100128060 弁理士 中鶴 一隆 |
| (31) 優先権主張番号 | 特願2006-315579 (P2006-315579) | (72) 発明者 | 升谷 雄一 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 |
| (32) 優先日 | 平成18年11月22日(2006.11.22) | | |
| (33) 優先権主張国 | 日本国(JP) | | |
| 最終頁に続く | | | |

(54) 【発明の名称】 アレイ基板、表示装置、及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板上に形成される第1の導電膜と、

前記第1の導電膜の上層に形成される絶縁膜と、

前記絶縁膜の上層に形成される第2の導電膜と、を備えたアレイ基板であって、

前記第2の導電膜は、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工された複数種類の薄膜パターンを備え、

前記複数種類の薄膜パターンは、前記基板からの高さがほぼ同一になるように構成されており、

前記複数種類の薄膜パターンの下層のほぼ全領域に、前記複数種類の薄膜パターンの高さがほぼ同一になるように形成された薄膜パターンを備え、

前記第1の導電膜は、前記薄膜パターンを含むアレイ基板。

【請求項2】

前記第1の導電膜は、ゲート配線と同じ層である請求項1に記載のアレイ基板。

【請求項3】

前記第2の導電膜は、ドレイン電極と同じ層である請求項1または2に記載のアレイ基板。

【請求項4】

基板と、

第 1 の導電膜と、
 前記第 1 の導電膜の上層に形成される絶縁膜と、
 前記絶縁膜の上層に形成される第 2 の導電膜と、を備えたアレイ基板であって、
 前記第 2 の導電膜は、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工された複数種類の薄膜パターンを備え、
 前記複数種類の薄膜パターンは、前記基板からの高さがほぼ同一になるように構成されており、
 前記複数種類の薄膜パターンの下層のほぼ全領域に、前記複数種類の薄膜パターンの高さがほぼ同一になるように形成された薄膜パターンを備え、
 前記第 1 の導電膜は、前記薄膜パターンを含むアレイ基板を用いた表示装置。

10

【請求項 5】

基板上に第 1 の導電膜を形成する工程と、
 前記第 1 の導電膜の上層に絶縁膜を形成する工程と、
 前記絶縁膜上に第 2 の導電膜を形成する工程と、
 前記第 2 の導電膜をパターン形成して複数種類の薄膜パターンを形成する工程と、
 を備えるアレイ基板の製造方法であって、
 前記複数種類の薄膜パターンを形成する工程は、
 レジストを形成する工程と、
 前記レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚を形成して加工する工程と、
 を備えており、
 前記第 1 の導電膜を形成する工程は、
 前記複数種類の薄膜パターンの下層のほぼ全領域に、前記複数種類の薄膜パターンの高さがほぼ同一になるように、薄膜パターンを形成する工程
 を備える
 アレイ基板の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数層の薄膜パターンが形成されたアレイ基板、表示装置、及びその製造方法に関するものである。例えば、液晶表示装置に好適に利用できるものである。

30

【背景技術】

【0002】

近年、液晶表示装置は、薄型、軽量、低消費電力であり、代表的な表示装置として使用されている。液晶表示装置の製造コストを削減する方法として、薄膜トランジスタ（以下、TFT）の形成されるアレイ基板の製造工程において、写真製版工程を削減することが有効である。そこで、1回の写真製版工程において、露光しないレジスト膜厚の領域と、完全に露光してレジストを除去する領域と、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚の領域を形成するグレイトーン（以下、GT）露光、またはハーフトーン（以下、HT）露光と呼ばれる方法がある。GT露光は、フォトマスクに露光装置の解像度限界以下の細い薄膜パターンを配置することで、中間的な露光量を与えるものである。HT露光は、フォトマスクに半透過膜を形成して中間的な露光量を与えるものである。特に、特開文献 1 に記載のように、チャンネルエッチ型 TFT のチャンネル部分に GT 露光、または HT 露光を行うことで、写真製版工程を削減する方法が実用化されている。

40

【0003】

また、特開文献 2 に記載のように、1回の写真製版工程において、第 1 の露光に中間的な露光量の第 2 の露光を追加する 2 段階露光とすることにより、中間レジスト膜厚の領域を得る方法もある。特開文献 2 では、ドレイン電極が上層に Al を含む多層膜からなり、ITO 等の導電性酸化膜からなる画素電極とドレイン電極とのコンタクト抵抗を抑制するために、コンタクトホール部に対応するドレイン電極の上層の Al を除去する領域に、2

50

段階露光またはHT露光を用いることが示されている。

【0004】

【特許文献1】特開2000-66240号公報(図25～図30)

【特許文献2】特開2006-41161号公報(図4)

【発明の開示】

【発明が解決しようとする課題】

【0005】

写真製版工程において、レジストを完全に露光しない中間的な露光を行った場合、フォトマスクの精度(透過率ばらつき)、露光装置の照度分布、レジスト塗布のレジスト膜厚分布、現像のばらつき等の影響を受けやすく、中間レジスト膜厚は、ばらつきやすい問題があった。ただし、特許文献1のように、TFTのチャンネル部分だけに適用するのであれば、1種類の薄膜パターンが同じ膜構成をしているので、中間レジスト膜厚のばらつきはそれほど問題にはならなかった。しかし、特許文献2に示したドレイン電極のコンタクト部分に加えて、他の様々な薄膜パターンを持つ配線、端子または電極等とのコンタクト部分にも、同一の写真製版工程で中間的な露光を行う場合、基板に形成された様々な薄膜パターンは、その下層の膜構成によって基板からの高さが異なっている。その結果、レジスト膜厚が均一にならないので、写真製版後の中間レジスト膜厚のばらつきはさらに大きくなった。その結果、中間レジスト膜厚が薄い領域では、以後のエッチング工程において必要な薄膜パターンまで消失し、逆に、中間レジスト膜厚が厚い領域では、以後の工程に不要な薄膜パターンが残膜として残る問題があった。

【0006】

本発明は、上記のような問題点を解決するためになされたものであり、特に、複数種類の薄膜パターンを形成する領域に、同一の写真製版工程で中間的な露光を行う場合、写真製版後の中間レジスト膜厚のばらつきを小さくして、中間レジスト膜厚を形成して加工するプロセスのマージンを拡大して歩留りを上げ、低コストなアレイ基板、表示装置、及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明のアレイ基板は、基板と、基板上の第1の導電膜と、第1の導電膜の上層に形成される絶縁膜と、この絶縁膜の上層に形成される第2の導電膜と、を備えたアレイ基板であって、第2の導電膜はレジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工された複数種類の薄膜パターンを備えており、この複数種類の薄膜パターンは、基板からの高さがほぼ同一になるように構成され、さらにその複数種類の薄膜パターンの下層のほぼ全領域には、複数種類の薄膜パターンの高さがほぼ同一になるように形成された薄膜パターンも備えており、第1の導電膜はその薄膜パターンを含むように構成されている。

【0008】

本発明のアレイ基板の製造方法は、基板上に第1の導電膜を形成する工程と、第1の導電膜の上層に絶縁膜を形成する工程と、絶縁膜上に第2の導電膜を形成する工程と、第2の導電膜をパターン形成して複数種類の薄膜パターンを形成する工程と、を備えるアレイ基板の製造方法であって、複数種類の薄膜パターンを形成する工程は、レジストを形成する工程と、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚を形成して加工する工程と、を備えており、第1の導電膜を形成する工程は、この複数種類の薄膜パターンの下層のほぼ全領域に、この複数種類の薄膜パターンの高さがほぼ同一になるように、薄膜パターンを形成する工程

を含んでいる。

【発明の効果】

【0009】

本発明によれば、中間レジスト膜厚が形成されて加工される複数種類の領域におけるレジスト膜厚がほぼ均一にできるので、写真製版後の中間レジスト膜厚の均一化が図れ、後のプロセスのマージンが拡大して、歩留りが向上し、低コストなアレイ基板、表示装置、及びその製造方法を得ることができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態を、液晶表示装置のアレイ基板を例として、図に基づいて説明する。なお、以下の実施の形態を説明するための全図において、同一符号は、同一または相当部分を示しており、原則として、重複する説明は省略する。

【0011】

実施の形態1.

図1は、実施の形態1における液晶表示装置のアレイ基板を示す平面図である。図2は、図1の画素を示す平面図である。図3は、図2のA-A切断線における断面図である。図4は、図1のソース端子を拡大した部分を示す平面図である。図5は、図4のB-B切断線における断面図である。図6は、図1の共通配線変換部を拡大した部分を示す平面図である。図7は、図6のC-C切断線における断面図である。

【0012】

図1において、液晶表示装置の主要な一部を構成するアレイ基板100は、ガラス等の基板1にマトリクス状に配列された複数の画素40からなる表示部50が形成され、表示部50の周辺部には、ゲート端子60、ソース端子62及び共通接続端子64が形成される。また、画素40の保持容量を構成する共通配線3は、共通配線変換部44を介して、共通接続配線46によって引き出され、共通接続端子64に接続されている。

【0013】

アレイ基板100は、図示していないが、対向基板と貼り合わせ、この間に液晶を封入して、液晶に電圧を印加することで表示を行う。また、アレイ基板100及び対向基板には、図示していないが、偏光板が貼付され、アレイ基板100の背面にバックライトが配置されて液晶表示装置となる。

【0014】

次に、図2、図3において、画素40はゲート配線2、共通配線3、ソース配線6、TFT、画素電極11等から構成される。第1の導電膜であり、Al、Mo、Cr、Ti、Ta、Mo、W等からなるゲート配線2と共通配線3が、間隔を空けて平行に形成される。この上層にSiN膜、SiO₂膜等からなるゲート絶縁膜4が全面に形成される。ゲート配線2と直交する方向にソース配線6が形成され、その交点近傍にTFTを構成する半導体膜5が形成される。半導体膜5は、チャンネルとなる半導体膜5a上に不純物がドーブされた半導体膜5bを積層した多層膜である。ここでは、ソース配線6の下層にも連続して半導体膜5がソース配線6の形状に沿って配置されているが、必ずしもソース配線6の下に配置する必要はない。

【0015】

ソース配線6からはソース電極7がゲート配線2上でゲート配線2方向に延びており、半導体膜5に重なっている。同様にドレイン電極8が半導体膜5と部分的に重なってゲート配線2と直交する方向に延びている。ソース配線6、ソース電極7、及びドレイン電極8は、Cr、Ti、Ta、Mo、W等からなる下層膜6a、7a、8aと、Al等の金属膜からなる上層膜6b、7b、8bの多層膜で構成され、第2の導電膜である。

【0016】

ソース電極7とドレイン電極8の間で、TFTのチャンネルとなる半導体膜5は、不純物がドーブされた半導体膜5bが除去されて、半導体膜5aだけになっている。

【0017】

10

20

30

40

50

図2のドットで示す領域H1はドレイン電極8の上層膜8bが除去され、下層膜8aが露出している。層間絶縁膜9が画素40の全体を覆うように形成され、コンタクトホール10は、ドレイン電極8の領域H1に重なるように形成されている。

【0018】

I T O等の透明な導電性酸化膜からなる画素電極11は、コンタクトホール10を介して、ドレイン電極8の下層膜8aと接続されている、一般に、導電性酸化膜のI T Oと酸化され易いA lとのコンタクト抵抗は高いため、コンタクト抵抗を抑制するためにコンタクトホール10近傍の上層膜8bは除去する。ここでは、コンタクトホール10と上層膜8bが除去された領域H1は少し位置をずらした形状とした。

【0019】

また、共通配線3と画素電極11とが重なる保持容量領域C Sは、液晶印加電圧を保持する保持容量を構成する。

【0020】

ここで、図2における斜線で示す領域は、第2の導電膜からなるソース配線6、ソース電極7、及びドレイン電極8等を形成する写真製版工程において、露光されないレジストが形成されて加工された薄膜パターンである。ドットで示す領域H1は、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工された薄膜パターンである。そして、この領域H1の下層のほぼ全体に、ゲート配線2及び共通配線3と同じ層である第1の導電膜で形成された薄膜パターン12が形成されている。

【0021】

次に、図1のソース端子62の詳細について説明する。図4、図5に示すように、ソース端子62は、ソース配線6、ソース電極7、及びドレイン電極8等と同じ層である第2の導電膜で形成されたソース端子膜13から構成される。ソース端子膜13は、C r、T i、T a、M o、W等からなる下層膜13aと、A l等の金属膜からなる上層膜13bの多層膜で構成される。

【0022】

そして、ソース端子62の耐腐食性を向上するために、画素電極11と同じI T O等の導電性酸化膜からなる表面端子膜16で端子表面が覆われる。ここでは、層間絶縁膜9に設けられたコンタクトホール14を介して、ソース端子膜13の上層膜13bが除去された領域H2で下層膜13aに接続される。

【0023】

ソース端子膜13は、ソース配線6、ソース電極7、及びドレイン電極8等と同じ工程で形成される。図4における斜線で示す領域は、ソース端子膜13を形成する写真製版工程において、露光されないレジストが形成されて加工された薄膜パターンである。ドットで示す領域H2は、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工された薄膜パターンである。領域H2では、ソース端子膜13の上層膜13bが除去されている。領域H2の下層には、領域H1と高さが同一になるように、ゲート配線2及び共通配線3と同じ層である第1の導電膜で形成された薄膜パターン15が形成されている。

【0024】

次に、図1の共通配線変換部44の詳細について説明する。図6、図7に示すように、画素40の保持容量領域C Sを構成する共通配線3は、表示部50の外側で、共通配線3と直交する共通接続配線46に、共通配線変換部44を介して接続される。そして、共通接続配線46の片方の端部に共通接続端子64が形成される。共通接続配線46は、C r、T i、T a、M o、W等からなる下層膜46aと、A l等の金属膜からなる上層膜46bの多層膜で構成され、第2の導電膜で形成される。共通接続端子64はソース端子62と同じ層構造をしている。

【0025】

ここで、共通配線3と共通接続配線46は、コンタクトホール18、19を介して、画素電極11と同じI T O等の導電性酸化膜で形成された接続膜17によって接続される。

10

20

30

40

50

コンタクトホール 18 はゲート絶縁膜 4 と層間絶縁膜 9 を除去して共通配線 3 と接続する部分で、コンタクトホール 19 は層間絶縁膜 9 を除去して共通接続配線 46 と接続する部分である。

【0026】

ここで、共通接続配線 46 は、ソース配線 6、ソース電極 7、ドレイン電極 8、及びソース端子膜 13 等と同じ工程で形成される。図 6 における斜線で示す領域は、共通接続配線 46 を形成する写真製版工程において、露光されないレジストが形成されて加工された薄膜パターンである。ドットで示す領域 H3 は、中間レジスト膜厚が形成されて加工された薄膜パターンである。領域 H3 では、共通接続配線 46 の上層膜 46b が除去されており、領域 H3 の下層には、共通配線 3 が共通接続配線 46 と重なるように形成されている。この共通接続配線 46 および共通配線変換部 44 の下層に共通配線 3 を配置する構成は、共通接続配線 46 の低抵抗化のために、従来でも実施されていた構成である。

10

【0027】

この結果、中間レジスト膜厚が形成されて加工された領域 H1、H2 及び H3 の下層のほぼ全領域に、第 1 の導電膜から形成される薄膜パターン 12、15 または共通配線 3 が形成されているので、第 2 の導電膜から形成されるドレイン電極 8、ソース端子膜 13、及び共通接続配線 46 の基板 1 からの高さはほぼ同一になっている。

【0028】

なお、図 1 のゲート端子 60 についても、ゲート配線 2 を第 2 の導電膜から形成されるゲート端子膜に変換してゲート端子 60 に接続し、ゲート端子 60 の下層に第 1 の導電膜から形成される薄膜パターンを形成することで、ソース端子 62 と同じ層構成とすることができる。

20

【0029】

次に、中間レジスト膜厚を形成して加工される複数種類の薄膜パターンを、基板からの高さほぼ同一にする効果について説明する。図 8 は、複数種類の薄膜パターンを、中間レジスト膜厚を形成して加工する工程を示す断面図ある。

【0030】

図 8 (a) は、写真製版工程の露光工程である。基板 1 上に形成された薄膜 22 において、中間レジスト膜厚が形成されて加工される領域 Ha、Hb、Hc、Hd があるとする。領域 Ha と領域 Hb の下層には、薄膜 22 が基板 1 からの高さがほぼ同一になるように、同じ膜厚である薄膜パターン 20a、20b が形成されている。一方、領域 Hc の下層には、薄膜パターン 20a、20b よりも膜厚の厚い薄膜パターン 20c が形成されている。そして、領域 Hd の下層には、このような薄膜パターンは形成されていない。

30

【0031】

この上層に絶縁膜 21 と、中間レジスト膜厚を形成して加工される薄膜 22 が全面に形成されている。薄膜 22 は下層膜 22a と上層膜 22b の 2 層膜で構成されている。そして、薄膜 22 をパターン加工するために、レジスト 30 がスピコート等によって塗布される。レジスト 30 の塗布後は、レジスト 30 の表面はほぼ平坦になるので、領域 Ha、Hb、Hc、Hd におけるレジスト膜厚 Sa、Sb、Sc、Sd は異なったものになる。すなわち、領域 Ha、Hb のレジスト膜厚 Sa、Sb は等しいが、領域 Hc のレジスト膜厚 Sc はレジスト膜厚 Sa、Sb よりも薄く、レジスト膜厚 Sd はレジスト膜厚 Sa、Sb よりも厚くなる。

40

【0032】

また、この写真製版工程に用いる GT マスク 200 は、GT 露光が行われる領域 Ha、Hb、Hc、Hd に対応して、微小なスリット 210 が形成されている。この GT マスク 200 を通して、レジスト 30 は露光される。

【0033】

図 8 (b) は、露光したレジスト 30 を現像してレジストパターンを形成する工程である。GT マスク 200 を使用して GT 露光が行われた領域 Ha、Hb、Hc、Hd は、中間レジスト 30a、30b、30c、30d の中間レジスト膜厚 Ta、Tb、Tc、Td

50

は異なったものになる。すなわち、領域H a、H bの中間レジスト膜厚T a、T bは等しいが、領域H cのレジスト膜厚T cはレジスト膜厚T a、T bよりも薄く、レジスト膜厚T dはレジスト膜厚T a、T bよりも厚くなる。

【0034】

図8(c)は、図8(b)で形成されたレジストパターンを用いて、薄膜22の下層膜22aと上層膜22bの両方をウエットエッチングまたはドライエッチング等により除去するエッチング工程である。

【0035】

図8(d)は、図8(c)のエッチング工程で残った中間レジスト30a、30b、30c、30dを除去するために、酸素プラズマ等でアッシング処理する工程である。ここで、領域H a、H bの中間レジスト30a、30bを除去する最適なアッシング処理時間とすると、領域H cでは、中間レジスト30cだけでなく領域H c周囲のレジスト30全部がなくなってしまう。また領域H dでは、中間レジスト30dがまだ残った状態になる。

10

【0036】

図8(e)は、領域H a、H b、H c、H dの上層膜22bを選択エッチングで除去して、レジストを剥離する工程である。この結果、領域H a、H bは、上層膜22bが除去された正常な薄膜パターンが形成されるが、領域H cは、本来は残すべき領域H c周囲の上層膜22bも除去された不良の薄膜パターンになる。領域H dは、除去すべき上層膜22bが残った不良の薄膜パターンになる。すなわち、中間レジスト膜厚T c、T dが、中間レジスト膜厚T a、T bと大きく異なっていると、中間レジスト30a、30b、30c、30dのアッシング処理時間を調整しても、領域H cまたは領域H dのいずれかが不良となるので、プロセスのマージンがないことになる。

20

【0037】

このように本実施の形態1では、第2の導電膜で形成されたドレイン電極8、ソース端子62、共通配線変換部44において、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工される領域H 1、H 2、H 3の下層のほぼ全領域に、ゲート配線2、共通配線3と同じ層である第1の導電膜で形成された薄膜パターン12、15または共通配線3を形成して、基板1からの高さをほぼ同一にしたので、レジスト30の中間レジスト膜厚の均一化を図ることができる。そして、中間レジストのアッシング処理時間等において、プロセスのマージンが大きくできるので、不良の薄膜パターンが少なくなり、歩留を向上することができる。

30

【0038】

実施の形態2.

実施の形態1では、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工される領域H 1、H 2、H 3の下層のほぼ全領域に、第1の導電膜で形成された薄膜パターン12、15、または共通配線3を形成したが、逆に、実施の形態2では、実施の形態1の図2から図7に対して、図9から図14に示すように、領域H 1、H 2、H 3の下層のほぼ全領域に、第1の導電膜で形成された薄膜パターンを形成しない平坦な構成にすることによって、基板1からの高さをほぼ同一にすることもできる。

40

【0039】

この場合、図9から図12に示すように、実施の形態1のドレイン電極8、ソース端子62の領域H 1、H 2の下層のほぼ全領域には、第1の導電膜で形成された薄膜パターン12、15は配置しない。そして、図13、図14に示すように、共通配線変換部44では、共通接続配線46の領域H 3の下層のほぼ全領域に、共通配線3に除去部48が設けられ、共通配線3の一部が除去された構成となっている。このように、領域H 1、H 2、H 3の下層のほぼ全領域に、第1の導電膜で形成された薄膜パターン12、15及び共通配線3がない平坦な構成にしても、中間レジスト膜厚の均一化を図ることができる。そして、プロセスのマージンが大きくできるので、不良の薄膜パターンが少なくなり、歩留を向上することができる。

50

【 0 0 4 0 】

実施の形態 3 .

実施の形態 1 では、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工される領域 H 1、H 2、H 3 の下層のほぼ全領域に、第 1 の導電膜で形成された薄膜パターン 1 2、1 5、または共通配線 3 を形成したが、第 1 の導電膜の代わりに、半導体膜 5 と同じ層で形成された薄膜パターンを形成してもほぼ同じ高さに揃えることができる。または、ゲート配線 2 と半導体膜 5 の膜厚がほぼ同じであれば、第 1 の導電膜と半導体膜 5 を混在させた薄膜パターンを配置しても、基板 1 からの高さをほぼ同一にすることができ、中間レジスト膜厚の均一化を図ることができる。そして、プロセスのマージンが大きくなるので、不良の薄膜パターンが少なくなり、歩留を向上することが

10

【 0 0 4 1 】

実施の形態 4 .

実施の形態 1 から 3 では、3 つの領域 H 1、H 2、H 3 について説明したが、他の箇所にも適用できる。図 1 5 は、実施の形態 4 における静電気保護回路を拡大した部分を示す平面図、図 1 6 は図 1 5 の D - D、E - E 切断線における断面図である。図 1 6 の括弧の符号が E - E 切断線のもので、断面構造は両方とも基本的に同じである。実施の形態 4 は、表示部の外に設けられたゲート配線 2 用の静電気保護回路を示す。ゲート配線 2 用の静電気保護回路は、ゲート配線 2 に静電気のような正または負の数十 V 以上の高電圧が印加されたときに、静電気の電荷を第 2 の導電膜からなる短絡配線 6 6 に分散させるための整流方向が異なる 2 つのダイオードからなる回路である。ダイオードは、画素の T F T と同じ工程で形成できる。第 1 の導電膜からなるゲート電極 7 1、7 2 を、第 2 の導電膜からなるソース電極 7 またはドレイン電極 8 の一方と接続することでダイオードが形成できる。

20

【 0 0 4 2 】

図 1 5 のドットで示す領域 H 4、H 5 は、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工された薄膜パターンである。領域 H 4 はソース電極 7 の上層膜 7 b が除去され、下層膜 7 a が露出している。領域 H 5 はドレイン電極 8 の上層膜 8 b が除去され、下層膜 8 a が露出している。図 1 6 に示すように、領域 H 4、H 5 の下層のほぼ全領域に、第 1 の導電膜で形成された薄膜パターン 7 4、7 5 が形成され、実施の形態 1 の領域 H 1、H 2、H 3 と同じ高さになっている。そして、第 1 の導電膜からなるゲート電極 7 1、7 2 と、第 2 の導電膜からなるソース電極 7、ドレイン電極 8 の下層膜 7 a、8 a とが、画素電極 1 1 と同じ I T O 等の導電性酸化膜で形成された接続膜 8 1、8 2 によって接続されている。

30

【 0 0 4 3 】

ここでは、ゲート配線 2 用の静電気保護回路について述べたが、ソース配線 6 用の静電気保護回路も同様な構成とすることができる。すなわち、表示部の外において、ソース配線 6 が図 1 5 の短絡配線 6 6 に相当する形状を備えており、短絡配線 6 6 が第 1 の導電膜からなり、図 1 5 のゲート配線 2 に相当する形状を備えていればよい。

【 0 0 4 4 】

実施の形態 5 .

上記以外の適用箇所として、ゲート端子 6 0 がソース端子 6 2 と同じ構造、同じ高さになるように、表示部の外において、第 1 の導電膜から形成されるゲート配線 2 を、第 2 の導電膜から形成されるゲート端子膜に変換してゲート端子 6 0 に接続する接続部に適用できる。または、ソース端子 6 2 がゲート端子 6 0 と同じ構造、同じ高さになるように、表示部の外において、第 2 の導電膜から形成されるソース配線 6 を、第 1 の導電膜から形成されるソース端子膜に変換してソース端子 6 2 に接続する接続部に適用できる。このように、第 1 の導電膜と第 2 の導電膜を接続するための接続部において、レジストを完全に露光しない中間的な露光量により、中間レジスト膜厚が形成されて加工される領域の断面構造は、同じ接続構造となる共通配線変換部 4 4 の領域 H 3 や、静電気保護回路の領域 H 4

40

50

、H5と同じ高さになるようにするとよい。

【0045】

以上の実施の形態では、液晶表示装置のアレイ基板について述べたが、エレクトロルミネッセンス(EL)表示装置、エレクトロクロミック表示装置、微粒子や油滴を用いた電子ペーパー等の表示装置のアレイ基板にも本発明は適用できる。

【図面の簡単な説明】

【0046】

【図1】実施の形態1における液晶表示装置のアレイ基板を示す平面図である。

【図2】実施の形態1における図1の表示部の画素を示す平面図である。

【図3】実施の形態1における図2のA-A切断線における断面図である。

10

【図4】実施の形態1における図1のソース端子を拡大した部分を示す平面図である。

【図5】実施の形態1における図2のB-B切断線における断面図である。

【図6】実施の形態1における図1の共通配線変換部を拡大した部分を示す平面図である。

【図7】実施の形態1における図6のC-C切断線における断面図である。

【図8】複数種類の薄膜パターンを、中間レジスト膜厚を形成して加工する工程を示す断面図ある。

【図9】実施の形態2における表示部の画素を示す平面図である。

【図10】実施の形態2における図9のA-A切断線における断面図である。

【図11】実施の形態2におけるソース端子を拡大した部分を示す平面図である。

20

【図12】実施の形態2における図11のB-B切断線における断面図である。

【図13】実施の形態2における共通配線変換部を拡大した部分を示す平面図である。

【図14】実施の形態2における図13のC-C切断線における断面図である。

【図15】実施の形態4における静電気保護回路を拡大した部分を示す平面図である。

【図16】実施の形態4における図15のD-D、E-E切断線における断面図である。

【符号の説明】

【0047】

- | | | |
|---------------------|----------|----|
| 1 | 基板 | |
| 2 | ゲート配線 | |
| 3 | 共通配線 | 30 |
| 4 | ゲート絶縁膜 | |
| 5 | 半導体膜 | |
| 6 | ソース配線 | |
| 8 | ドレイン電極 | |
| 9 | 層間絶縁膜 | |
| 10 | コンタクトホール | |
| 11 | 画素電極 | |
| 12 | 薄膜パターン | |
| 13 | ソース端子膜 | |
| 15 | 薄膜パターン | 40 |
| 17 | 接続膜 | |
| 20 | 薄膜 | |
| 30 | レジスト | |
| 30 a、30 b、30 c、30 d | 中間レジスト | |
| 44 | 共通配線変換部 | |
| 46 | 共通接続配線 | |
| 48 | 除去部 | |
| 60 | ゲート端子 | |
| 62 | ソース端子 | |
| 64 | 共通接続端子 | 50 |

66 短絡配線

71、72 ゲート電極

74、75 薄膜パターン

81、82 接続膜

100 アレイ基板

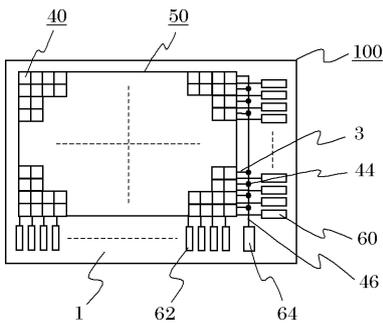
200 GTマスク

H1、H2、H3、H4、H5、Ha、Hb、Hc、Hd 中間レジスト膜厚が形成されて加工された領域

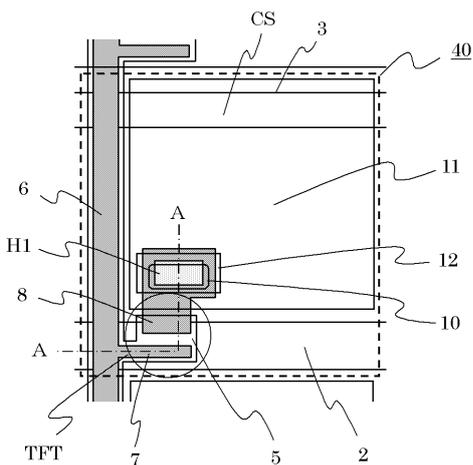
Sa、Sb、Sc、Sd レジスト膜厚

Ta、Tb、Tc、Td 中間レジスト膜厚

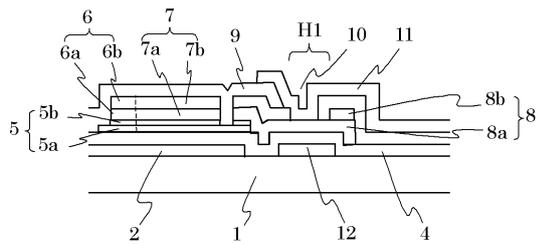
【図1】



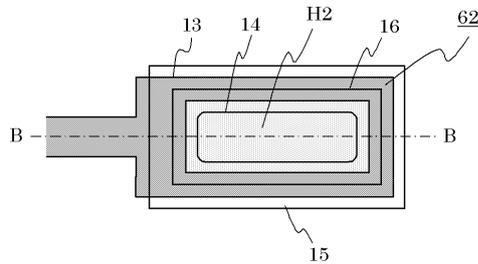
【図2】



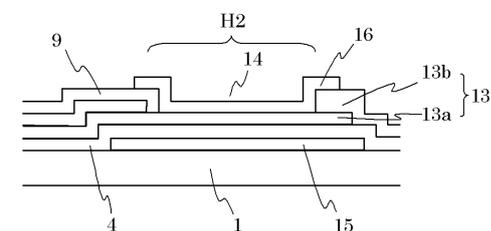
【図3】



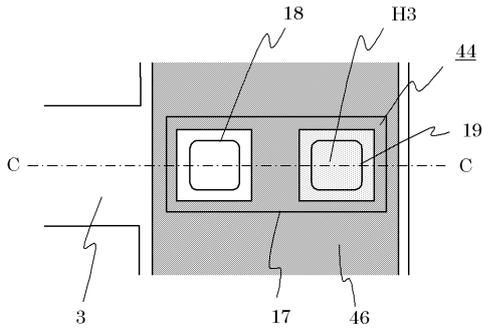
【図4】



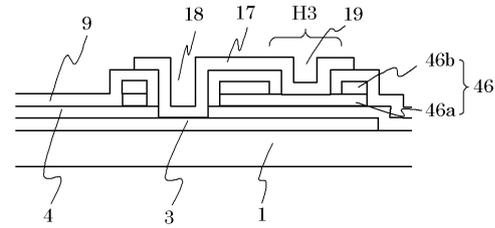
【図5】



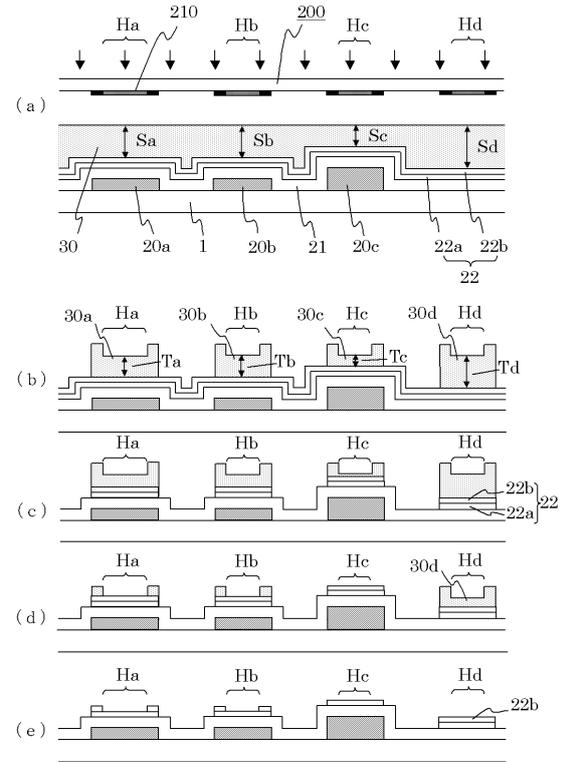
【図6】



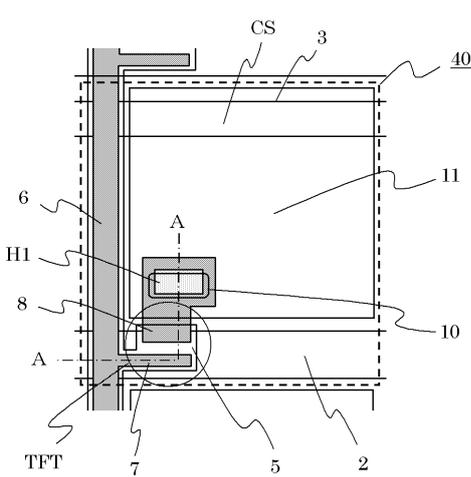
【図7】



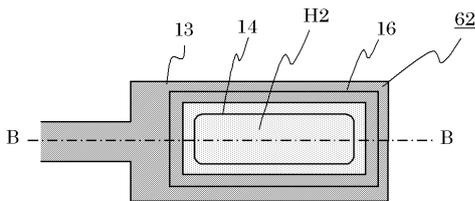
【図8】



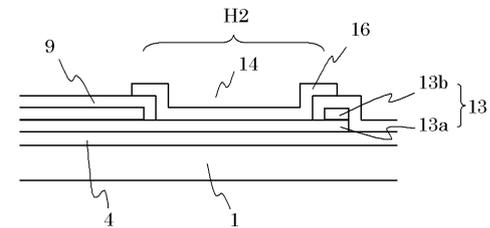
【図9】



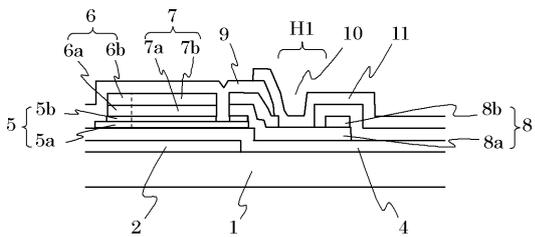
【図11】



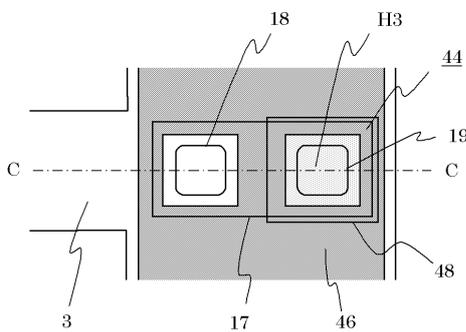
【図12】



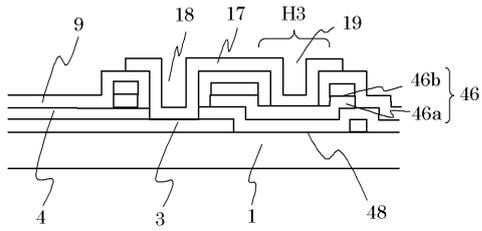
【図10】



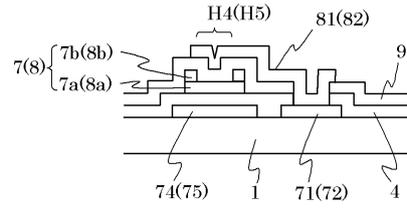
【図13】



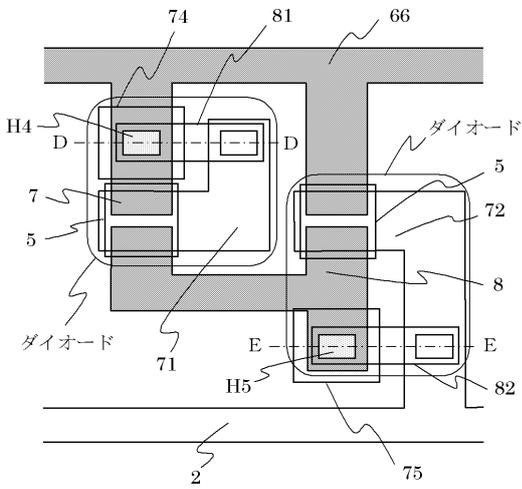
【図14】



【図16】



【図15】



フロントページの続き

(51)Int.Cl. F I
 G 0 3 F 1/00 (2012.01) H 0 1 L 21/30 5 0 2 P
 H 0 1 L 21/027 (2006.01)

- (72)発明者 野海 茂昭
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 島村 武志
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 青木 理
 熊本県合志市御代志997番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 赤尾 隼人

- (56)参考文献 特開2006-235134(JP,A)
 特開2002-141512(JP,A)
 特開2006-108147(JP,A)
 特開2006-108148(JP,A)
 特開2004-302417(JP,A)
 特開2007-171951(JP,A)
 国際公開第2005/057530(WO,A1)
 特開2003-005345(JP,A)
 特開2000-066240(JP,A)
 特開2006-041161(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 3 F 7/20 - 7/24 ; 1/00 - 1/86
 H 0 1 L 21/027 ; 21/28 - 21/288 ;
 21/44 - 21/445 ; 21/3205 - 21/768 ; 23
 / 5 2 2 ; 29/40 - 29/47 ;
 29/76 - 29/786
 G 0 2 F 1/1343 - 1/1345 ; 1/135 - 1/1368
 G 0 9 F 9/30 - 9/46