

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5807549号
(P5807549)

(45) 発行日 平成27年11月10日(2015.11.10)

(24) 登録日 平成27年9月18日(2015.9.18)

(51) Int. Cl. F I
H03K 5/08 (2006.01) H03K 5/08 E
H03M 1/36 (2006.01) H03M 1/36

請求項の数 9 (全 21 頁)

(21) 出願番号	特願2012-2138 (P2012-2138)	(73) 特許権者	000005223
(22) 出願日	平成24年1月10日 (2012.1.10)		富士通株式会社
(65) 公開番号	特開2013-143626 (P2013-143626A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成25年7月22日 (2013.7.22)	(74) 代理人	100099759
審査請求日	平成26年9月4日 (2014.9.4)		弁理士 青木 篤
		(74) 代理人	100119987
			弁理士 伊坪 公一
		(74) 代理人	100081330
			弁理士 樋口 外治
		(74) 代理人	100114177
			弁理士 小林 龍
		(72) 発明者	檀上 匠
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 比較回路およびA/D変換回路

(57) 【特許請求の範囲】

【請求項1】

クロック信号に応じて動作状態が切り替えられ、第1入力信号と第2入力信号に対応した第1中間出力および第2中間出力を出力する差動増幅回路と、

前記クロック信号に応じて動作状態が切り替えられ、前記第1中間出力および前記第2中間出力に応じて状態が変化し、前記第1中間出力および前記第2中間出力の状態変化に対する感度が制御可能である差動ラッチ回路と、を備え、

前記差動ラッチ回路は、

直列に接続された第1PMOSトランジスタおよび第1NMOSトランジスタを有する第1の列と、直列に接続された第2PMOSトランジスタと第2NMOSトランジスタを有し、前記第1の列に並列に接続された第2の列と、を備え、前記第1PMOSトランジスタおよび前記第1NMOSトランジスタのゲートは、前記第2PMOSトランジスタと前記第2NMOSトランジスタの接続ノードに接続され、前記第2PMOSトランジスタおよび前記第2NMOSトランジスタのゲートは、前記第1PMOSトランジスタと前記第1NMOSトランジスタの接続ノードに接続されたラッチ回路と、

前記第1PMOSトランジスタおよび前記第2PMOSトランジスタのソースと高電位電源との間に接続され、ゲートに前記クロックの反転信号が印加される第3PMOSトランジスタと、

前記第1NMOSトランジスタに並列に接続された第1中間入力NMOSトランジスタと、

10

20

前記第2 NMOSトランジスタに並列に接続された第2中間入力NMOSトランジスタと、

前記第1 PMOSトランジスタに並列に接続され、接続個数が制御可能である複数の第1調整NMOSトランジスタと、

前記第2 PMOSトランジスタに並列に接続され、接続個数が制御可能である複数の第2調整NMOSトランジスタと、を備え、

前記第1中間出力が、前記第1中間入力NMOSトランジスタおよび前記複数の第1調整NMOSトランジスタのゲートに印加され、

前記第2中間出力が、前記第2中間入力NMOSトランジスタおよび前記複数の第2調整NMOSトランジスタのゲートに印加され、

前記第1 PMOSトランジスタと前記第1 NMOSトランジスタの接続ノードおよび第2 PMOSトランジスタと前記第2 NMOSトランジスタの接続ノードから比較結果を出力することを特徴とする比較回路。

【請求項2】

前記差動ラッチ回路における前記第1中間出力および前記第2中間出力の状態変化に対する感度を制御する制御回路、をさらに備える請求項1記載の比較回路。

【請求項3】

前記複数の第1調整NMOSトランジスタのそれぞれは、前記制御回路により制御されるスイッチと直列に接続され、直列に接続された前記第1調整NMOSトランジスタと前記スイッチの列が、前記第1 PMOSトランジスタに並列に接続され、

前記複数の第2調整NMOSトランジスタのそれぞれは、前記制御回路により制御されるスイッチと直列に接続され、直列に接続された前記第2調整NMOSトランジスタと前記スイッチの列が、前記第2 PMOSトランジスタに並列に接続される請求項1または2記載の比較回路。

【請求項4】

クロック信号に応じて動作状態が切り替えられ、第1入力信号と第2入力信号に対応した第1中間出力および第2中間出力を出力する差動増幅回路と、

前記クロック信号に応じて動作状態が切り替えられ、前記第1中間出力および前記第2中間出力に応じて状態が変化し、前記第1中間出力および前記第2中間出力の状態変化に対する感度が制御可能である差動ラッチ回路と、を備え、

前記差動ラッチ回路は、

直列に接続された第1 PMOSトランジスタおよび第1 NMOSトランジスタを有する第1の列と、直列に接続された第2 PMOSトランジスタと第2 NMOSトランジスタを有し、前記第1の列に並列に接続された第2の列と、を備え、前記第1 PMOSトランジスタおよび前記第1 NMOSトランジスタのゲートは、前記第2 PMOSトランジスタと前記第2 NMOSトランジスタの接続ノードに接続され、前記第2 PMOSトランジスタおよび前記第2 NMOSトランジスタのゲートは、前記第1 PMOSトランジスタと前記第1 NMOSトランジスタの接続ノードに接続されたラッチ回路と、

前記第1 NMOSトランジスタおよび前記第2 NMOSトランジスタのソースと低電位電源との間に接続され、ゲートに前記クロックが印加される第3 NMOSトランジスタと

、
前記第1 PMOSトランジスタに並列に接続された第1中間入力PMOSトランジスタと、

前記第2 PMOSトランジスタに並列に接続された第2中間入力PMOSトランジスタと、

前記第1 NMOSトランジスタに並列に接続され、接続個数が制御可能である複数の第1調整PMOSトランジスタと、

前記第2 NMOSトランジスタに並列に接続され、接続個数が制御可能である複数の第2調整PMOSトランジスタと、を備え、

前記第1中間出力が、前記第1中間入力PMOSトランジスタおよび前記複数の第1調

10

20

30

40

50

整 P M O S トランジスタのゲートに印加され、

前記第 2 中間出力が、前記第 2 中間入力 P M O S トランジスタおよび前記複数の第 2 調整 P M O S トランジスタのゲートに印加され、

前記第 1 P M O S トランジスタと前記第 1 N M O S トランジスタの接続ノードおよび第 2 P M O S トランジスタと前記第 2 N M O S トランジスタの接続ノードから比較結果を出力することを特徴とする比較回路。

【請求項 5】

前記差動ラッチ回路における前記第 1 中間出力および前記第 2 中間出力の状態変化に対する感度を制御する制御回路、をさらに備える請求項 4 記載の比較回路。

【請求項 6】

前記複数の第 1 調整 P M O S トランジスタのそれぞれは、前記制御回路により制御されるスイッチと直列に接続され、直列に接続された前記第 1 調整 P M O S トランジスタと前記スイッチの列が、前記第 1 N M O S トランジスタに並列に接続され、

前記複数の第 2 調整 P M O S トランジスタのそれぞれは、前記制御回路により制御されるスイッチと直列に接続され、直列に接続された前記第 2 調整 P M O S トランジスタと前記スイッチの列が、前記第 2 N M O S トランジスタに並列に接続される請求項 4 または 5 記載の比較回路。

【請求項 7】

閾値が段階的に異なる複数の比較回路と、

アナログ入力信号に対する前記複数の比較回路の比較結果に基づいて、前記アナログ入力信号の電圧に対応するデジタルデータを生成する処理回路と、を備え、

前記複数の比較回路のそれぞれは、

クロック信号に応じて動作状態が切り替えられ、第 1 入力信号と第 2 入力信号に対応した第 1 中間出力および第 2 中間出力を出力する差動増幅回路と、

前記クロック信号に応じて動作状態が切り替えられ、前記第 1 中間出力および前記第 2 中間出力に応じて状態が変化し、前記第 1 中間出力および前記第 2 中間出力の状態変化に対する感度が制御可能である差動ラッチ回路と、を備え、

前記差動ラッチ回路は、

直列に接続された第 1 P M O S トランジスタおよび第 1 N M O S トランジスタを有する第 1 の列と、直列に接続された第 2 P M O S トランジスタと第 2 N M O S トランジスタを有し、前記第 1 の列に並列に接続された第 2 の列と、を備え、前記第 1 P M O S トランジスタおよび前記第 1 N M O S トランジスタのゲートは、前記第 2 P M O S トランジスタと前記第 2 N M O S トランジスタの接続ノードに接続され、前記第 2 P M O S トランジスタおよび前記第 2 N M O S トランジスタのゲートは、前記第 1 P M O S トランジスタと前記第 1 N M O S トランジスタの接続ノードに接続されたラッチ回路と、

前記第 1 P M O S トランジスタおよび前記第 2 P M O S トランジスタのソースと高電位電源との間に接続され、ゲートに前記クロックの反転信号が印加される第 3 P M O S トランジスタと、

前記第 1 N M O S トランジスタに並列に接続された第 1 中間入力 N M O S トランジスタと、

前記第 2 N M O S トランジスタに並列に接続された第 2 中間入力 N M O S トランジスタと、

前記第 1 P M O S トランジスタに並列に接続され、接続個数が制御可能である複数の第 1 調整 N M O S トランジスタと、

前記第 2 P M O S トランジスタに並列に接続され、接続個数が制御可能である複数の第 2 調整 N M O S トランジスタと、を備え、

前記第 1 中間出力が、前記第 1 中間入力 N M O S トランジスタおよび前記複数の第 1 調整 N M O S トランジスタのゲートに印加され、

前記第 2 中間出力が、前記第 2 中間入力 N M O S トランジスタおよび前記複数の第 2 調整 N M O S トランジスタのゲートに印加され、

10

20

30

40

50

前記第 1 P M O S トランジスタと前記第 1 N M O S トランジスタの接続ノードおよび第 2 P M O S トランジスタと前記第 2 N M O S トランジスタの接続ノードから比較結果を出力することを特徴とするアナログ・デジタル変換回路。

【請求項 8】

閾値が段階的に異なる複数の比較回路と、

アナログ入力信号に対する前記複数の比較回路の比較結果に基づいて、前記アナログ入力信号の電圧に対応するデジタルデータを生成する処理回路と、を備え、

前記複数の比較回路のそれぞれは、

クロック信号に応じて動作状態が切り替えられ、第 1 入力信号と第 2 入力信号に対応した第 1 中間出力および第 2 中間出力を出力する差動増幅回路と、

前記クロック信号に応じて動作状態が切り替えられ、前記第 1 中間出力および前記第 2 中間出力に応じて状態が変化し、前記第 1 中間出力および前記第 2 中間出力の状態変化に対する感度が制御可能である差動ラッチ回路と、を備え、

前記差動ラッチ回路は、

直列に接続された第 1 P M O S トランジスタおよび第 1 N M O S トランジスタを有する第 1 の列と、直列に接続された第 2 P M O S トランジスタと第 2 N M O S トランジスタを有し、前記第 1 の列に並列に接続された第 2 の列と、を備え、前記第 1 P M O S トランジスタおよび前記第 1 N M O S トランジスタのゲートは、前記第 2 P M O S トランジスタと前記第 2 N M O S トランジスタの接続ノードに接続され、前記第 2 P M O S トランジスタおよび前記第 2 N M O S トランジスタのゲートは、前記第 1 P M O S トランジスタと前記第 1 N M O S トランジスタの接続ノードに接続されたラッチ回路と、

前記第 1 N M O S トランジスタおよび前記第 2 N M O S トランジスタのソースと低電位電源との間に接続され、ゲートに前記クロックが印加される第 3 N M O S トランジスタと

前記第 1 P M O S トランジスタに並列に接続された第 1 中間入力 P M O S トランジスタと、

前記第 2 P M O S トランジスタに並列に接続された第 2 中間入力 P M O S トランジスタと、

前記第 1 N M O S トランジスタに並列に接続され、接続個数が制御可能である複数の第 1 調整 P M O S トランジスタと、

前記第 2 N M O S トランジスタに並列に接続され、接続個数が制御可能である複数の第 2 調整 P M O S トランジスタと、を備え、

前記第 1 中間出力が、前記第 1 中間入力 P M O S トランジスタおよび前記複数の第 1 調整 P M O S トランジスタのゲートに印加され、

前記第 2 中間出力が、前記第 2 中間入力 P M O S トランジスタおよび前記複数の第 2 調整 P M O S トランジスタのゲートに印加され、

前記第 1 P M O S トランジスタと前記第 1 N M O S トランジスタの接続ノードおよび第 2 P M O S トランジスタと前記第 2 N M O S トランジスタの接続ノードから比較結果を出力することを特徴とするアナログ・デジタル変換回路。

【請求項 9】

前記複数の比較回路のそれぞれは、

前記差動ラッチ回路における前記第 1 中間出力および前記第 2 中間出力の状態変化に対する感度を制御する制御回路と、を備える請求項 7 または 8 記載のアナログ・デジタル変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、比較回路（コンパレータ）およびアナログ・デジタル（Analog-to-Digital: A/D）変換回路（Converter）に関する。

【背景技術】

【 0 0 0 2 】

2つの入力信号の電圧レベルを比較し、比較結果を出力する比較回路が広く使用されている。例えば、フラッシュ型のA/D変換回路は、多数の比較回路を有する。例えば、4ビットのフラッシュ型A/D変換回路であれば、少なくとも15個の比較回路を有する。高周波アナログ信号をデジタル信号に変換するため、フラッシュ型A/D変換回路の高速化が要望されており、それに応じて高速動作する比較回路が要望されている。

【 0 0 0 3 】

高速動作する比較回路として、ダイナミックラッチ比較回路が使用されているが、一層の高速化および低電力化を図るため、二段式ダイナミックラッチ比較回路が提案されている。

10

【 0 0 0 4 】

一方、比較回路(コンパレータ)を製造する場合、比較回路を形成するトランジスタの製造ばらつきやレイアウトの非対称性などにより、必ずオフセットが存在し回路動作に悪影響を及ぼすことが知られている。そこで、オフセットをゼロにする各種の補正技術が研究されている。さらに、単にオフセットをゼロにするだけでなく、参照電圧を生成せずにコンパレータの閾値(出力が反転する入力電圧差)をゼロではなく他の値に設定したいという要望がある。オフセットの調整が可能であれば、閾値を任意の値に設定することが可能になる。

【 0 0 0 5 】

そこで、二段式ダイナミックラッチ比較回路の入力差動対を形成するトランジスタのゲートに、外部からチャージポンプ、スイッチおよび容量からなる調整回路を付与して、入力差動対の閾値を調整可能にすることが提案されている。

20

また、二段式ダイナミックラッチ比較回路において、前段から後段への信号ノードに変容量を接続して、信号変化の負荷を調整可能にして、比較回路の閾値を調整することが提案されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 1 0 - 1 0 9 9 3 7 号 公 報

【 特許文献 2 】 特開 2 0 1 0 - 2 2 3 5 5 3 号 公 報

30

【 特許文献 3 】 特開平 1 0 - 0 6 5 5 4 2 号 公 報

【 特許文献 4 】 特開 2 0 0 0 - 3 0 7 3 9 1 号 公 報

【 特許文献 5 】 特開 2 0 0 6 - 2 7 0 7 2 6 号 公 報

【 特許文献 6 】 特開 2 0 0 1 - 2 2 3 7 5 4 号 公 報

【 特許文献 7 】 特開 2 0 0 3 - 2 7 3 9 3 8 号 公 報

【 非特許文献 】

【 0 0 0 7 】

【 非特許文献 1 】 D. Schinkel, E. Mensink, E. Klumperink, E. Van Tuiji, B. Nauta: "A Double-Tail Latch-Type Voltage Sense Amplifier with 18ps Setup+Hold Time", IEEE, ISSCC 2007, Dig. Of Tech. Paper, pp.314-315, Feb. 2007

40

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

入力差動対の閾値を調整可能にするためには、外部から調整回路を接続するため、回路面積が増加する上、外部に定常電流を流すため、消費電力が増加するという問題がある。

また、比較回路の閾値を調整するには、信号の電流パスに負荷として容量を付与するため電力が増加し、また動作速度も遅くなるという問題がある。

【 0 0 0 9 】

本実施形態によれば、オフセットをゼロに調整可能または閾値を任意のレベルに設定可能な、低消費電力の高速動作可能な比較回路が実現される。

50

【課題を解決するための手段】

【0010】

発明の第1の観点によれば、比較回路は、差動増幅回路と、差動ラッチ回路と、を有する。差動増幅回路は、クロック信号に応じて動作状態が切り替えられ、第1入力信号と第2入力信号に対応した第1中間出力および第2中間出力を出力する。差動ラッチ回路は、クロック信号に応じて動作状態が切り替えられ、第1中間出力および第2中間出力に応じて状態が変化し、第1中間出力および第2中間出力の状態変化に対する感度が制御可能である。

【0011】

発明の第2の観点によれば、アナログ・デジタル変換回路は、閾値が段階的に異なる複数の比較回路と、アナログ入力信号に対する複数の比較回路の比較結果に基づいて、アナログ入力信号の電圧に対応するデジタルデータを生成する処理回路と、を有する。複数の比較回路のそれぞれは、差動増幅回路と、差動ラッチ回路と、を有する。差動増幅回路は、クロック信号に応じて動作状態が切り替えられ、第1入力信号と第2入力信号に対応した第1中間出力および第2中間出力を出力する。差動ラッチ回路は、クロック信号に応じて動作状態が切り替えられ、第1中間出力および第2中間出力に応じて状態が変化し、第1中間出力および第2中間出力の状態変化に対する感度が制御可能である。

10

【発明の効果】

【0012】

上記の観点によれば、オフセットをゼロに調整可能または閾値を任意のレベルに設定可能で、低消費電力の高速動作可能な比較回路を、小さな回路面積で実現できる。これにより、高精度で高速動作可能なアナログ・デジタル変換回路を小さな回路面積で実現できる。

20

【図面の簡単な説明】

【0013】

【図1】図1は、一般的なダイナミックラッチ比較回路の例を示す回路図である。

【図2】図2は、比較回路の前段にプリアンプを配置した回路を示す図である。

【図3】図3は、二段式ダイナミックラッチ比較回路（コンパレータ）の例を示す回路図である。

【図4】図4は、図3の二段式ダイナミックラッチ比較回路の動作を示すタイムチャートである。

30

【図5】図5は、図3に示した二段式ダイナミックラッチ比較回路において、オフセットを調整可能にした回路図である。

【図6】図6は、図3に示した二段式ダイナミックラッチ比較回路において、オフセットを調整可能にした別の例の回路図である。

【図7】図7は、第1実施形態の比較回路の回路図である。

【図8】図8は、第1実施形態の比較回路の動作を示すタイムチャートである。

【図9】図9は、キャリブレーションを行う場合の制御回路の回路構成を示す図である。

【図10】図10は、比較回路のキャリブレーション動作を説明するフローチャートである。

40

【図11】図11は、キャリブレーション動作によるオフセット補正量の一例を示す図である。

【図12】図12は、第2実施形態の比較回路の回路図である。

【図13】図13は、第3実施形態の比較回路の回路図である。

【図14】図14は、第4実施形態の比較回路の回路図である。

【図15】図15は、第5実施形態のA/D変換回路の回路図である。

【図16】図16は、第6実施形態のA/D変換回路の回路図である。

【図17】図17は、第7実施形態のA/D変換回路の回路図である。

【発明を実施するための形態】

【0014】

50

実施形態について説明する前に、一般的なダイナミックラッチ比較回路（コンパレータ）および二段式ダイナミックラッチ比較回路（コンパレータ）について説明する。

【0015】

図1は、一般的なダイナミックラッチ比較回路の例を示す回路図である。この比較回路では、PMOSトランジスタPT1およびNMOSトランジスタNT1を直列に接続した第1列と、PMOSトランジスタPT2およびNMOSトランジスタNT2を直列に接続した第2列と、を並列に設ける。PT1およびNT1のゲートは、PT2とNT2の接続ノードに接続され、この接続ノードから出力信号（比較結果）ONが得られる。PT2およびNT2のゲートは、PT1とNT1の接続ノードに接続され、この接続ノードから出力信号（比較結果）OPが得られる。言い換えれば、PT1、PT2、NT1およびNT2は、ラッチ回路を形成する。出力信号OPとONは、互いに逆相の信号である。

10

【0016】

PMOSトランジスタPT3は、第1列に並列に接続され、ゲートにクロック信号CLKが印加される。PMOSトランジスタPT4は、第2列に並列に接続され、ゲートにCLKが印加される。PMOSトランジスタPT5は、PT1に並列に、すなわちアナログ高電位電源AVDとOPの出力端子間に接続され、ゲートにCLKが印加される。PMOSトランジスタPT6は、PT2に並列に、すなわちAVDとONの出力端子間に接続され、ゲートにCLKが印加される。

【0017】

NT1のソースはノードDPに接続され、NT2のソースはノードDNに接続される。NMOSトランジスタNT3は、DPとノードSSの間に接続され、NMOSトランジスタNT4は、DNとSSの間に接続される。NMOSトランジスタNT5は、SSとアナログ低電位電源GNDの間に接続される。NT3およびNT4のゲートには差動入力信号VIPおよびVINが入力され、NT5のゲートにはCLKが印加される。

20

【0018】

CLK = 低(L)の時、PT3、PT4、PT5およびPT6がオン（導通）し、DP、DN、OP、ONがH（高）にチャージされる。さらに、NT5はオフ（遮断）するため、定常電流は流れない。

【0019】

CLK = Hの時、PT3、PT4、PT5およびPT6はオフし、NT5はオンする。この状態で、VIPとVINの電圧に応じてNT3およびNT4が導通し、流れる電流量はVIPとVINの電圧に応じて異なる。NT3およびNT4に電流が流れると、DPおよびDNがディスチャージするが、NT3およびNT4に流れる電流量に応じてディスチャージ速度に差が生じる。この差により、ラッチ回路のラッチ機能が働き、OPがHまたはLに、ONがその逆になる。

30

【0020】

図1の比較回路は、AVDとGNDの間にMOSトランジスタが4個直列に接続された四段積みであり、一段ごとのMOSトランジスタの印加電圧が小さくなり、高速化が難しいという問題があった。

【0021】

図2は、高速化を図るために、比較回路12の前段にプリアンプ11を配置した回路を示す。図2の回路では、プリアンプ11が、入力信号VIPおよびVINを増幅して増幅出力VOPおよびVONを出力し、比較回路12は、増幅出力VOPおよびVONの大きさを判定して比較結果OPおよびONを出力する。図2の回路では、比較回路12に入力する信号の電圧差が大きくなるため、速度が向上する。しかし、通常のプリアンプ11は、定常電流が流れるため、消費電力を低減するのが難しく、図2の回路は低電力化には適していない。

40

【0022】

そこで、前段で比較および増幅処理を行い、後段でラッチを行う二段式ダイナミックラッチ比較回路（コンパレータ）が提案されている。

50

【 0 0 2 3 】

図3は、二段式ダイナミックラッチ比較回路(コンパレータ)の例を示す回路図である。この二段式ダイナミックラッチ比較回路は、前段部と、後段部と、を有する。前段部は、AVDとノードNSの間に並列に設けられた、直列に接続されたPMOSトランジスタPT14およびNMOSトランジスタNT15と、直列に接続されたPMOSトランジスタPT15およびNMOSトランジスタNT16と、を有する。PT14およびPT15のゲートにはCLKが印加され、NT15のゲートには入力信号VIPが入力され、NT16のゲートには入力信号VINが入力される。NMOSトランジスタNT17が、NSとGNDの間に接続され、ゲートにCLKが印加される。PT14とNT15の接続ノードDPおよびPT15とNT16の接続ノードDNの信号が、後段への出力信号になる。

10

【 0 0 2 4 】

後段では、図1と同様に、PMOSトランジスタPT11およびPT12と、NMOSトランジスタNT11およびNT12は、ラッチ回路を形成する。PT11とNT11の接続ノードから出力信号OPが出力され、PT12とNT12の接続ノードから出力信号ONが出力される。PT11およびPT12のソースはノードPSに接続される。NT12およびNT12のソースはGNDに接続される。PMOSトランジスタPT13は、AVDとPSの間に接続され、ゲートに/CLKが印加される。なお、図では/CLKをCLKに上バーを付して表す。さらに、NT11と並列にNMOSトランジスタNT13が設けられ、NT12と並列にNMOSトランジスタNT14が設けられる。NT13のゲートは、DPに接続され、NT14のゲートは、DNに接続される。

20

【 0 0 2 5 】

図4は、図3の二段式ダイナミックラッチ比較回路の動作を示すタイムチャートである。

【 0 0 2 6 】

CLK=Lのとき、図3の回路はリセット期間であり、DPおよびDNはHに、PS、OPおよびONは、Lに固定される。

【 0 0 2 7 】

CLK=Hになった瞬間、図3の回路の前段は、VIPとVINの比較を開始する。PT14およびPT15がオフし、NT17がオンし、NT15およびNT16に、VIPおよびVINに応じた電流が流れ始める。PT14およびPT15がオフしているため、DPおよびDNは、VIPおよびVINに応じて電流を引き抜かれ、DPおよびDNはLに向かって低下する。このとき、VIPとVINに応じてNT15およびNT16に流れる電流に差を生じ、DPおよびDNの低下速度が異なる。具体的には、VIP>VINならばDPの方の低下速度が速く、VIP<VINならばDNの方の低下速度が速い。図4では、低下が速い側を実線で、低下が遅い側を破線で示す。

30

【 0 0 2 8 】

これと同時に、後段では、/CLK=Lになり、PT13がオンして電流が流れ始め、OPおよびONのチャージを開始する。しかし、NT13およびNT14は、ゲートにDPおよびDNが印加されているためオンし、OPおよびONのノードから電流を引き抜くため、OPおよびONのチャージにはDPおよびDNの低下具合によって差が生じる。VIP>VINの時、DPがDNより速く低下するため、NT13は先にオフする。そのためNT13から漏れ出る電流が少なくなり、OPがONよりも先にHになる。OPがHになると、ラッチ回路であるため、ONのチャージが停止し、図4において破線で示すように、ONはLになる。VIP<VINの時は、これとは逆の動作が生じる。

40

【 0 0 2 9 】

図3の二段式ダイナミックラッチ比較回路は、三段積であり、図1の回路に比べて高速化が可能であると共に、CLK=Hの判定終了後CLK=Lになると電流が流れず、低電力化が可能である。

【 0 0 3 0 】

比較回路(コンパレータ)を製造する場合、比較回路を形成するトランジスタの製造ば

50

らつきやレイアウトの非対称性などにより、必ずオフセットが存在し回路動作に悪影響を及ぼすことが知られている。そこで、オフセットをゼロにする各種の補正技術が研究されている。さらに、単にオフセットをゼロにするだけでなく、参照電圧を生成せずにコンパレータの閾値（出力が反転する入力電圧差）をゼロではなく他の値に設定したいという要望がある。オフセットの調整が可能であれば、閾値を任意の値に設定することが可能になる。

【 0 0 3 1 】

図5は、図3に示した二段式ダイナミックラッチ比較回路において、オフセットを調整可能にした一例の回路図である。図5に示すように、入力信号V I PおよびV I Nが入力される入力差動対を形成するN T 1 5およびN T 1 6に並列にN M O SトランジスタN T 1 8およびN T 1 9を設ける。N T 1 9のゲートには調整電圧V bを印加する。チャージポンプ1 5、スイッチS W 1、S W 2およびチャージポンプ1 6が直列に接続され、S W 1とS W 2の接続ノードは、容量1 4を介して接地されると共に、N T 1 8のゲートに接続される。スイッチS W 1およびS W 2を導通状態にするタイミングを調整することにより、容量1 4の充電時間を調整して、N T 1 8のゲート電圧を変化させることができる。そこで、V I PおよびV I Nとして所定の入力電圧を入力した状態で、N T 1 8のゲート電圧を変化させ、比較結果が切り替わる状態に設定すると、比較回路を所定の入力電圧で変化させる状態、すなわち閾値を設定することができる。

10

【 0 0 3 2 】

しかし、図5の回路は、オフセット調整のために、チャージポンプ1 5および1 6、スイッチS W 1およびS W 2、容量1 4などを外部から接続するので、回路面積が増加する上、外部に定常電流を流すため、消費電力が増加する。

20

【 0 0 3 3 】

図6は、図3に示した二段式ダイナミックラッチ比較回路において、オフセットを調整可能にした別の例の回路図である。図6の回路では、ノードD PとG N Dの間に可変容量1 7を接続し、ノードD NとG N Dの間に可変容量1 8を接続する。可変容量1 7および1 8の容量を変化させることにより、D PおよびD Nを変化させる負荷が変化し、比較回路の閾値を変動させる。

【 0 0 3 4 】

しかし、図6の回路は、電流パスに負荷として容量を付与するため電力が増加し、また動作速度も遅くなる。

30

【 0 0 3 5 】

低消費電力かつ小面積の両方を満たすためには、定常的に電流を流すことや、外部に余計なバイアス回路を生成することは望ましくない。また、比較回路は高速化が求められており、二段式ダイナミックラッチ比較回路も高速化を実現するための回路であるが、容量を付与して速度が劣化すると、高速化が難しい。

【 0 0 3 6 】

図7は、第1実施形態の比較回路の回路図である。

【 0 0 3 7 】

第1実施形態の比較回路は、二段式ダイナミックラッチ比較回路である。第1実施形態の比較回路は、前段部と、後段部と、制御回路2 0と、を有する。前段部は、A V DとノードN Sの間に並列に設けられた、直列に接続されたP M O SトランジスタP T 1 4およびN M O SトランジスタN T 1 5と、直列に接続されたP M O SトランジスタP T 1 5およびN M O SトランジスタN T 1 6と、を有する。P T 1 4およびN T 1 5の列と、P T 1 5およびN T 1 6の列は、並列に設けられ、N T 1 5とN T 1 6は、差動入力対を形成する。P T 1 4およびP T 1 5のゲートにはC L Kが印加され、N T 1 5のゲートには入力信号V I Pが入力され、N T 1 6のゲートには入力信号V I Nが入力される。N M O SトランジスタN T 1 7が、N SとG N Dの間に接続され、ゲートにC L Kが印加される。P T 1 4とN T 1 5の接続ノードD PおよびP T 1 5とN T 1 6の接続ノードD Nの信号が、後段への出力信号になる。

40

50

【 0 0 3 8 】

後段では、PMOSトランジスタPT11およびNMOSトランジスタNT11を直列に接続した第1列と、PMOSトランジスタPT12およびNMOSトランジスタNT12を直列に接続した第2列と、を並列に設ける。PT11およびNT11のゲートは、PT12とNT12の接続ノードに接続され、この接続ノードから出力信号(比較結果)ONが得られる。PT12およびNT12のゲートは、PT11とNT11の接続ノードに接続され、この接続ノードから出力信号(比較結果)OPが得られる。言い換えれば、PT11、PT12、NT11およびNT12は、ラッチ回路を形成する。出力信号OPとONは、互いに逆相の信号である。

【 0 0 3 9 】

PT11およびPT12のソースはノードPSに接続される。NT12およびNT12のソースはGNDに接続される。PMOSトランジスタPT13は、AVDとPSの間に接続され、ゲートにCLKが印加される。さらに、NT11と並列にNMOSトランジスタNT13が設けられ、NT12と並列にNMOSトランジスタNT14が設けられる。NT13のゲートは、DPに接続され、NT14のゲートは、DNに接続される。

【 0 0 4 0 】

第1実施形態の比較回路は、PT11に並列に設けられた補正回路31と、PT12に並列に設けられた補正回路32と、を有する。補正回路31は、NMOSトランジスタ31とスイッチSW31を直列に接続した複数の列を有するが、図7では1つの列のみを示している。各列のスイッチSW31は、制御回路20からの制御信号SWN[n]で制御される。言い換えれば、制御回路20は、制御信号SWN[n]により、PT11に並列に接続するNMOSトランジスタ31の個数を調整可能である。

【 0 0 4 1 】

同様に、補正回路32は、NMOSトランジスタ32とスイッチSW32を直列に接続した複数の列を有し、制御回路20は、制御信号SWP[n]により、PT12に並列に接続するNMOSトランジスタ31の個数を調整可能である。

【 0 0 4 2 】

図8は、第1実施形態の比較回路の動作を示すタイムチャートである。

【 0 0 4 3 】

CLK=Lのとき、比較回路はリセット期間であり、DPおよびDNはHに、PS、OPおよびONは、Lに固定される。

【 0 0 4 4 】

CLK=Hになった瞬間、比較回路の前段は、VIPとVINの比較を開始する。PT14およびPT15がオフし、NT17がオンし、NT15およびNT16に、VIPおよびVINに応じた電流が流れ始める。PT14およびPT15がオフしているため、DPおよびDNは、VIPおよびVINに応じて電流を引き抜かれ、DPおよびDNはLに向かって低下する。このとき、VIPとVINに応じてNT15およびNT16に流れる電流に差を生じ、DPおよびDNの低下速度が異なる。具体的には、VIP>VINならばDPの方の低下速度が速く、VIP<VINならばDNの方の低下速度が速い。図4では、低下が速い側を実線で、低下が遅い側を破線で示す。

【 0 0 4 5 】

これと同時に、後段では、CLK=Lになり、PT13がオンして電流が流れ始め、OPおよびONのチャージを開始する。しかし、NT13およびNT14は、ゲートにDPおよびDNの電圧が印加されているためオンし、OPおよびONのノードから電流を引き抜く(ディスチャージする)。一方、補正回路31のNT31および補正回路32のNT32は、ゲートにDPおよびDNの電圧が印加されているためオンし、SW31がオンしている列のNT31およびNT32は、OPおよびONのノードに電流を流し込む(チャージする)。そのため、OPおよびONのチャージにはDPおよびDNの低下具合によって差が生じる。具体的には、PT13の駆動能力が十分に高いとすると、OPの電圧低下は、補正回路31の接続されている(SW31がオンの)NT31の合計駆動能力とP

10

20

30

40

50

T 1 1 の駆動能力の和から、N T 1 3 の駆動能力を減じた駆動能力で決定される。同様に、O N の電圧低下は、補正回路 3 2 の接続されている (S W 3 2 がオンの) N T 3 2 の合計駆動能力と P T 1 2 の駆動能力の和から、N T 1 4 の駆動能力を減じた駆動能力で決定される。したがって、補正回路 3 1 のオンにする S W 3 1 の個数および補正回路 3 2 のオンにする S W 3 2 の個数を調整することにより、D P および D N が差動ラッチ回路を駆動する駆動力を変化させて、O P および O N の電圧低下具合を調整可能である。言い換えれば、D P および D N による差動ラッチ回路の状態変化の感度が、補正回路 3 1 および 3 2 により調整可能である。

【 0 0 4 6 】

ここで、補正回路 3 1 の S W 3 1 および補正回路 3 2 の S W 3 2 が全てオフの場合、比較回路にはオフセットがないものとする、 $V I P - V I N = 0$ の時を境として出力が反転する。ここで、閾値を $V I P - V I N = \text{所定値} > 0$ に変更することを考える。

【 0 0 4 7 】

$V I P > V I N$ である入力信号を入力した場合、D P が先に L に低下し、O P から流れ出る電流は少なくなり、O P のノードには O N のノードより多くの電荷が溜まるようになる。この電荷の差を、S W P [n] で制御される補正回路 3 2 の S W 3 2 をオンすることで、判定時 (C L K = H) に O N のノードに N T 3 2 を介して電流を流し電荷を与えることで補うことにより調整する。オンにする S W 3 2 の個数を増加させれば、その分 $V I P - V I N = \text{所定値}$ が増加するので、所望の所定値になるようにオンにする S W 3 2 の個数を設定する。

【 0 0 4 8 】

$V I P < V I N$ の場合は、逆に補正回路 3 1 の S W 3 1 をオンし、オンにする個数を調整して、 $V I N - V I P$ を所定値に設定する。

$V I P - V I N$ はオフセットに相当するので、 $V I P - V I N = \text{所定値} = 0$ に設定することは、オフセットをゼロにすることになる。また、所定値 0 に設定すれば、閾値を所望の所定値に設定することになる。以下、閾値を所望の所定値に設定する場合を説明するが、同様の処理はオフセットをゼロにするにも適用可能である。

【 0 0 4 9 】

なお、補正回路 3 1 および 3 2 は、判定時のみ電流を流し、無駄な時間に電流は流さない。具体的には、ノード D P または D N の電圧が、トランジスタのしきい値 V_{th} を超えており、かつノード P S の電圧が 0 でない時のみである。図 8 の I S W は、補正回路 3 1 および 3 2 の N T 3 1 および N T 3 2 がオンするタイミングを示す。さらに、図 8 で、I M A I N は、出力 O P および O N のノードに流れる電流を示す。このように、補正回路 3 1 および 3 2、および比較回路に流れる電流は、C L K = H の期間の更に短い期間であり、消費電力は小さい。

【 0 0 5 0 】

例えば、N T 3 1 または N T 3 2 を 1 つ接続するか否かで、例えば 5 m V の閾値変動があったとすると、例えば $V I P - V I N = 10 \text{ m V}$ とするには、2 個オンすればよい。N T 3 1 または N T 3 2 の 1 個当たりの閾値変動量があらかじめ分かっている場合は、制御回路 2 0 は、外部から与えられた閾値を示すデータに応じて、データに応じて S W 3 1 または S W 3 2 のオンおよびオフを設定した後、実回路動作を開始する。

【 0 0 5 1 】

N T 3 1 または N T 3 2 の 1 個当たりの閾値変動量が分かっている場合は、実回路動作の前にキャリブレーションを行うなどして、閾値補正值を検出し回路に記憶させる。

【 0 0 5 2 】

図 9 は、キャリブレーションを行う場合の制御回路 2 0 の回路構成を示す図である。制御回路 2 0 は、A N D ゲート 2 1 と、パルスカウンタ 2 2 と、デコーダ 2 3 と、レジスタ 2 4 と、O R ゲート 2 5 と、信号供給回路 2 7 と、を有する。なお、C P U 2 6 は、第 1 実施形態の比較回路または比較回路を含む A / D 変換回路が設けられる L S I 中に含まれる回路であり、制御回路 2 0 に制御信号を出力する。C P U 2 6 が含まれない場合には、

10

20

30

40

50

簡単なシーケンス回路等で、制御信号を生成することが可能である。

【 0 0 5 3 】

OR回路25は、比較回路の出力信号OPまたはONを受けて、いずれかがHの時にHを出力する。AND回路21は、CPU26から出力される制御回路20をキャリブレーション動作とするとともにHとなる補正信号selと、比較回路の出力の両方がHの時に、CLKをパルスカウンタ22に供給する。

【 0 0 5 4 】

パルスカウンタ22は、AND回路21からCLKが供給されている間、CLKをカウントし、AND回路21からのCLKの供給が停止すると、その時のカウント値を補正值calとしてレジスタ24に出力する。

10

【 0 0 5 5 】

デコーダ23は、レジスタ24から補正值calを受けたときに、その補正值calに応じたコード信号を出力する回路である。レジスタ24は、パルスカウンタ22から出力される補正值calを記憶するメモリ回路である。

【 0 0 5 6 】

制御回路20は、比較回路が通常動作する時には、CPU26からの書き込み命令によって、レジスタ24に格納しているデータをデコーダ23に対して出力させる。デコーダ23はレジスタ24からのデータをデコードして、コード信号を補正回路31および32に出力する。一方、制御回路20は、比較回路がキャリブレーション動作をするときには、以下の図10で説明する動作を行う。

20

【 0 0 5 7 】

図10は、比較回路のキャリブレーション動作を説明するフローチャートである。

ステップS10で、キャリブレーションを開始する。なお、VINは、所定の値、例えば、1.0Vに設定される。

【 0 0 5 8 】

ステップS11で、比較回路に入力する入力信号VIPの電圧を、調整したい補正電圧にセットする。例えば、VIPが1.10V未満であればOPがH(1)に、VIPが1.10V以上であればOPがL(0)に変化するように比較回路を設定する場合、言い換えれば閾値をVIN + 0.10Vに設定する場合には、VIPに1.10Vをセットする。

30

【 0 0 5 9 】

ステップS12では、制御回路20から出力するSWN[n], SWP[n]をすべて0(L)に設定する。

【 0 0 6 0 】

ステップS13では、OP = Hであるか判定し、HであればステップS14に進み、LであればステップS17に進む。

【 0 0 6 1 】

ステップS14では、補正回路31のスイッチSW31を接続(オン)する個数を補正するSWN側補正を行う。

【 0 0 6 2 】

ステップS15では、補正回路31のスイッチSW31のオンする個数を1だけ増加(SWN = SWN + 1)する。

40

【 0 0 6 3 】

ステップS16では、OPがLに変化したかを判定し、変化しなければステップS14に戻り、Lに変化していればステップS20に進む。

【 0 0 6 4 】

ステップS14からS16を繰り返すことにより、比較回路は、VIPが1.10V以下であればOPがHに、VIPが1.10Vより大きければOPがLに変化するように設定される。言い換えれば、閾値がVIN + 0.10V = 1.10Vに設定される。

【 0 0 6 5 】

50

ステップ S 1 7 では、補正回路 3 2 のスイッチ S W 3 2 を接続（オン）する個数を補正する S W P 側補正を行う。

【 0 0 6 6 】

ステップ S 1 8 では、補正回路 3 2 のスイッチ S W 3 2 のオンする個数を 1 だけ増加（ $S W P = S W P + 1$ ）する。

【 0 0 6 7 】

ステップ S 1 9 では、O P が H に変化したかを判定し、変化しなければステップ S 1 7 に戻り、H に変化していればステップ S 2 0 に進む。

【 0 0 6 8 】

ステップ S 1 7 から S 1 9 を繰り返すことにより、比較回路は、V I P が 1 . 1 0 V 未満であれば O P が H に、V I P が 1 . 1 0 V 以上であれば O P が L に変化するように設定される。言い換えれば、閾値が $V I N + 0 . 1 0 V = 1 . 1 0 V$ に設定される。

【 0 0 6 9 】

ステップ S 2 0 では、補正值 S W N および S W N をレジスタ（メモリ）に格納する。補正回路 3 1 のスイッチ S W 3 1 がすべてオフ（開放）の場合には $S W N = 0$ であり、補正回路 3 2 のスイッチ S W 3 2 がすべてオフ（開放）の場合には $S W P = 0$ である。

【 0 0 7 0 】

ステップ S 2 1 で、キャリブレーションを終了する。

ステップ S 2 2 では、ステップ S 2 0 で格納した補正値を補正回路 3 1 および 3 2 にセットする。

ステップ S 2 3 では、通常の比較処理を行う実動作を開始する。

【 0 0 7 1 】

上記の閾値補正で、V I N を 1 . 0 V に設定し、補正回路 3 1 で補正可能な閾値の範囲が 0 . 2 0 V、補正回路 3 2 で補正可能な閾値の範囲が 0 . 2 0 V とすると、0 . 8 0 V から 1 . 2 0 V の範囲内で閾値を設定できる。

【 0 0 7 2 】

図 1 1 は、上記のキャリブレーション動作によるオフセット補正量の一例を示す図である。補正回路 3 1 および 3 2 のそれぞれに、全て同じサイズの 4 7 個のスイッチ S W 3 1 および S W 3 2 が設けられている。図 1 1 の横軸はオンする補正回路の数を表し、+ は補正回路 3 2、すなわち S W P 側のスイッチ S W 2 1 を、- は補正回路 3 1、すなわち S W N 側のスイッチ S W 3 1 をオンすることを示す。図 1 1 の縦軸は閾値の変動量を示し、これはオフセット補正が完了したときの $V I P - V I N$ の値を示す。例えば、補正回路 3 2 でスイッチ S W 2 1 を 1 5 個オンした場合、閾値 4 0 m V となり、 $V I P - V I N$ がこの値を境にして、出力が反転することを意味する。このように、第 1 実施形態では、ある程度の範囲で閾値を任意に変動させることができる。

【 0 0 7 3 】

なお、この閾値変動値は、補正回路 3 1 および 3 2 の N T 3 1 および N T 3 2 のサイズを変更することで、ある程度増減させることができる。また、N T 3 1 および N T 3 2 は、全て同じサイズのトランジスタとしなくてもよく、大きさの設定は任意である。

【 0 0 7 4 】

以上説明したように、第 1 実施形態の比較回路は、外部バイアス回路などを使用せずに、オフセット補正が可能であり、比較の閾値をある程度の範囲で変化させることが可能である。

【 0 0 7 5 】

さらに、第 1 実施形態の比較回路は、信号経路に容量を付加せずに閾値を補正するので、容量を付加する補正方法のように負荷が見えることによって速度劣化を招く、ということがなく、比較回路の速度低下を生じない。

【 0 0 7 6 】

さらに、第 1 実施形態の比較回路での補正は、定常電流を流さずに、判定時のみ電流を流すため、消費電力の増加が抑えられる。

10

20

30

40

50

【 0 0 7 7 】

図 1 2 は、第 2 実施形態の比較回路の回路図である。

第 2 実施形態の比較回路は、補正回路 4 1 および 4 2 における NMOS トランジスタ NT 4 1 とスイッチ SW 4 1 および NMOS トランジスタ NT 4 2 とスイッチ SW 4 2 の接続順が、第 1 実施形態の比較回路の場合と異なり、他は同じである。補正回路 4 1 および 4 2 におけるトランジスタとスイッチの接続順を変更しても、第 1 実施例と同様に動作する。

【 0 0 7 8 】

図 1 3 は、第 3 実施形態の比較回路の回路図である。

第 3 実施形態の比較回路は、回路のテール部分のトランジスタの極性を変更したことが第 1 実施形態の比較回路の場合と異なり、他は同じである。第 1 実施形態では、入力信号 VIP および VIN は、NMOS トランジスタ NT 1 5 および NT 1 6 のゲートに入力した。これに対して、第 3 実施形態では、入力信号 VIP および VIN は、PMOS トランジスタ PT 5 6 および PT 5 7 のゲートに入力し、これに応じて、後段の回路も変更し、補正回路 6 1 および 6 2 のトランジスタを PMOS に変更している。言い換えれば、第 3 実施形態の比較回路は、第 1 実施形態の比較回路と極性を反転しており、極性を反転しても第 1 実施形態と同様に動作する。

【 0 0 7 9 】

図 1 4 は、第 4 実施形態の比較回路の回路図である。

第 4 実施形態の比較回路は、補正回路 7 1 および 7 2 における PMOS トランジスタ PT 7 1 とスイッチ SW 7 1 および PMOS トランジスタ PT 7 2 とスイッチ SW 7 2 の接続順が、第 3 実施形態の比較回路の場合と異なり、他は同じである。補正回路 7 1 および 7 2 におけるトランジスタとスイッチの接続順を変更しても、第 3 実施例と同様に動作する。

【 0 0 8 0 】

以上説明したように、第 1 から第 4 実施形態の比較回路は、オフセットの調整および閾値を所定の値に設定することが可能である。以下、第 1 から第 4 実施形態の比較回路を A / D 変換回路に適用した実施形態を説明する。

【 0 0 8 1 】

図 1 5 は、第 5 実施形態の 4 ビットの A / D 変換回路の構成を示す図である。

第 5 実施形態の A / D 変換回路は、ラダー抵抗 8 0 と、8 個の比較回路 8 1 a - 8 1 h と、7 個の NAND ゲート 8 2 a - 8 2 g と、エンコーダ 8 3 と、を有する。ラダー抵抗 8 0 は、高電位電源 AVD と低電位電源 GND の間に直列に接続した抵抗 R 0 ~ R 8 を有し、抵抗の接続ノードから参照電位 V 1 - V 8 が得られる。比較回路 8 1 a - 8 1 h は、第 1 実施形態から第 4 実施形態のいずれかの比較回路であり、デジタル化するアナログ信号 Vin が入力信号 VIP として入力され、参照電位 V 1 - V 8 が入力信号 VIN として入力される。NAND ゲート 8 2 a - 8 2 g は、隣接する 2 個の比較回路の出力の値が同じであれば [1] を、異なる時に [0] を、出力する。エンコーダ 8 3 は、7 個の NAND ゲート 8 2 a - 8 2 g の出力のうち [0] になる位置を示すエンコードデータを出力する。以上の A / D 変換回路の構成は、広く知られているのでこれ以上の説明は省略する。

【 0 0 8 2 】

ラダー抵抗 8 0 の抵抗 R 0 ~ R 8 の抵抗値は、トリミング等により精密に設定されており、参照電位 V 1 - V 8 は等間隔の電圧値を有する。8 個の比較回路 8 1 a - 8 1 h は、アナログ信号 Vin が参照電位 V 1 - V 8 を境にして変化するように、すなわちオフセットをゼロにするように調整される。なお、8 個の比較回路 8 1 a - 8 1 h のオフセットを順次調整するキャリブレーション処理を行うため、その制御を行う全体制御回路（図示せず）を設けることが望ましい。なお、図 9 に示した CPU 2 6 がこの処理を行うようにしてもよい。

【 0 0 8 3 】

なお、第 1 から第 4 実施形態の比較回路であれば、閾値を任意に調整できるので、抵抗

10

20

30

40

50

R0 ~ R8の抵抗値は精密に設定せず、参照電位V1 - V8が正確に等間隔の電圧値を有さない場合でも、正確なA/D変換データを得ることが可能である。その場合、アナログ信号Vinとして正確な参照電位を順次入力し、対応する比較回路の閾値が各参照電位になるように、前述のキャリブレーション処理を行う。これにより、トリミング等により抵抗R0 ~ R8の抵抗値を正確に設定しなくてもよい。この場合も、全体制御回路を設けることが望ましい。

【0084】

図16は、第6実施形態のA/D変換回路の構成を示す図である。

第6実施形態のA/D変換回路は、比較的狭い入力範囲のアナログ信号を対象とする回路である。

10

【0085】

第6実施形態のA/D変換回路は、参照電圧源90と、複数個の比較回路91a - 91nと、全体制御回路92と、エンコーダ93と、を有する。参照電圧源90は、1つの参照電圧VRを出力する。比較回路91a - 91nは、第1実施形態から第4実施形態のいずれかの比較回路であり、デジタル化するアナログ信号Vinが入力信号VIPとして入力され、参照電位VRが入力信号VINとして入力される。全体制御回路92は、複数個の比較回路91a - 91nで順次キャリブレーション動作が行われるように制御する。エンコーダ93は、複数個の比較回路91a - 91nの出力に基づいてアナログ信号Vinの電圧値を示すデータを生成する。エンコーダ93は、複数個の比較回路91a - 91nの出力の変化する位置を検出するか、または多数決原理等の公知の方法で複数個の比較回路91a - 91nの出力の変化位置を検出する。

20

【0086】

第1から第4実施形態の比較回路は、狭い範囲であれば、閾値を任意に調整できる。第6実施形態では、複数個の比較回路91a - 91nは、参照電圧VRに対して、所定幅ずつずれた閾値を有するように設定される。例えば、7個の比較回路が設けられ、所定幅を30mVとし、閾値を順に、VR - 90mV、VR - 60mV、VR - 30mV、VR、VR + 30mV、VR + 60mV、VR + 90mVに設定する。これにより、VR ± 90mVを入力範囲とする3ビットのA/D変換回路が実現できる。もちろん、比較回路の個数を増加させればビット数を増加でき、各比較回路の閾値調整範囲を広くすれば入力範囲を拡大することができる。

30

【0087】

第6実施形態のA/D変換回路は、ラダー抵抗を使用しないので、回路を小型化でき、定常電流が流れるラダー抵抗を使用しないので、消費電力を削減できる。

【0088】

図17は、第7実施形態のA/D変換回路の構成を示す図である。

第7実施形態のA/D変換回路は、第5および第6実施形態のA/D変換回路を組み合わせた回路である。

【0089】

第7実施形態のA/D変換回路は、複数個の基準電位生成回路97a - 97mと、複数個の比較回路95a - 95b、86a - 96dと、全体制御回路98と、エンコーダ99と、を有する。全体制御回路98およびエンコーダ99は、第6実施形態と同じであるので、説明は省略する。複数個の基準電位生成回路97a - 97mは、A/D変換回路のビット数から通常使用される参照電位の個数より少ない参照電位を生成する。例えば、6ビットのA/D変換回路の場合、通常63個の参照電位が使用されるが、ここでは8個の参照電位を生成する。これらの参照電位は、第5実施形態のようにラダー抵抗で発生してもよいが、D/A変換回路等を使用して発生してもよい。

40

【0090】

複数個の比較回路は、複数個のグループに分けられ、各グループには、同一の参照電位が入力信号VINとして供給される。例えば、上記のように、6ビットのA/D変換回路で8個の参照電位を生成する場合には、63個の比較回路を8個ずつの8つのグループに

50

分ける（1グループのみ7個の比較回路を有する）。各グループでは、供給された1つの参照電位に対して、8個の比較回路を8つの異なる等間隔の閾値を有するように設定する。そして、隣接するグループの最小の閾値と最大の閾値が、等間隔になるようにする。これにより、閾値が等間隔で変化する63個の比較回路が得られる。

【0091】

第7実施形態では、各比較回路の閾値の調整範囲が比較的狭くても、全体としては広い入力範囲のアナログ信号をA/D変換することができる。

【0092】

以上、実施形態を説明したが、各種の変形例が可能であるのはいうまでもない。例えば、当業者であれば、回路構成について各種の変形例を容易に想到可能であり、キャリブレーション処理についても各種の方法が可能であることが容易に想到できる。

10

【0093】

以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものであり、特に記載された例や条件は発明の範囲を制限することを意図するものではなく、明細書のそのような例の構成は発明の利点および欠点を示すものではない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解されるべきである。

【符号の説明】

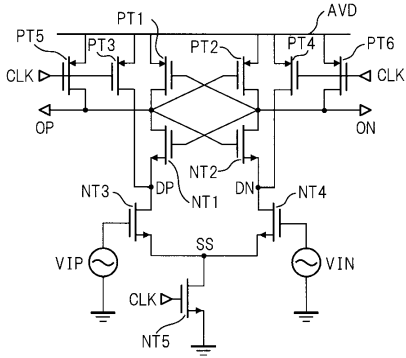
【0094】

- 20 制御回路
- 31, 32, 41, 42 補正回路
- 80 ラダー抵抗
- 81a - 81h 比較回路
- 82a - 81g NANDゲート
- 83 エンコーダ

20

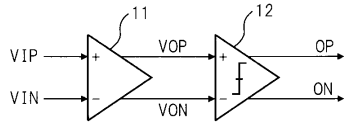
【 図 1 】

図1



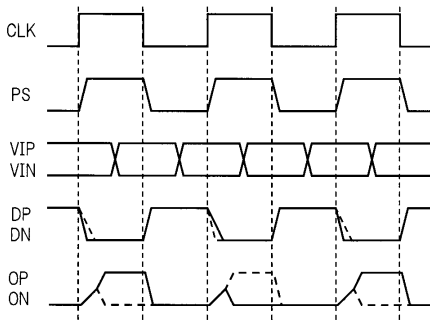
【 図 2 】

図2



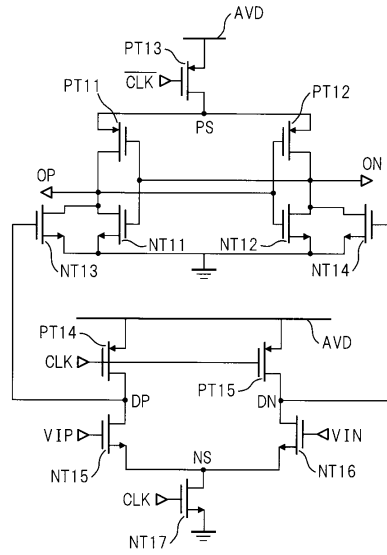
【 図 4 】

図4



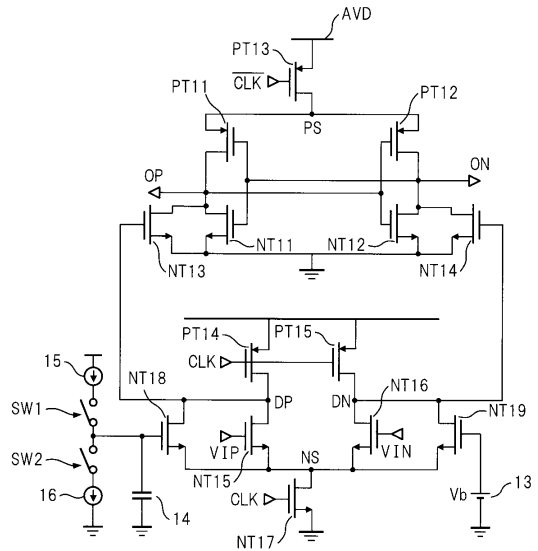
【 図 3 】

図3



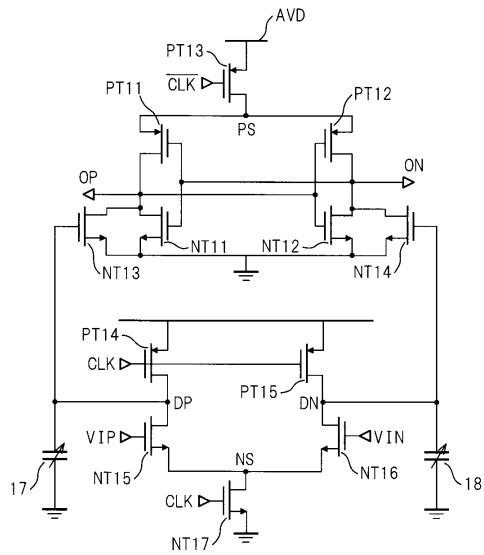
【 図 5 】

図5



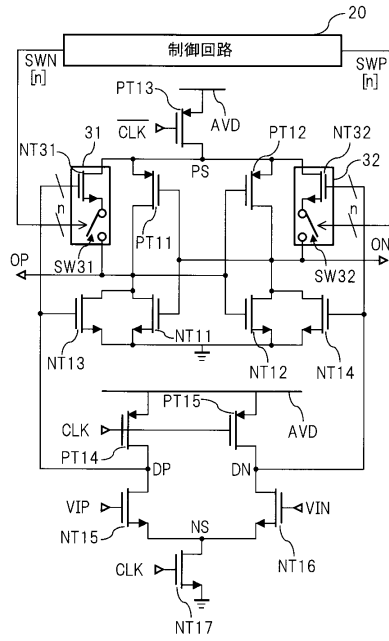
【図6】

図6



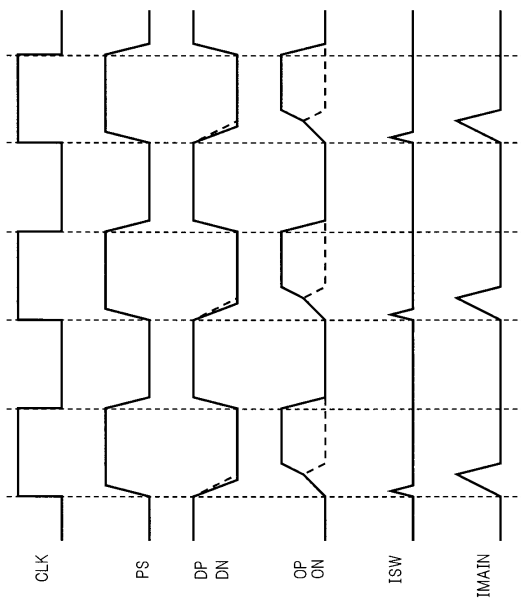
【図7】

図7



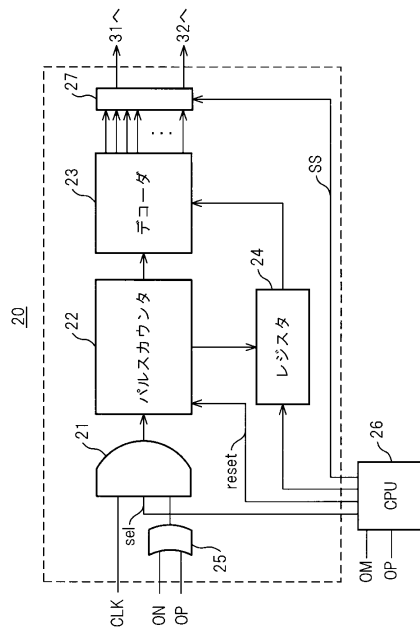
【図8】

図8



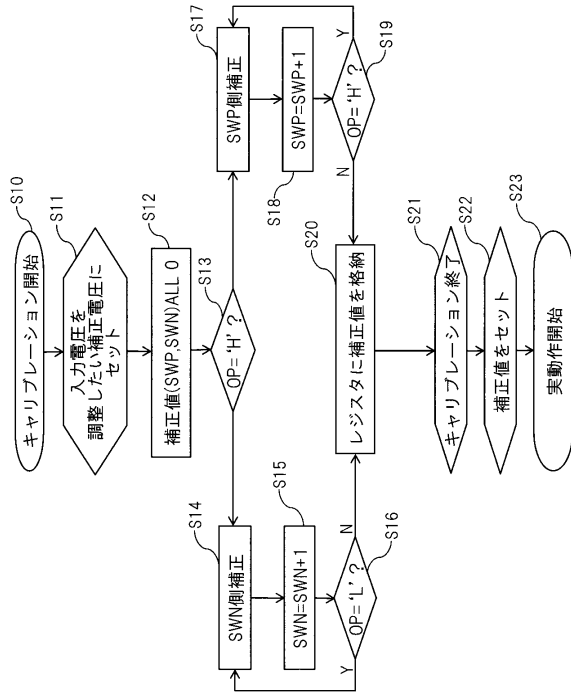
【図9】

図9



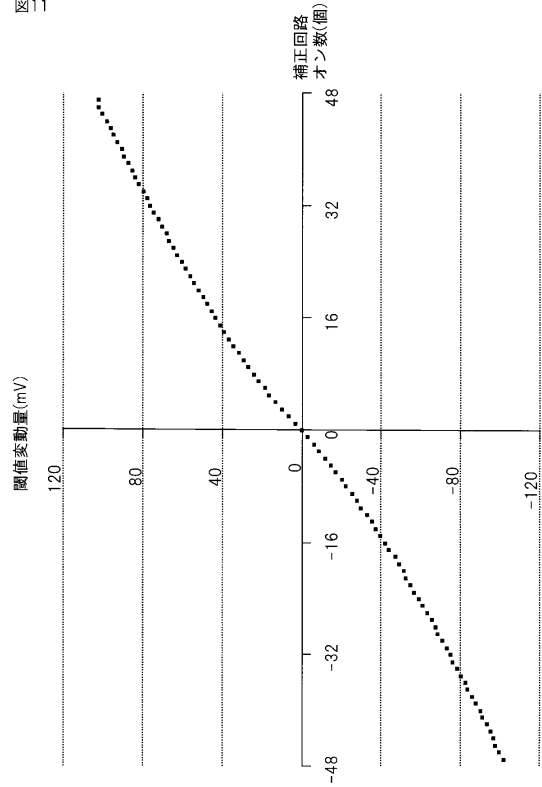
【図10】

図10



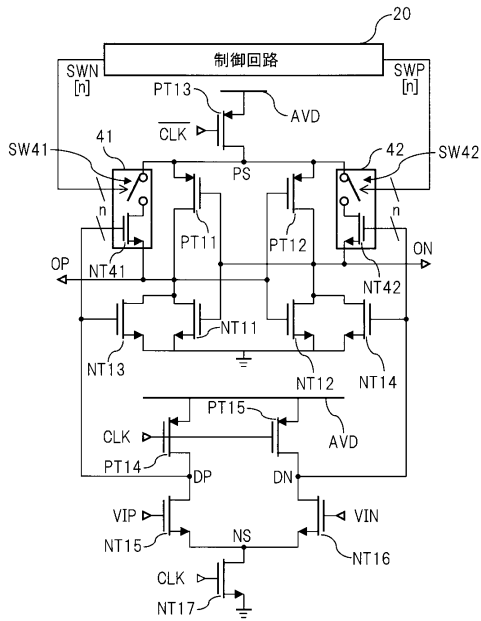
【図11】

図11



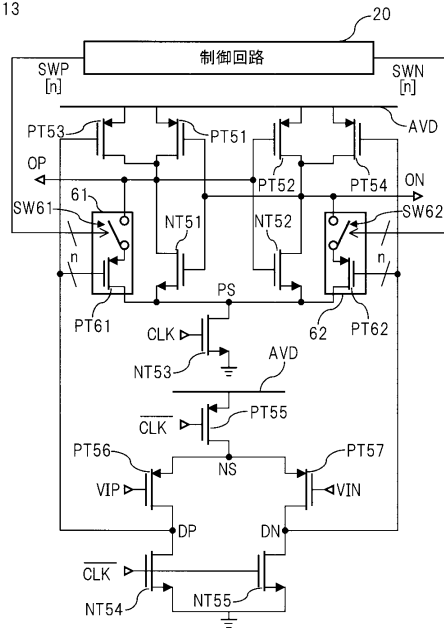
【図12】

図12



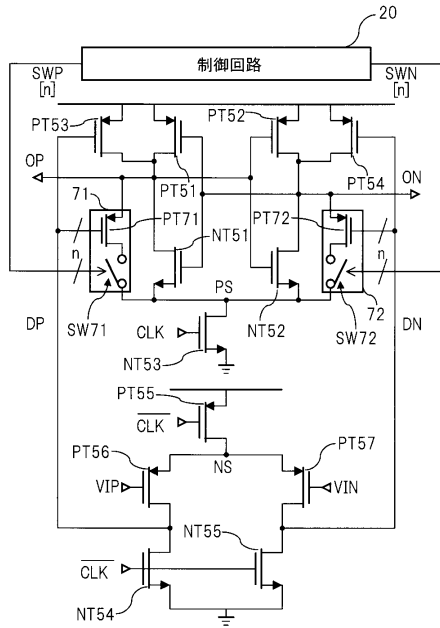
【図13】

図13



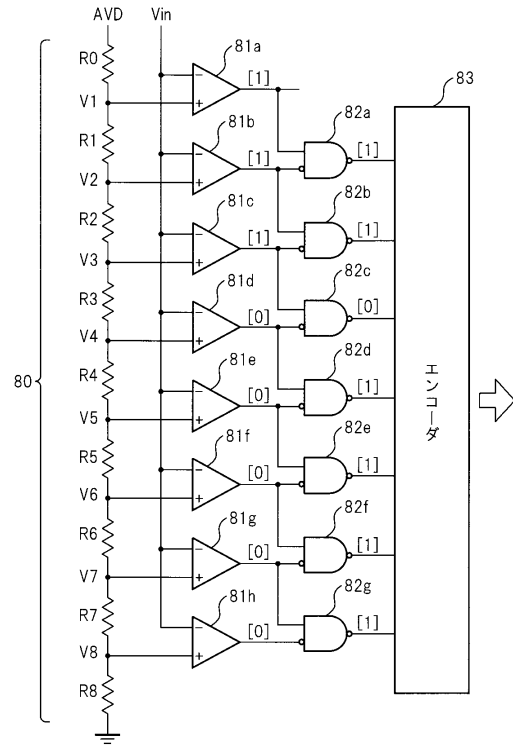
【図14】

図14



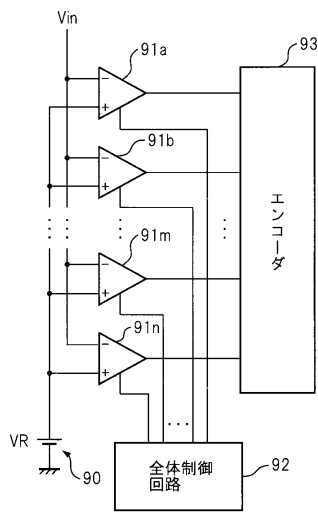
【図15】

図15



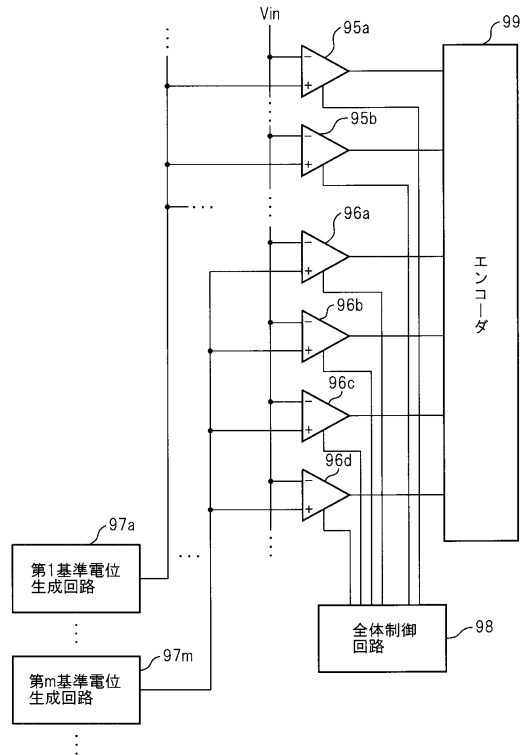
【図16】

図16



【図17】

図17



フロントページの続き

審査官 柳下 勝幸

(56)参考文献 特開2010-109937(JP,A)
特開2010-141646(JP,A)
特開2003-018008(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K 5/08
H03M 1/36