



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I447499 B

(45) 公告日：中華民國 103 (2014) 年 08 月 01 日

(21) 申請案號：099114705

(22) 申請日：中華民國 99 (2010) 年 05 月 07 日

(51) Int. Cl. : G02F1/136 (2006.01)

(30) 優先權：2009/10/27 南韓 10-2009-0102511

2009/10/29 南韓 10-2009-0103528

(71) 申請人：樂金顯示科技股份有限公司 (南韓) LG DISPLAY CO., LTD. (KR)
南韓

(72) 發明人：沈錫浩 SHIM, SEOK HO (KR) ; 石大永 SEOK, DAE YOUNG (KR)

(74) 代理人：許世正

(56) 參考文獻：

TW 200513765A JP 2007-52263A

JP 2009-237280A US 6933997B2

US 2003/0179333A1 US 2005/0259206A1

審查人員：陳伯宜

申請專利範圍項數：34 項 圖式數：20 共 0 頁

(54) 名稱

液晶顯示裝置之陣列基板、液晶顯示裝置及其製造方法

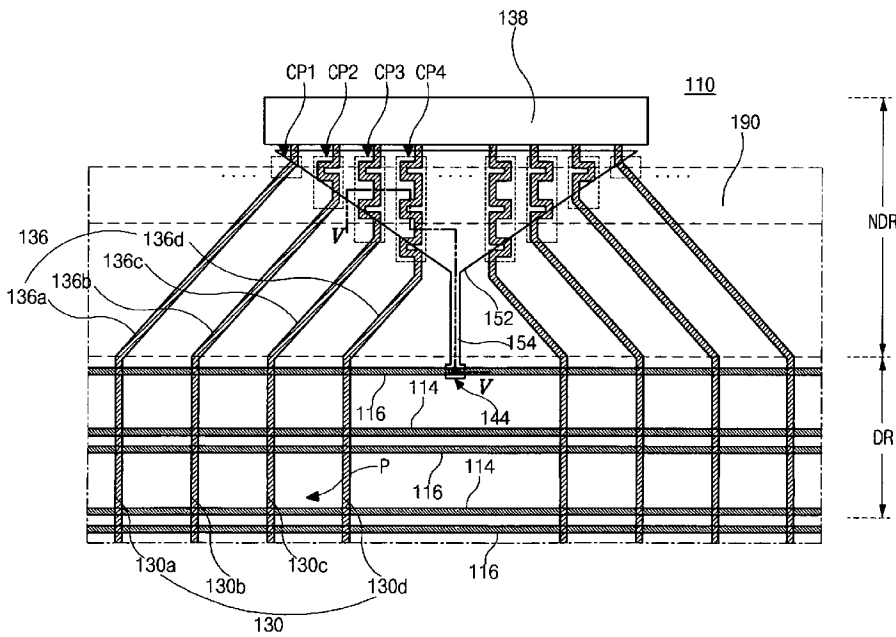
ARRAY SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE, LIQUID CRYSTAL DISPLAY
DEVICE AND METHOD OF FABRICATING THE SAME

(57) 摘要

本發明之一種液晶顯示裝置之陣列基板包含：閘極線，位於基板上，此基板包含顯示區域及位於顯示區域周邊之非顯示區域；共同線，位於基板上；資料驅動積體電路，位於非顯示區域中；第一及第二資料線，與閘極線交叉以在顯示區域中定義畫素區域，第一及第二資料線與資料驅動積體電路之距離有所差別；第一及第二資料聯絡線，連接資料驅動積體電路，第一及第二資料聯絡線分別連接第一及第二資料線；薄膜電晶體，位於畫素區域中，連接閘極線與第一及第二資料線其中之一；畫素電極，位於畫素區域中且連接薄膜電晶體；以及第一導電圖案，位於非顯示區域中且連接共同線，這樣共同電壓被應用至第一導電圖案，第一導電圖案分別與第一及第二資料聯絡線重疊以形成第一及第二電容器。

An array substrate for a liquid crystal display device includes a gate line on a substrate including a display region and a non-display region at a periphery of the display region; a common line on the substrate; a data drive integrated circuit in the non-display region; first and second data lines crossing the gate line to define a pixel region in the display region, the first and second data lines having a difference in a distance from the data drive integrated circuit; first and second data link lines connected to the data drive integrated circuit, the first and second data link lines respectively connected to the first and second data lines; a thin film transistor in the pixel region connected to the gate line and one of the first and second data lines; a pixel electrode in the pixel region and connected to the thin film transistor; and a first conductive pattern in the non-display region and connected to the common line such that a common voltage is applied to the first

conductive pattern, the first conductive pattern overlapping the first and second data link lines to form first and second capacitors, respectively.



第3A圖

- 110 . . . 基板
- 114 . . . 閘極線
- 116 . . . 共同線
- Tr . . . 薄膜電晶體
- 130、130a、130b、130c、130d . . . 資料線
- 136、136a、136b、136c、136d . . . 資料聯絡線
- 138 . . . 資料驅動積體電路
- 144 . . . 共同接觸孔
- 152 . . . 第一導電圖案
- 154 . . . 連接部
- DR . . . 顯示區域
- NDR . . . 非顯示區域
- P . . . 畫素區域
- CP1、CP2、CP3、CP4 . . . 電容器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99114705

※申請日：99.5.7 ※IPC 分類：G02F 1136 (2006.01)

一、發明名稱：(中文/英文)

液晶顯示裝置之陣列基板、液晶顯示裝置及其製造方法

/ARRAY SUBSTRATE FOR LIQUID CRYSTAL DISPLAY

DEVICE, LIQUID CRYSTAL DISPLAY DEVICE AND METHOD
OF FABRICATING THE SAME

二、中文發明摘要：

本發明之一種液晶顯示裝置之陣列基板包含：閘極線，位於基板上，此基板包含顯示區域及位於顯示區域周邊之非顯示區域；共同線，位於基板上；資料驅動積體電路，位於非顯示區域中；第一及第二資料線，與閘極線交叉以在顯示區域中定義畫素區域，第一及第二資料線與資料驅動積體電路之距離有所差別；第一及第二資料聯絡線，連接資料驅動積體電路，第一及第二資料聯絡線分別連接第一及第二資料線；薄膜電晶體，位於畫素區域中，連接閘極線與第一及第二資料線其中之一；畫素電極，位於畫素區域中且連接薄膜電晶體；以及第一導電圖案，位於非顯示區域中且連接共同線，這樣共同電壓被應用至第一導電圖案，第一導電圖案分別與第一及第二資料聯絡線重疊以形成第一及第二電容器。

林清文

三、英文發明摘要：

An array substrate for a liquid crystal display device includes a gate line on a substrate including a display region and a non-display region at a periphery of the display region; a common line on the substrate; a data drive integrated circuit in the non-display region; first and second data lines crossing the gate line to define a pixel region in the display region, the first and second data lines having a difference in a distance from the data drive integrated circuit; first and second data link lines connected to the data drive integrated circuit, the first and second data link lines respectively connected to the first and second data lines; a thin film transistor in the pixel region connected to the gate line and one of the first and second data lines; a pixel electrode in the pixel region and connected to the thin film transistor; and a first conductive pattern in the non-display region and connected to the common line such that a common voltage is applied to the first conductive pattern, the first conductive pattern overlapping the first and second data link lines to form first and second capacitors, respectively.

四、指定代表圖：

(一)本案指定代表圖為：第.3A.圖。

(二)本代表圖之元件符號簡單說明：

110	基板
114	閘極線
116	共同線
Tr	薄膜電晶體
130、130a、130b、130c、130d		資料線
136、136a、136b、136c、136d		資料聯絡線
138	資料驅動積體電路
144	共同接觸孔
152	第一導電圖案
154	連接部
DR	顯示區域
NDR	非顯示區域
P	畫素區域
CP1、CP2、CP3、CP4		電容器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種液晶顯示裝置，特別是一種液晶顯示裝置之陣列基板及能夠均一化聯絡線（link lines）中訊號延遲之液晶顯示裝置以及陣列基板與液晶顯示裝置之製造方法。

【先前技術】

習知技術之液晶顯示裝置利用液晶分子之光各向異性與偏振特性。液晶分子由於其薄且長的形狀而具有確定的配向方向。透過應用電場至液晶分子兩端，可控制液晶分子的配向方向。換言之，隨著電場之強度或方向被改變，液晶分子之配向也隨之改變。由於液晶分子之光各向異性，因為入射光係基於液晶分子之定向被折射，可透過控制透光率顯示影像。

薄膜電晶體作為切換元件，包含這種薄膜電晶體之液晶顯示裝置被稱為主動矩陣型液晶顯示（active matrix LCD；AM-LCD）裝置，因為主動矩陣型液晶顯示裝置具有高解析度以及顯示移動影像之卓越特性，所以已經被廣泛使用。

主動矩陣型液晶顯示裝置包含陣列基板、彩色濾光片基板以及安置於兩者之間的液晶層。陣列基板包含畫素電極與薄膜電晶體，彩色濾光片基板包含共同電極。主動矩陣型液晶顯示裝置被畫素電極與共同電極之間的電場驅動，從而具有卓越的透射率與開口率（aperture ratio）特性。

「第1圖」所示係為習知技術液晶顯示裝置之陣列基板之平面圖。「第1圖」中，陣列基板包含基板11、閘極線13與資料線

15，其中基板 11 處定義顯示區域 DR 與位於顯示區域 DR 周邊之非顯示區域 NDR。閘極線 13 與資料線 15 交叉以在顯示區域 DR 中定義畫素區域。

雖然圖中未表示，連接閘極線 13 與資料線 15 之薄膜電晶體以及連接薄膜電晶體之畫素電極被放置於畫素區域 P 中。

非顯示區域 NDR 中，放置閘極驅動積體電路 20 與資料驅動積體電路 30，閘極驅動積體電路 20 用於應用訊號至閘極線 13 以驅動薄膜電晶體，資料驅動積體電路 30 用於透過資料線 15 應用訊號至畫素電極。此外，非顯示區域 NDR 中還放置閘極聯絡線 14 與資料聯絡線 16，閘極聯絡線 14 用於連接閘極驅動積體電路 20 至閘極線 13，資料聯絡線 16 用於連接資料驅動積體電路 30 至資料線 15。

例如，閘極驅動積體電路 20 包含第一至第三閘極驅動積體電路 20a、20b 與 20c，閘極線 13 藉由閘極聯絡線 14 連接第一至第三驅動積體電路 20a、20b 與 20c。資料驅動積體電路 30 包含第一至第四資料驅動積體電路 30a、30b、30c 與 30d，資料線 15 藉由資料聯絡線 16 連接第一至第四資料驅動積體電路 30a、30b、30c 與 30d。

這種情況下，根據資料線 15 的位置，資料聯絡線 16 在長度上有所差別，這樣在資料聯絡線 16 中產生電阻偏差。即，某條資料線 15 鄰接閘極驅動積體電路 20 且連接第一資料驅動積體電路 20a，連接此資料線 15 之資料聯絡線 16 與其他資料聯絡線 16 具有不同的電阻。電阻偏差隨著基板 11 尺寸的擴大而增加。與第二

至第四資料驅動積體電路 30b、30c 與 30d 連接之資料聯絡線 16 中也產生電阻偏差問題。此外，與閘極驅動積體電路 20 連接之閘極聯絡線 14 中也產生電阻偏差問題。

電阻偏差問題產生訊號延遲，從而退化顯示影像之品質。

對於這些問題，引入一陣列基板，其中陣列基板包含具有鋸齒形狀之資料聯絡線或閘極聯絡線。「第 2 圖」所示係為習知技術陣列基板之具有鋸齒形狀之資料聯絡線之平面示意圖。

「第 2 圖」中，資料線 60 以及用於應用訊號至資料線 60 之資料驅動積體電路 70 被放置於基板 51 上。此外，用於連接資料驅動積體電路 70 至資料線 60 之資料聯絡線 62 被放置於基板 51 上。

資料線 60 包含第一至第三資料線 60a、60b 與 60c。資料驅動積體電路 70 中央線處之資料線被稱為中央資料線 60，第一至第三資料線 60a、60b 與 60c 透過與中央資料線 60 之距離被分類。即，第一資料線 60a 與中央資料線 60 具有第一距離，第二資料線 60b 與中央資料線 60 具有第二距離，第二距離小於第一距離，第三資料線 60c 與中央資料線 60 具有第三距離，第三距離小於第二距離。資料聯絡線 62 也被分類為分別連接第一至第三資料線 60a、60b 與 60c 之第一至第三資料聯絡線 62a、62b 與 62c。每一資料聯絡線 62a、62b 與 62c 具有鋸齒形狀。資料聯絡線 62a、62b 與 62c 中鋸齒形狀的數目有所不同。即，第一資料線 60a 與中央資料線 60 距離最大，連接第一資料線 60a 之第一資料聯絡線 62a 具有最低數目之鋸齒形狀，而第三資料線 60c 與中央資料線 60 距離最小，

連接第三資料線 60c 之第三資料聯絡線 62c 具有最大數目之鋸齒形狀。因此，不考慮與中央資料線 60 之距離，可均勻第一至第三資料聯絡線 62a、62b 與 62c 之長度，這樣可避免第一至第三資料聯絡線 62a、62b 與 62c 之電阻偏差所帶來的訊號延遲問題。

不幸的是，這樣仍然存在問題。特別地，此問題出現在窄邊框（narrow bezel）型液晶顯示裝置中。在窄邊框類型中，為了減少液晶顯示裝置之尺寸，需要最小化非顯示區域之面積。這種情況下，對於透過控制資料聯絡線之鋸齒形狀之數目以均一化資料聯絡線之電阻存在限制。

【發明內容】

因此，本發明之目的在於提供一種陣列基板、液晶顯示裝置及其製造方法，實質上避免習知技術之限制與缺陷所導致的一或多個問題。

本發明其他的優點、目的和特徵將在如下的說明書中部分地加以闡述，並且本發明其他的優點、目的和特徵對於本領域的普通技術人員來說，可以透過本發明如下的說明得以部分地理解或者可以從本發明的實踐中得出。本發明的目的和其它優點可以透過本發明所記載的說明書和申請專利範圍中特別指明的結構並結合圖式部份，得以實現和獲得。

為了獲得本發明的這些目的和其他特徵，現對本發明作具體化和概括性的描述，本發明的一種液晶顯示裝置之陣列基板包含：閘極線，位於基板上，此基板包含顯示區域及位於顯示區域周邊之非顯示區域；共同線，位於基板上；資料驅動積體電路，位

於非顯示區域中；第一及第二資料線，與閘極線交叉以在顯示區域中定義畫素區域，第一及第二資料線與資料驅動積體電路之距離有所差別；第一及第二資料聯絡線，連接資料驅動積體電路，第一及第二資料聯絡線分別連接第一及第二資料線；薄膜電晶體，位於畫素區域中，連接閘極線與第一及第二資料線其中之一；畫素電極，位於畫素區域中且連接薄膜電晶體；以及第一導電圖案，位於非顯示區域中且連接共同線，這樣共同電壓被應用至第一導電圖案，第一導電圖案分別與第一及第二資料聯絡線重疊以形成第一及第二電容器。

本發明之另一方面，液晶顯示裝置之陣列基板之製造方法包含：於基板上形成閘極線與共同線，此基板包含顯示區域以及位於顯示區域周邊之非顯示區域；形成第一及第二資料線以及第一及第二資料聯絡線，第一及第二資料線與閘極線交叉以在顯示區域中定義畫素區域，第一及第二資料聯絡線分別連接第一及第二資料線；於畫素區域中形成薄膜電晶體，且連接閘極線與第一及第二資料線其中之一；形成畫素電極與第一導電圖案，畫素電極位於畫素區域中且連接薄膜電晶體，第一導電圖案位於非顯示區域中且連接共同線，這樣共同電壓被應用至第一導電圖案，第一導電圖案分別與第一及第二資料聯絡線重疊以形成第一及第二電容器；以及於非顯示區域中形成資料驅動積體電路，且連接每一第一及第二資料聯絡線，其中第一及第二資料線與資料驅動積體電路之距離有所差別。

本發明之另一方面，一種液晶顯示裝置包含：閘極線，位於

第一基板上，第一基板包含顯示區域以及位於顯示區域周邊之非顯示區域；資料驅動積體電路，位於非顯示區域中；第一及第二資料線，與閘極線交叉以在顯示區域中定義畫素區域，並且與資料驅動積體電路之距離有所差別；第一及第二資料聯絡線，連接資料驅動積體電路，第一及第二資料聯絡線分別連接第一與第二資料線；薄膜電晶體，位於畫素區域中，連接閘極線以及第一及第二資料線其中之一；畫素電極，位於畫素區域中，且連接薄膜電晶體；第一導電圖案，位於非顯示區域中，且分別與第一及第二資料聯絡線重疊以形成第一及第二電容器；共同電極，位於正對第一基板之第二基板上且覆蓋顯示區域及非顯示區域；密封圖案，位於非顯示區域中且接觸共同電極及第一導電圖案，此密封圖案具有導電特性；以及液晶層，位於第一與第二基板之間。

本方面之另一方面，一種液晶顯示裝置之製造方法，包含：在第一基板上形成閘極線，第一基板包含顯示區域以及位於顯示區域周邊之非顯示區域；形成第一及第二資料線，與閘極線交叉以在顯示區域中定義畫素電極；形成第一及第二資料聯絡線，分別連接第一及第二資料線；在畫素區域中形成薄膜電晶體，連接閘極線與第一及第二資料線其中之一；形成畫素電極與第一導電圖案，畫素電極位於畫素區域中且連接薄膜電晶體，第一導電圖案位於非顯示區域中且分別與第一及第二資料聯絡線重疊以形成第一及第二電容器；在非顯示區域中形成資料驅動積體電路且連接每一第一及第二資料聯絡線；在第二基板上形成共同電極且覆蓋顯示區域及非顯示區域；形成具有導電特性之密封圖案，此密

封圖案位於第一基板之非顯示區域及第二基板中；接合第一及第二基板，這樣密封圖案接觸共同電極及第一導電圖案；以及在第一及第二基板之間形成液晶層，其中第一及第二資料與資料驅動積體電路之距離有所差別。

可以理解的是，如上所述的本發明之概括說明和隨後所述的本發明之詳細說明均是具有代表性和解釋性的說明，並且是為了進一步揭示本發明之申請專利範圍。

【實施方式】

現在將結合附圖對本發明的較佳實施方式作詳細說明。

「第 3A 圖」所示係為本發明第一實施例之液晶顯示裝置之陣列基板之平面圖，「第 3B 圖」所示係為「第 3A 圖」之一個畫素區域之平面放大圖。

「第 3A 圖」與「第 3B 圖」中，液晶顯示裝置之陣列基板包含基板 110，基板 110 處定義顯示區域 DR 以及位於顯示區域 DR 周邊之非顯示區域 NDR。非顯示區域中放置一密封圖案 190。

沿第一方向之複數條閘極線 114 以及複數條資料線 130 被放置於基板 110 上。閘極線 114 與資料線 130 彼此交叉以在顯示區域 DR 中定義複數個畫素區域 P。

沿第一方向延伸之複數條共同線 116 被放置於基板 110 上。共同線 116 與閘極線 114 平行且與之間隔，並且位於鄰接的兩條閘極線 114 之間。共同線 116 也與資料線 130 交叉。

各自從資料線 130 延伸之複數條資料聯絡線 136 被放置於非顯示區域 NDR 中。雖然圖中未表示，資料聯絡線 136 之一端被定

義為資料墊，接觸資料墊之資料墊電極被放置於資料墊上。

用於應用訊號至資料線 130 之資料驅動積體電路 138 被放置於非顯示區域 NDR 中。資料驅動積體電路 138 電連接每一資料聯絡線 136。即，資料驅動積體電路 138 接觸資料墊電極（圖中未表示）以電連接資料聯絡線 136。

第一導電圖案 152 具有三角形狀且與資料聯絡線 136 重疊，第一導電圖案 152 被放置於非顯示區域 NDR 中。圖中表示具有倒三角（reverse-triangle）形狀之第一導電圖案 152。

連接部 154 從第一導電圖案 152 沿第二方向延伸。共同接觸孔 144 暴露外緣共同線 116，連接部 154 透過共同接觸孔 144 接觸外緣共同線 116，這樣第一導電圖案 152 電連接外緣共同線 116。

連接閘極線 114 與資料線 130 之薄膜電晶體 Tr 被放置於畫素區域 P 中。薄膜電晶體 Tr 包含閘電極 112、閘極絕緣層（圖中未表示）、半導體層（圖中未表示）、源電極 132 以及汲電極 134，其中半導體層包含本質非晶矽之主動層（圖中未表示）與雜質摻雜非晶矽之歐姆接觸層（圖中未表示）。閘電極 112 連接閘極線 114，閘極絕緣層與閘電極 112 重疊。半導體層被放置於閘極絕緣層上且與閘電極 112 重疊。源電極 132 與汲電極 134 被放置於半導體層上。源電極 132 連接資料線 130 且與汲電極 134 間隔開來。源電極 132 與汲電極 134 之間的空間對應的歐姆接觸層部被清除，這樣主動層之中央透過源電極 132 與汲電極 134 之間的空間被暴露。

鈍化層（圖中未表示）覆蓋薄膜電晶體 Tr 並且包含暴露汲電

極 134 之汲極接觸孔 142。包含複數個畫素分支之畫素電極 150 被放置於鈍化層上且位於畫素區域 P 中。畫素電極 150 透過汲極接觸孔 142 接觸汲電極 134。包含複數個共同分支且連接共同線 116 之共同電極 117 被放置於畫素區域 P 中。共同分支與畫素分支交替排列。

「第 3A 圖」中，每一畫素電極 150 與共同電極 117 具有直線形狀。或者，每一畫素電極 150 與共同電極 117 也可以具有彎曲形狀以形成多重象限 (multi-domains)。「第 3B 圖」中，共同電極 117 被放置於與共同線 116 相同的層，並且從共同線 116 延伸。或者，共同電極 117 可以被放置於與畫素電極 150 相同的層且透過接觸孔連接共同線 116。

中央資料線電路 130 被放置於資料驅動積體 138 之中央線處，根據與中央資料線 130 之距離，資料線 130 被分類為第一至第四資料線 130a、130b、130c 與 130d，且根據與中央資料線 130 之距離，資料聯絡線 136 也被分類為第一至第四資料聯絡線 136a、136b、136c 與 136d。第一至第四資料聯絡線 136a、136b、136c 與 136d 分別連接第一至第四資料線 130a、130b、130c 與 130d。即，第一資料線 130a 與中央資料線 130 或資料驅動積體電路 138 具有第一距離，第二資料線 130b 與中央資料線 130 或資料驅動積體電路 138 具有第二距離，第二距離小於第一距離。第三資料線 130c 與中央資料線 130 或資料驅動積體電路 138 具有第三距離，第三距離小於第二距離，以及第四資料線 130d 與中央資料線 130 或資料驅動積體電路 138 具有第四距離，第四距離小於第三距離。

第一至第四資料聯絡線 136a、136b、136c 與 136d 至少其一具有鋸齒形狀，即“S”形狀。第一至第四資料聯絡線 136a、136b、136c 與 136d 在鋸齒形狀之數目上有所差別，從而控制第一至第四資料聯絡線 136a、136b、136c 與 136d 之長度。即，資料聯絡線與中央資料線距離越遠，資料聯絡線的鋸齒形狀的數目越小。或者，第一至第四資料聯絡線 136a、136b、136c 與 136d 具有直線形狀。或者，第一至第四資料聯絡線 136a、136b、136c 與 136d 在寬度上有所差別以控制電阻。即，與中央資料線 130 具有最大距離的第一資料聯絡線 136a 具有最大寬度，與中央資料線 130 具有最小距離的第四資料聯絡線 136d 具有最小寬度。因此，與資料驅動積體電路 138 之距離差別所帶來的電阻偏差被補償。

如上所述，第一導電圖案 152 藉由連接部 154 電連接外緣共同線 116，這樣共同電壓被應用至第一導電圖案 152。因為第一導電圖案 152 具有三角形狀，第一導電圖案 152 與第一至第四資料聯絡線 136a、136b、136c 與 136d 之重疊面積有所差別。即，第一導電圖案 152 與第一資料聯絡線 136a 具有第一重疊面積，與第二資料聯絡線 136b 具有第二重疊面積，第二重疊面積大於第一重疊面積。第一導電圖案 152 與第三資料聯絡線 136c 具有第三重疊面積，與第四資料聯絡線 136d 具有第四重疊面積，其中第三重疊面積大於第二重疊面積，第四重疊面積大於第三重疊面積。即，第一導電圖案 152 與各資料聯絡線 136a、136b、136c 與 136d 之重疊面積與各資料線 130a、130b、130c 以及 130d 與資料驅動積體電路 138 之間的距離成反比。

因為鈍化層（圖中未表示）被放置於第一導電圖案 152 下方且位於第一至第四資料聯絡線 136a、136b、136c 與 136d 之上，所以產生第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4。即，第一導電圖案 152、第一資料聯絡線 136a 以及鈍化層組成第一電容器 Cp1，第一導電圖案 152、第二資料聯絡線 136b 以及鈍化層組成第二電容器 Cp2。第一導電圖案 152、第三資料聯絡線 136c 以及鈍化層組成第三電容器 Cp3，第一導電圖案 152、第四資料聯絡線 136d 以及鈍化層組成第四電容器 Cp4。

如上所述，第一導電圖案 152 與第一資料聯絡線 136a 之間的重疊面積最小，第一導電圖案 152 與第四資料聯絡線 136d 之間的重疊面積最大。因此，第二電容器 Cp2 與第三電容器 Cp3 各自的電容大於第一電容器 Cp1 之電容且小於第四電容器 Cp4 之電容，第二電容器 Cp2 之電容小於第三電容器 Cp3 之電容。經過資料聯絡線 136 之訊號被電容器 Cp1、Cp2、Cp3 與 Cp4 延遲，這樣由於第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4 在電容上有所差別之緣故，訊號延遲在第一至第四資料聯絡線 136a、136b、136c 與 136d 中被均勻。特別地，無須增加非顯示區域 NDR 之尺寸，訊號延遲由於第一導電圖案 152 的緣故被均勻。因此，陣列基板適合窄邊框型液晶顯示裝置。

雖然圖中未表示，閘極聯絡線從閘極線 114 向非顯示區域 NDR 延伸，第二導電圖案被放置以重疊閘極聯絡線。與第一導電圖案 152 類似，閘極閘極聯絡線中的訊號延遲由於第二導電圖案的緣故被均勻。

「第 4 圖」所示係為沿「第 3B 圖」之線 IV-IV 之剖面圖，「第 5 圖」所示係為沿「第 3A 圖」之線 V-V 之剖面圖。

請參考「第 3A 圖」、「第 3B 圖」、「第 4 圖」以及「第 5 圖」，沿第一方向之閘極線 114、從閘極線 114 延伸之閘電極 112 以及沿第一方向且與閘極線 114 間隔之共同線 116 被放置於基板 110 上。共同分支從共同線 116 延伸，包含共同分支之共同電極 117 被放置於基板 110 上以及畫素區域 P 中。此外，從閘極線 114 延伸至非顯示區域 NDR 之閘極聯絡線（圖中未表示）被放置於基板 110 上。閘極聯絡線之一端被定義為閘極墊。

閘極線 114、閘電極 112、共同線 116、共同電極 117 以及閘極聯絡線由第一金屬材料形成，例如鋁 (aluminum; Al)、鋁合金、鉬 (molybdenum; Mo)、銅或銅合金。鋁合金可以為鋁釹合金 (Al-neodymium; AlNd)。

閘極絕緣層 118 被放置於閘極線 114、閘電極 112、共同線 116、共同電極 117 以及閘極聯絡線上。閘極絕緣層 118 由無機絕緣材料例如氧化矽或氮化矽形成。

半導體層 120 被放置於閘極絕緣層 118 上且對應閘電極 112。半導體層 120 包含本質非晶矽之主動層 120a 與雜質摻雜非晶矽之歐姆接觸層 120b。

彼此間隔的源電極 132 與汲電極 134 被放置於半導體層上。連接源電極 132 之資料線 130 被放置於閘極絕緣層 118 上，且與閘極線 114 交叉以定義畫素區域 P。源電極 132 與汲電極 134 之間的空間對應之歐姆接觸層部被清除，這樣主動層之中央透過源電

極 132 與汲電極 134 之間的空間被暴露。

閘電極 112、閘極絕緣層 118、半導體層 120、源電極 132 與汲電極 134 組成薄膜電晶體 Tr。即，畫素區域 P 中的薄膜電晶體 Tr 連接閘極線 114 與資料線 130。

此外，從資料線 130 延伸之資料聯絡線 136 被放置於閘極絕緣層 118 上與非顯示區域 NDR 中。資料聯絡線 136 之一端被定義為資料墊。

資料線 130、源電極 132、汲電極 134 與資料聯絡線 136 由第二金屬材料形成，例如鋁、鋁合金、鈾、銅或銅合金。鋁合金可以為鋁釹合金 (AlNd)。

根據與資料驅動積體電路 138 中央對應的中央資料線 130 之距離，資料線 130 與資料聯絡線 136 分別被分類為第一至第四資料線 130a、130b、130c 與 130d 以及第一至第四資料聯絡線 136a、136b、136c 與 136d。

第一資料線 130a 與資料驅動積體電路 138 之中央即中央資料線 130 具有第一距離，第二資料線 130b 與資料驅動積體電路 138 之中央具有第二距離，第二距離小於第一距離。第三資料線 130c 與資料驅動積體電路 138 之中央具有第三距離，第四資料線 130d 與資料驅動積體電路 138 之中央具有第四距離，其中第三距離小於第二距離，第四距離小於第三距離。第一至第四資料聯絡線 136a、136b、136c 與 136d 分別連接第一至第四資料線 130a、130b、130c 與 130d。第一至第四資料聯絡線 136a、136b、136c 與 136d 中至少一條資料聯絡線具有鋸齒形狀。鋸齒形狀的數目各不相同，

這樣無須考慮與資料驅動積體電路 138 之相對位置，第一至第四資料聯絡線 136a、136b、136c 與 136d 之長度被均勻。

鈍化層 140 被放置於源電極 132、汲電極 134、資料線 130 以及資料聯絡線 136 之上，其中鈍化層 140 包含暴露外緣共同線 116 之共同接觸孔 144 以及暴露汲電極 134 之汲極接觸孔 142。鈍化層 140 由無機絕緣材料或有機絕緣材料形成，無機絕緣材料的例子為氮化矽或氧化矽，有機絕緣材料的例子為苯環丁烯

(benzocyclobutene；BCB) 或光壓克力 (photo-acryl)。因為共同線 116 被放置於閘極絕緣層 118 下方，共同接觸孔 144 被形成不僅穿透 140 並且還穿透閘極絕緣層 118。

雖然圖中未表示，鈍化層 140 包含分別暴露閘極墊與資料墊之接觸孔。

畫素電極 150 被放置於畫素電極 P 中的鈍化層 140 上。包含畫素分支的畫素電極 150 藉由汲極接觸孔 142 接觸汲電極 134。畫素分支與共同分支交替排列。畫素電極 150 與共同電極 117 產生水平電場。

第一導電圖案 152 被放置於鈍化層 140 上且位於非顯示區域 NDR 中。第一導電圖案 152 與第一至第四資料聯絡線 136a、136b、136c 與 136d 重疊。第一導電圖案 152 具有三角形狀，這樣第一導電圖案 152 與第一至第四資料聯絡線 136a、136b、136c 與 136d 之間的重疊面積各不相同。從第一導電圖案 152 延伸之連接部 154 藉由共同接觸孔 144 接觸外緣共同線 116，這樣第一導電圖案 152 電連接外緣共同線 116。

畫素電極 150、第一導電圖案 152 與連接部 154 由銦錫氧化物 (indium-tin-oxide ; ITO)、銦鋅氧化物 (indium-zinc-oxide ; IZO) 以及鉬鈦合金 (molybdenum-titanium alloy ; MoTi) 其中之一形成。

因為鈍化層 140 被放置於第一導電圖案 152 下方且位於第一至第四資料聯絡線 136a、136b、136c 與 136d 之上，所以產生第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4。即，第一導電圖案 152、第一資料聯絡線 136a 以及鈍化層組成第一電容器 Cp1，第一導電圖案 152、第二資料聯絡線 136b 以及鈍化層組成第二電容器 Cp2。第一導電圖案 152、第三資料聯絡線 136c 以及鈍化層組成第三電容器 Cp3，第一導電圖案 152、第四資料聯絡線 136d 以及鈍化層組成第四電容器 Cp4。

雖然圖中未表示，閘極聯絡線從閘極線 114 向非顯示區域 NDR 延伸，第二導電圖案被放置以與閘極聯絡線重疊。與第一導電圖案 152 類似，由於第二導電圖案的緣故，閘極聯絡線中的訊號延遲被均勻。

如上所述，第一導電圖案 152 與第一資料聯絡線 136a 之間的重疊面積最小，第一導電圖案 152 與第四資料聯絡線 136d 之間的重疊面積最大。因此，第二電容器 Cp2 與第三電容器 Cp3 各自的電容大於第一電容器 Cp1 之電容且小於第四電容器 Cp4 之電容，第二電容器 Cp2 之電容小於第三電容器 Cp3 之電容。經由資料聯絡線 136 之訊號透過第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4 被延遲，這樣由於第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4 在電容

上有所差別的緣故，所以第一至第四資料聯絡線 136a、136b、136c 與 136d 中的訊號延遲被均勻。

「第 6A 圖」所示係為本發明第二實施例之液晶顯示裝置之陣列基板之平面圖，「第 6B 圖」所示係為「第 6A 圖」中一個畫素區域之平面放大圖。

「第 6A 圖」與「第 6B 圖」中，液晶顯示裝置之陣列基板包含第一基板 210，第一基板 210 處定義顯示區域 DR 以及位於顯示區域 DR 周邊之非顯示區域 NDR。非顯示區域 NDR 中放置一密封圖案 290。

沿第一方向之複數條閘極線 214 以及複數條資料線 230 被放置於第一基板 210 上。閘極線 214 與資料線 230 彼此交叉以在顯示區域 DR 中定義複數個畫素區域 P。

共同線 216 被放置於第一基板 210 上且位於非顯示區域 NDR 中。雖然圖中未表示，共同線 216 應用共同電壓至共同電極，共同電極具有板狀且被放置於與第一基板 210 正對的第二基板上。

分別從資料線 230 延伸之複數條資料聯絡線 236 被放置於非顯示區域 NDR 中。雖然圖中未表示，資料聯絡線 236 之一端被定義為資料墊，接觸資料墊之資料墊電極被放置於資料墊上。

應用訊號至資料線 230 之資料驅動積體電路 238 被放置於非顯示區域 NDR 中。資料驅動積體電路 238 電連接每一資料聯絡線 236。即，資料驅動積體電路 238 接觸資料墊電極（圖中未表示）以電連接資料聯絡線 236。

第一導電圖案 252 具有三角形且與資料聯絡線 236 重疊，第

一導電圖案 252 被放置於非顯示區域 NDR 中。圖中所示係為具有倒三角形狀之第一導電圖案 252。

連接部 254 從第一導電圖案 252 沿第二方向延伸。連接部 254 藉由暴露共同線 216 之共同接觸孔 244 接觸共同線 216，這樣第一導電圖案 252 電連接共同線 216。

連接閘極線 214 與資料線 230 之薄膜電晶體 Tr 被放置於畫素區域 P 中。薄膜電晶體 Tr 包含閘電極 212、閘極絕緣層（圖中未表示）、半導體層（圖中未表示）、源電極 232 與汲電極 234，半導體層包含本質非晶矽之主動層（圖中未表示）與雜質摻雜非晶矽之歐姆接觸層（圖中未表示）。閘電極 212 連接閘極線 214，閘極絕緣層覆蓋閘電極 212。半導體層被放置於閘極絕緣層上且與閘電極 212 重疊。源電極 232 與汲電極 234 被放置於半導體層上。源電極 232 連接資料線 230 且與汲電極 234 間隔開來。源電極 232 與汲電極 234 之間的空間對應的歐姆接觸層部被清除，從而主動層之中央透過源電極 232 與汲電極 234 之間的空間被暴露。

鈍化層（圖中未表示）覆蓋薄膜電晶體 Tr 並且包含暴露汲電極 234 之汲極接觸孔 242。板狀（plate shape）的畫素電極 250 被放置於鈍化層上且位於畫素區域 P 中。畫素電極 250 藉由汲極接觸孔 242 接觸汲電極 234。畫素電極 250 由透明導電材料例如銦錫氧化物或銦鋅氧化物形成。

畫素電極 250 與第二基板（圖中未表示）上的共同電極（圖中未表示）產生垂直電場。共同電極透過導電點（conductive dot）連接第一基板 210 上的共同線 216。導電點可以由銀形成。

根據與資料驅動積體電路 238 之中央線處放置的中央資料線 230 的距離，資料線 230 被分類為第一至第四資料線 230a、230b、230c 及 230d，根據與中央資料線 230 之距離，資料聯絡線 236 也被分類為第一至第四資料聯絡線 236a、236b、236c 及 236d。第一至第四資料聯絡線 236a、236b、236c 及 236d 分別連接第一至第四資料線 230a、230b、230c 及 230d。即，第一資料線 230a 與中央資料線 230 具有第一距離，第二資料線 230b 與中央資料線 230 具有第二距離，第二距離小於第一距離。第三資料線 230c 與中央資料線 230 具有第三距離，第三距離小於第二距離，第四資料線 230d 與中央資料線 230 具有第四距離，第四距離小於第三距離。

第一至第四資料聯絡線 236a、236b、236c 及 236d 中至少其一具有鋸齒形狀，例如“S”形狀。第一至第四資料聯絡線 236a、236b、236c 及 236d 在鋸齒形狀的數目上有所不同，這樣可控制第一至第四資料聯絡線 236a、236b、236c 及 236d 的長度。即，資料聯絡線距離中央資料線越遠，資料聯絡線包含的鋸齒形狀數目越少。或者，第一至第四資料聯絡線 236a、236b、236c 及 236d 具有直線形狀。或者，第一至第四資料聯絡線 236a、236b、236c 及 236d 在寬度上有所差別以控制電阻。即，與中央資料線 230 具有最大距離的第一資料聯絡線 236a 具有最大寬度，與中央資料線 230 具有最小距離的第四資料聯絡線 236d 具有最小寬度。因此，資料驅動積體電路 238 帶來的距離差別所導致的電阻偏差被補償。

如上所述，第一導電圖案 252 藉由連接部 254 電連接共同線 216，這樣共同電壓被應用至第一導電圖案 252。第一導電圖案 252

被放置於畫素電極 250 之相同層上，且由畫素電極 250 之相同材料形成。因為第一導電圖案 252 具有三角形，所以第一導電圖案 252 與第一至第四資料聯絡線 236a、236b、236c 及 236d 在重疊面積上有所差別。即，第一導電圖案 252 與第一資料聯絡線 236a 具有第一重疊面積，第一導電圖案 252 與第二資料聯絡線 236b 具有第二重疊面積，其中第二重疊面積大於第一重疊面積。第一導電圖案 252 與第三資料聯絡線 236c 具有第三重疊面積，與第四資料聯絡線 236d 具有第四重疊面積，第三重疊面積大於第二重疊面積，第四重疊面積大於第三重疊面積。即，第一導電圖案 252 與各第一至第四資料聯絡線 236a、236b、236c 及 236d 之重疊面積與第一至第四資料線 230a、230b、230c 及 230d 與資料驅動積體電路 238 之間的距離成反比。

因為鈍化層（圖中未表示）被放置於第一導電圖案 252 下方且位於第一至第四資料聯絡線 236a、236b、236c 及 236d 上，所以產生第一至第四電容器 C_{p1} 、 C_{p2} 、 C_{p3} 與 C_{p4} 。即，第一導電圖案 252、第一資料聯絡線 236a 以及鈍化層組成第一電容器 C_{p1} ，第一導電圖案 252、第二資料聯絡線 236b 以及鈍化層組成第二電容器 C_{p2} 。第一導電圖案 252、第三資料聯絡線 236c 以及鈍化層組成第三電容器 C_{p3} ，以及第一導電圖案 252、第四資料聯絡線 236d 以及鈍化層組成第四電容器 C_{p4} 。

如上所述，第一導電圖案 252 與第一資料聯絡線 236a 之間的重疊面積最小，第一導電圖案 252 與第四資料聯絡線 236d 之間的重疊面積最大。因此，每一第二電容器 C_{p2} 與第三電容器 C_{p3} 的

電容器大於第一電容器 Cp1 之電容且小於第四電容器 Cp4 之電容，第二電容器 Cp2 之電容小於第三電容器 Cp3 之電容。經由資料聯絡線 236 之訊號透過電容器 Cp1、Cp2、Cp3 與 Cp4 被延遲，這樣由於第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4 在電容上有所差別，第一至第四資料聯絡線 236a、236b、236c 與 236d 中的訊號延遲被均勻。特別地，無須增加非顯示區域 NDR 之尺寸，訊號延遲由於第一導電圖案 252 的緣故被均勻。因此，陣列基板適合窄邊框型液晶顯示裝置。

雖然圖中未表示，閘極聯絡線從閘極線 214 向非顯示區域 NDR 延伸，第二導電圖案被放置以與閘極聯絡線重疊。與第一導電圖案 252 類似，閘極聯絡線中的訊號延遲由於第二導電圖案的緣故被均勻。

以下將結合「第 7A 圖」、「第 7B 圖」、「第 7C 圖」、「第 7D 圖」、「第 8A 圖」、「第 8B 圖」、「第 8C 圖」與「第 8D 圖」解釋本發明第一實施例之陣列基板之製造方法。

「第 7A 圖」、「第 7B 圖」、「第 7C 圖」與「第 7D 圖」所示係為沿「第 3B 圖」之線 IV-IV 之部位之製造製程之剖面圖，「第 8A 圖」、「第 8B 圖」、「第 8C 圖」與「第 8D 圖」所示係為沿「第 3A 圖」之線 V-V 之部位之製造製程之剖面圖。

「第 7A 圖」與「第 8A 圖」中，第一金屬層（圖中未表示）形成於基板 110 上，並且透過遮罩制程被圖案化以沿第一方向形成閘極線 114，閘電極 112 從閘極線 114 延伸，共同線 116 沿第一方向且與閘極線 114 間隔開來。同時，從共同線 116 延伸之共同

電極 117 形成於基板 110 上與畫素區域 P 中，從閘極線 114 向非顯示區域 NDR 延伸之閘極聯絡線（圖中未表示）形成於基板 110 上。第一金屬層由鋁、鋁合金、鉬（Mo）、銅與銅合金其中之一形成。鋁合金可以為鋁釹合金（Al-neodymium；AlNd）

接下來，透過沈積無機絕緣材料例如氧化矽或氮化矽，閘極絕緣層 118 形成於閘極線 114、閘電極 112、共同線 116、共同電極 117 以及閘極聯絡線上。

接下來，「第 7B 圖」與「第 8B 圖」中，本質非晶矽層（圖中未表示）與雜質摻雜非晶矽層（圖中未表示）順序地形成於閘極絕緣層 118 上。然後，雜質摻雜非晶矽層與本質非晶矽層透過遮罩制程被圖案化以形成主動層 120a 與歐姆接觸層 120b。主動層 120a 與歐姆接觸層 120b 對應閘電極 112 且組成半導體層 120。

接下來，第二金屬層（圖中未表示）形成於半導體層 120 與閘極絕緣層 118 上，並且透過遮罩制程被圖案化以形成資料線 130、源電極 132、汲電極 134 與資料聯絡線 136。資料線 130 被放置於閘極絕緣層 118 上，且與閘極線 114 交叉以定義畫素區域 P。源電極 132 與汲電極 134 被放置於半導體層 120 上且彼此間隔。源電極 132 從資料線 130 延伸且連接資料線 130。源電極 132 與汲電極 134 之間的空間所暴露的歐姆接觸層 120b 之部份被清除，這樣暴露主動層 120a 之部份。閘電極 112、閘極絕緣層 118、半導體層 120、源電極 132 以及汲電極 134 組成薄膜電晶體 Tr。

資料聯絡線 136 從資料線 130 延伸且連接資料線 130。資料聯絡線 136 被放置於閘極絕緣層 118 上且位於非顯示區域 NDR 中。

資料聯絡線 136 之一端部被定義為資料墊。資料聯絡線 136 包含第一至第四資料聯絡線 136a、136b、136c 與 136d，取決於與資料驅動積體電路 138 中央對應的中央資料線 130 之距離。

接下來，「第 7C 圖」與「第 8C 圖」中，透過沈積無機絕緣材料例如氧化矽或氮化矽，鈍化層 140 形成於源電極 132、汲電極 134、資料線 130 及資料聯絡線 136 上。或者，鈍化層 140 由有機絕緣材料例如苯環丁烯(BCB)或光壓克力形成。鈍化層 140 透過遮罩制程被圖案化以形成暴露汲電極 134 之汲極接觸孔 142。此外，鈍化層 140 與鈍化層 140 下方的閘極絕緣層 118 被圖案化，以形成暴露共同線 116 之共同接觸孔 144。雖然圖中未表示，暴露資料墊之資料接觸孔被形成穿透鈍化層 140，暴露資料墊之閘極接觸孔被形成穿透鈍化層 140 及閘極絕緣層 118。

「第 7D 圖」與「第 8D 圖」中，透過沈積銦錫氧化物或銦鋅氧化物，透明導電材料層（圖中未表示）被形成於鈍化層 140 上。透明導電材料層透過遮罩制程被圖案化，以形成畫素電極 150、第一導電圖案 152 與連接部 154。畫素電極 150 位於畫素區域 P 中，且透過汲極接觸孔 142 連接汲電極 134。畫素電極 150 之畫素分支與共同電極 117 之共同分支交替排列。第一導電圖案 152 位於非顯示區域 NDR 中，且與第一至第四資料聯絡線 136a、136b、136c 與 136d 重疊以形成第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4。連接部 154 位於非顯示區域 NDR 中，且從第一導電圖案 152 延伸。連接部 154 藉由共同接觸孔 144 接觸共同線 116，這樣第一導電圖案 152 電連接共同線 116。因此，共同電壓被應用至第一導電圖案

152。畫素電極 150、第一導電圖案 152 與連接部 154 可以由鉬鈦合金形成。

雖然圖中未表示，第二導電圖案形成於鈍化層 140 上且位於非顯示區域 NDR 中。與第一導電圖案 152 類似，第二導電圖案與閘極聯絡線重疊以形成電容器，這樣閘極聯絡線中的訊號延遲被均勻。此外，閘極墊電極與資料墊電極形成於鈍化層上。閘極墊電極與資料墊電極分別藉由閘極接觸孔與資料接觸孔接觸閘極墊與資料墊。

資料驅動積體電路 138 與閘極驅動積體電路（圖中未表示）分別連接資料聯絡線 136 與閘極聯絡線，以形成本發明之陣列基板。在陣列基板中，由於第一至第四電容器 C_{p1} 、 C_{p2} 、 C_{p3} 與 C_{p4} 在電容上有所差別的緣故，第一至第四資料聯絡線 136a、136b、136c 與 136d 中的訊號延遲被均勻。特別地，無須增加非顯示區域 NDR 之尺寸，由於第一導電圖案 152 之緣故，訊號延遲被均勻。因此，陣列基板適合窄邊框型液晶顯示裝置。

「第 9 圖」所示係為本發明第三實施例之液晶顯示裝置之剖面圖。「第 9 圖」中，液晶顯示裝置 300 包含第一基板 310、正對第一基板 310 之第二基板 360、放置於兩者其間的液晶層 380，以及密封圖案 390，其中密封圖案 390 用於避免液晶層 380 在第一基板 310 與第二基板 360 之邊緣處泄露。

第一基板 310 中定義顯示區域 DR 以及位於顯示區域 DR 周邊的非顯示區域 NDR。

沿第一方向之複數條閘極線（圖中未表示）與複數條資料線

330 被放置於第一基板 310 上。閘極線與資料線 330 彼此交叉以在顯示區域 DR 中定義複數個畫素區域 P。

閘電極 312 被放置於第一基板 310 上且位於畫素區域 P 中，閘極絕緣層 318 被放置於閘電極 312 上。包含主動層 320a 與歐姆接觸層 320b 之半導體層 320 被放置於閘極絕緣層 318 上以與閘電極 312 重疊。主動層 320a 由本質非晶矽形成，歐姆接觸層 320b 由雜質摻雜非晶矽形成。彼此間隔之源電極 332 與汲電極 334 被放置於半導體層 320 上。閘電極 312、閘極絕緣層 318、半導體層 320、源電極 332 與汲電極 334 組成薄膜電晶體 Tr。

閘電極 312 被放置於閘極線的相同層且連接閘極線。源電極 332 被放置於資料線 330 之相同層且連接資料線 330。即，薄膜電晶體 Tr 連接閘極線與資料線 330。

鈍化層 340 被放置於薄膜電晶體 Tr 上，且包含暴露汲電極 334 之汲極接觸孔 342。由透明導電材料例如銦錫氧化物或銦鋅氧化物形成的畫素電極 350 被放置於鈍化層 340 上。畫素電極 350 藉由汲極接觸孔 342 連接汲電極 334。

分別從資料線 330 延伸之複數條資料聯絡線 336 被放置於非顯示區域 NDR 中。資料聯絡線 336 被放置於閘極絕緣層 318 上。資料聯絡線 336 之一端部連接資料驅動積體電路（圖中未表示），這樣來自資料驅動積體電路之訊號透過資料聯絡線 336、資料線 330 與薄膜電晶體 Tr 被應用至畫素電極 350。

雖然圖中未表示，資料聯絡線 136 之一端部被定義為資料墊，用於暴露資料墊的資料接觸孔被形成穿透鈍化層 340。藉由資料接

觸孔接觸資料墊之資料墊電極被放置於資料墊上。這種情況下，資料驅動積體電路接觸資料墊電極以電連接資料聯絡線 336。

鈦化層 340 覆蓋資料聯絡線 336，第一導電圖案 352 被放置於鈦化層 340 上。第一導電圖案 352 與資料聯絡線 336 重疊，連同其間的鈦化層 340 形成電容器。即，每一資料聯絡線 336 之一重疊部作為第一電極，第一導電圖案 352 之一重疊部作為第二電極，鈦化層 340 作為介電材料層，從而組成電容器。第一導電圖案 352 由畫素電極 350 之相同材料形成。即，第一導電圖案 352 由銦錫氧化物或銦鋅氧化物形成。

雖然圖中未表示，閘極聯絡線從閘極線向非顯示區域 NDR 延伸。閘極聯絡線之一端部連接閘極驅動積體電路，這樣來自閘極驅動積體電路之訊號透過閘極線被應用至閘電極 312 以控制薄膜電晶體 Tr。此外，與閘極聯絡線重疊之第二導電圖案被放置於閘極聯絡線上方以形成電容器。

另一方面，黑色矩陣 362、彩色濾光片層 364、保護(overcoat)層 366 以及共同電極 370 被放置於第二基板 360 上。黑色矩陣 362 被放置於第二基板 360 上且對應閘極線、資料線 330 與薄膜電晶體 Tr。彩色濾光片層 364 被放置於黑色矩陣 362 上且對應畫素區域 P。例如，彩色濾光片層 364 包含紅色彩色濾光片圖案、綠色彩色濾光片圖案以及藍色彩色濾光片圖案。

用於形成平頂表面之保護層 366 被放置於黑色矩陣 362 與彩色濾光片層 364 上。共同電極 370 被放置於保護層 366 之整個表面上。共同電極 370 與第一基板 310 上的畫素電極 350 產生電場，

以驅動液晶層 380。

液晶層 380 被放置於第一基板 310 與第二基板 360 之間。密封圖案 390 被放置於第一基板 310 與第二基板 360 之邊緣處，且位於非顯示區域 NDR 中。

密封圖案 390 具有導電特性，因此可以被稱為導電密封圖案。例如複數個導電球被放置於密封圖案 390 中。密封圖案 390 之一端接觸第二基板 360 上的共同電極 370，密封圖案 390 之另一端接觸共同線（圖中未表示）。因此，來自共同線之共同電壓透過密封圖案 390 被應用至共同電極 370。密封圖案 390 之另一端之部份接觸第一基板 310 上的第一導電圖案 352，這樣共同電壓也被應用至第一導電圖案 352。

雖然圖中未表示，與閘極聯絡線重疊之第二導電圖案也接觸密封圖案 390，這樣共同電壓被應用至第二導電圖案。

具有以上結構之液晶顯示裝置中，與資料聯絡線 336 重疊之第一導電圖案 352 以及與閘極聯絡線重疊之第二導電圖案形成電容器，這樣可避免資料聯絡線 336 與閘極聯絡線中的訊號延遲偏差。

「第 10 圖」所示係為本發明第三實施例之液晶顯示裝置之陣列基板之平面圖。

「第 10 圖」中，閘極線 314 與資料線 330 被放置於第一基板 310 上，且彼此交叉以在顯示區域 DR 中定義複數個畫素區域 P。

如「第 9 圖」所示，連接閘極線 314 與資料線 330 之薄膜電晶體 Tr 以及連接薄膜電晶體 Tr 之畫素電極 350 被放置於畫素區

域 P 中。

分別從資料線 330 延伸之資料聯絡線 336 被放置於非顯示區域 NDR 中。資料聯絡線 336 連接資料驅動積體電路 338，這樣來自資料驅動積體電路 338 之訊號被應用至資料線 330。

中央資料線 330 被放置於資料驅動積體電路 338 之中央線處，根據與中央資料線 330 的距離，資料線 330 被分類為第一至第四資料線 330a、330b、330c 及 330d，根據與中央資料線 330 的距離，資料聯絡線 336 也被分類為第一至第四資料聯絡線 336a、336b、336c 及 336d。第一至第四資料線 336a、336b、336c 及 336d 分別連接第一至第四資料線 330a、330b、330c 及 330d。即，第一至第四資料線 330a、330b、330c 及 330d 以及第一至第四資料聯絡線 336a、336b、336c 及 336d 與資料驅動積體電路 338 的距離有所差別。

即，第一資料線 330a 與中央資料線或資料驅動積體電路 338 具有第一距離，第二資料線 330b 與中央資料線 330 或資料驅動積體電路 338 具有第二距離，第二距離小於第一距離。第三資料線 330c 與中央資料線 330 或資料驅動積體電路 338 具有第三距離，第三距離小於第二距離，第四資料線 330d 與中央資料線 330 或資料驅動積體電路 338 具有第四距離，第四距離小於第三距離。

第一至第四資料聯絡線 336a、336b、336c 及 336d 至少其一具有鋸齒形狀，即“S”形狀。第一至第四資料聯絡線 336a、336b、336c 及 336d 在鋸齒形狀之數目上有所差別，這樣可控制第一至第四資料聯絡線 336a、336b、336c 及 336d 之長度。即，資料聯絡

線與中央資料線距離越遠，資料聯絡線之鋸齒形狀之數目越小。或者，第一至第四資料聯絡線 336a、336b、336c 及 336d 具有直線形狀。或者，第一至第四資料聯絡線 336a、336b、336c 及 336d 可以具有直線形狀。

此外，包含第一至第四導電子圖案(sub-pattern)352a、352b、352c 與 352d 之第一導電圖案 352 被放置於非顯示區域 NDR 中。每一第一至第四導電子圖案 352a、352b、352c 與 352d 具有島狀。即，第一至第四導電子圖案 352a、352b、352c 與 352d 彼此間隔。第一至第四導電子圖案 352a、352b、352c 與 352d 分別與第一至第四資料聯絡線 336a、336b、336c 及 336d 重疊。

第一導電子圖案 352a 之平面面積小於第二導電子圖案 352b，第三導電子圖案 352c 之平面面積大於第二導電子圖案 352b 且小於第四導電子圖案 352d。即，第一至第四導電子圖案 352a、352b、352c 與 352d 分別與第一至第四資料聯絡線 336a、336b、336c 及 336d 重疊，每一第一至第四導電子圖案 352a、352b、352c 與 352d 之平面面積與每一第一至第四資料線 330a、330b、330c 及 330d 與資料驅動積體電路 338 之間的距離成反比。

密封圖案 390 被放置於非顯示區域 NDR 中。密封圖案 390 接觸每一第一至第四導電子圖案 352a、352b、352c 與 352d。如上所述，具有導電特性之密封圖案 390 接觸第一至第四導電子圖案 352a、352b、352c 與 352d 以及用於提供共同電壓至共同電極 370 之共同線（圖中未表示）（請參考「第 9 圖」）。因此，共同電壓被提供至每一第一至第四導電子圖案 352a、352b、352c 與 352d 內。

因為第一導電子圖案 352a 連同第一導電圖案 352 與資料聯絡線 336 之間的鈍化層 340 與資料聯絡線 336 重疊（請參考「第 9 圖」），所以形成第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4。即，第一資料聯絡線 336a、第一導電子圖案 352a 以及鈍化層 340 組成第一電容器 Cp1，第二資料聯絡線 336b、第二導電子圖案 352b 以及鈍化層 340 組成第二電容器 Cp2。第三資料聯絡線 336c、第三導電子圖案 352c 以及鈍化層 340 組成第三電容器 Cp3，第四資料聯絡線 336d、第四導電子圖案 352d 以及鈍化層 340 組成第四電容器 Cp4。

第一導電子圖案 352a 與第一資料聯絡線 336a 之間的重疊面積最小，第四導電子圖案 352d 與第四資料聯絡線 336d 之間的重疊面積最大。即，第一電容器 Cp1 之電容小於第二電容器 Cp2 之電容。第三電容器 Cp3 之電容大於第二電容器 Cp2 之電容且小於第四電容器 Cp4 之電容。

訊號透過每一第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4 被延遲。每一第一至第四資料線 330a、330b、330c 及 330d 與資料驅動積體電路 338 之間的距離導致第一至第四資料聯絡線 336a、336b、336c 及 336d 中訊號延遲，此訊號延遲透過第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4 被補償。特別地，無須增加非顯示區域 NDR 的尺寸，由於第一導電圖案 352 的緣故，訊號延遲被均勻 (uniformed)。因此，陣列基板適合窄邊框型液晶顯示裝置。

「第 11 圖」所示係為本發明第四實施例之液晶顯示裝置之陣列基板之平面圖。

「第 11 圖」中，閘極線 414 與資料線 430 被放置於第一基板 410 上，且彼此交叉以在顯示區域 DR 中定義複數個畫素區域 P。

連接閘極線 414 與資料線 430 之薄膜電晶體 Tr (請參考「第 9 圖」)以及連接薄膜電晶體 Tr 之畫素電極 350(請參考「第 9 圖」)被放置於畫素區域 P 中。

各自從資料線 430 延伸之資料聯絡線 436 被放置於非顯示區域 NDR 中。資料聯絡線 436 連接資料驅動積體電路 438，這樣來自資料驅動積體電路 438 的訊號被應用至資料線 430。

中央資料線 430 被放置於資料驅動積體電路 438 之中央線處，根據與中央資料線 430 的距離，資料線 430 被分類為第一至第四資料線 430a、430b、430c 及 430d，根據與中央資料線 430 的距離，資料聯絡線 436 也被分類為第一至第四資料聯絡線 436a、436b、436c 及 436d。第一至第四資料聯絡線 436a、436b、436c 及 436d 分別連接第一至第四資料線 430a、430b、430c 及 430d。即，第一至第四資料線 430a、430b、430c 及 430d 以及第一至第四資料聯絡線 436a、436b、436c 及 436d 與資料驅動積體電路 438 之距離有所差別。

即，第一資料線 430a 與中央資料線 430 或資料驅動積體電路 438 具有第一距離，第二資料線 430b 與中央資料線 430 或資料驅動積體電路 438 具有第二距離，第二距離小於第一距離。第三資料線 430c 與中央資料線 430 或資料驅動積體電路 438 具有第三距離，第三距離小於第二距離，第四資料線 430d 與中央資料線 430 或資料驅動積體電路 438 具有第四距離，第四距離小於第三距離。

第一至第四資料聯絡線 436a、436b、436c 及 436d 至少其一具有鋸齒形狀，即“S”形狀。第一至第四資料聯絡線 436a、436b、436c 及 436d 在鋸齒形狀的數目上有所差別，這樣可控制第一至第四資料聯絡線 436a、436b、436c 及 436d 之長度。即，資料聯絡線距離中央資料線越遠，資料聯絡線之鋸齒形狀之數目越少。或者，第一至第四資料聯絡線 436a、436b、436c 及 436d 具有直線形狀。

此外，導電圖案 452 被放置於非顯示區域 NDR 中。導電圖案 452 具有三角形狀，且與第一至第四資料聯絡線 436a、436b、436c 及 436d 重疊。圖中表示倒三角形狀之第一導電圖案 452。

因為導電圖案 452 具有三角形狀，所以導電圖案 452 與第一至第四資料聯絡線 436a、436b、436c 及 436d 之重疊面積有所差別。即，導電圖案 452 與第一資料聯絡線 436a 具有第一重疊面積，且與第二資料聯絡線 436b 具有第二重疊面積，第二重疊面積大於第一重疊面積。導電圖案 452 與第三資料聯絡線 436c 具有第三重疊面積，第三重疊面積大於第二重疊面積，導電圖案 452 與第四資料聯絡線 436d 具有第四重疊面積，第四重疊面積大於第三重疊面積。即，導電圖案 452 與各資料聯絡線 436a、436b、436c 及 436d 之重疊面積與各第一至第四資料線 430a、430b、430c 及 430d 與資料驅動積體電路 438 之間的距離成反比。

密封圖案 490 被放置於非顯示區域 NDR 中。密封圖案 490 接觸每一導電圖案 452。具有導電特性之密封圖案 490 接觸導電圖案 452 以及用於提供共同電壓至共同電極 370 之共同線（圖中未表

示)(請參考「第9圖」)。因此，共同電壓被提供至每一導電圖案452內。

因為導電圖案452連同導電圖案452與資料聯絡線436之間的鈍化層340(請參考「第9圖」)與資料聯絡線436重疊，形成第一至第四電容器Cp1、Cp2、Cp3與Cp4。即，第一資料聯絡線436a、導電圖案452以及鈍化層340組成第一電容器Cp1，第二資料聯絡線436b、導電圖案452以及鈍化層340組成第二電容器Cp2。第三資料聯絡線436c、導電圖案452以及鈍化層340組成第三電容器Cp3，第四資料聯絡線436d、導電圖案452以及鈍化層340組成第四電容器Cp4。

導電圖案452與第一資料聯絡線436a之間的重疊面積最小，導電圖案452與第四資料聯絡線436d之間的重疊面積最大。即，第一電容器Cp1之電容小於第二電容器Cp2之電容。第三電容器Cp3之電容大於於第二電容器Cp2之電容且小於第四電容器Cp4之電容。

訊號透過每一第一至第四電容器Cp1、Cp2、Cp3與Cp4被延遲。每一第一至第四資料線430a、430b、430c及430d與資料驅動積體電路438之間的距離導致第一至第四資料聯絡線436a、436b、436c及436d中的訊號延遲偏差，此訊號延遲偏差透過每一第一至第四電容器Cp1、Cp2、Cp3與Cp4被補償。特別地，無須增加非顯示區域NDR的尺寸，由於導電圖案452的緣故，訊號延遲被均勻。因此，陣列基板適合窄邊框型液晶顯示裝置。

「第12圖」所示係為本發明第五實施例之液晶顯示裝置之陣

列基板之平面圖。

「第 12 圖」中，閘極線 514 與資料線 530 被放置於第一基板 510 上，且彼此交叉以在顯示區域 DR 中定義複數個畫素區域 P。

連接閘極線 514 與資料線 530 之薄膜電晶體 Tr (請參考「第 9 圖」)以及連接薄膜電晶體 Tr 之畫素電極 550(請參考「第 9 圖」)被放置於畫素區域 P 中。

各自從資料線 530 延伸之資料聯絡線 536 被放置於非顯示區域 NDR 中。資料聯絡線 536 連接資料驅動積體電路 538，這樣來自資料驅動積體電路 538 的訊號被應用至資料線 530。

中央資料線 530 被放置於資料驅動積體電路 538 之中央線處，根據與中央資料線 530 的距離，資料線 530 被分類為第一至第四資料線 530a、530b、530c 及 530d，根據與中央資料線 530 的距離，資料聯絡線 536 也被分類為第一至第四資料聯絡線 536a、536b、536c 及 536d。第一至第四資料聯絡線 536a、536b、536c 及 536d 分別連接第一至第四資料線 530a、530b、530c 及 530d。即，第一至第四資料線 530a、530b、530c 及 530d 以及第一至第四資料聯絡線 536a、536b、536c 及 536d 與資料驅動積體電路 538 之距離有所差別。

即，第一資料線 530a 與中央資料線 530 或資料驅動積體電路 538 具有第一距離，第二資料線 530b 與中央資料線 530 或資料驅動積體電路 538 具有第二距離，第二距離小於第一距離。第三資料線 530c 與中央資料線 530 或資料驅動積體電路 538 具有第三距離，第三距離小於第二距離，第四資料線 530d 與中央資料線 530

或資料驅動積體電路 538 具有第四距離，第四距離小於第三距離。

第一至第四資料聯絡線 536a、536b、536c 及 536d 至少其一具有鋸齒形狀，即“S”形狀。第一至第四資料聯絡線 536a、536b、536c 及 536d 在鋸齒形狀的數目上有所差別，這樣可控制第一至第四資料聯絡線 536a、536b、536c 及 536d 之長度。即，資料聯絡線距離中央資料線越遠，資料聯絡線之鋸齒形狀之數目越少。

此外，導電圖案 552 被放置於非顯示區域 NDR 中。導電圖案 552 具有矩形形狀，且與第一至第四資料聯絡線 536a、536b、536c 及 536d 重疊。

因為資料聯絡線 536a、536b、536c 及 536d 具有鋸齒形狀，矩形形狀的導電圖案 552 與第一至第四資料聯絡線 536a、536b、536c 及 536d 之重疊面積有所差別。即，導電圖案 552 與第一資料聯絡線 536a 具有第一重疊面積，與第二資料聯絡線 536b 具有第二重疊面積，第二重疊面積大於第一重疊面積。導電圖案 552 與第三資料聯絡線 536c 具有第三重疊面積，與第四資料聯絡線 536d 具有第四重疊面積，第三重疊面積大於第二重疊面積，第四重疊面積大於第三重疊面積。即，導電圖案 552 與各資料聯絡線 536a、536b、536c 及 536d 之重疊面積與各資料線 530a、530b、530c 及 530d 與資料驅動積體電路 538 之間的距離成反比。

密封圖案 590 被放置於非顯示區域 NDR 中。密封圖案 590 接觸每一導電圖案 552。具有導電特性之密封圖案 590 接觸導電圖案 552 以及用於提供共同電壓至共同電極 370 之共同線（圖中未表示）（請參考「第 9 圖」）。因此，共同電壓被提供至每一導電圖案

552 內。

因為導電圖案 552 連同導電圖案 552 與資料聯絡線 536 之間的鈍化層 340 (請參考「第 9 圖」) 與資料聯絡線 536 重疊，所以形成第一至第四電容器 $Cp1$ 、 $Cp2$ 、 $Cp3$ 與 $Cp4$ 。即，第一資料聯絡線 536a、導電圖案 552 以及鈍化層 340 組成第一電容器 $Cp1$ ，第二資料聯絡線 536b、導電圖案 552 以及鈍化層 340 組成第二電容器 $Cp2$ 。第三資料聯絡線 536c、導電圖案 552 以及鈍化層 340 組成第三電容器 $Cp3$ ，第四資料聯絡線 536d、導電圖案 552 以及鈍化層 340 組成第四電容器 $Cp4$ 。

導電圖案 552 與第一資料聯絡線 536a 之間的重疊面積最小，導電圖案 552 與第四資料聯絡線 536d 之間的重疊面積最大。即，第一電容器 $Cp1$ 之電容小於第二電容器 $Cp2$ 之電容。第三電容器 $Cp3$ 之電容大於於第二電容器 $Cp2$ 之電容且小於第四電容器 $Cp4$ 之電容。

訊號透過每一第一至第四電容器 $Cp1$ 、 $Cp2$ 、 $Cp3$ 與 $Cp4$ 被延遲。每一第一至第四資料線 530a、530b、530c 及 530d 與資料驅動積體電路 538 之間的距離導致第一至第四資料聯絡線 536a、536b、536c 及 536d 中的訊號延遲偏差，此訊號延遲偏差透過每一第一至第四電容器 $Cp1$ 、 $Cp2$ 、 $Cp3$ 與 $Cp4$ 被補償。特別地，無須增加非顯示區域 NDR 的尺寸，由於導電圖案 552 的緣故，訊號延遲被均勻。因此，陣列基板適合窄邊框型液晶顯示裝置。

上述原理可被應用至閘極驅動積體電路、閘極聯絡線及閘極線。此外，資料聯絡線可以在寬度方面有所差別以控制資料聯絡

線之電阻。

此後，下面將結合「第 9 圖」與「第 10 圖」解釋本發明第三實施例之液晶顯示裝置之製造方法。

首先，第一金屬層（圖中未表示）形成於第一基板 310 之上，並且透過遮罩製程被圖案化以形成沿第一方向之閘極線 314、從閘極線 314 延伸之閘電極 312 以及沿第一方向且與閘極線 314 分隔之共同線 316。同時，從閘極線 314 向非顯示區域 NDR 延伸之閘極聯絡線（圖中未表示）形成於第一基板 310 上。第一金屬層由鋁、鋁合金、鉬、銅與銅合金其中之一形成。鋁合金可以為鋁鈹合金 (AlNd)。如下所述，共同線可以形成於資料線之相同層。

接下來，透過沈積無機絕緣材料例如氧化矽或氮化矽，閘極絕緣層 318 形成於閘極線 314、閘電極 312、共同線 316、共同電極與閘極聯絡線上。

接下來，本質非晶矽層（圖中未表示）與雜質摻雜非晶矽層（圖中未表示）順序地形成於閘極絕緣層 318 上。然後，雜質摻雜非晶矽層與本質非晶矽層透過遮罩製程被圖案化，以形成主動層 320a 與歐姆接觸層 320b。主動層 320a 與歐姆接觸層 320b 對應閘電極 312 且組成半導體層 320。

接下來，第二金屬層（圖中未表示）形成於半導體層 320 與閘極絕緣層 318 上，並且透過遮罩製程被圖案化以形成資料線 330、源電極 332、汲電極 334 與資料聯絡線 336。當共同線未隨著閘極線 314 被形成時，則在此步驟中形成共同線。資料線 330 被放置於閘極絕緣層 318 上，且與閘極線 314 交叉以定義畫素區

域 P。源電極 332 與汲電極 334 被放置於半導體層 320 上且彼此分隔。源電極 332 從資料線 330 延伸且連接資料線 330。源電極 332 與汲電極 334 之間的空間所暴露之歐姆接觸層 320b 之部位被清除，從而暴露主動層 320a 之部位。閘電極 312、閘極絕緣層 318、半導體層 320、源電極 332 與汲電極 334 組成薄膜電晶體 Tr。

資料聯絡線 336 從資料線 330 延伸且連接資料線 330。資料聯絡線 336 被放置於閘極絕緣層 318 上且位於非顯示區域 NDR 中。資料聯絡線 336 之一端部被定義為資料墊。根據與資料驅動積體電路 338 之中央對應之中央資料線 330 之距離，資料聯絡線 336 包含第一至第四資料聯絡線 336a、336b、336c 及 336d。

接下來，透過沈積無機絕緣材料例如氧化矽或氮化矽，鈍化層 340 形成於源電極 332、汲電極 334、資料線 330 與資料聯絡線 336 之上。或者，鈍化層 340 由有機絕緣材料例如苯環丁烯(BCB)或光壓克力形成。鈍化層 340 透過遮罩製程被圖案化，以形成暴露汲電極 334 之汲極接觸孔 342。此外，鈍化層 340 以及鈍化層 340 下方之閘極絕緣層 318 被圖案化，以形成暴露共同線之共同線接觸孔(圖中未表示)。當共同線隨著資料線 330 被形成時，共同線接觸孔被形成穿透鈍化層 340。雖然圖中未表示，用於暴露資料墊之資料接觸孔被形成穿透鈍化層 340，用於暴露資料墊之閘極接觸孔被形成穿透鈍化層 340 與閘極絕緣層 318。

接下來，透過沈積銦錫氧化物或銦鋅氧化物，透明導電材料層(圖中未表示)形成於鈍化層 340 上。透明導電材料層透過遮罩製程被圖案化，以形成畫素電極 350 與第一導電圖案 352。同時，

可以形成第二導電圖案（圖中未表示）以與閘極聯絡線重疊。此外，形成接觸閘極墊之閘極墊電極以及接觸資料墊之資料墊電極。畫素電極 350 位於畫素區域 P 中，且透過汲極接觸孔 342 連接汲電極 334。第一導電圖案 352 位於非顯示區域 NDR 中，且與第一至第四資料聯絡線 336a、336b、336c 及 336d 重疊以形成第一至第四電容器 Cp1、Cp2、Cp3 與 Cp4。

黑色矩陣 362 形成於第二基板 360 上。黑色矩陣 362 包含與畫素區域 P 對應之開口。彩色濾光片層 364 形成於黑色矩陣 362 上以及黑色矩陣 362 之開口中以對應畫素區域。接下來，保護層 366 形成於黑色矩陣 362 與彩色濾光片層 364 上。共同電極 370 形成於保護層 366 上。共同電極 370 由銦錫氧化物或銦鋅氧化物形成。

接下來，具有導電特性之密封圖案 390 形成於第一基板 310 上以接觸第一導電圖案 352 或第二基板 360 上以接觸共同電極 370。第一基板 310 與第二基板 360 彼此接合，這樣密封圖案 390 接觸第一導電圖案 352 與共同電極 370 兩者。密封圖案 390 還接觸共同線。因此，來自共同線之共同電壓被應用至共同電極 370 與第一導電圖案 352。此外，密封圖案 390 接觸與閘極聯絡線重疊之第二導電圖案。

透過向第一基板 310 與第二基板 360 之間的空間內注入液晶層，得到本發明之液晶顯示裝置。

雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。在不脫離本發明之精神和範圍內，所為之更動與潤飾，均

屬本發明之專利保護範圍。關於本發明所界定之保護範圍請參考所附之申請專利範圍。

【圖式簡單說明】

第 1 圖所示係為習知技術液晶顯示裝置之陣列基板之平面圖；

第 2 圖所示係為習知技術陣列基板中具有鋸齒形狀之資料聯絡線之平面圖；

第 3A 圖所示係為本發明第一實施例之液晶顯示裝置之陣列基板之平面圖；

第 3B 圖所示係為第 3A 圖中一個畫素區域之平面放大圖；

第 4 圖所示係為沿第 3B 圖之線 IV-IV 之剖面圖；

第 5 圖所示係為沿第 3A 圖之線 V-V 之剖面圖；

第 6A 圖所示係為本發明第二實施例之液晶顯示裝置之陣列基板之平面圖；

第 6B 圖所示係為第 6A 圖中一個畫素區域之平面放大圖；

第 7A 圖至第 7D 圖所示係為沿第 3B 圖之線 IV-IV 之部件之製造製程之剖面圖；

第 8A 圖至第 8D 圖所示係為沿第 3A 圖之線 V-V 之部件之製造製程之剖面圖；

第 9 圖所示係為本發明第三實施例之液晶顯示裝置之剖面圖；

第 10 圖所示係為本發明第三實施例之液晶顯示裝置之陣列基板之平面圖；

第 11 圖所示係為本發明第四實施例之液晶顯示裝置之陣列基板之平面圖；以及

第 12 圖所示係為本發明第五實施例之液晶顯示裝置之陣列基板之平面圖。

【主要元件符號說明】

11	基板
13	閘極線
14	閘極聯絡線
15	資料線
16	資料聯絡線
20、20a、20b、20c	..	閘極驅動積體電路
30、30a、30b、30c、30d		資料驅動積體電路
DR	顯示區域
NDR	非顯示區域
P	畫素區域
51	基板
60、60a、60b、60c	..	資料線
62、62a、62b、62c	..	資料聯絡線
70	資料驅動積體電路

- 110基板
- 112閘電極
- 114閘極線
- 116共同線
- 117共同電極
- 118閘極絕緣層
- Tr薄膜電晶體
- 120半導體層
- 120a主動層
- 120b歐姆接觸層
- 132源電極
- 130、130a、130b、130c、130d 資料線
- 134汲電極
- 136、136a、136b、136c、136d 資料聯絡線
- 138資料驅動積體電路
- 142汲極接觸孔
- 144共同接觸孔
- 150畫素電極
- 152第一導電圖案
- 154連接部
- CP1、CP2、CP3、CP4 電容器

- 210 第一基板
- 212 閘電極
- 214 閘極線
- 216 共同線
- 232 源電極
- 230、230a、230b、230c、230d 資料線
- 234 汲電極
- 236、236a、236b、236c、236d 資料聯絡線
- 238 資料驅動積體電路
- 242 汲極接觸孔
- 250 畫素電極
- 252 第一導電圖案
- 254 連接部
- 300 液晶顯示裝置
- 310 第一基板
- 312 閘電極
- 314 閘極線
- 318 閘極絕緣層
- 320 半導體層
- 320a 主動層
- 320b 歐姆接觸層

330、330a、330b、330c、330d	資料線
332	源電極
334	汲電極
336、336a、336b、336c、336d	資料聯絡線
338	資料驅動積體電路
340	鈍化層
342	汲極接觸孔
350	畫素電極
352、352a、352b、352c、352d	第一導電圖案
360	第二基板
362	黑色矩陣
364	彩色濾光片層
366	保護層
370	共同電極
380	液晶層
390	密封圖案
410	第一基板
414	閘極線
430、430a、430b、430c、430d	資料線
436、436a、436b、436c、436d	資料聯絡線
438	資料驅動積體電路

452	導電圖案	
490	密封圖案	
510	第一基板	
514	閘極線	
530、530a、530b、530c、530d			資料線
538	資料驅動積體電路	
536、536a、536b、536c、536d			資料聯絡線
552	導電圖案	
590	密封圖案	

七、申請專利範圍：

1. 一種液晶顯示裝置之陣列基板，包含：

一閘極線，位於一基板上，該基板包含一顯示區域及位於該顯示區域周邊之一非顯示區域；

一共同線，位於該基板上；

一資料驅動積體電路，位於該非顯示區域中；

第一及第二資料線，與該閘極線交叉以在該顯示區域中定義一畫素區域，該第一及第二資料線與該資料驅動積體電路之距離有所差別；

第一及第二資料聯絡線，連接該資料驅動積體電路，該第一及第二資料聯絡線分別連接該第一及第二資料線；

一薄膜電晶體，位於該畫素區域中，連接該閘極線與該第一及第二資料線其中之一；

一畫素電極，位於該畫素區域中且連接該薄膜電晶體；以及

一第一導電圖案，位於該非顯示區域中且連接該共同線，這樣一共同電壓被應用至該第一導電圖案，該第一導電圖案分別與該第一及第二資料聯絡線重疊以形成第一及第二電容器，

其中該第二資料線比該第一資料線更接近該資料驅動積體電路，該第二電容器之電容大於該第一電容器之電容。

2. 如請求項第 1 項所述之液晶顯示裝置之陣列基板，更包含一共

同電極，該共同電極包含連接該共同線之複數個共同分支，其中該畫素電極包含與該等共同分支交替排列之複數個畫素分支，該共同電極連接該共同線。

3. 如請求項第 1 項所述之液晶顯示裝置之陣列基板，其中該第一導電圖案具有三角形狀。
4. 如請求項第 1 項所述之液晶顯示裝置之陣列基板，其中該第一及第二資料聯絡線各自具有鋸齒形狀，該第一資料聯絡線之鋸齒形狀之數目小於該第二資料聯絡線之鋸齒形狀之數目。
5. 如請求項第 1 項所述之液晶顯示裝置之陣列基板，更包含一連接部，從該第一導電圖案延伸且接觸該共同線。
6. 如請求項第 5 項所述之液晶顯示裝置之陣列基板，更包含：
一閘極絕緣層，位於該閘極線與該共同線上；以及
一鈍化層，位於該第一及第二資料線以及該第一及第二資料聯絡線上，

其中該鈍化層與該閘極絕緣層包含暴露該共同線之一接觸孔，該鈍化層上的該連接部透過該接觸孔接觸該共同線。

7. 如請求項第 1 項所述之液晶顯示裝置之陣列基板，更包含：
一閘極驅動積體電路，位於該非顯示區域中；
第一及第二閘極聯絡線，連接該閘極驅動積體電路；以及
一第二導電圖案，位於該非顯示區域中且連接該共同線，
這樣一共同電壓被應用至該第二導電圖案，該第二導電圖案分別

與該第一及第二閘極聯絡線重疊以形成第三及第四電容器，

其中該閘極線包含第一及第二閘極線，分別連接該第一及第二閘極聯絡線。

8. 如請求項第 7 項所述之液晶顯示裝置之陣列基板，其中該第二閘極線比該第一閘極線更接近該閘極驅動積體電路，該第四電容器之電容大於該第三電容器之電容。

9. 如請求項第 1 項所述之液晶顯示裝置之陣列基板，其中該畫素電極具有板狀，覆蓋該畫素區域。

10. 一種液晶顯示裝置之陣列基板之製造方法，包含：

形成一閘極線與一共同線於一基板上，該基板包含一顯示區域以及位於該顯示區域周邊之一非顯示區域；

形成第一及第二資料線以及第一及第二資料聯絡線，該第一及第二資料線與該閘極線交叉以在該顯示區域中定義一畫素區域，該第一及第二資料聯絡線分別連接該第一及第二資料線；

於該畫素區域中形成一薄膜電晶體，且連接該閘極線與該第一及第二資料線其中之一；

形成一畫素電極與一第一導電圖案，該畫素電極位於該畫素區域中且連接該薄膜電晶體，該第一導電圖案位於該非顯示區域中且連接該共同線，這樣一共同電壓被應用至該第一導電圖案，該第一導電圖案分別與該第一及第二資料聯絡線重疊以形成第一及第二電容器；以及

於該非顯示區域中形成一資料驅動積體電路，且連接每一該第一及第二資料聯絡線，

其中該第一及第二資料線與該資料驅動積體電路之距離有所差別，

其中該第二資料線比該第一資料線更接近該資料驅動積體電路，該第二電容器之電容大於該第一電容器之電容。

11. 如請求項第 10 項所述之液晶顯示裝置之陣列基板之製造方法，更包含形成一共同電極，該共同電極包含連接該共同線之複數個共同分支，其中該畫素電極包含與該共同分支交替排列之複數個畫素分支，該共同電極連接該共同線。

12. 如請求項第 10 項所述之液晶顯示裝置之陣列基板之製造方法，其中該第一導電圖案具有三角形狀。

13. 如請求項第 10 項所述之液晶顯示裝置之陣列基板之製造方法，其中該第一及第二資料聯絡線各自具有鋸齒形狀，該第一資料聯絡線之鋸齒形狀之數目小於該第二資料聯絡線之鋸齒形狀之數目。

14. 如請求項第 10 項所述之液晶顯示裝置之陣列基板之製造方法，更包含形成一連接部，從該第一導電圖案延伸且接觸該共同線。

15. 如請求項第 14 項所述之液晶顯示裝置之陣列基板之製造方法，更包含：

於該閘極線與該共同線上形成一閘極絕緣層；

於該第一及第二資料線以及該第一及第二資料聯絡線上形成一鈍化層；以及

形成一接觸孔穿透該鈍化層與該閘極絕緣層，以暴露該共同線，

其中該鈍化層上的該連接部藉由該接觸孔接觸該共同線。

16. 如請求項第 10 項所述之液晶顯示裝置之陣列基板之製造方法，更包含：

形成第一及第二閘極聯絡線；

在該非顯示區域中形成一第二導電圖案且連接該共同線，這樣一共同電壓被應用至該第二導電圖案，該第二導電圖案分別與該第一及第二閘極聯絡線重疊以形成第三及第四電容器；以及

在該非顯示區域中形成一閘極驅動積體電路且連接至每一第一及第二閘極聯絡線，

其中該閘極線包含分別連接該閘極聯絡線之第一及第二閘極線。

17. 如請求項第 16 項所述之液晶顯示裝置之陣列基板之製造方法，其中該第二閘極線比該第一閘極線更接近該閘極驅動積體電路，該第四電容器之電容大於該第三電容器之電容。

18. 如請求項第 10 項所述之液晶顯示裝置之陣列基板之製造方

法，其中該畫素電極具有板狀，覆蓋該畫素區域。

19. 一種液晶顯示裝置，包含：

一閘極線，位於一第一基板上，該第一基板包含一顯示區域以及位於該顯示區域周邊之一非顯示區域；

一資料驅動積體電路，位於該非顯示區域中；

第一及第二資料線，與該閘極線交叉以在該顯示區域中定義一畫素區域，並且與該資料驅動積體電路之距離有所差別；

第一及第二資料聯絡線，連接該資料驅動積體電路，該第一及第二資料聯絡線分別連接該第一與第二資料線；

一薄膜電晶體，位於該畫素區域中，連接該閘極線以及該第一及第二資料線其中之一；

一畫素電極，位於該畫素區域中，且連接該薄膜電晶體；

一第一導電圖案，位於該非顯示區域中，且分別與該第一及第二資料聯絡線重疊以形成第一及第二電容器；

一共同電極，位於正對該第一基板之一第二基板上且覆蓋該顯示區域及該非顯示區域；

一密封圖案，位於該非顯示區域中且接觸該共同電極及該第一導電圖案，該密封圖案具有導電特性；以及

一液晶層，位於該第一與第二基板之間，

其中該第二資料線比該第一資料線更接近該資料驅動積體電路，該第二電容器之電容大於該第一電容器之電容。

20. 如請求項第 19 項所述之液晶顯示裝置，其中該第一導電圖案包含分別對應第一及第二資料聯絡線之第一及第二導電子圖案，該第二導電子圖案之平面面積比該第一導電子圖案大。
21. 如請求項第 19 項所述之液晶顯示裝置，其中該第一導電圖案具有三角形狀或矩形形狀。
22. 如請求項第 19 項所述之液晶顯示裝置，其中每一該第一及第二資料聯絡線具有鋸齒形狀，該第一資料聯絡線之鋸齒形狀之數目小於該第二資料聯絡線之鋸齒形狀之數目。
23. 如請求項第 19 項所述之液晶顯示裝置，其中該密封圖案包含複數個導電球。
24. 如請求項第 19 項所述之液晶顯示裝置，更包含：
- 一閘極驅動積體電路，位於該非顯示區域中且位於該第一基板上；
 - 第一及第二閘極聯絡線，連接該閘極驅動積體電路；以及
 - 一第二導電圖案，位於該非顯示區域中且與分別該第一及第二閘極聯絡線重疊以形成第三及第四電容器，
- 其中該閘極線包含分別連接該第一及第二閘極聯絡線之第一及第二閘極線。
25. 如請求項第 24 項所述之液晶顯示裝置，其中該第二閘極線比該第一閘極線更接近該閘極驅動積體電路，該第四電容器之電容大於該第三電容器之電容。

26. 如請求項第 19 項所述之液晶顯示裝置，更包含一共同線，位於該非顯示區域中且位於該第一基板上，其中該密封圖案之一端接觸該共同線與該第一導電圖案兩者，該密封圖案之另一端接觸該共同電極。

27. 一種液晶顯示裝置之製造方法，包含：

在一第一基板上形成一閘極線，該第一基板包含一顯示區域以及位於該顯示區域周邊之一非顯示區域；

形成第一及第二資料線，與該閘極線交叉以在該顯示區域中定義一畫素電極；

形成第一及第二資料聯絡線，分別連接該第一及第二資料線；

在該畫素區域中形成一薄膜電晶體，連接該閘極線與該第一及第二資料線其中之一；

形成一畫素電極與一第一導電圖案，該畫素電極位於該畫素區域中且連接該薄膜電晶體，該第一導電圖案位於該非顯示區域中且分別與該第一及第二資料聯絡線重疊以形成第一及第二電容器；

在該非顯示區域中形成一資料驅動積體電路且連接每一該第一及第二資料聯絡線；

在一第二基板上形成一共同電極且覆蓋該顯示區域及該非顯示區域；

形成具有導電特性之一密封圖案，該密封圖案位於該第一基板之該非顯示區域及該第二基板中；

接合該第一及第二基板，這樣該密封圖案接觸該共同電極及該第一導電圖案；以及

在該第一及第二基板之間形成一液晶層，

其中該第一及第二資料與該資料驅動積體電路之距離有所差別，

其中該第二資料線比該第一資料線更接近該資料驅動積體電路，該第二電容器之電容大於該第一電容器之電容。

28. 如請求項第 27 項所述之液晶顯示裝置之製造方法，其中該第一導電圖案包含分別對應該第一及第二資料聯絡線之第一及第二導電子圖案，該第二導電子圖案之平面面積大於該第一導電子圖案。

29. 如請求項第 27 項所述之液晶顯示裝置之製造方法，其中該第一導電圖案具有三角形狀或矩形形狀。

30. 如請求項第 27 項所述之液晶顯示裝置之製造方法，其中每一該第一及第二資料聯絡線具有鋸齒形狀，該第一資料聯絡線之鋸齒形狀之數目小於該第二資料聯絡線之鋸齒形狀之數目。

31. 如請求項第 27 項所述之液晶顯示裝置之製造方法，其中該密封圖案包含複數個導電球。

32. 如請求項第 27 項所述之液晶顯示裝置之製造方法，更包含：

形成第一及第二閘極聯絡線；

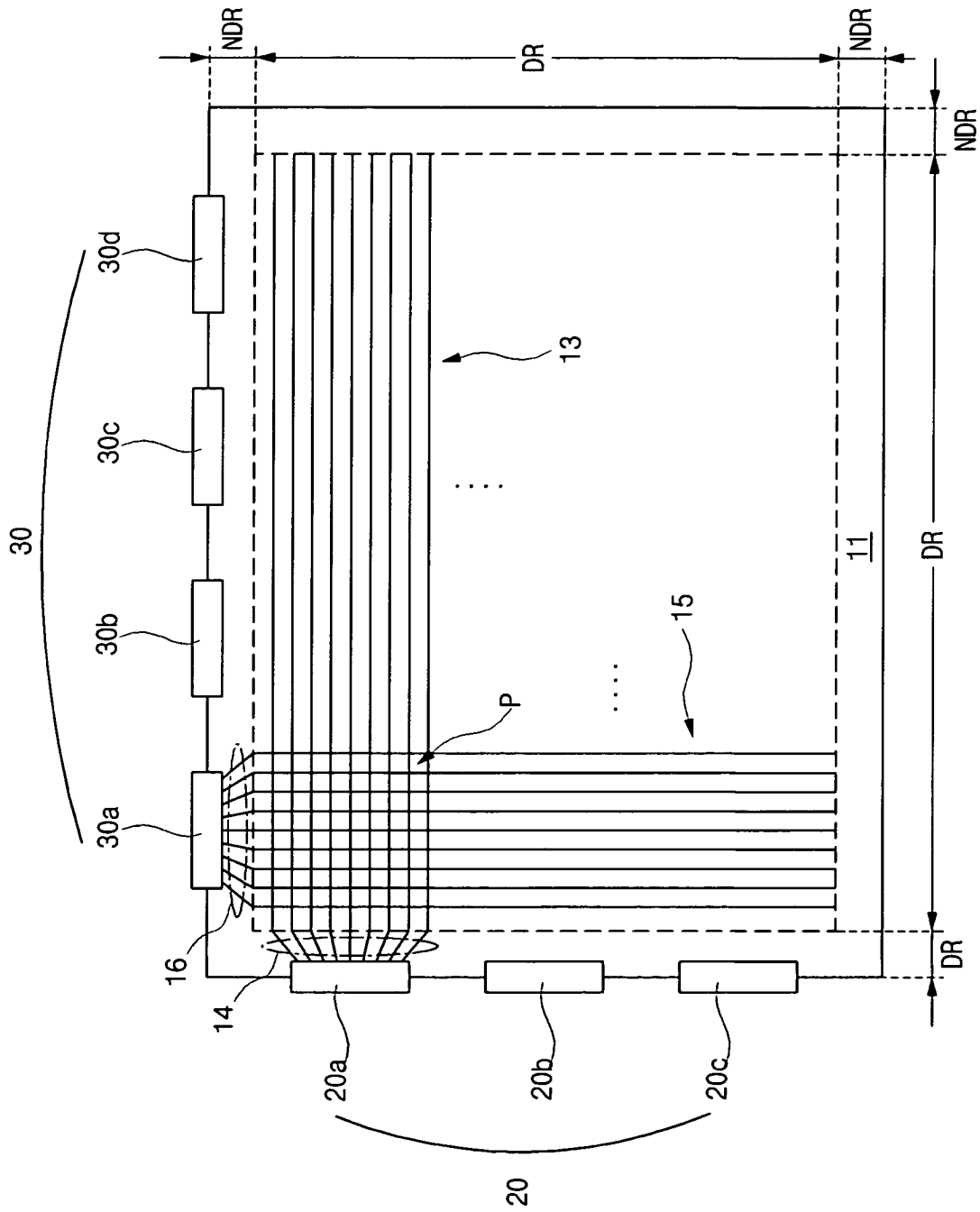
形成一第二導電圖案，位於該非顯示區域中且分別與該第一及第二閘極聯絡線重疊以形成第三及第四電容器；以及

形成一閘極驅動積體電路，位於該非顯示區域中且連接每一該第一及第二閘極聯絡線，

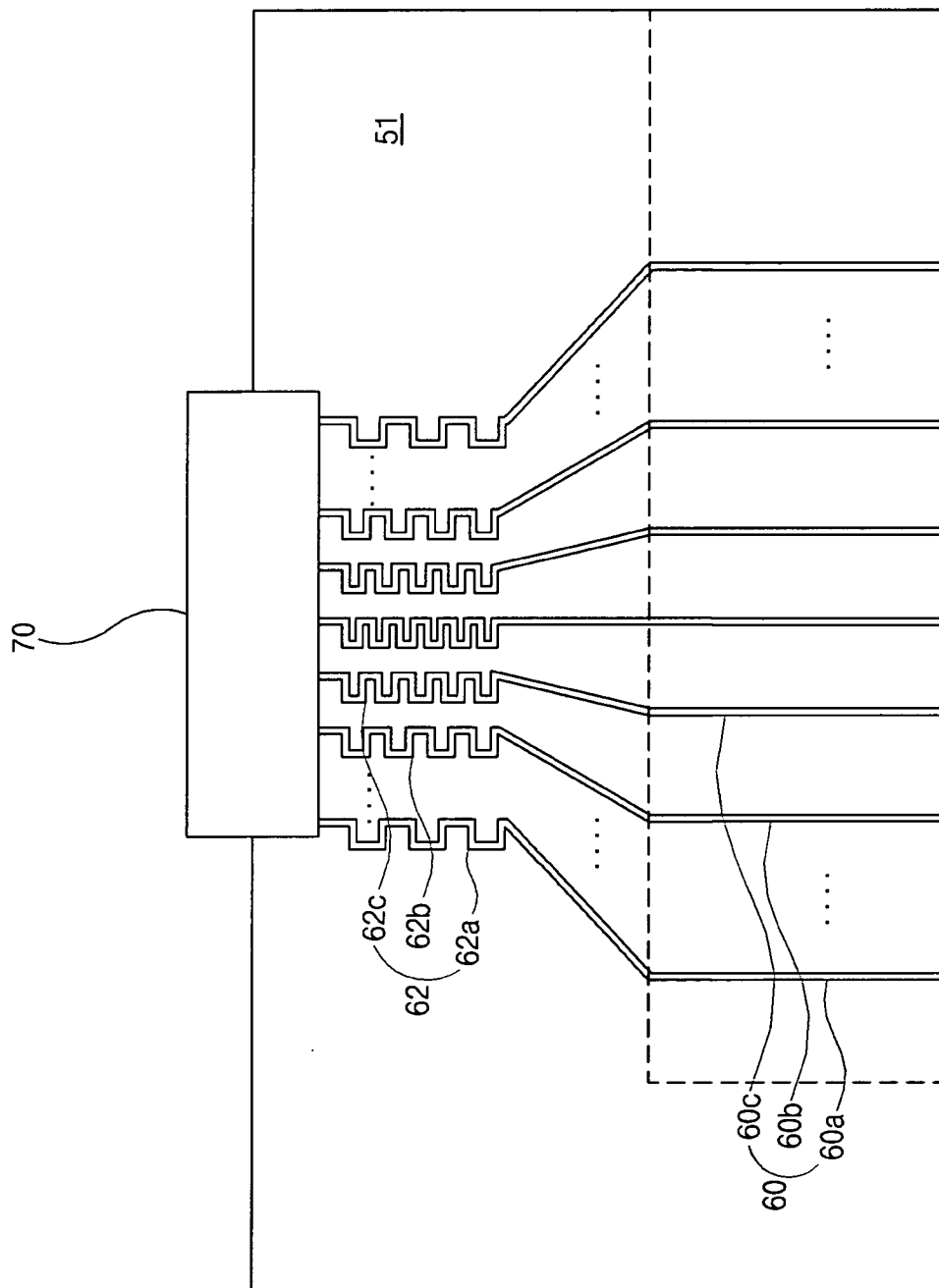
其中該閘極線包含第一及第二閘極線，分別連接該第一及第二閘極聯絡線。

33. 如請求項第 32 項所述之液晶顯示裝置之製造方法，其中該第二閘極線比該第一閘極線更接近該閘極驅動積體電路，該第四電容器之電容大於該第三電容器之電容。

34. 如請求項第 27 項所述之液晶顯示裝置之製造方法，更包含形成一共同線，位於該非顯示區域中且位於該第一基板上，該密封圖案之一端接觸該共同線及該第一導電圖案兩者，該密封圖案之另一端接觸該共同電極。

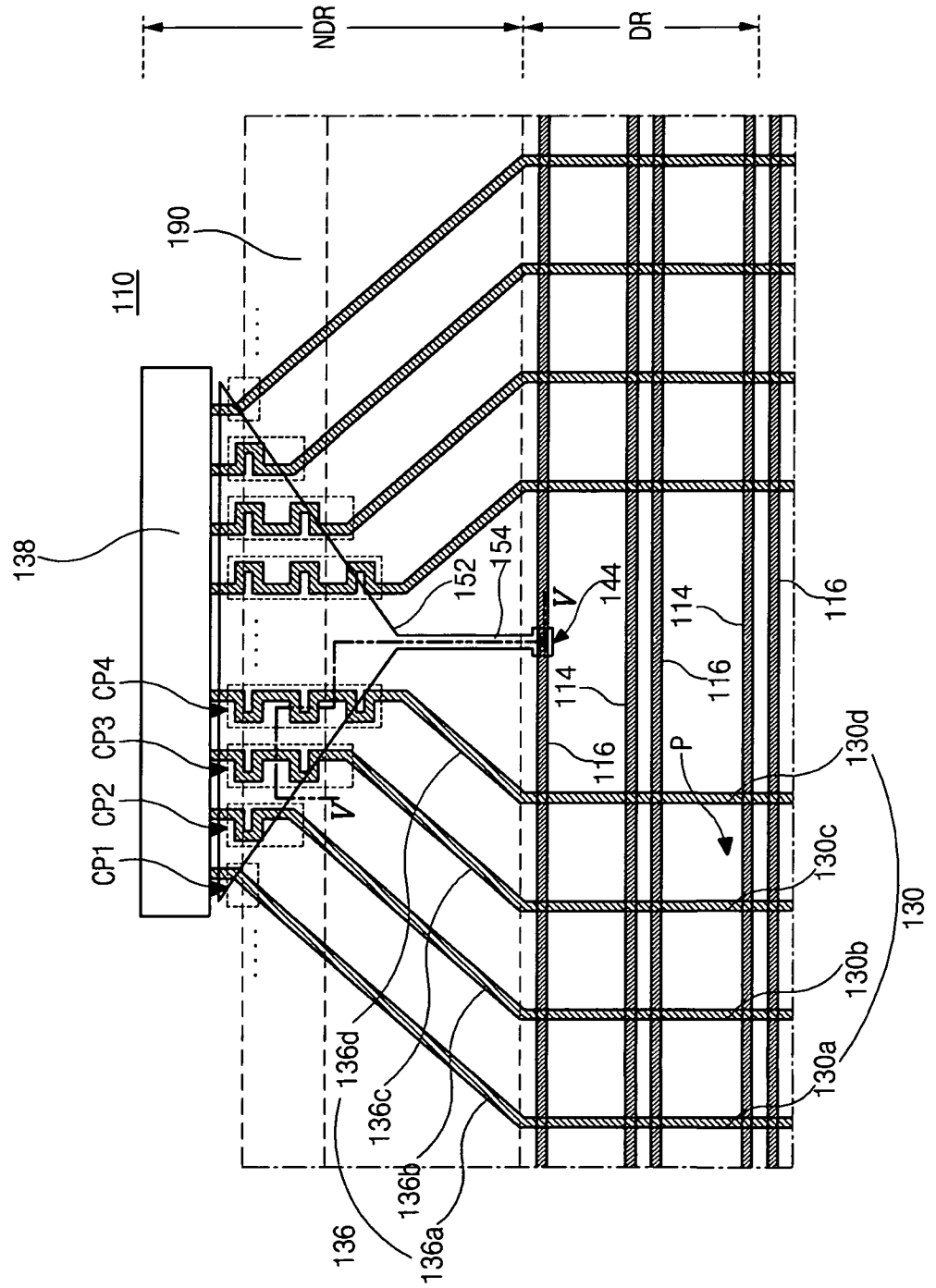


第1圖

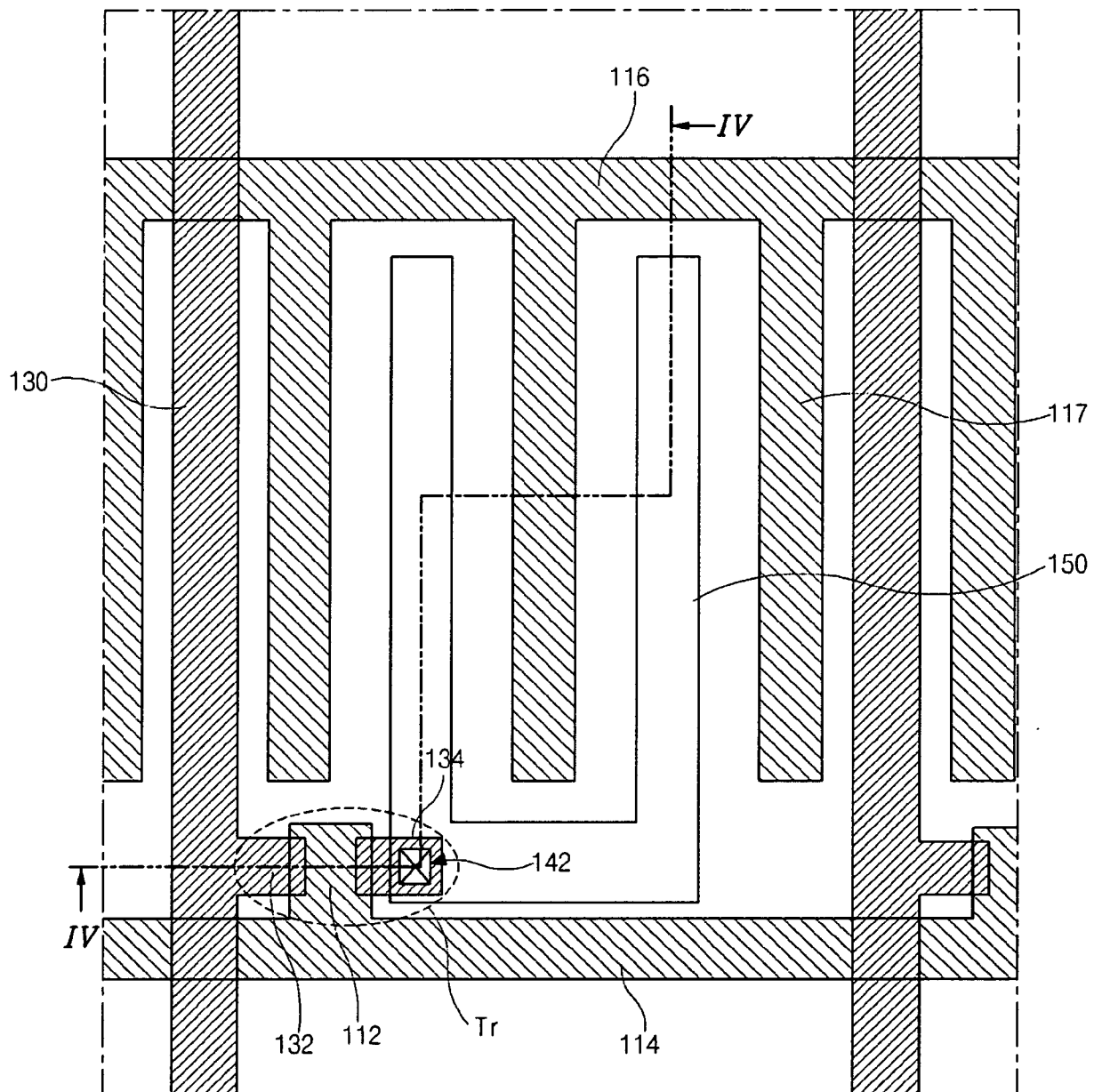


第2圖

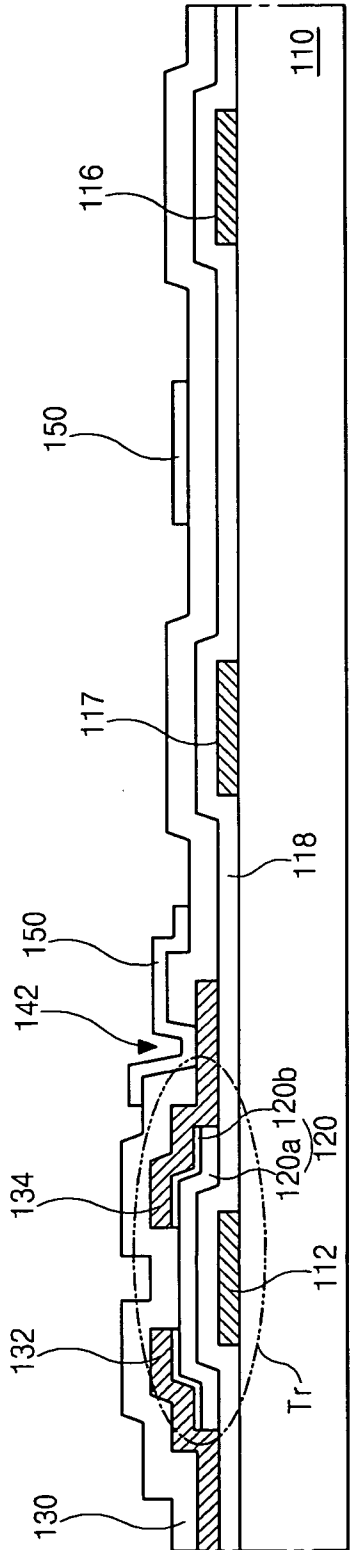




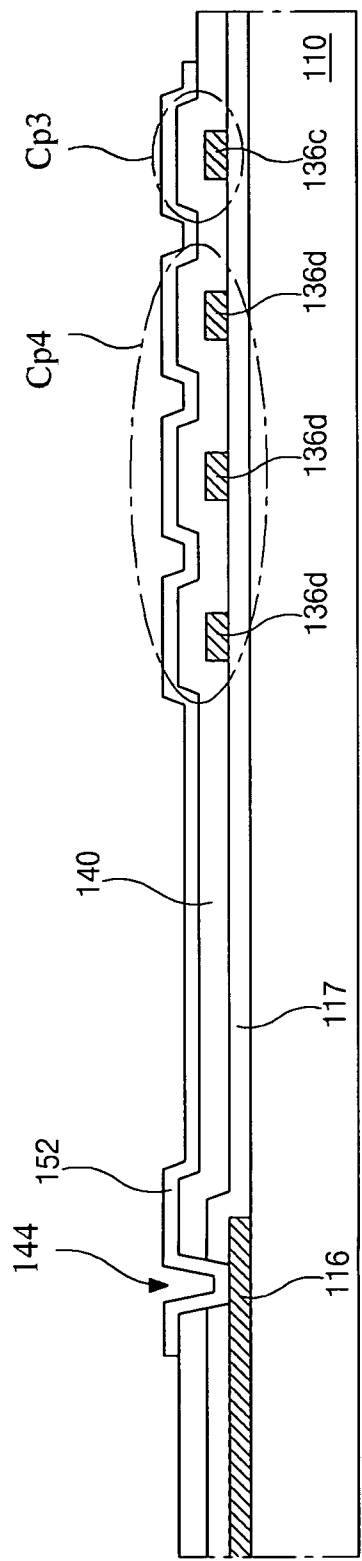
第3A圖



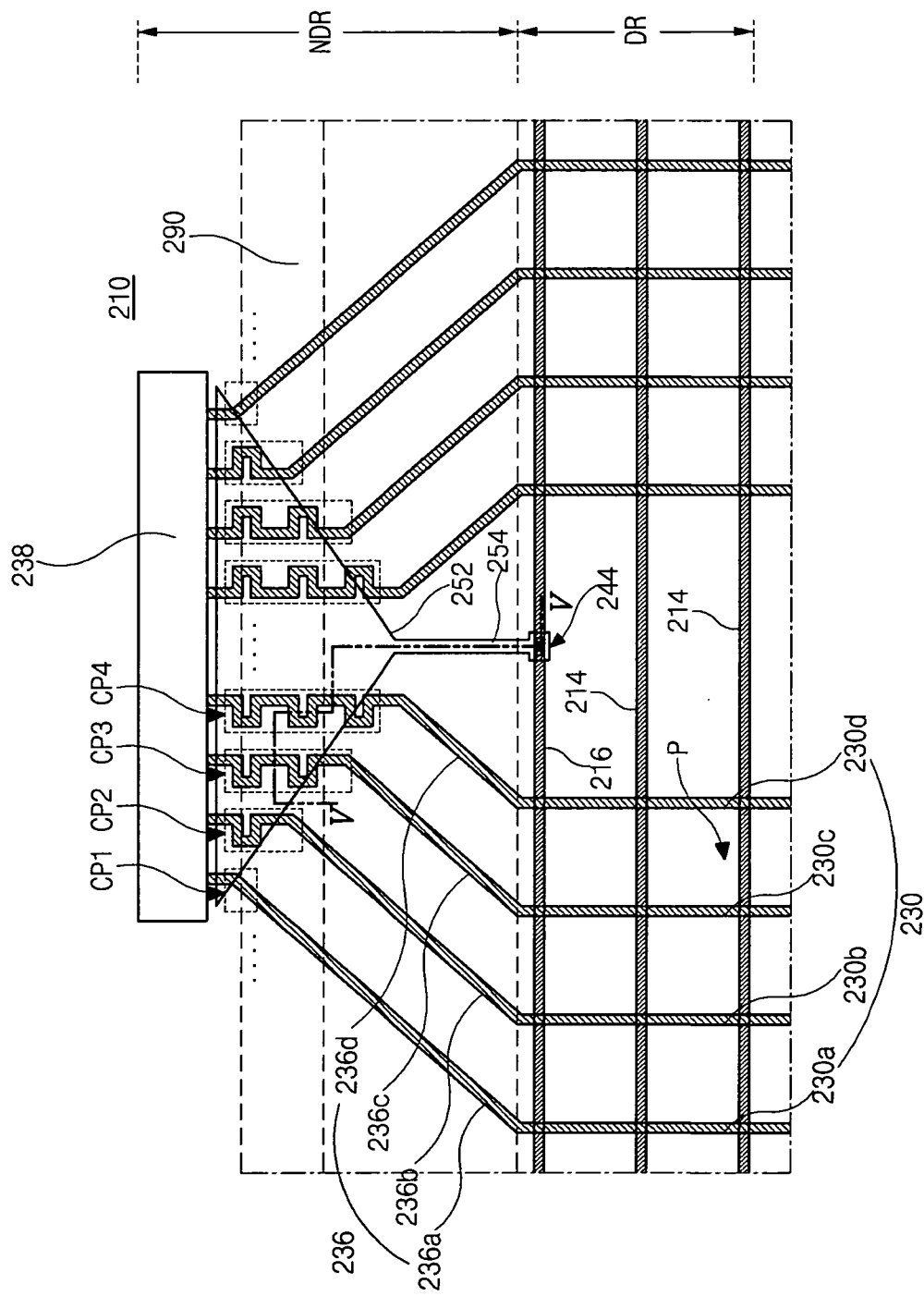
第3B圖



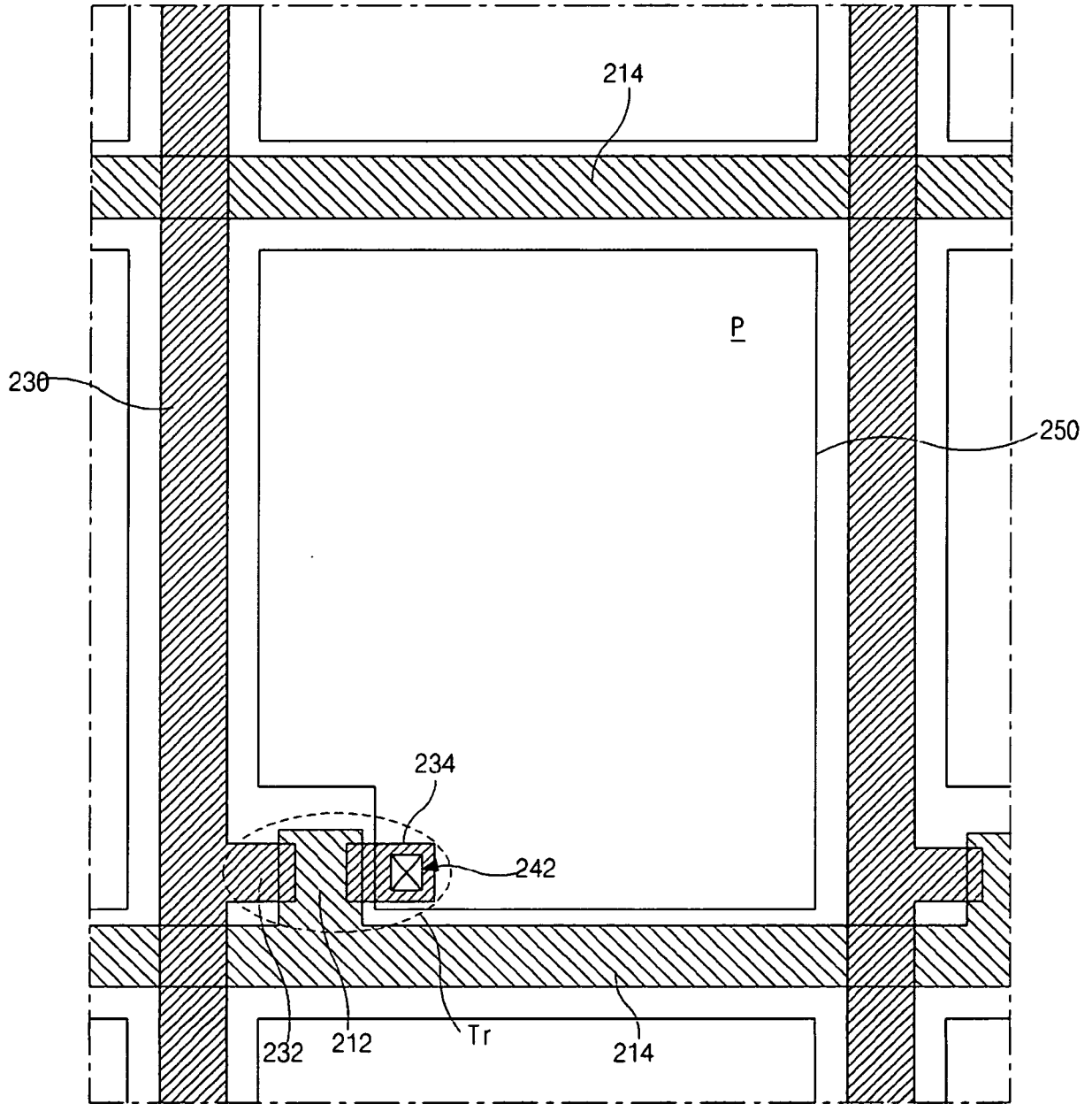
第4圖



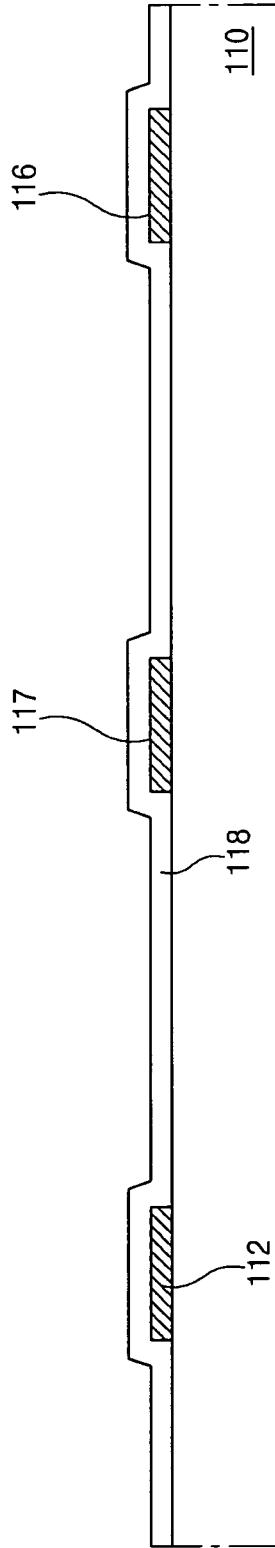
第5圖



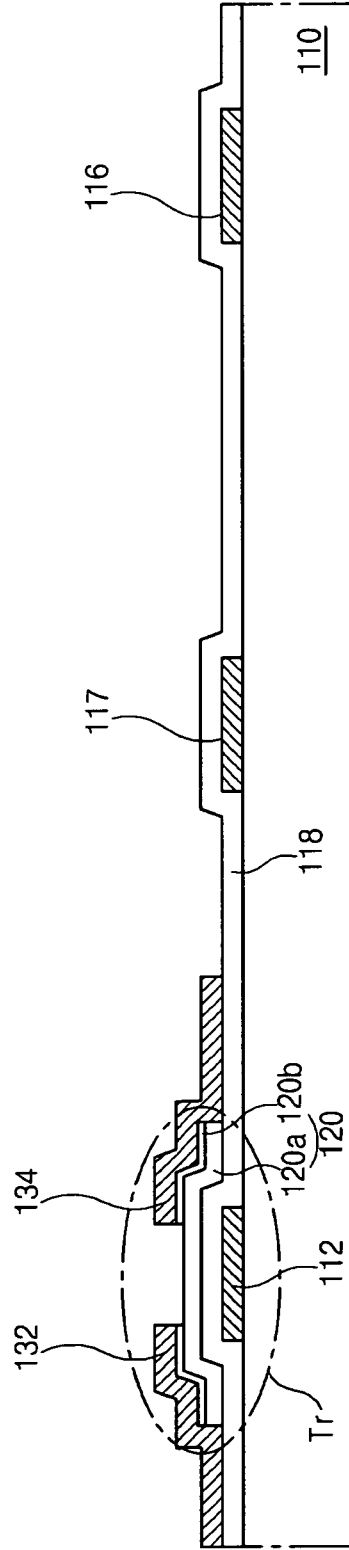
第6A圖



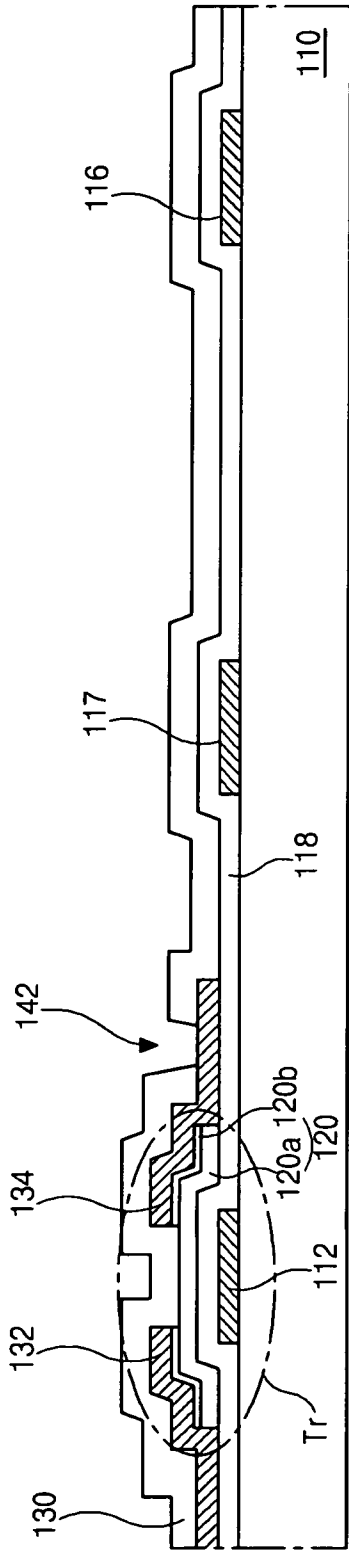
第6B圖



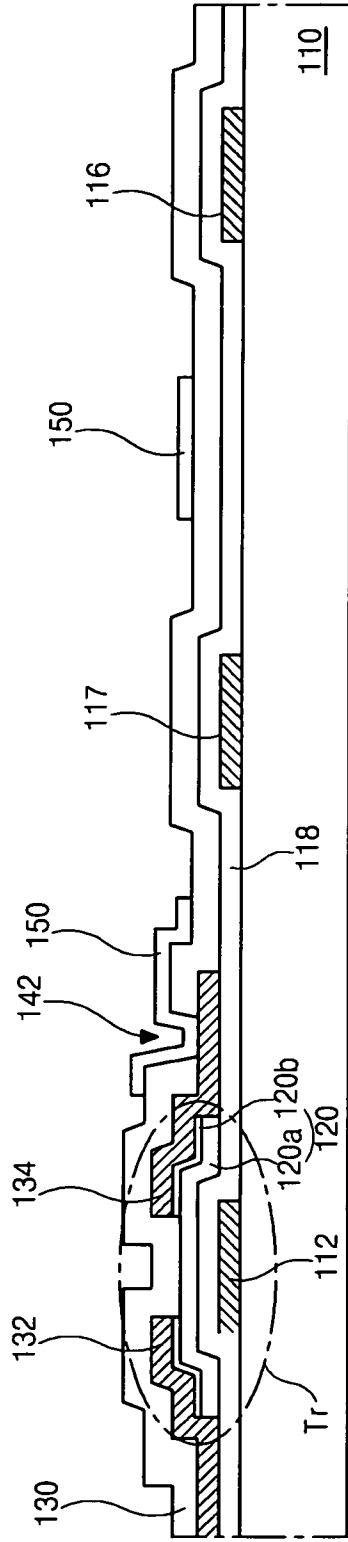
第7A圖



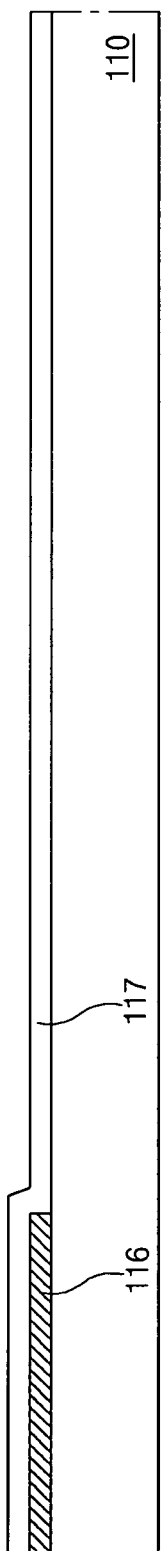
第7B圖



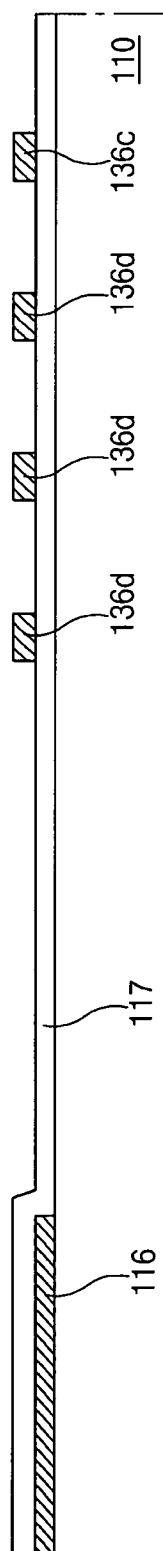
第7C圖



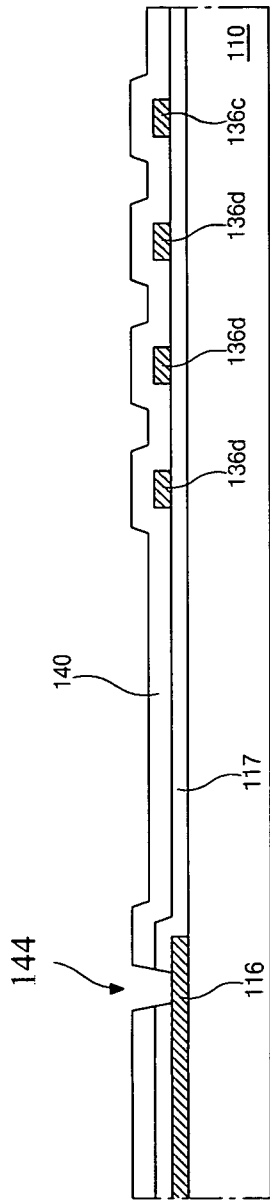
第7D圖



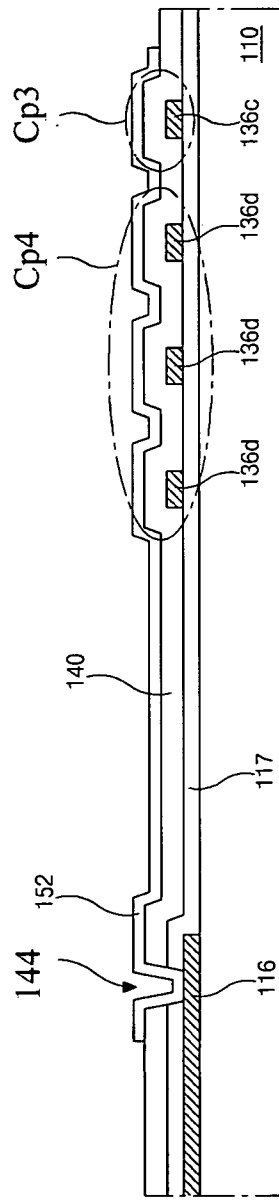
第8A圖



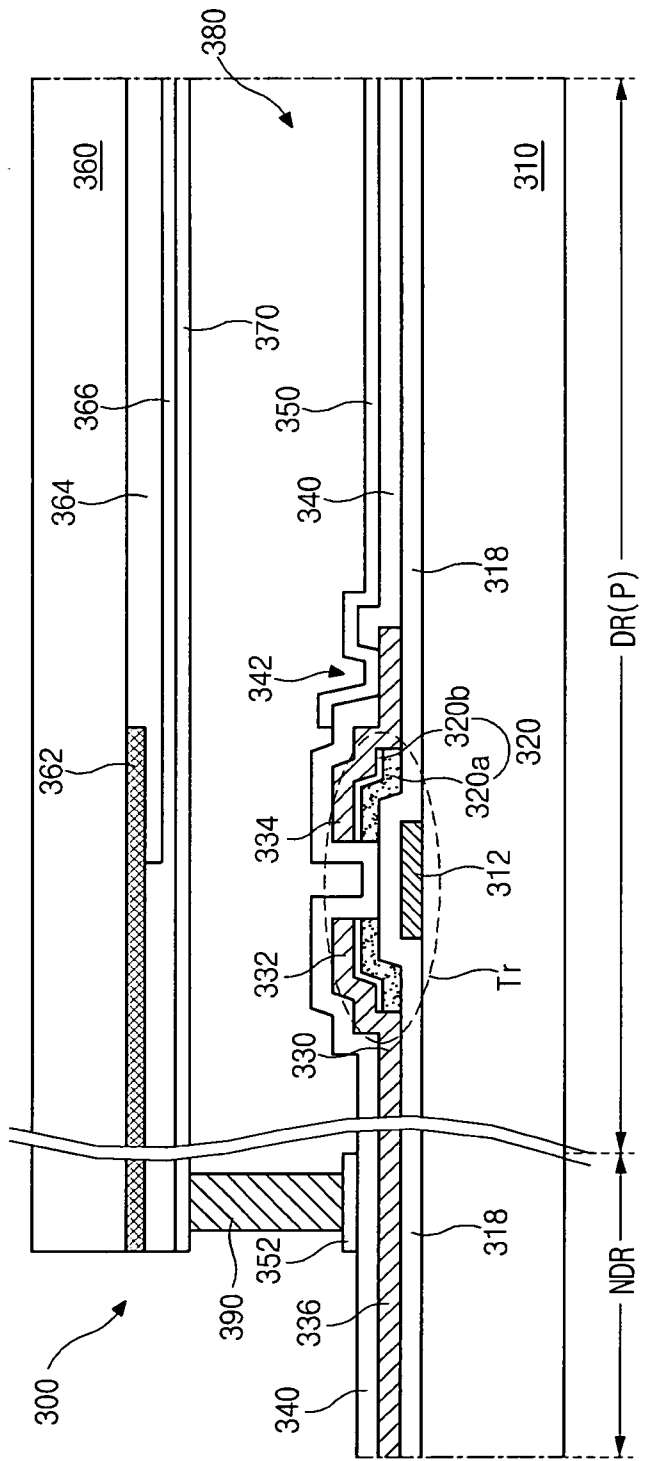
第8B圖



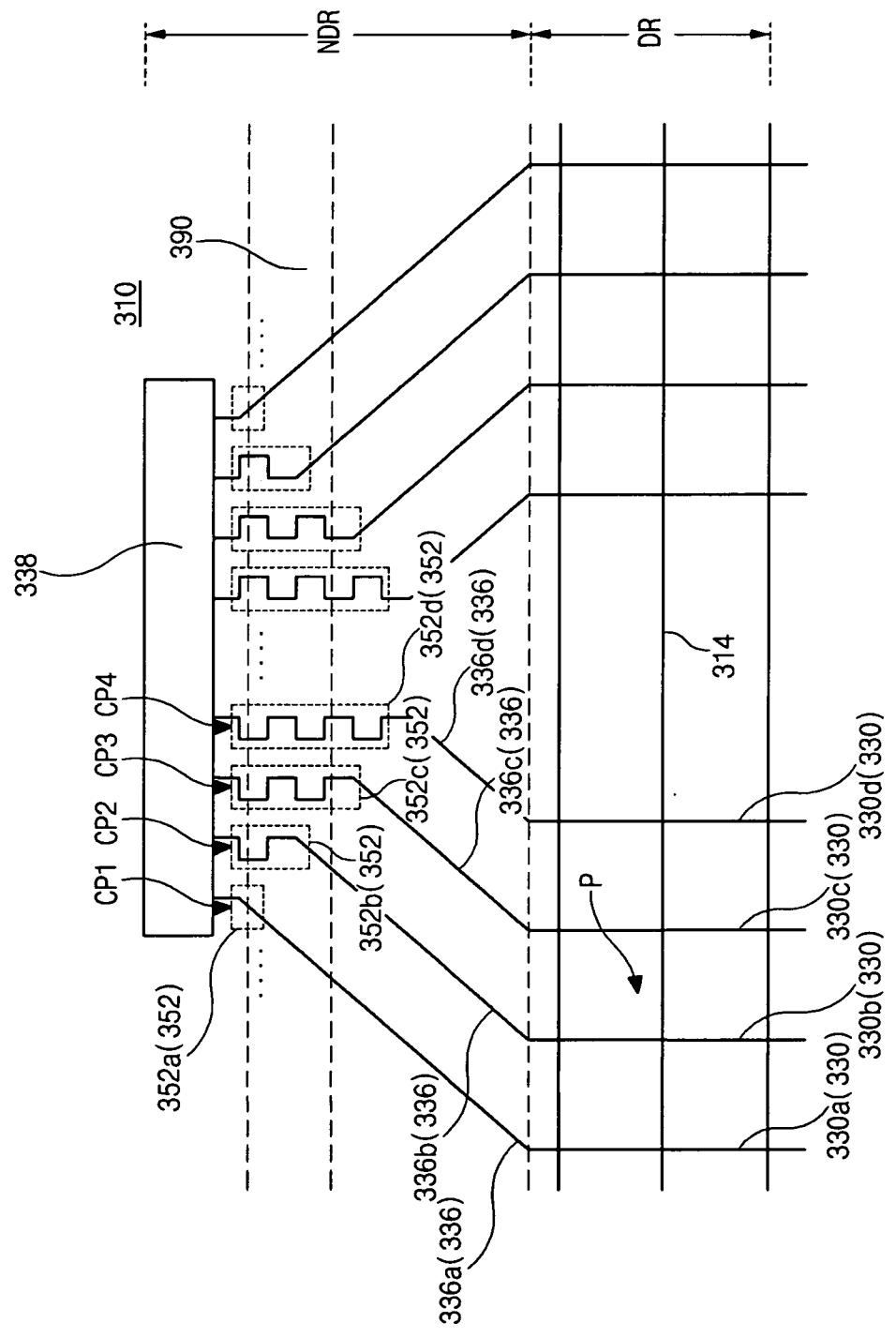
第8C圖



第8D圖

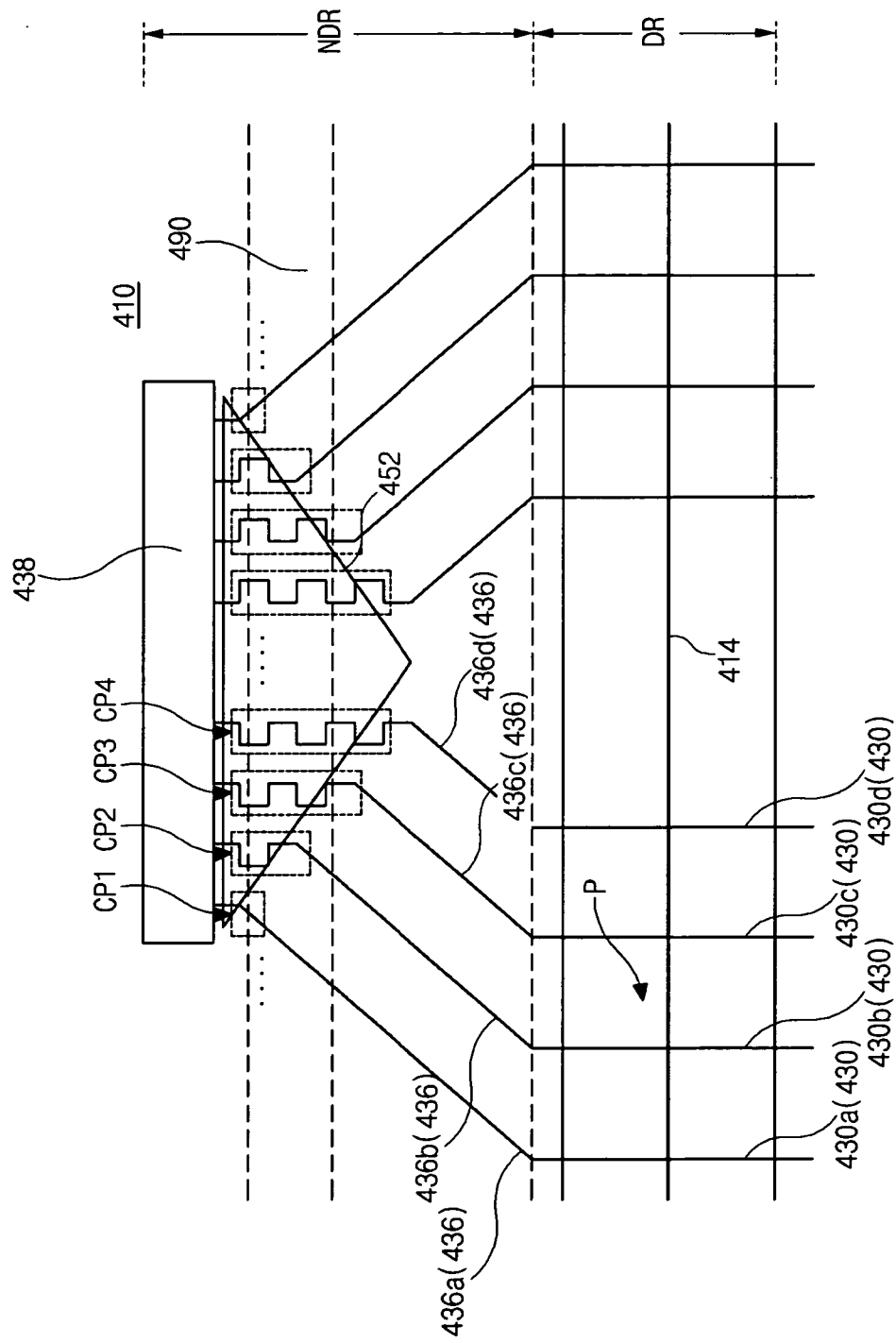


第9圖



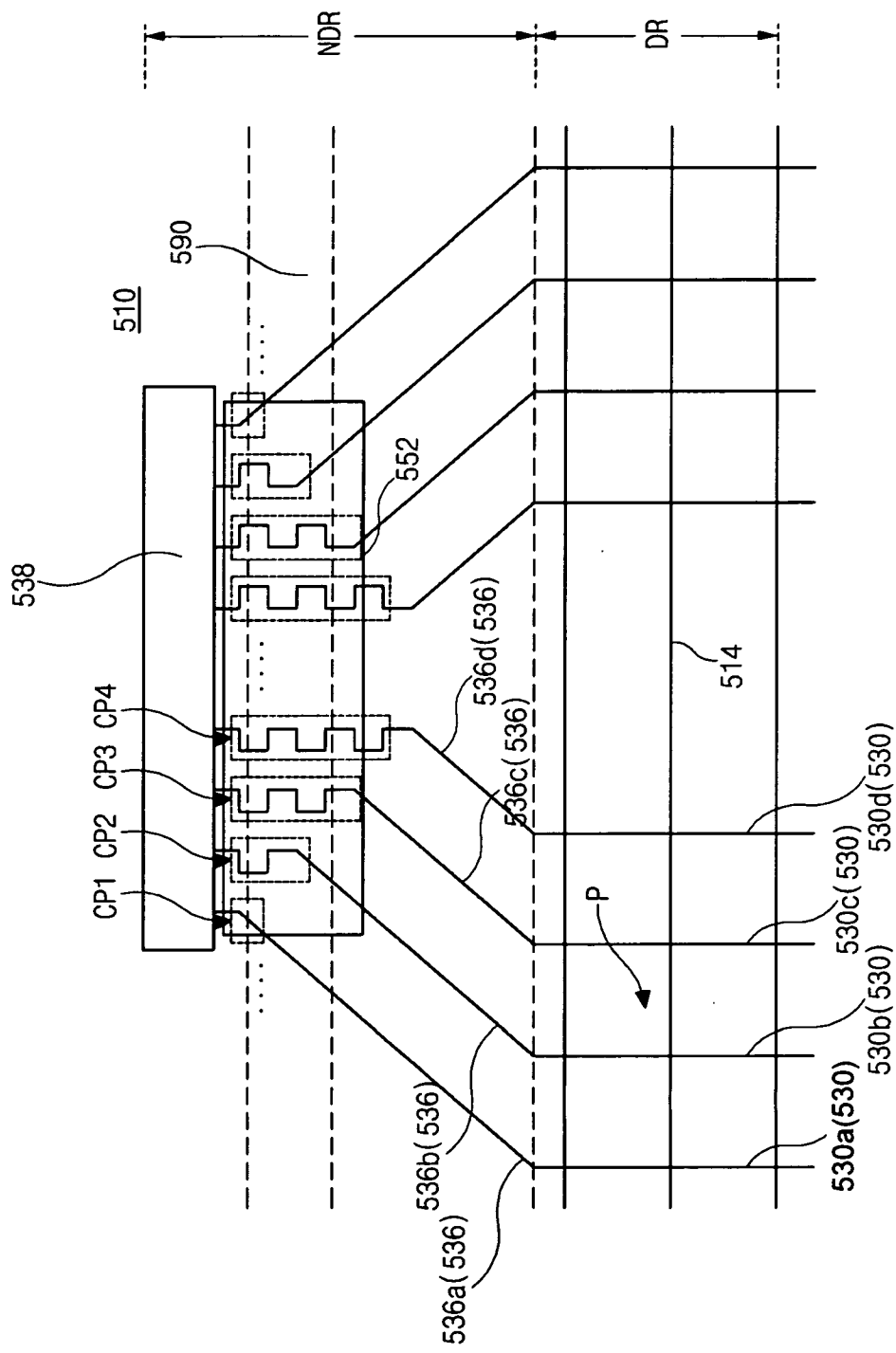
第10圖





第11圖





第12圖