

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5664392号
(P5664392)

(45) 発行日 平成27年2月4日(2015.2.4)

(24) 登録日 平成26年12月19日(2014.12.19)

| | | | | | |
|--------------|--------|-----------|--------|-------|---------|
| (51) Int.Cl. | | F I | | | |
| HO 1 L | 21/60 | (2006.01) | HO 1 L | 21/92 | 6 O 2 H |
| HO 1 L | 25/065 | (2006.01) | HO 1 L | 21/92 | 6 O 2 K |
| HO 1 L | 25/07 | (2006.01) | HO 1 L | 21/92 | 6 O 4 S |
| HO 1 L | 25/18 | (2006.01) | HO 1 L | 25/08 | B |

請求項の数 3 (全 16 頁)

| | | | |
|-----------|-------------------------------|-----------|-------------------------|
| (21) 出願番号 | 特願2011-64837 (P2011-64837) | (73) 特許権者 | 000002185 |
| (22) 出願日 | 平成23年3月23日(2011.3.23) | | ソニー株式会社 |
| (65) 公開番号 | 特開2012-204391 (P2012-204391A) | | 東京都港区港南1丁目7番1号 |
| (43) 公開日 | 平成24年10月22日(2012.10.22) | (74) 代理人 | 110000925 |
| 審査請求日 | 平成26年2月25日(2014.2.25) | | 特許業務法人信友国際特許事務所 |
| | | (72) 発明者 | 佐々木 直人 |
| | | | 東京都港区港南1丁目7番1号 ソニー株式会社内 |
| | | (72) 発明者 | 尾崎 裕司 |
| | | | 東京都港区港南1丁目7番1号 ソニー株式会社内 |
| | | 審査官 | 井出 和水 |

最終頁に続く

(54) 【発明の名称】 半導体装置、半導体装置の製造方法、及び配線基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板の電極パッド部上に形成されたバリアメタル層と、
前記バリアメタル層上面の中央部に形成され、外径よりも小さい外径を有して形成されたはんだ層とからなるはんだバンプとを備え、

前記バリアメタル層上面のはんだ層が形成されていない面には、溶融したはんだ層に対して濡れ性の悪い材料からなるストッパ膜が形成されており、前記ストッパ膜は、前記バリアメタル層及び前記はんだ層を形成する際に用いたフォトレジスト層をアッシングにより除去する工程で前記バリアメタル層上面に形成された酸化膜で構成されている

半導体装置。

【請求項2】

基板に形成された電極パッド部上部に、電極パッド部の中央部が開口した第1のフォトレジスト層を介してバリアメタル層を形成する工程と、

前記バリアメタル層上部に、前記バリアメタル層の中央部が開口され、前記第1のフォトレジスト層の開口の内径よりも小さい内径の開口を有する第2のフォトレジスト層を介して前記バリアメタル層の外径よりも小さい外径のはんだ層を形成する工程と、

前記バリアメタル層上面のはんだ層が形成されない領域に、前記はんだ層に対して濡れ性の悪い材料からなるストッパ膜を形成する工程と、を有し、

前記第1及び第2のフォトレジスト層はアッシングにより除去され、前記ストッパ膜は、前記アッシングによって前記バリアメタル層上面に形成される酸化膜によって形成する

半導体装置の製造方法。

【請求項 3】

基板に形成された電極パッド部の中央部を開口するフォトレジスト層を形成する工程と

、
前記フォトレジスト層を介して前記電極パッド部上部にはんだ層を形成する工程と、
前記電極パッド部上面のはんだ層が形成されない領域に、前記はんだ層に対して濡れ性
の悪い材料からなるストッパ膜を形成する工程と、を有し、

前記フォトレジスト層はアッシングにより除去され、前記ストッパ膜は、前記アッシング
によって前記電極パッド部上面に形成される酸化膜によって形成する

配線基板の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、はんだバンプが形成された半導体装置、及びその半導体装置の製造方法に関する。また、配線基板の製造方法に関する。

【背景技術】

【0002】

近年の半導体デバイスの高集積化に伴い、複数の半導体チップを単一のパッケージ内に積層して実装するチップオンチップの技術や、半導体チップを半導体ウエハ上に実装するチップオンウエハの技術が提案されている。図13に、従来の半導体装置に形成される一般的なはんだバンプの断面の概略構成を示す。

20

【0003】

図13に示すように、従来の半導体装置205は、半導体基板203の電極パッド部（図示せず）上に形成された高融点金属材料からなるバリアメタル層201と、低融点金属材料からなるはんだ層202とで構成されている。バリアメタル層201を構成する高融点金属材料としては、例えば、Ni、Cu、Auが用いられる。また、はんだ層202は、バリアメタル層201上部に形成され、はんだ層202を構成する低融点金属材料としては、Sn、In、Bi等が用いられている。そして、従来のはんだバンプ200では、図13に示すように、はんだ層202の外径がバリアメタル層201の外径とほぼ同じか、それよりも大きく形成されるのが一般的である（特許文献1参照）。

30

【0004】

図14A、Bに、はんだバンプ200が形成された2つの半導体装置205を接合する従来の半導体装置の製造工程を示す。図14A、Bでは、接合される二つの半導体装置を半導体装置205a、205bとして説明する。

【0005】

まず、図14Aに示すように、一方の半導体装置205aのはんだバンプ200が形成された面を、他方の半導体装置205bのはんだバンプ200が形成された面に対向させるように、図示しないフリップチップボンダーを用いてマウントする。

その後、図14Bに示すように、はんだ層202の融点以上の温度条件下で対向するはんだバンプ200を接触させ、はんだ層202間の接続を行う。このとき、フリップチップボンダーにより半導体装置205a、205b間の距離（ギャップ）を制御しながら、一方の半導体装置205aを他方の半導体装置205b側に接近させる。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平9-97795号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

ところで、図14A、Bに示したチップ間接続の工程では、フリップチップボンダーの

50

機械精度や制御性に起因して、フリップチップボンダーによって移動される側の半導体装置 205 a に、傾きや反りが発生してしまうという問題がある。また、半導体装置 205 a、205 b のはんだバンプ 200 が形成される面にはグローバルな段差が形成されている場合がある。このため、半導体装置 205 の接続時には、図 14 A、B に示すように、一方の半導体装置 205 a が他方の半導体装置 205 b に対して傾いて接触され、半導体装置 205 a、205 b 間のギャップが広い領域 a と狭い領域 b とに、ギャップ差が発生する。そして、現状では、この半導体装置 205 a、205 b 間のギャップ差をキャンセルするために、はんだ層 202 は一定以上厚く形成しておく必要がある。

【0008】

そうすると、対向する半導体装置 205 a、205 b 間のギャップが最適とされた領域 a では、図 15 A に示すように低融点金属からなるはんだ層 202 があまり潰れない状態で接合する。しかしながら、半導体装置 205 a、205 b 間のギャップが狭い領域 b では、図 15 B に示すように、はんだ層 202 が潰れ、高融点金属からなるバリアメタル層 201 の外径から大きくはみ出てしまう。半導体装置 205 a、205 b 上に形成されるはんだバンプ 200 が微細ピッチで形成されている場合、図 15 B に示すように、ギャップが狭い領域 b では隣接するはんだ層 202 が接触し、ショートする恐れがある。

【0009】

近年、デバイスの小型化に伴い、はんだバンプ 200 間の狭ピッチ化が求められている。このため、はんだバンプ 200 間のピッチが縮小化した場合にも、隣接するはんだバンプ 200 間がショートしない構成が望まれている。

【0010】

本開示は、はんだバンプを介した半導体装置の接合プロセスにおいて、接合精度の向上が図られ、歩留まりの向上が図られた半導体装置、並びに配線基板を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記課題を解決し、本開示の半導体装置は、基板の電極パッド部上に形成されたバリアメタル層と、バリアメタル層上面の中央部に形成され、バリアメタル層の外径よりも小さい外径を有して形成されたはんだ層とからなるはんだバンプを備える。そして、バリアメタル層上面のはんだ層が形成されていない面には、溶融したはんだ層に対して濡れ性の悪い材料からなるストッパ膜が形成されており、ストッパ膜は、バリアメタル層及びはんだ層を形成する際に用いたフォトレジスト層をアッシングにより除去する工程でバリアメタル層上面に形成された酸化膜で構成されている。

【0012】

本開示の半導体装置の製造方法は、基板に形成された電極パッド部上部に、電極パッド部の中央部が開口した第 1 のフォトレジスト層を介してバリアメタル層を形成する工程と、バリアメタル層上部に、バリアメタル層の中央部が開口され、第 1 のフォトレジスト層の開口の内径よりも小さい内径の開口を有する第 2 のフォトレジスト層を介してバリアメタル層の外径よりも小さい外径のはんだ層を形成する工程を含む。また、バリアメタル層上面のはんだ層が形成されない領域に、はんだ層に対して濡れ性の悪い材料からなるストッパ膜を形成する工程と、を有し、第 1 及び第 2 のフォトレジスト層はアッシングにより除去され、ストッパ膜は、アッシングによってバリアメタル層上面に形成される酸化膜によって形成する。

【0013】

本開示の半導体装置及びその製造方法では、バリアメタル層の外径が、はんだ層の外径よりも小さい径を有して形成されるため、溶融したはんだ層が潰れた場合に、バリアメタル層上部から大幅にはみ出るのを防ぐことができる。

【0014】

本開示の配線基板の製造方法は、基板に形成された電極パッド部の中央部を開口するフォトレジスト層を形成する工程と、フォトレジスト層を介して電極パッド部上部にはんだ

10

20

30

40

50

層を形成する工程を含む。また、電極パッド部上面のはんだ層が形成されない領域に、はんだ層に対して濡れ性の悪い材料からなるストッパ膜を形成する工程と、を有し、フォトレジスト層はアッシングにより除去され、ストッパ膜は、アッシングによって電極パッド部上面に形成される酸化膜によって形成する。

【0015】

本開示の配線基板の製造方法では、電極パッド部上部に形成されるはんだ層が、パターンニングされたフォトレジスト層を介して形成されるため、配線パッド部上部の所望の領域に精度良く形成することができる。

【発明の効果】

【0016】

本開示によれば、チップ間接合において、歩留まりの向上や品質の向上が図られる半導体装置、及び配線基板を得ることができる。

【図面の簡単な説明】

【0017】

【図1】本開示の第1の実施形態に係る半導体装置のはんだバンプが形成された部分の断面構成図である。

【図2】A、B、C 本開示の第1の実施形態に係る半導体装置の要部の製造工程を示す図(その1)である。

【図3】D、E、F 本開示の第1の実施形態に係る半導体装置の要部の製造工程を示す図(その2)である。

【図4】G、H、I 本開示の第1の実施形態に係る半導体装置の要部の製造工程を示す図(その3)である。

【図5】J、K 本開示の第1の実施形態に係る半導体装置の要部の製造工程を示す図(その4)である。

【図6】A、B 本開示の第1の実施形態で形成された2つの半導体装置をはんだバンプを介して接合する工程を示す図である。

【図7】A、B ギャップ差が広い領域における断面の拡大図(図6Bのaに相当)と、ギャップ差が狭い領域における断面の拡大図(図6Bのbに相当)である。

【図8】A、B 変形例1に係る半導体装置と半導体装置の接合工程図である。

【図9】A、B 変形例2に係る半導体装置と配線基板の接合工程図である。

【図10】A、B、C 本開示の第2の実施形態に係る半導体装置の要部の製造工程を示す図(その1)である。

【図11】D、E、F 本開示の第2の実施形態に係る半導体装置の要部の製造工程を示す図(その2)である。

【図12】A、B、C、D 本開示の第3の実施形態に係る配線基板の要部の製造工程を示す図である。

【図13】従来の半導体装置に形成される一般的なはんだバンプの断面を示す概略構成図である。

【図14】A、B 従来の2つの半導体装置をはんだバンプを介して接合する工程を示す図である。

【図15】A、B ギャップが広い領域aにおける拡大図と、ギャップが狭い領域bにおける拡大図である。

【発明を実施するための形態】

【0018】

以下に、本開示の実施形態に係る半導体装置、半導体装置の製造方法、配線基板の製造方法の一例を、図1～図12を参照しながら説明する。本開示の実施形態は以下の順で説明する。なお、本開示は以下の例に限定されるものではない。

1. 第1の実施形態：半導体装置
 - 1-1 半導体装置の構成
 - 1-2 半導体装置の製造方法

10

20

30

40

50

1 - 3 変形例 1

1 - 4 変形例 2

2 . 第 2 の実施形態 : 半導体装置

3 . 第 3 の実施形態 : 配線基板の製造方法

【 0 0 1 9 】

1 . 第 1 の実施形態 : 半導体装置

まず、本開示の第 1 の実施形態に係る半導体装置、及びその半導体装置の製造方法について説明する。

【 0 0 2 0 】

[1 - 1 半導体装置の構成]

図 1 に、本開示の第 1 の実施形態に係る半導体装置 5 0 のはんだバンプ 1 が形成された部分の断面構成を示す。図 1 に示すように、本実施形態例の半導体装置 5 0 は、半導体基板 5 の回路面上に形成された電極パッド部 9 と、電極パッド部 9 の周縁及び半導体基板 5 の回路面を覆う絶縁膜 (以下パッシベーション膜) 6 とを備える。そして、電極パッド部 9 上に順に形成された密着層 7 及びシードメタル層 8 と、そのシードメタル層 8 上部に順に形成されたバリアメタル層 2、及びはんだ層 3 とで構成されるはんだバンプ 1 を備える。さらに、はんだバンプ 1 を構成するバリアメタル層 2 上面にはストッパ膜 4 が形成されている。

10

【 0 0 2 1 】

電極パッド部 9 は、例えば、アルミニウム (A l) から成り、半導体装置 5 0 を構成する半導体基板 5 の主面、例えば回路面 (図示せず) 上に所望の面積を有して構成されている。

20

パッシベーション膜 6 は、例えば S i N 又は S i O ₂ からなり、電極パッド部 9 の中央部分を露出する開口部 1 0 を有し、電極パッド部 9 の周縁及び半導体基板 5 表面を被覆するように形成されている。

【 0 0 2 2 】

密着層 7 は、例えば T i から成り、パッシベーション膜 6 に露出された電極パッド部 9 上部に形成されている。密着層 7 により、はんだバンプ 1 と電極パッド部 9 との密着性が向上する。

シードメタル層 8 は、例えば C u からなり、密着層 7 上部に形成されている。シードメタル層 8 は、バリアメタル層 2 を電解めっきで形成するために設けられる層である。

30

【 0 0 2 3 】

バリアメタル層 2 は、電極パッド部 9 直上に、密着層 7、シードメタル層 8 を介して形成されており、電極パッド部 9 の面積よりも小さい面積で形成されている。バリアメタル層 2 は、はんだ層 3 に用いられる材料の融点よりも高い融点を有する高融点金属材料を用いることができ、例えば、N i、C u、A u のいずれかを用いることができる。バリアメタル層 2 の厚みは、1 ~ 1 0 μ m で形成されている。

【 0 0 2 4 】

はんだ層 3 は、バリアメタル層 2 直上の中央部に形成され、バリアメタル層 2 の外径よりも小さい外径を有して形成されている。はんだ層 3 は、バリアメタル層 2 に用いられる材料の融点よりも低い融点を有する低融点金属材料を用いることができ、例えば S n、I n、B i のいずれかを用いることができる。はんだ層 3 の厚みは、2 ~ 2 0 μ m で形成されており、バリアメタル層 2 とはんだ層 3 との高さの比が例えば 2 : 1 となるように形成されている。

40

【 0 0 2 5 】

ストッパ膜 4 は、バリアメタル層 2 上面のはんだ層 3 が形成されていない領域、すなわち、バリアメタル層 2 上面の周縁に形成されている。ストッパ膜 4 は、はんだ層 3 を溶融したときに、溶融したはんだ層 3 がバリアメタル層 2 上面に広がるのを抑制するための層であり、はんだ層 3 の材料に対して濡れ性の悪い材料で構成される。本実施形態例では、ストッパ膜 4 は、S i O ₂ 膜で形成された例とする。

50

【 0 0 2 6 】

本実施形態例のはんだパンプ 1 では、低融点金属材料で構成されるはんだ層 3 の外径が高融点金属材料で構成されるバリアメタル層 2 の外径よりも小さく形成されている。このため、はんだ層 3 が潰れて横方向（半導体基板 5 の面に水平な方向）広がった場合にも、バリアメタル層 2 上面から著しくはみ出るようなことが無くなる。また、バリアメタル層 2 上面のはんだ層 3 が形成されていない領域にははんだ層 3 の材料に対して濡れ性の悪い材料からなるストッパ膜 4 が形成されている。このため、溶融したはんだ層 3 とストッパ膜 4 表面の接触角が大きく、はんだ層 3 が横方向に広がりにくくなる。

【 0 0 2 7 】

[1 - 2 半導体装置の製造方法]

図 2 A ~ 図 5 K に、本実施形態例の半導体装置 5 0 の要部の製造工程図を示す。図 2 A ~ 図 5 K を用いて、本実施形態例の半導体装置 5 0 の製造方法について説明する。

【 0 0 2 8 】

まず、図 2 A に示すように、半導体基板 5 を準備し、半導体基板 5 上部の回路面上にアルミニウムからなる電極パッド部 9 を形成する。次に、電極パッド部 9 の周縁及び半導体基板 5 上部を覆い、電極パッド部 9 の中央部分を露出する開口部 1 0 を有するパッシベーション膜 6 を形成する。その後、A r ガスを用いたプラズマエッチングにより、露出した電極パッド部 9 表面を洗浄する。

【 0 0 2 9 】

次に、図 2 B に示すように、スパッタ法を用いて 1 0 0 n m ~ 5 0 0 n m 程度の厚みの T i からなる密着層 7 を形成する。密着層 7 は、電極パッド部 9 とはんだパンプ 1 の密着性を高めるために設けられる層である。

【 0 0 3 0 】

次に、図 2 C に示すように、スパッタ法を用いて、1 0 0 ~ 1 0 0 0 n m 程度の厚みの C u からなるシードメタル層 8 を形成する。シードメタル層 8 は、抵抗を下げるための膜であり、後の工程で用いられる電解めっき法におけるシードメタルとして機能する。

【 0 0 3 1 】

次に、図 3 D に示すように、半導体基板 5 の表面側全面に第 1 のフォトリソ層 1 1 を塗布により形成する。

次に、図 3 E に示すように、図 2 A の工程において、パッシベーション膜 6 に露出された電極パッド部 9 の領域よりも少し大きい領域が開口されたマスク 1 2 を第 1 のフォトリソ層 1 1 上部に形成し、露光する。

【 0 0 3 2 】

次に、現像することにより、図 3 F に示すように、第 1 のフォトリソ層 1 1 の露光された部分が除去され、シードメタル層 8 の中央部分が露出する開口部 1 3 が形成される。その後、露出されたシードメタル層 8 上部を、酸素、及び A r ガスを用いてディスカム処理を行う。

【 0 0 3 3 】

次に、図 4 G に示すように、電解めっき法を用いて、シードメタル層 8 上部に N i からなるバリアメタル層 2 を例えば 1 ~ 1 0 μ m の厚みに形成する。

【 0 0 3 4 】

次に、バリアメタル層 2 上面、及び第 1 のフォトリソ層 1 1 全面を被覆する第 2 のフォトリソ層 1 4 を更に形成する。第 2 のフォトリソ層 1 4 では、バリアメタル層 2 直上において、バリアメタル層 2 の外径よりも小さい外径の開口が形成されたマスクを第 2 のフォトリソ層 1 4 上部に形成し、露光する。

【 0 0 3 5 】

次に、現像することにより、図 4 H に示すように、第 2 のフォトリソ層 1 4 の露光された部分が除去され、バリアメタル層 2 の中央部分を露出する開口部 1 5 が形成される。この開口部 1 5 に露出された面積はバリアメタル層 2 の面積よりも小さい。

【 0 0 3 6 】

10

20

30

40

50

次に、図 4 I に示すように、電解めっき法を用いて、露出したバリアメタル層 2 上部に Sn からなるはんだ層 3 を例えば 2 ~ 20 μm の厚みに形成する。

次に、図 5 J に示すように、 O_2 ガスを用いて第 1 及び第 2 のフォトレジスト層 1 1、1 4 をアッシングし除去する。このアッシング工程により、露出したバリアメタル層 2 表面にストップ膜 4 となる Ni の酸化膜が形成される。この Ni の酸化膜は、はんだ層 3 に対して濡れ性の悪い膜であり、はんだ層 3 が横方向に流れるのを防ぐストップ膜 4 として用いられる。その後、露出したシードメタル層 8 をウェットエッチングで除去し、続けて、露出した密着層 7 をウェットエッチングで除去する。

【 0 0 3 7 】

このようにして、本実施形態例では、はんだバンプ 1 を有する半導体装置 5 0 が形成される。

10

次に、本実施形態例で形成されたはんだバンプを備える半導体装置 5 0 同士をはんだバンプを介して接続する工程について説明する。図 6 A、B は、本実施形態例で形成された 2 つの半導体装置をはんだバンプを介して接合する工程を示す図である。図 6 A、B では、半導体装置 5 0 において、半導体基板 5 と、その半導体基板 5 上に形成されるバリアメタル層 2 及びはんだ層 3 から成るはんだバンプ 1 のみを図示し、その他の構造は省略して示す。

【 0 0 3 8 】

上述したはんだバンプ 1 を備える 2 つの半導体装置 5 0 を準備する。以下の説明では、2 枚の半導体装置を区別する場合には、それぞれ、上側半導体装置 5 0 a、下側半導体装置 5 0 b とし、区別しない場合には、半導体装置 5 0 として説明する。

20

【 0 0 3 9 】

まず、図 6 A に示すように、一方の半導体装置（以下、下側半導体装置）5 0 b を、図示しないフリップチップボンダー装置内のステージにはんだバンプ 1 が上方を向くように設置する。次に、下側半導体装置 5 0 b のはんだバンプ 1 を被覆するようにフラックス 1 6 を塗布する。そして、フリップチップボンダー装置の吸着ヘッド（図示せず）で他方の半導体装置（以下、上側半導体装置）5 0 a をはんだバンプ 1 同士が対向するように下側半導体装置 5 0 b 上部にマウントする。これにより、フラックス 1 6 の粘着性を利用して下側半導体装置 5 0 b と上側半導体装置 5 0 a が固定される。

【 0 0 4 0 】

30

次に、固定された上側半導体装置 5 0 a と下側半導体装置 5 0 b とをリフロー炉（図示せず）内に装填する。そして、リフロー炉内で加熱及び冷却の処理を施すことで、上側半導体装置 5 0 a と下側半導体装置 5 0 b のはんだ層 3 同士が熔融して接着しその状態で固まるため、はんだ付けが完了する。

【 0 0 4 1 】

次に、はんだ付けされた上側半導体装置 5 0 a と下側半導体装置 5 0 b との間に残存しているフラックス 1 6 を除去した後、上側半導体装置 5 0 a と下側半導体装置 5 0 b との間に、毛細管現象を用いて熱硬化性樹脂を充填し、硬化する。これにより、図 6 B に示すように、アンダーフィル層 1 7 を形成する。アンダーフィル層 1 7 を形成することで、上側半導体装置 5 0 a と下側半導体装置 5 0 b とのはんだ層 3 の接合部を外部ストレスから保護することができ、また、接合後に起こり得るショートを防止することができる。

40

【 0 0 4 2 】

このようにして、上側半導体装置 5 0 a と下側半導体装置 5 0 b がはんだバンプ 1 を介して電氣的に接続される。

ところで、上述したように、フリップチップボンダーに起因する上側半導体装置 5 0 a の傾きや反り、又は半導体装置 5 0 のグローバルな段差により、接合時に上側半導体装置 5 0 a と下側半導体装置 5 0 b とのギャップに差が出ることもある。図 7 A に、ギャップ差が広い領域における断面の拡大図（図 6 B の a に相当）を示し、図 7 B に、ギャップ差が狭い領域における断面の拡大図（図 6 B の b に相当）を示す。

【 0 0 4 3 】

50

現状のフリップチップボンダーの機械精度や半導体装置50のグローバル段差により、上側半導体装置50aと下側半導体装置50bとの間の領域で、例えば $\pm 3 \sim 5 \mu\text{m}$ のギャップ差が発生する。そうすると、はんだ層3の高さはそのギャップ差に対応し得る高さにする必要があり、はんだ層3の高さを一定以上にしなければならないという制約がある。本実施形態例では、従来のはんだバンプにおけるはんだ層の高さ(本実施形態例では、 $2 \sim 20 \mu\text{m}$)を維持したはんだバンプ1を形成することができる。このため、図7A、Bに示すように、上側半導体装置50aと下側半導体装置50bの接合時において、ギャップ差の異なる全領域において確実に接合が行える。

【0044】

また、本実施形態例では、はんだバンプ1において、はんだ層3の外径がバリアメタル層2の外径よりも小さく形成され、さらに、バリアメタル層2上面のはんだ層3が形成されない領域にはストッパ膜4が形成される。これにより、上側半導体装置50aと下側半導体装置50bの接合時において、ギャップが狭い領域で溶融したはんだ層3が潰れた場合にも、横方向に著しく広がることがない。このため、図7Bに示すように、ギャップ差が狭い領域において、はんだ層3が潰れた場合にも、隣接するはんだバンプ1同士が接触するのを防ぐことができる。

【0045】

そして、本実施形態例では、はんだ層3が横方向に広がりにくい構成とされるので、はんだバンプ1の狭ピッチ化により、隣接するはんだバンプ1間の距離が小さくなった場合にも、接合時において、隣接するはんだバンプ1同士が接触するのを防ぐことができる。

【0046】

以上のように、本実施形態例のはんだバンプ1を形成することにより、チップオンチップやチップオンウエハの構成とする場合において、確実に接合ができ、かつ、隣接するはんだバンプ1間のショートを防止することができる。これにより、チップ間接合において、歩留まりや、品質の向上を図ることができる。

【0047】

なお、上述した図6A、Bの例では、上側半導体装置50aと下側半導体装置50bのはんだ層3を接合した後、アンダーフィル層17を形成する例としたが、接合と同時にアンダーフィル層17を形成する例としてもよい。この場合は、下側半導体装置50bのはんだバンプ1を被覆するようにフラックス機能を有する熱硬化性樹脂からなるアンダーフィル層を塗布し、上側半導体装置50aをマウントする。そして、はんだ層3の融点以上であり、熱硬化性樹脂の硬化開始温度よりも低い温度で加熱して上側半導体装置50aと下側半導体装置50bのはんだ層3を接合し、冷却して凝固させる。その後、熱硬化性樹脂の熱硬化開始温度以上の温度で加熱することにより、熱硬化性樹脂が硬化しアンダーフィル層が形成される。

このように、本実施形態例では、様々な接合方法に適用可能である。

【0048】

ところで、本実施形態例では、接合する2つの半導体装置のうち、少なくとも一方の半導体装置を本実施形態例の半導体装置50とすることで、接合時における接合精度を向上させることができる。

【0049】

[1-3 変形例1]

図8A、Bに、変形例1に係る半導体装置と半導体装置の接合工程図を示す。変形例1では、本実施形態例で形成したはんだバンプ1を有する半導体装置50と、従来のはんだバンプ200を有する半導体装置205とを接合する例について説明する。

【0050】

図8Aに示すように、変形例1では、マウントされる側の半導体装置(以下、下側半導体装置)205を、従来のはんだバンプ200が形成された半導体装置とする。また、マウントする側の半導体装置(以下、上側半導体装置50)を本実施形態例の半導体装置とする。

10

20

30

40

50

【 0 0 5 1 】

下側半導体装置 2 0 5 では、半導体基板 2 0 3 上部にバリアメタル層 2 0 1 と、そのバリアメタル層 2 0 1 の外径とほぼ同じ外径で形成されたはんだ層 2 0 2 からなるはんだパンプ 2 0 0 が複数個形成されている。変形例 1 においても、図 6 A と同様にして、下側半導体装置 2 0 5 にフラックス 1 6 を塗布した後、上側半導体装置 5 0 をマウントし、リフロー炉内で両者のはんだ層 3、2 0 2 を溶融して接合する。これにより、図 8 B に示すように、下側半導体装置 2 0 5 と上側半導体装置 5 0 とが接合する。

【 0 0 5 2 】

変形例 1 においても、上側半導体装置 5 0 に形成されたはんだパンプ 1 におけるはんだ層 3 が横方向に広がりにくいいため、隣接するはんだパンプ 1 (2 0 0) 間のショートを防 10
止することができる。このように、接合される 2 つの半導体装置のうち、どちらか一方を本実施形態例の半導体装置とした場合にも、本実施形態例と同様の効果を得ることができる。

【 0 0 5 3 】

[1 - 4 変形例 2]

次に、図 9 A、B に、変形例 2 に係る半導体装置と配線基板との接合工程図を示す。変形例 2 では、配線基板 1 0 2 に、本実施形態例のはんだパンプ 1 を有する半導体装置 5 0 を接合する例について説明する。図 9 A に示すように、本実施形態例では、マウントされ 20
る側に配線基板 1 0 2 を配置し、マウントする側を本実施形態例のはんだパンプ 1 が形成された半導体装置 5 0 とする。

【 0 0 5 4 】

配線基板 1 0 2 では、基板 1 0 0 の回路面側に、配線ランド 1 0 1 が形成され、配線ランド 1 0 1 以外の基板 1 0 0 上面はソルダレジストからなる絶縁膜 (図示せず) に被覆された構成とされている。変形例 2 においても、図 6 A と同様にして配線基板 1 0 2 の露出した配線ランド 1 0 1 にはんだパンプ 1 が対向するように半導体装置 5 0 をマウントし、はんだ層 3 を溶融させて配線ランド 1 0 1 に接合する。これにより、配線基板 1 0 2 と半導体装置 5 0 とが接合する。

【 0 0 5 5 】

変形例 2 においても、半導体装置 5 0 に形成されたはんだパンプ 1 におけるはんだ層 3 が横方向に広がりにくいいため、隣接するはんだパンプ 1 間のショートを防 30
止することができる。

その他、第 1 の実施形態と同様の効果を得ることができる。

【 0 0 5 6 】

2 . 第 2 の実施形態 : 半導体装置

次に、本開示の第 2 の実施形態に係る半導体装置、及び半導体装置の製造方法について説明する。本実施形態例では、ストッパ膜を、はんだ層に対して濡れ性の悪い金属材料で形成する例である。

【 0 0 5 7 】

図 1 0 A ~ 図 1 1 F は本実施形態例の半導体装置の製造方法について説明する。バリアメタル層 2 を形成するまでの工程は図 2 A ~ 図 4 G と同様であるから重複説明を省略する 40
。なお、このとき、第 1 のフォトレジスト層 1 1 の高さは、形成するバリアメタル層 2 の高さとはほぼ同じ高さに形成するのが好ましい。

【 0 0 5 8 】

バリアメタル層 2 を形成した後、図 1 0 A に示すように、バリアメタル層 2 上面を含む全面にストッパ膜 2 0 を構成する金属材料層を形成する。このストッパ膜 2 0 を構成する金属材料としては、はんだ層 3 に対して濡れ性の悪い材料であればよく、例えば、Ti、W、Ta のいずれかの金属材料や、TiN、TiW、TiON、又は TiN 等の合金を用いることができる。

【 0 0 5 9 】

その後、図 1 0 B に示すように、ストッパ膜 2 0 を残す部分のみを被覆する第 2 のフォ 50

トレジスト層 21 を形成し、露出した部分の金属材料層を除去する。これにより、バリアメタル層 2 の周縁にのみストップ膜 20 が形成される。

【0060】

次に、図 10C に示すように、第 1 及び第 2 のフォトレジスト層 11、21 を除去する。

次に、図 11D に示すように、図 4H と同様にして、はんだ層 3 が形成される部分のみを開口する第 3 のフォトレジスト層 22 を形成する。その後、電解めっき法を用い、第 3 のフォトレジスト層 22 の開口に露出したバリアメタル層 2 上部に Sn からなるはんだ層 3 を 2 ~ 10 μm の厚みに形成する。

その後、第 3 のフォトレジスト層 22 を除去し、第 1 の実施形態と同様にしてシードメタル層 8、及び密着層 7 を除去することにより、半導体基板 5 上にはんだバンプ 1 が形成される。

【0061】

本実施形態例の半導体装置 50 においても、はんだバンプ 1 において、はんだ層 3 の外径がバリアメタル層 2 の外径よりも小さい径で形成されるので、はんだバンプ 1 が狭ピッチ化した場合にも、隣接するはんだバンプ 1 間でのショートが低減される。

また、本実施形態例の半導体装置 50 では、ストップ膜 20 が金属材料で形成されるため、酸化膜でストップ膜 20 を形成する場合よりもはんだ層 3 がぬれ広がりにくくなる。

その他、第 1 の実施形態と同様の効果を得ることができる。

【0062】

本実施形態例では、ストップ膜をはんだ層の形成前に金属材料で形成する例としたが、同様の工程で、酸化膜をストップ膜として形成することもできる。すなわち、はんだ層の形成前の工程で酸化膜からなるストップ膜を形成し、図 10A ~ 図 11F と同様の工程でパターニングしてもよい。酸化膜からなるストップ膜を、第 1 の実施形態のようにアッシング工程で形成するのではなく、アッシング工程とは別の工程で形成することで、確実にストップ膜を形成することができる。

【0063】

3. 第 3 の実施形態：配線基板の製造方法

次に、本開示の第 3 の実施形態に係る配線基板の製造方法について説明する。本実施形態例では、プリント配線基板に形成された電極パッド部（以下、配線ランド）に、はんだ層をパターニング形成する例である。図 12A ~ 図 12D に、本実施形態例の配線基板の製造工程を示す

【0064】

まず、図 12A に示すように、所望の回路が形成された基板 30 と、基板 30 上面の配線ランド 31 が形成された領域を開口する開口部 33 を有し、基板 30 全面を被覆するソルダーマスク 32 が形成されたプリント配線基板 37 を準備する。本実施形態例では、配線ランド 31 は、銅で構成された例とする。

【0065】

次に、図 12B に示すように、露出した配線ランド 31 の中央部を露出する開口部 35 を有するフォトレジスト層 34 を基板 30 全面に形成する。

【0066】

次に、図 12C に示すように、フォトレジスト層 34 を介して露出した配線ランド 31 上に、電解めっき法を用いてはんだ層 36 を形成する。これにより、露出した配線ランド 31 の中央部に、配線ランド 31 よりも小さい径ではんだ層 36 が形成される。その後、フォトレジスト層 34 を除去することにより、はんだ層 36 が形成されたプリント配線基板 37 が完成する。

【0067】

本実施形態例では、プリント配線基板 37 において、フォトレジスト層 34 で開口された部分にはんだ層 36 を形成することができるので、はんだ層 36 の外径を、配線ランド 31 の径よりも小さくすることができ、また、所定の径に精度良く形成することができる

10

20

30

40

50

。これにより、このプリント配線基板 37 上に、例えば第 1 の実施形態の半導体装置 40 を接合する場合にも、隣接するはんだ層間がショートしてしまうのを防ぐことができる。

その他、第 1 の実施形態と同様の効果を得ることができる。

【0068】

以上、第 1 ~ 第 3 の実施形態に本開示の実施形態を示したが、本開示は上述の例に限られるものではなく、趣旨を逸脱しない範囲内において種々の変更が可能である。また、第 1 ~ 第 3 の実施形態に係る構成を組み合わせて構成することも可能である。

【0069】

なお、本開示は、以下の構成をとることもできる。

(1)

基板の電極パッド部上に形成されたバリアメタル層と、
前記バリアメタル層上面の中央部に形成され、外径よりも小さい外径を有して形成されたはんだ層とからなるはんだバンプ
を備える半導体装置。

10

(2)

前記バリアメタル層上面のはんだ層が形成されていない面には、溶融したはんだ層に対して濡れ性の悪い材料からなるストッパ膜が形成されている

(1)に記載の半導体装置。

(3)

ストッパ膜は、酸化膜からなる

(2)に記載の半導体装置。

20

(4)

ストッパ膜は、金属材料からなる

(2)に記載の半導体装置。

(5)

基板に形成された電極パッド部上部に、バリアメタル層を形成する工程と、
前記バリアメタル層上部に、前記バリアメタル層の外径よりも小さい外径のはんだ層を形成する工程と、

を含む半導体装置の製造方法。

(6)

前記バリアメタル層は、電極パッド部の中央部が開口した第 1 のフォトリソ層を介して形成し、

前記はんだ層は、前記バリアメタル層の中央部が開口され、前記第 1 のフォトリソ層の開口の内径よりも小さい内径の開口を有する第 2 のフォトリソ層を介して形成する

(5)に記載の半導体装置の製造方法。

(7)

さらに、前記バリアメタル層上面のはんだ層が形成されない領域に、前記はんだ層に対して濡れ性の悪い材料からなるストッパ膜を形成する工程を有する

(6)に記載の半導体装置の製造方法。

40

(8)

アッシングにより、前記第 1 及び第 2 のフォトリソ層を除去する工程を有し、
前記ストッパ膜は、前記アッシングによって前記バリアメタル層上面に形成される酸化膜によって構成する

(7)に記載の半導体装置の製造方法。

(9)

前記ストッパ膜は、前記はんだ層を形成する前に、前記バリアメタル層上面の周縁に形成する

(7)に記載の半導体装置の製造方法。

(10)

50

前記ストッパ膜は、の金属材料で形成する
(9)に記載の半導体装置の製造方法。

(1 1)

基板に形成された電極パッド部の中央部を開口するフォトリソ層を形成する工程と

、
前記フォトリソ層を介して前記電極パッド部上部にはんだ層を形成する工程と、
を含む配線基板の製造方法。

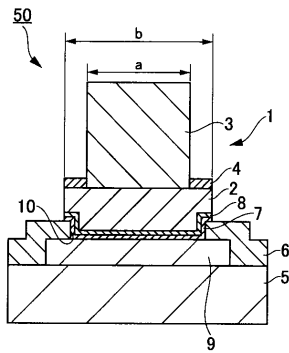
【符号の説明】

【 0 0 7 0 】

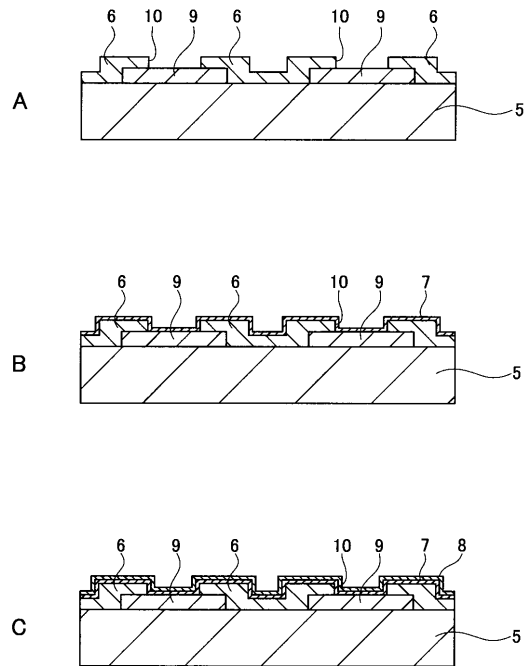
1・・・はんだバンプ、2・・・バリアメタル層、3・・・はんだ層、4・・・ストッパ膜、5・・・半導体基板、6・・・パッシベーション膜、7・・・密着層、8・・・シードメタル層、9・・・電極パッド部、10・・・開口部、11・・・第1のフォトリソ層、13・・・半導体装置、14・・・第2のフォトリソ層、15・・・開口部、16・・・フラックス、17・・・アンダーフィル層、20・・・ストッパ膜、21・・・第2のフォトリソ層、22・・・第3のフォトリソ層、30・・・基板、31・・・配線ランド、32・・・ソルダーマスク、33・・・開口部、34・・・フォトリソ層、35・・・開口部、36・・・はんだ層、37・・・プリント配線基板、40・・・半導体装置、100・・・基板、101・・・配線ランド、102・・・配線基板

10

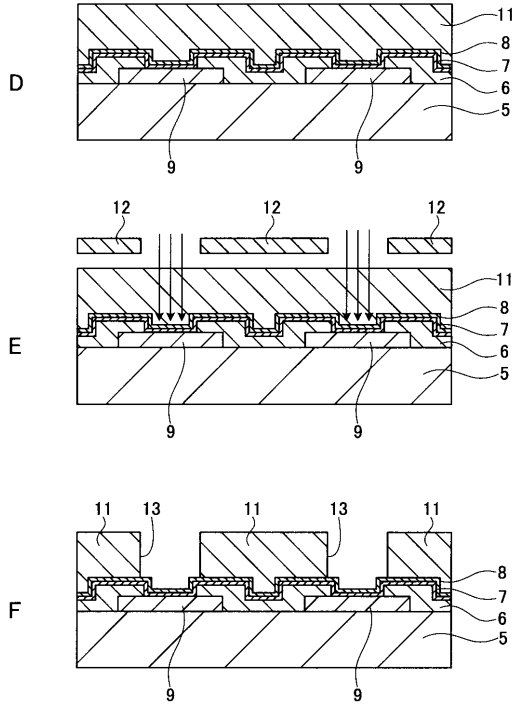
【 図 1 】



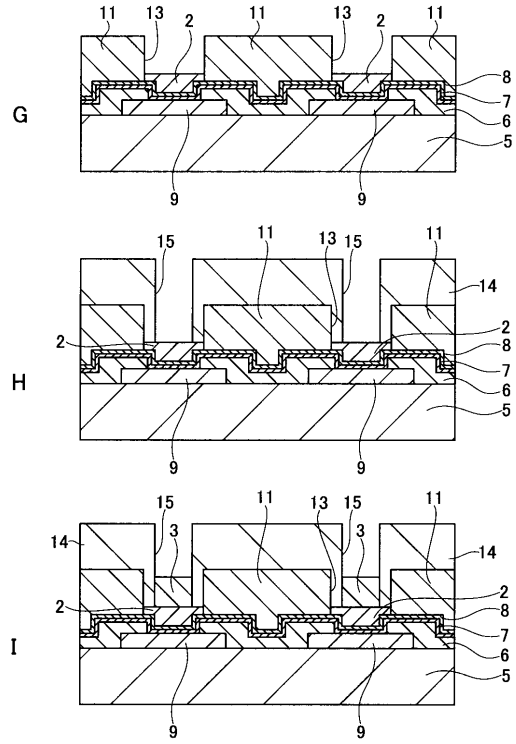
【 図 2 】



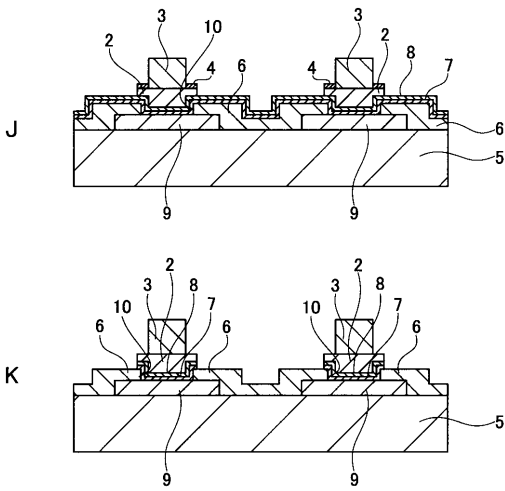
【図3】



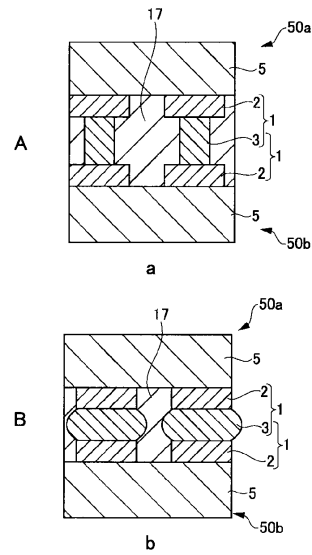
【図4】



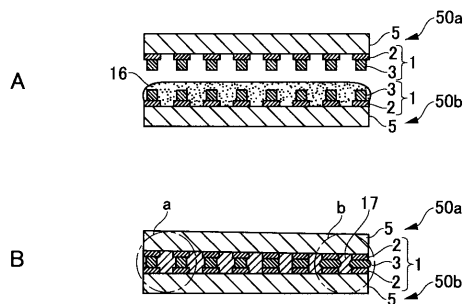
【図5】



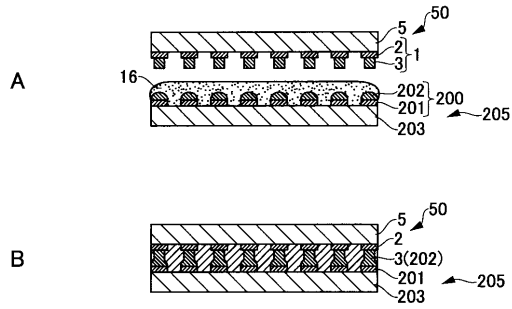
【図7】



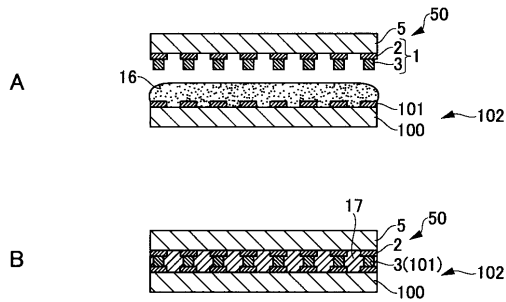
【図6】



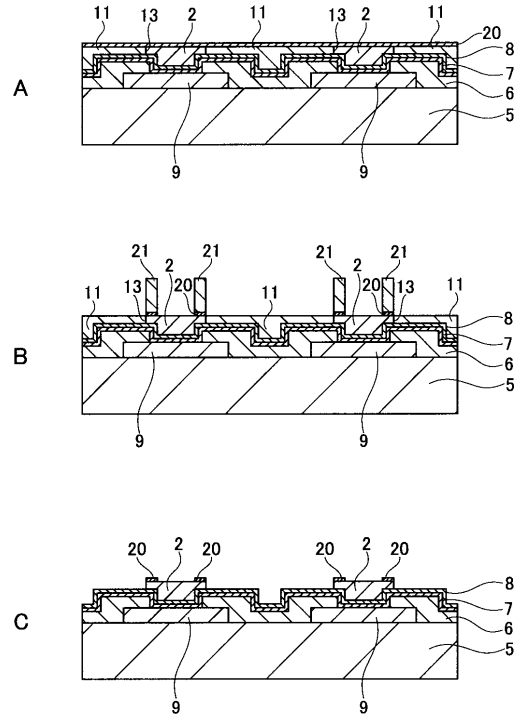
【 図 8 】



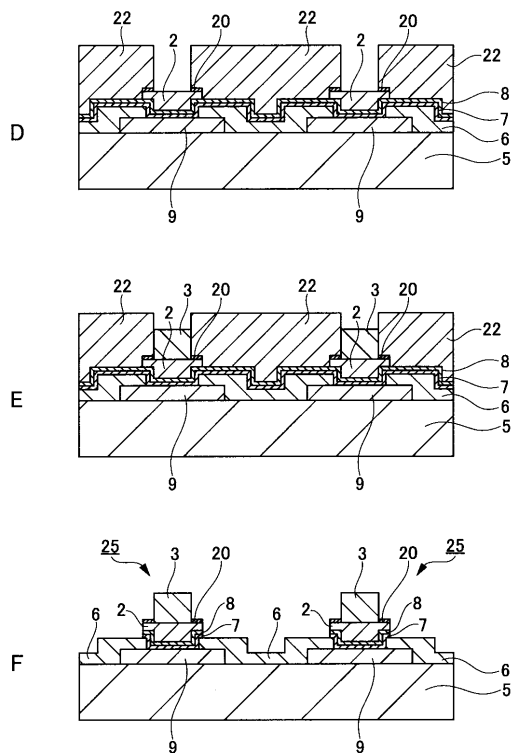
【 図 9 】



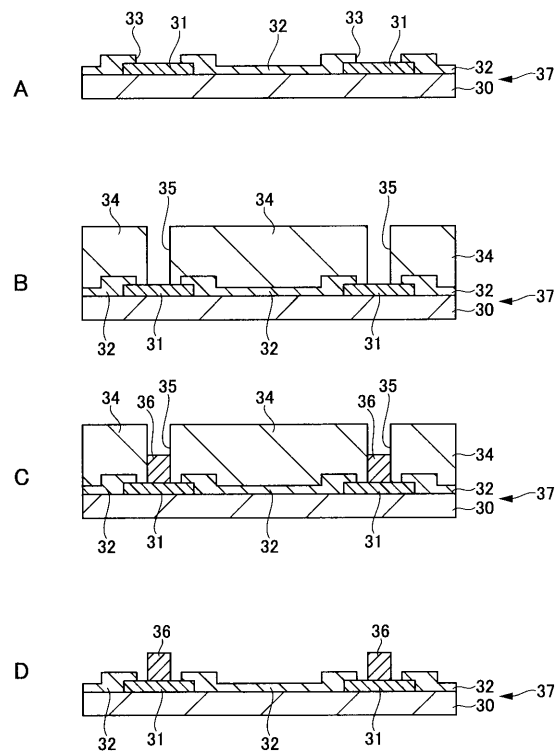
【 図 10 】



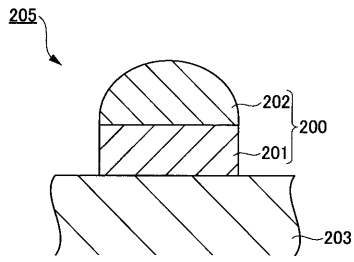
【 図 11 】



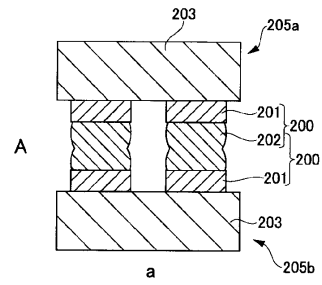
【 図 12 】



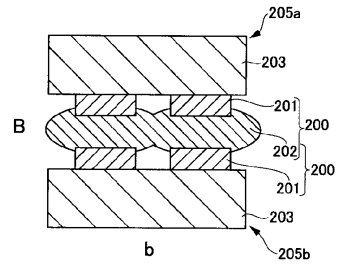
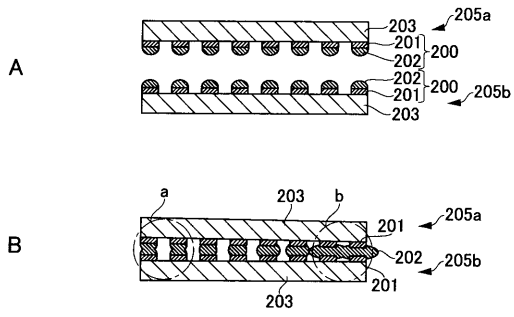
【 13 】



【 15 】



【 14 】



フロントページの続き

- (56)参考文献 特開平10-294318(JP,A)
特開平06-342796(JP,A)
特開昭57-010947(JP,A)
特開2004-273957(JP,A)
特開2001-068495(JP,A)
特開2003-031576(JP,A)
特開2006-202969(JP,A)
特開2002-261111(JP,A)
特開平05-283412(JP,A)
特開2002-076598(JP,A)
米国特許第06784087(US,B1)
米国特許出願公開第2006/0223299(US,A1)
特開2001-077323(JP,A)
特開2000-260870(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60
H01L 25/065
H01L 25/07
H01L 25/18