

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 95111905

※ 申請日期： 95.4.4

※IPC 分類： H01L 29/188, 29/8247

一、發明名稱：(中文/英文)

半導體元件及其製法

SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING
THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

海力士半導體股份有限公司 / Hynix Semiconductor Inc.

代表人：(中文/英文)

崔鉉求 / CHOI, HYUN KOO

住居所或營業所地址：(中文/英文)

韓國京畿道利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eup, Icheon-si, Gyeonggi-do 467-701, Korea

國籍：(中文/英文)

韓國 / Korea

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 李相敦 / LEE, SANG DON

2. 鄭在寬 / JEONG, JAE GOAN

國籍：(中文/英文)

1. 韓國 / Korea

2. 韓國 / Korea

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

韓國、2006.01.23、10-2006-0006964

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種記憶體元件。本發明尤其係有關於一種半導體元件及其製法，其中將形成一儲存節點接面區域的一主動區域的側壁的一個下方的部分係被蝕刻，並且該儲存節點接面區域的一部份係被形成在一元件隔離結構之上以形成一垂直的 SOI(絕緣層上覆矽)通道區域，藉此加快該元件的寫入/讀取速度的特性並且改善該元件的更新特性。

【先前技術】

當一個單元電晶體的通道長度縮短時，一個單元通道區域的離子濃度一般會被增高，以便於維持該單元電晶體的閾值(threshold)電壓。在該單元電晶體的源極/汲極區域中之電場被增強，因而增加了漏電流，此係導致 DRAM 結構的更新特性劣化。因此，對於其更新特性有所改善的半導體元件係存在著需求。

圖 1 是一種習知的半導體元件之簡化的佈局，其中參考圖號 1、2 及 3 係分別代表一主動區域、一凹形閘極區域以及一閘極區域。

請參照圖 1，該凹形閘極區域 2 的寬度係小於該閘極區域 3 的寬度一段距離 $2D$ 。距離 F 是在相鄰的閘極區域 3 之間的一段距離。

圖 2a 至 2g 是描繪一種用於製造一半導體元件之習知

的方法的簡化的剖面圖，其中圖 2a(i)至 2g(i)是沿著圖 1 的線 I-I'所取的剖面圖，而圖 2a(ii)至 2g(ii)是沿著圖 1 的線 II-II'所取的剖面圖。

請參照圖 2a，一元件隔離結構 50 係被形成在一具有一墊氧化膜 13 以及一墊氮化膜 15 的半導體基板 10 之上。

請參照圖 2b，該墊氮化膜 15 係被移除。離子植入係在整個表面之上進行，以在該半導體基板 10 中形成一個井及離子植入區域(未顯示)。一平坦化多晶矽層 45 係被形成在該所產生的結構的整個表面上。

請參照圖 2c，該多晶矽層 45 以及墊氧化膜 13 係利用一凹形閘極光罩(未顯示)作為一蝕刻光罩而被蝕刻，以形成一多晶矽層圖案 45a 以及一墊氧化膜圖案 13a，以界定在圖 1 中所示的凹形閘極區域 2。

請參照圖 2d，在圖 1 中所示的凹形閘極區域 2 中的半導體基板 10 之一預設的厚度係被蝕刻，以形成一第一凹槽(recess)53。該多晶矽層圖案 45a 係在用於形成該第一凹槽 53 的製程期間被移除。此外，因為靠近元件隔離結構 50 的半導體基板 10 之蝕刻速率是相對較慢於遠離元件隔離結構 50 的半導體基板 10 之蝕刻速率，所以一矽角(horn)係被形成在該半導體基板 10 靠近元件隔離結構 50 之處。

請參照圖 2e，CVD 氧化間隙壁 47 係被形成在該第一凹槽 53 的側壁以及墊氧化膜圖案 13a 之上。在該第一凹槽 53 的底部露出的半導體基板 10 係被蝕刻一預設的厚度，以形成一第二凹槽 55。

請參照圖 2f，該些間隙壁 47 及墊氧化膜圖案 13a 係被移除以露出該半導體基板 10。一閘極絕緣膜 60 係被形成在露出的半導體基板 10 之上。一填滿該第二凹槽 55 的平坦化閘極導電層 65 係被形成在該閘極絕緣膜 60 之上。一閘極硬式光罩層 90 係被形成在該閘極導電層 65 之上。在此，該閘極導電層 65 是一下方的閘極導電層 70 以及一上方的閘極導電層 80 之堆疊的結構。

請參照圖 2g，該硬式光罩層 90 以及閘極導電層 65 係利用一閘極光罩(未顯示)作為一蝕刻光罩而被蝕刻，以形成一閘極 99。在此，一個閘極通道區域(L1+L2+L3)係包含垂直的通道區域 L1、L3 以及一個水平的通道區域 L2，該閘極通道區域(L1+L2+L3)係被設置在一個將在後續的製程中形成的儲存節點接面區域 5 之下。

該用於形成儲存節點接面區域 5 之後續的製程可以藉由已知的半導體製程來加以達成。

根據上述用於製造一半導體元件之習知的方法，該閘極通道區域的總長度(L1+L2+L3)會依據在該垂直的通道區域 L1、L3 的深度上的增加或是該水平的通道區域 L2 的寬度上的增加而變長。尤其，為了增加該水平的通道區域 L2 的寬度，用於該第二凹槽的蝕刻製程可利用一種等向性蝕刻方法來加以進行。

然而，增加該水平的通道區域 L2 的寬度係增加通道的電阻。於是，一個電晶體的總電阻增加。因此，該 DRAM 元件的讀取/寫入速度特性會因為該元件的驅動電流降低而

變差。

【發明內容】

本發明係有關於一種半導體元件及其製法，其中將形成一個儲存節點接面區域的一主動區域的側壁的一個下方的部分係被蝕刻，並且該儲存節點接面區域的一部份係被形成在一元件隔離結構之上以形成一垂直的 SOI(絕緣層上覆矽)通道區域，藉此加快該元件的寫入/讀取速度的特性並且改善該元件的更新特性。

根據本發明的一個實施例，一種半導體元件係包含：一形成在一半導體基板中的元件隔離結構，以界定一主動區域，其中該主動區域的側壁之一個下方的部分係被形成凹形；一形成在該主動區域之下的半導體基板中之凹形通道，該凹形通道係具有一個垂直的通道區域以及一個水平的通道區域；一形成在該元件隔離結構以及半導體基板之上的儲存節點接面區域；一形成在包含該凹形通道區域的主動區域之上的閘極絕緣膜；以及一形成在該閘極絕緣膜之上的閘極電極，以填滿該凹形通道區域。

根據本發明的另一個實施例，一種用於製造一半導體元件之方法係包含：(a)在一半導體基板之上形成一墊絕緣膜；(b)利用一元件隔離光罩作為一蝕刻光罩來蝕刻該墊層間(interlayer)絕緣膜以及半導體基板，以形成一界定一主動區域的溝槽(trench)，其中該主動區域的側壁之一個下方的部分係被形成凹形；(c)形成一填入該溝槽的元件隔離結

構；(d)在該元件隔離結構已經形成之後，移除該墊絕緣膜以露出該半導體基板；(e)利用一凹形閘極光罩作為一蝕刻光罩來蝕刻該露出的半導體基板以形成一凹槽；(f)在該露出的半導體基板之上形成一閘極絕緣膜；(g)形成一填入該凹槽的閘極導電層；(h)在該閘極導電層之上形成一閘極硬式光罩層；以及(i)利用一閘極光罩作為一蝕刻光罩以使得該閘極硬式光罩層以及閘極導電層形成圖案，以形成一閘極。

【實施方式】

現在將詳細參考本發明之範例的實施例。只要有可能的話，相同的參考圖號將會在整個圖式被利用來參照相同或類似的元件。應該體認到的是，該些實施例係被提供來描述本發明並且使得本發明對於熟習此項技術者而言是可行的。於是，在此所述的實施例可以在不脫離本發明的範疇下加以修改。

圖 3 是根據本發明的一個實施例之一種半導體元件的簡化的佈局，其中參考圖號 101、102 以及 103 係分別代表一藉由該元件隔離結構 150 所界定的主動區域、一凹形閘極區域以及一閘極區域。

請參照圖 3，該凹形閘極區域 102 的寬度係小於該閘極區域 103 的寬度一段距離 $2D$ ，其中距離 F 是在相鄰的閘極區域 103 之間的距離。

圖 4 是描繪根據本發明的一個實施例之一種半導體元

件的簡化的剖面圖，其中圖 4(i)是沿著根據圖 3 的線 I-I'的縱向所取的剖面圖，而圖 4(ii)是沿著根據圖 3 的線 II-II'的橫向所取的剖面圖。

請參照圖 4，一界定在圖 3 中所示的主動區域 101 的元件隔離結構 150 係被形成在一半導體基板 110 中，其中該主動區域 101 的側壁之一個下方的部分係被形成凹形(亦即，主動區域 101 的側壁之下方的部分係傾斜一個角度)。一凹形通道區域(L1+L2+L3)係被形成在圖 3 中所示的凹形閘極區域 102 之下的半導體基板 110 中，並且其係包含垂直的通道區域 L1、L3 以及一個水平的通道區域 L2。一儲存節點接面區域 200 係被形成在該元件隔離結構 150 以及半導體基板 110 之上，而一位元線接面區域 210 係被形成在該半導體基板 110 之上。此外，一閘極絕緣膜 160 係被形成在包含該凹形通道區域(L1+L2+L3)的半導體基板 110 之上。一對應於閘極區域 103(圖 3)的閘極 199 係被形成在該閘極絕緣膜 160 之上。閘極 199 係包括一閘極電極 197 以及一閘極硬式光罩層圖案 195 之堆疊的結構。在一個實施例中，閘極電極 197 係包含一下方的閘極電極 175 以及一上方的閘極電極 185 之堆疊的結構。

在本發明的一個實施例中，該儲存節點接面區域 200 在該元件隔離結構 150 之上的深度 XJ 係等於或小於該儲存節點接面區域 200 在該半導體基板 110 之上的深度。在一個實施例中，根據該主動區域之凹形的部分，在該垂直的通道區域 L1 與其相鄰的元件隔離結構 150 之間的半導

體基板 110 之上方的部分的厚度係等於或大於其下方的部分的厚度。再者，在圖 3 中所示的主動區域 101 之縱向上，該水平的通道區域 L2 之下方的部分的寬度係等於或大於其上方的部分的寬度。在某些實施例中，該通道區域 L2 的形狀是橢圓或是圓形的。

根據本發明的一個實施例，一個垂直的 SOI(絕緣層上覆矽)通道區域係被形成在該垂直的通道區域 L1 以及其相鄰的元件隔離結構 150 之間，以便於減少該儲存節點接面區域 200 的漏電流。於是，該元件的更新特性可被改善。在形成有該垂直的 SOI 通道區域之下，SCE(短通道效應)係被改善，因而增加了該元件的驅動電流。於是，該元件的讀取/寫入速度特性可被改善。

圖 5a 至 5g 是描繪根據本發明的一個實施例之一種用於製造一半導體元件之方法的簡化的剖面圖，其中圖 5a(i) 至 5g(i) 是沿著根據圖 3 的線 I-I' 的縱向所取的剖面圖，而圖 5a(ii) 至 5g(ii) 是沿著根據圖 3 的線 II-II' 的橫向所取的剖面圖。

請參照圖 5a，一墊氧化膜 113、一墊氮化膜 115 以及一第一硬式光罩層 117 係依序地形成在一半導體基板 110 之上。一光阻膜(未顯示)係被形成在該第一硬式光罩層 117 之上，並且利用一元件隔離光罩(未顯示)而被曝光及顯影，以形成一界定在圖 3 中所示的元件隔離區域 150 的光阻膜圖案(未顯示)。該第一硬式光罩層 117、墊氮化膜 115、墊氧化膜 113 以及半導體基板 110 的一預設的厚度係被蝕刻

以形成一界定在圖 3 中所示的主動區域 101 的第一溝槽 120。該光阻膜圖案係接著被移除。在此，該半導體基板 110 在該第一溝槽 120 中被蝕刻之預設的厚度 D1 可以根據一個將在後續的製程中被形成的儲存節點接面區域的厚度來加以調整。在一個實施例中，該第一硬式光罩層 117 係由一氧化膜、一多晶矽層或是該氧化膜與多晶矽層的組合所製成。

請參照圖 5b，一第一絕緣膜(未顯示)係被形成在該所產生的結構的整個表面上。該第一絕緣膜係接著被蝕刻，以在一個藉由該第一溝槽 120 所界定之堆疊的結構的側壁上形成第一間隙壁 125。在該第一溝槽 120 的底部露出之半導體基板 110 之一預設的厚度係被蝕刻以形成一第二溝槽 130。在此，該堆疊的結構係包含該半導體基板 110、墊氧化膜 113、墊氮化膜 115 以及第一硬式光罩層 117。用於該第二溝槽 130 之被蝕刻的半導體基板 110 之一預設的厚度 D2 亦可以根據一個將在後續的製程中被形成的凹形通道區域的厚度以及該元件隔離結構 150 的厚度來加以調整，使得相鄰的單元電晶體可以電氣地加以隔離。在一個實施例中，該第一絕緣膜係由一氧化膜、一個氧化膜及氮化膜之堆疊的結構、或是一個氧化膜及多晶矽層之堆疊的結構所製成。

請參照圖 5c，在該第二溝槽 130 的底部露出之半導體基板 110 係被蝕刻以形成一包含底切空間 135 的第三溝槽 140。在此，該底切空間 135 係藉由蝕刻位於將在後續的

製程中形成的儲存節點接面區域之下的半導體基板 110 之一預設的厚度而被形成的。在一個實施例中，用於該第三溝槽 140 的蝕刻製程係利用一種等向性蝕刻方法而被執行。在此，在該蝕刻製程期間，在圖 3 中所示的主動區域 101 之縱向上的蝕刻速率係較快於在圖 3 中所示的閘極區域 103 之縱向上的蝕刻速率，以便於形成該底切空間 135。

請參照圖 5d，該第一硬式光罩 117 以及第一間隙壁 125 係被移除。一填滿包含該底切空間 135 的第三溝槽 140 之用於元件隔離之絕緣膜(未顯示)係被形成。該用於元件隔離的絕緣膜係被拋光直到該墊氮化膜 115 露出為止，以形成一元件隔離結構 150。該元件隔離結構 150 之一預設的厚度係被蝕刻，以降低該元件隔離結構 150 的高度。該墊氮化膜 115 以及墊氧化膜 113 係依序地被移除，以露出該半導體基板 110。一緩衝氧化膜 143 係被形成在該露出的半導體基板 110 之上。一光阻膜(未顯示)係被形成在該所產生的結構的整個表面上，並且利用一露出單元區域的光罩而被曝光及顯影，以形成一光阻膜圖案(未顯示)。雜質離子係利用該光阻膜圖案作為一離子植入光罩而被植入在該整個表面之上，以在該緩衝氧化膜 143 之下的半導體基板 110 中形成一個井及通道離子植入區域(未顯示)。該光阻膜圖案係接著被移除。一平坦化第二硬式光罩層 145 係被形成在該所產生的結構的整個表面上。一光阻膜(未顯示)係被形成在該第二硬式光罩層 145 之上，並且接著利用一個凹形閘極光罩(未顯示)而被曝光及顯影，以形成一界定

在圖 3 中所示的凹形閘極區域 102 的光阻膜圖案 149。在一個實施例中，用於該第一硬式光罩層 117 以及第一間隙壁 125 的移除製程係利用一個濕式蝕刻製程而被執行。用於該元件隔離結構的蝕刻製程亦利用一個濕式蝕刻製程而被執行。此外，該第二硬式光罩層 145 係由一多晶矽層、一非晶系碳膜、一氮化膜、一 SiON 膜、或是該等層與膜之組合所製成。

請參照圖 5e，該第二硬式光罩層 145、緩衝氧化膜 143 以及半導體基板 110 之一預設的厚度係利用該光阻膜圖案 149 作為一蝕刻光罩而被蝕刻，以形成一第一凹槽(未顯示)。該光阻膜圖案 149 以及第二硬式光罩層 145 係被移除。一第二絕緣膜(未顯示)係被形成在該所產生的結構的整個表面上。該第二絕緣膜係被蝕刻以在該第一凹槽的側壁以及緩衝氧化膜 143 之上形成第二間隙壁 147。在該第一凹槽的底部露出之半導體基板 110 係接著利用該第二間隙壁 147 作為一蝕刻光罩而被蝕刻，以形成一第二凹槽 155。在一個實施例中，該光阻膜圖案以及第二硬式光罩層 145 係同時被移除。此外，該第二絕緣膜係由一氧化膜、一氮化膜、或是一個利用該等膜的組合之堆疊的結構所製成。在本發明的一個實施例中，用於該第二凹槽 155 的蝕刻製程係利用一種等向性蝕刻方法而被執行，因而該第二凹槽 155 之一個下方的部分的寬度可以是等於或大於其上方的部分的寬度。此外，該第二凹槽 155 之下方的部分的形狀是橢圓或是圓形的。

請參照圖 5f，該些第二間隙壁 147 以及緩衝氧化膜 143 係被移除以露出該半導體基板 110。一閘極絕緣膜 160 係被形成在該露出的半導體基板 110 之上。一填滿該第二凹槽 155 的平坦化下方的閘極導電層 170 係被形成在該閘極絕緣膜 160 之上。一上方的閘極導電層 180 以及一閘極硬式光罩層 190 係依序地形成在該下方的閘極導電層 170 之上。在一個實施例中，用於該些第二間隙壁 147 以及緩衝氧化膜 143 的移除製程係利用一種濕式蝕刻方法而被執行。

請參照圖 5g，該閘極硬式光罩層 190、上方的閘極導電層 180 以及下方的閘極導電層 170 係利用一閘極光罩(未顯示)作為一蝕刻光罩而被蝕刻，以形成一對應於閘極區域 103(圖 3)的閘極 199。在此，該閘極 199 係包含一閘極硬式光罩層圖案 195 以及一閘極電極 197，該閘極電極 197 是一上方的閘極電極 185 以及一下方的閘極電極 175 之堆疊的結構。在一個實施例中，該下方的閘極導電層 170 係由一多晶矽層、一 SiGe 層、或是一個利用該等層的組合之堆疊的結構所製成。在另一實施例中，該上方的閘極導電層 180 係由一 TiN 膜、一 WN 膜、一 WSi_x 層、一 $TiSi_x$ 層、一 Ti 層、一 W 層、或是該等膜與層的組合所製成。在此，該儲存節點接面區域 200 在該元件隔離結構 150 之上的厚度 XJ 可以在用於形成在圖 5a 中所示的第一溝槽 120 的製程期間，根據該被蝕刻的半導體基板 110 之厚度 D1 來加以調整。此外，被設置在該儲存節點接面區域 200 之

下且在該垂直的通道區域 L1 以及其相鄰的元件隔離結構 150 之間的半導體基板 110 之最小的寬度 XD 可以根據在圖 5c 中所示的第三溝槽 135 中的被蝕刻的半導體基板 110 之垂直的部分來加以調整。再者，從該下方的閘極電極 175 至該元件隔離結構 150 的底部之深度 TOX 可以根據在圖 5b 中所示的第二溝槽 130 中的被蝕刻的半導體基板 110 之厚度 D2 以及該元件隔離結構 150 的厚度來加以調整，使得相鄰的單元電晶體可以電氣地加以隔離。

此外，例如是用於在閘極的側壁上形成一間隙壁的製程、用於在主動區域中形成源極/汲極區域的離子植入的製程、用於形成連接插塞的製程、用於形成位元線接點及位元線的製程、用於形成電容器的製程、以及用於形成內連線的製程之後續的製程都可被執行。

如上所述，根據本發明的一個實施例之半導體基板及其製法係提供蝕刻於將要形成一儲存節點接面區域的半導體基板的側壁之一個下方的部分，並且在一元件隔離膜之上形成該儲存節點接面區域的一部份，以形成一垂直的 SOI(絕緣層上覆矽)通道區域(例如，在儲存節點接面區域 200 之下且在該垂直的通道區域 L1 與相鄰的元件隔離結構 150 之間的區域)，以減少該儲存節點接面區域的面積，藉此降低其漏電流。於是，該 DRAM 結構的更新特性係被改善。

此外，該元件的 SCE(短通道效應)係因為該垂直的 SOI 通道區域的緣故而被改善。該元件的驅動電流係由於降低

的閾值電壓特性而增大。於是，該 DRAM 結構的讀取/寫入速度特性係被改善。

再者，由於在該垂直的通道區域與其相鄰的元件隔離結構之間的半導體基板的寬度是窄的，所以該儲存節點接面區域的低電場係由於較少量的摻雜離子擴散進入該儲存節點接面區域而被維持。於是，該元件具有改善的更新特性。

先前針對本發明的各種實施例的說明已經為了舉例及說明之目的而被提供。其並非意欲全部列舉出或是限制本發明僅止於所揭露的明確的形式，而是依據上述的教示或是從本發明的實施都可以得到對其的修改與變化。該些實施例係被選擇與描述以便於解說本發明的原理及其實際的應用，以使得熟習此項技術者能夠在各種的實施例中以及在適合所思及的特定用途之各種修改下利用本發明。

【圖式簡單說明】

圖 1 是一種習知的半導體元件之簡化的佈局；

圖 2a 至 2g 是描繪一種用於製造一半導體元件之習知的方法的簡化的剖面圖；

圖 3 是根據本發明的一個實施例之一種半導體元件的簡化的佈局；

圖 4 是描繪根據本發明的一個實施例之一種半導體元件的簡化的剖面圖；以及

圖 5a 至 5g 是描繪根據本發明的一個實施例之一種用

於製造一半導體元件之方法的簡化的剖面圖。

【主要元件符號說明】

- 1、101 主動區域
- 2、102 凹形閘極區域
- 3、103 閘極區域
- 5、200 儲存節點接面區域
- 10、110 半導體基板
- 13、113 墊氧化膜
- 13a 墊氧化膜圖案
- 15、115 墊氮化膜
- 45 多晶矽層
- 45a 多晶矽層圖案
- 50、150 元件隔離結構
- 53 第一凹槽
- 47 CVD 氧化間隙壁
- 55 第二凹槽
- 60、160 閘極絕緣膜
- 65 閘極導電層
- 70、170 下方的閘極導電層
- 80、180 上方的閘極導電層
- 90、190 閘極硬式光罩層
- 99、199 閘極
- 117 第一硬式光罩層

- 120 第一溝槽
- 125 第一間隙壁
- 130 第二溝槽
- 135 底切空間
- 140 第三溝槽
- 143 緩衝氧化膜
- 145 第二硬式光罩層
- 147 第二間隙壁
- 149 光阻膜圖案
- 155 第二凹槽
- 175 下方的閘極電極
- 185 上方的閘極電極
- 195 閘極硬式光罩層圖案
- 197 閘極電極
- 210 位元線接面區域
- L1、L3 垂直的通道區域
- L2 水平的通道區域

五、中文發明摘要：

一種半導體元件係包含一主動區域、一凹形通道區域、一儲存節點接面區域、一閘極絕緣膜、以及一閘極電極。該主動區域係藉由一形成在一半導體基板中的元件隔離結構所界定，其中該主動區域的側壁之一個下方的部分係被形成凹形。該凹形通道係被形成在該主動區域之下的半導體基板中，其中該凹形通道係具有一個垂直的通道區域以及一個水平的通道區域。該儲存節點接面區域係被形成在該元件隔離結構以及半導體基板之上。該閘極絕緣膜係被形成在包含該凹形通道區域的主動區域之上。該閘極電極係被形成在該閘極絕緣膜之上，以填滿該凹形通道區域。

六、英文發明摘要：

The semiconductor device includes an active region, a recess channel region, a storage node junction region, a gate insulating film, and a gate electrode. The active region is defined by a device isolation structure formed in a semiconductor substrate, wherein a lower part of sidewalls of the active region is recessed. The recess channel is formed in the semiconductor substrate under the active region, wherein the recess channel has a vertical channel region and a horizontal channel region. The storage node junction region is formed over the device isolation structure and the

semiconductor substrate. The gate insulating film is formed over the active region including the recess channel region. The gate electrode is formed over the gate insulating film to fill up the recess channel region.

十、申請專利範圍：

1. 一種半導體元件，其係包括：

一形成在一半導體基板中的元件隔離結構以界定一主動區域，其中該主動區域的側壁之一個下方的部分係被形成凹形；

一形成在該主動區域之下的半導體基板中的凹形通道區域，該凹形通道區域係具有一垂直的通道區域以及一水平的通道區域；

一形成在該元件隔離結構以及半導體基板之上的儲存節點接面區域；

一形成在包含該凹形通道區域的主動區域之上的閘極絕緣膜；以及

一形成在該閘極絕緣膜之上的閘極電極，以填滿該凹形通道區域。

2. 根據申請專利範圍第 1 項之半導體元件，其中該儲存節點接面區域在該元件隔離結構之上的厚度係等於或小於該儲存節點接面區域在該半導體基板之上的厚度。

3. 根據申請專利範圍第 1 項之半導體元件，其中設置在該元件隔離結構與垂直的通道區域之間的基板係被形成凹形，使得該基板靠近該儲存節點接面區域的一部份之厚度係等於或大於該垂直的通道區域與該元件隔離結構之間的最小寬度。

4. 根據申請專利範圍第 1 項之半導體元件，其中在該主動區域的縱向上，該水平的通道區域的一個下方的部分

之寬度係等於或大於該水平的通道區域較靠近該儲存節點接面的一個上方的部分之寬度。

5.根據申請專利範圍第 1 項之半導體元件，其中在該主動區域的縱向上，該水平的通道區域的形狀是橢圓或是圓形的。

6.一種用於製造一半導體元件之方法，其係包括：

(a)在一半導體基板之上形成一墊絕緣膜；

(b)蝕刻該墊絕緣膜以及半導體基板之一個預設的區域，以形成一界定一主動區域的溝槽，其中該主動區域的側壁之一個下方的部分係被形成凹形；

(c)形成一填入該溝槽的元件隔離結構；

(d)在該元件隔離結構已經形成之後移除該墊絕緣膜以露出該半導體基板；

(e)利用一凹形閘極光罩作為一蝕刻光罩來蝕刻該露出的半導體基板以形成一凹槽；

(f)在該露出的半導體基板之上形成一閘極絕緣膜；

(g)形成一填入該凹槽的閘極導電層；

(h)在該閘極導電層之上形成一閘極硬式光罩層；以及

(i)利用一閘極光罩作為一蝕刻光罩以使得該閘極硬式光罩層以及閘極導電層形成圖案，以形成一閘極。

7.根據申請專利範圍第 6 項之方法，其中步驟(b)係包含：

(b-1)在該墊絕緣膜之上形成一第一硬式光罩層；

(b-2)蝕刻該第一硬式光罩層、墊絕緣膜以及半導體基

板之一個預設的區域，以形成一界定一主動區域的第一溝槽；

(b-3)在該第一溝槽的側壁之上形成間隙壁；

(b-4)利用該第一硬式光罩層以及間隙壁作為一蝕刻光罩來蝕刻在該第一溝槽中露出的半導體基板，以形成一第二溝槽；以及

(b-5)蝕刻在該第二溝槽中露出的半導體基板以形成一包含一底切空間的第三溝槽，其中該半導體基板在一儲存節點接面區域之下的一預設的厚度係被移除。

8.根據申請專利範圍第 7 項之方法，其中該第一硬式光罩層係從由一氧化膜、一氮化膜、一多晶矽層、以及該等氧化膜、氮化膜與多晶矽層的組合所構成的群組中選出。

9.根據申請專利範圍第 7 項之方法，其中該間隙壁係從由一氧化膜、一氮化膜、一多晶矽層以及該等氧化膜、氮化膜與多晶矽層的組合所構成的群組中選出。

10.根據申請專利範圍第 7 項之方法，其中，在步驟(b-5)中的用於該第三溝槽的蝕刻製程係利用一種等向性蝕刻方法而被執行。

11.根據申請專利範圍第 7 項之方法，其更包括移除該第一硬式光罩層以及間隙壁。

12.根據申請專利範圍第 11 項之方法，其中用於該第一硬式光罩層以及間隙壁的移除製程係利用一種濕式蝕刻方法而被執行。

移除該些凹槽側壁の間隙壁。

17.根據申請專利範圍第 16 項之方法，其中該些凹槽側壁の間隙壁是一個包括一氧化膜及一氮化膜之堆疊的結構。

18.根據申請專利範圍第 16 項之方法，其中用於該半導體基板的蝕刻製程係利用一種等向性蝕刻方法而被執行。

19.根據申請專利範圍第 18 項之方法，其中在該主動區域的縱向上，該凹槽的一個下方的部分的形狀是橢圓或是圓形的。

20.根據申請專利範圍第 16 項之方法，其中用於該些凹槽側壁の間隙壁的移除製程係利用一種濕式蝕刻方法而被執行。

十一、圖式：

如次頁

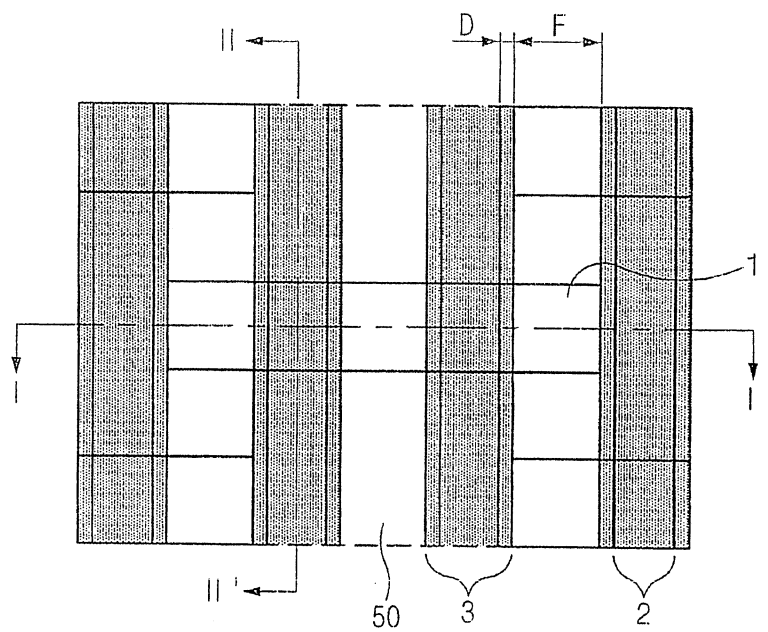


圖 1

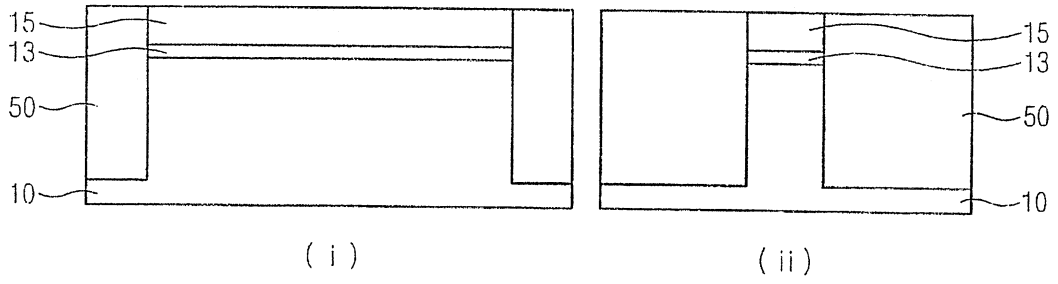


圖 2a

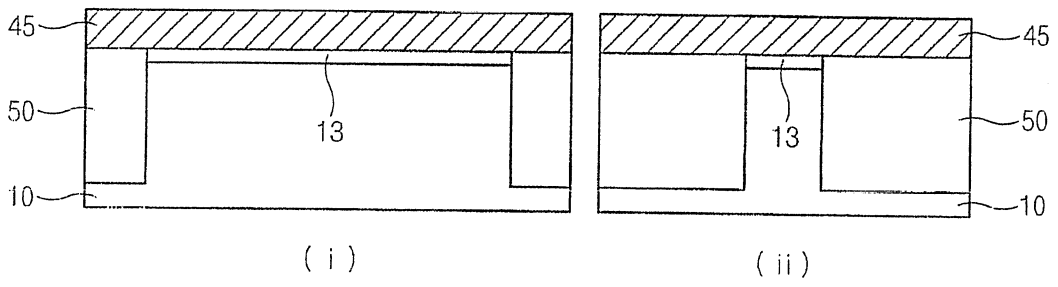


圖 2b

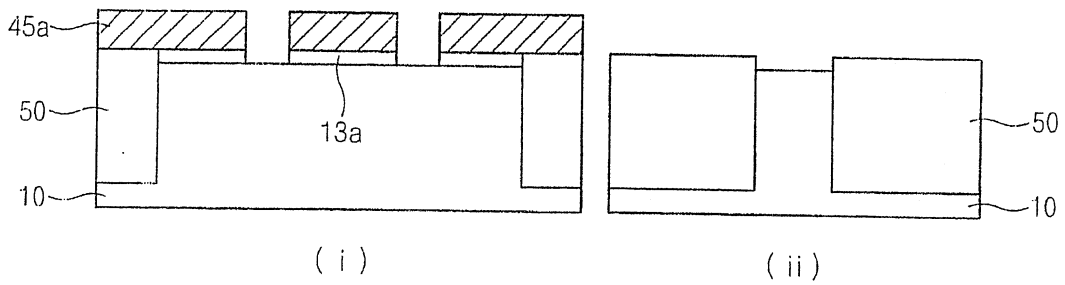


圖 2c

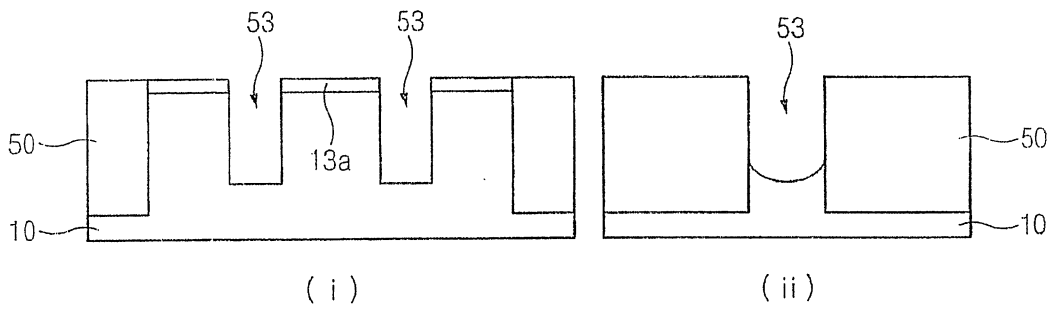


圖 2d

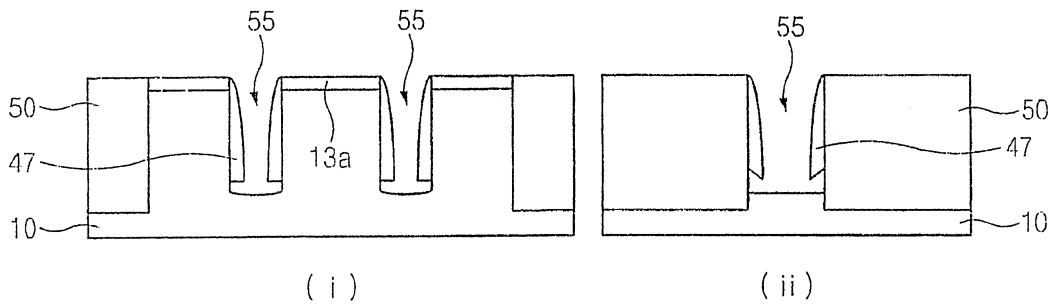


圖 2e

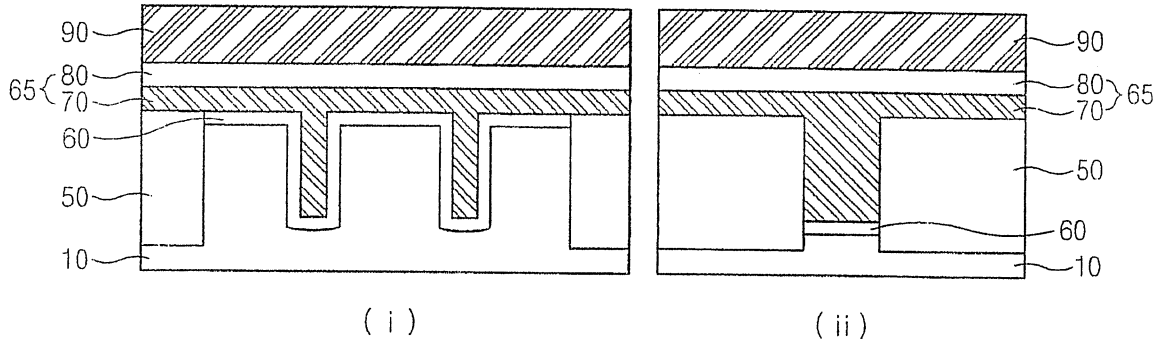


圖 2f

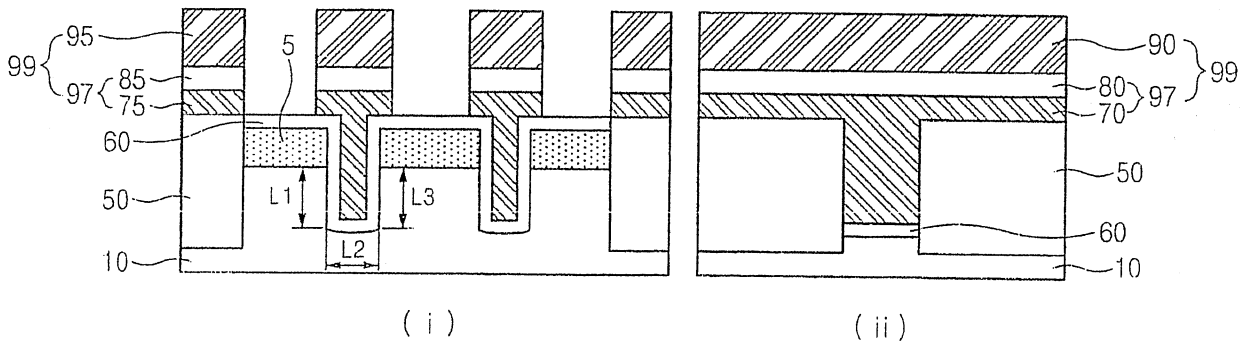


圖 2g

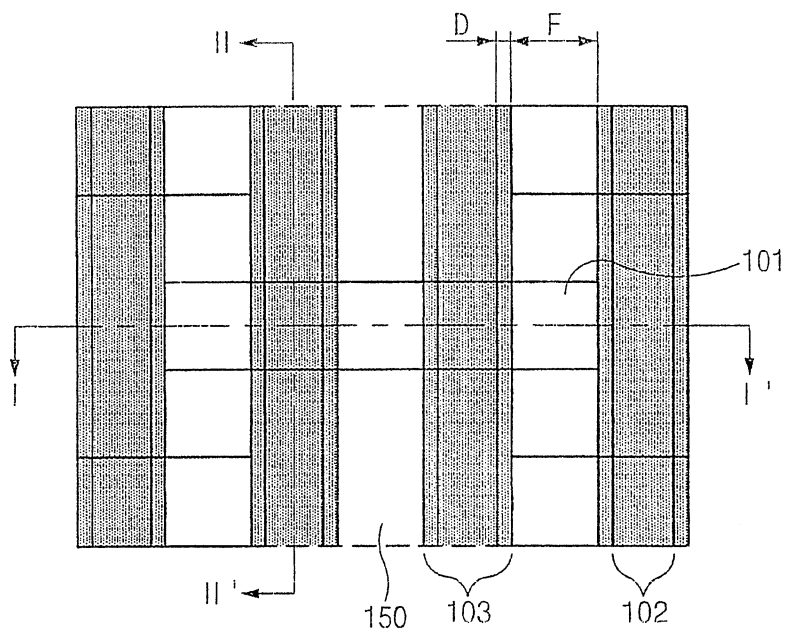


圖 3

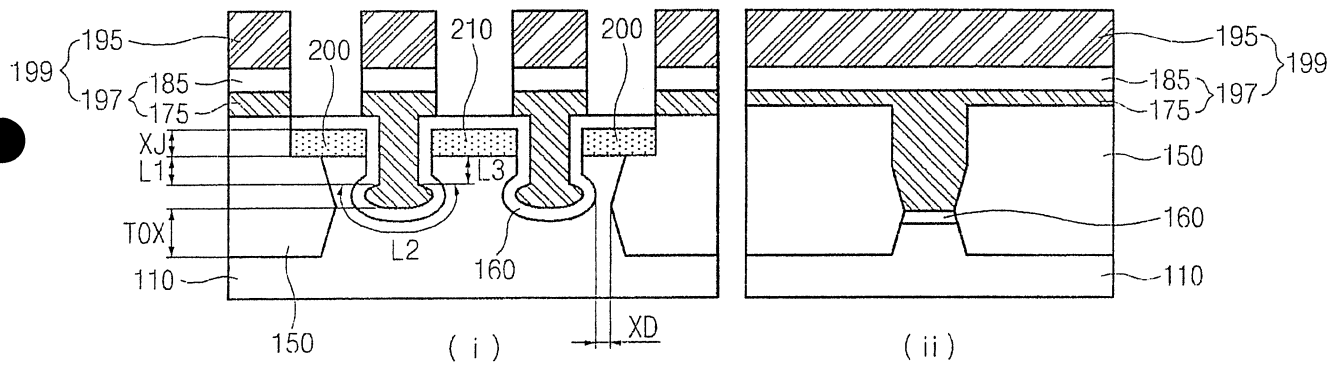


圖 4

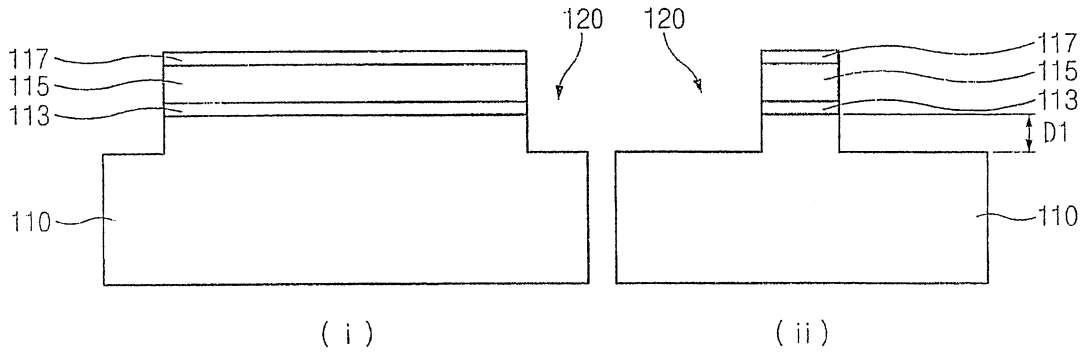


圖 5a

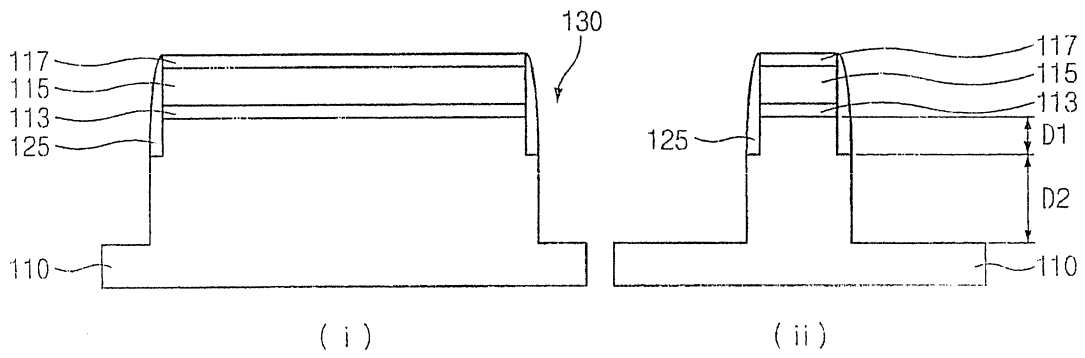


圖 5b

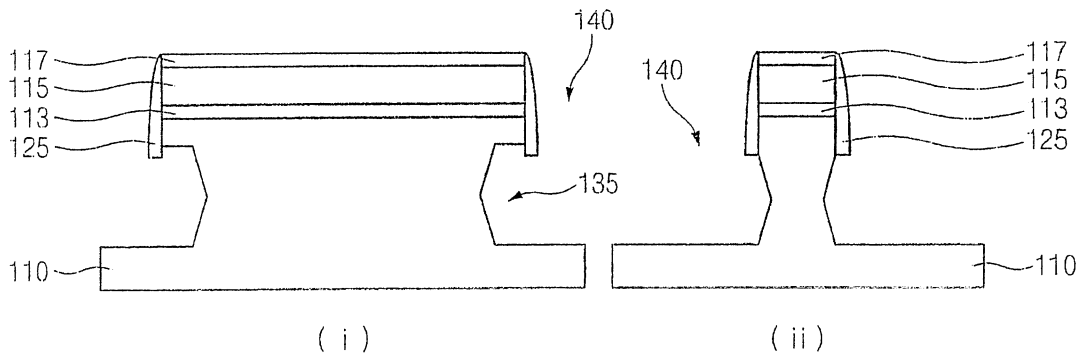


圖 5c

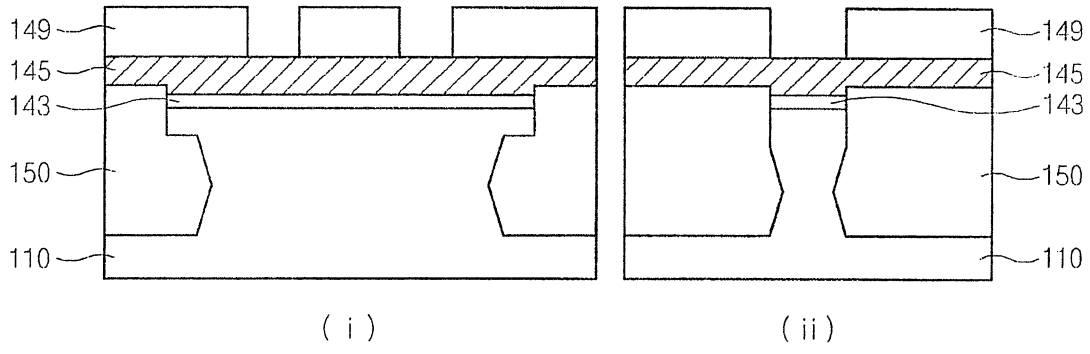


圖 5d

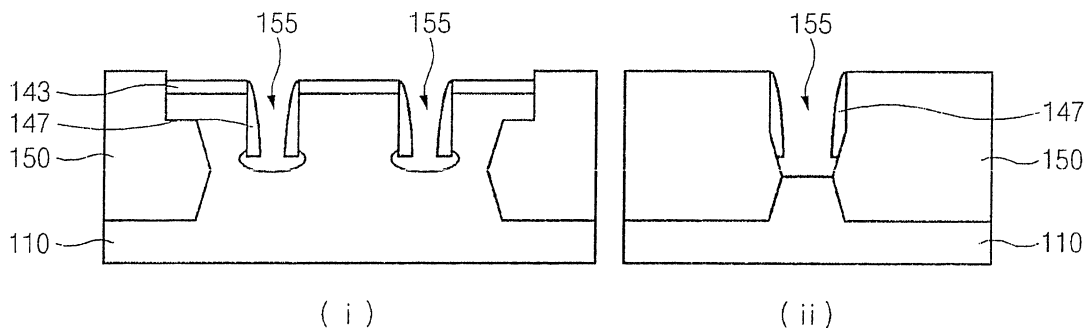


圖 5e

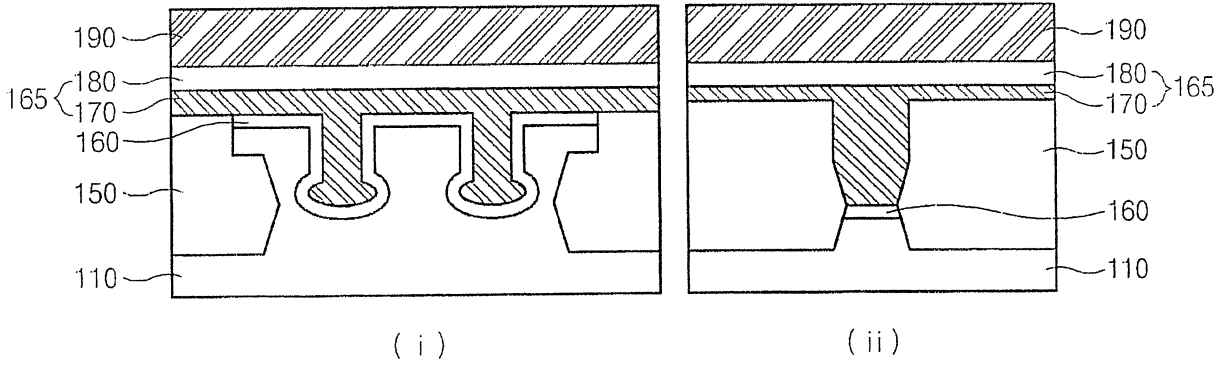


圖 5f

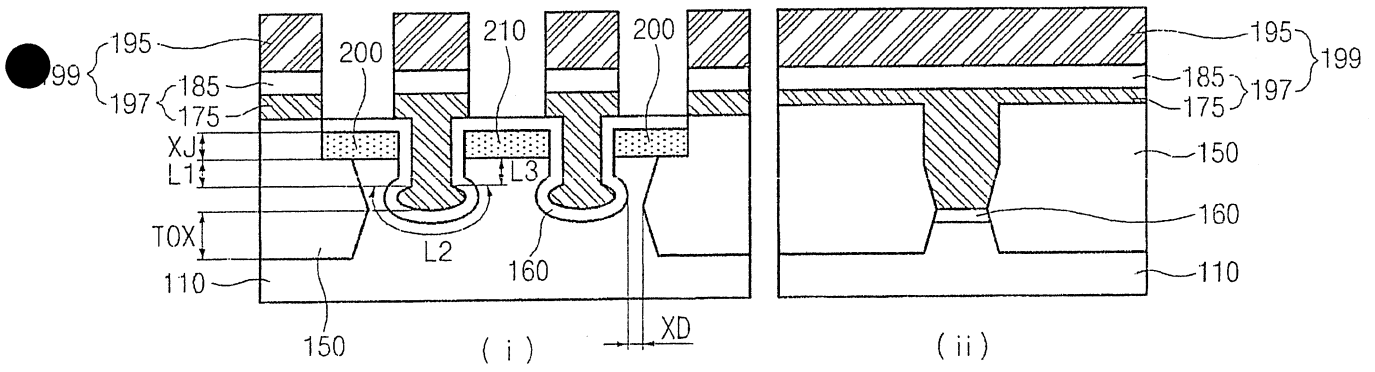


圖 5g

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

110 半導體基板

150 元件隔離結構

160 閘極絕緣膜

175 下方的閘極電極

185 上方的閘極電極

195 閘極硬式光罩層圖案

197 閘極電極

199 閘極

200 儲存節點接面區域

210 位元線接面區域

L1、L3 垂直的通道區域

L2 水平的通道區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

13. 根據申請專利範圍第 6 項之方法，其中步驟(e)係包含：

(e-1) 在該露出的半導體基板之上形成一緩衝氧化膜；

(e-2) 在該緩衝氧化膜之上形成一平坦化第二硬式光罩層；

(e-3) 在該第二硬式光罩層之上形成一界定一凹形閘極區域的光阻膜圖案；

(e-4) 利用該光阻膜圖案作為一蝕刻光罩來蝕刻該第二硬式光罩層、緩衝氧化膜以及半導體基板之一預設的厚度以形成一凹槽；

(e-5) 移除該光阻膜圖案以及第二硬式光罩層；以及

(e-6) 移除該緩衝氧化膜。

14. 根據申請專利範圍第 13 項之方法，其更包括注入雜質離子到該半導體基板之中，以在設置在該緩衝氧化膜之下的半導體基板中形成一個井及通道離子植入區域。

15. 根據申請專利範圍第 13 項之方法，其中該第二硬式光罩層係從由一氮化膜、一多晶矽膜、一非晶系碳膜、一 SiON 膜、以及該等氮化膜、多晶矽膜、非晶系碳膜與 SiON 膜的組合所構成的群組中選出。

16. 根據申請專利範圍第 13 項之方法，其更包括：

在該凹槽的側壁以及緩衝氧化膜之上形成凹槽側壁的間隙壁；

利用該些凹槽側壁的間隙壁作為一蝕刻光罩來蝕刻在該凹槽的底部露出之半導體基板之一預設的厚度；以及