

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3709246号
(P3709246)

(45) 発行日 平成17年10月26日(2005.10.26)

(24) 登録日 平成17年8月12日(2005.8.12)

(51) Int. Cl.⁷

F I

G 1 1 C 11/407
G 0 5 F 1/56
G 1 1 C 11/413

G 1 1 C 11/34 3 5 4 F
G 0 5 F 1/56 3 1 0 P
G 1 1 C 11/34 3 3 5 A

請求項の数 16 (全 23 頁)

<p>(21) 出願番号 特願平8-224789 (22) 出願日 平成8年8月27日(1996.8.27) (65) 公開番号 特開平10-64261 (43) 公開日 平成10年3月6日(1998.3.6) 審査請求日 平成13年10月9日(2001.10.9)</p>	<p>(73) 特許権者 000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号 (73) 特許権者 000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号 (74) 代理人 100075096 弁理士 作田 康夫 (74) 代理人 100068504 弁理士 小川 勝男 (72) 発明者 田中 均 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内 最終頁に続く</p>
---	---

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

電圧変換回路と、
前記電圧変換回路から出力される出力電圧を受ける内部回路とを具備し、
前記電圧変換回路は、
外部電圧に接続される電源ノードと、
前記外部電圧より小さい前記出力電圧を出力するための第1出力ノードと、
そのソースが外部電圧に接続され、そのドレインが前記第1出力ノードに接続される第1トランジスタと、そのソースが共通接続される第1MOSFET及び第2MOSFETと、基準電圧及び前記第1MOSFETのゲートに接続される第1入力ノードと、前記第1出力ノード及び前記第2MOSFETのゲートに接続される第2入力ノードと、第1負荷及び前記第2MOSFETのドレインに接続される第2出力ノードと、第2負荷と前記第1MOSFETのドレインに接続される第3出力ノードとを含む差動増幅回路と、
前記第1負荷を流れる第1電流により制御される第2トランジスタと、前記第2負荷を流れる第2電流により制御される第3トランジスタと、前記第2トランジスタの出力、前記第3トランジスタの出力及び前記第1トランジスタのゲートに接続される第4出力ノードとを含むプッシュプル回路とを有し、
前記電圧変換回路は、直列に接続された第4及び第5トランジスタを更に具備し、前記第2負荷と前記第4トランジスタは、第1カレントミラー回路を形成するように接続され、前記第1負荷と前記第2トランジスタは、第2カレントミラー回路を形成するように接

10

20

続され、前記第3トランジスタと前記第5トランジスタは、第3カレントミラー回路を形成するように接続されることを特徴とする半導体集積回路。

【請求項2】

請求項1において、

前記第2トランジスタのソース・ドレイン経路に流れる電流は、前記第1電流に比例し、前記第3トランジスタのソース・ドレイン経路に流れる電流は、前記第2電流に比例することを特徴とする半導体集積回路。

【請求項3】

請求項1または2において、

前記電圧変換回路は、前記第1トランジスタのゲート・ソース間に接続されたダイオードを更に具備することを特徴とする半導体集積回路。 10

【請求項4】

請求項1から3の何れか一つにおいて、

前記第1トランジスタのしきい値は、前記差動増幅回路及び前記プッシュプル回路に用いられるトランジスタのしきい値より小さく、

前記第1負荷の一端と前記第2トランジスタのソースは、前記外部電圧より大きい第1電圧に接続されることを特徴とする半導体集積回路。

【請求項5】

請求項4において、

前記第2負荷の一端は、前記外部電圧に接続されることを特徴とする半導体集積回路。 20

【請求項6】

請求項4又は5において、

前記半導体集積回路は、前記外部電圧を受けて前記第1電圧を出力するためのチャージポンプ回路を更に具備することを特徴とする半導体集積回路。

【請求項7】

請求項1から6の何れか一項において、

前記プッシュプル回路の出力信号の振幅は、前記差動増幅回路の出力信号の振幅より大きいことを特徴とする半導体集積回路。

【請求項8】

請求項1から7の何れか一つにおいて、

前記半導体集積回路は、ダイナミックランダムアクセスメモリであり、

前記内部回路は、複数のメモリセルと、前記複数のメモリセルへのアクセスに応じて活性化される複数のセンスアンプとを含むメモリアレイであり、

前記電圧変換回路は、前記アクセスに応じて前記複数のセンスアンプに前記出力電圧を供給することを特徴とする半導体集積回路。 30

【請求項9】

請求項1から8の何れか一つにおいて、

前記第1、第2及び第3トランジスタは、デプレッション型トランジスタであり、前記第1及び第2MOSFETは、デプレッション型MOSFETであることを特徴とする半導体集積回路。 40

【請求項10】

請求項1から9の何れか一つにおいて、

前記差動増幅回路は、前記差動増幅回路の電流パスに設けられた第1スイッチトランジスタを更に有し、

前記プッシュプル回路は、前記プッシュプル回路の電流パスに設けられた第2スイッチトランジスタを更に有し、

前記第1及び第2スイッチトランジスタは、デプレッション型トランジスタであることを特徴とする半導体集積回路。

【請求項11】

電圧変換回路と、

前記電圧変換回路から出力される出力電圧を受ける内部回路とを具備し、
 前記電圧変換回路は、外部電圧に接続される電源ノードと、
 前記外部電圧より小さい前記出力電圧を出力するための第1出力ノードと、
 そのソースが外部電圧に接続され、そのドレインが前記第1出力ノードに接続される第1トランジスタと、そのソースが共通接続される第1MOSFET及び第2MOSFETと、基準電圧及び前記第1MOSFETのゲートに接続される第1入力ノードと、前記第1出力ノード及び前記第2MOSFETのゲートに接続される第2入力ノードと、第1負荷及び前記第2MOSFETのドレインに接続される第2出力ノードと、第2負荷と前記第1MOSFETのドレインに接続される第3出力ノードとを含む差動増幅回路と、

前記第1負荷に流れる電流と前記第2負荷に流れる電流の差に比例する第1電流にそのゲートが制御される第2トランジスタと、前記第2負荷に流れる電流と前記第1負荷に流れる電流の差に比例する第2電流にそのゲートが制御される第3トランジスタと、前記第2トランジスタの出力、前記第3トランジスタの出力及び前記第1トランジスタのゲートに接続される第4出力ノードとを含むプッシュプル回路とを有し、

前記第1トランジスタのしきい値電圧は、前記差動増幅回路及び前記プッシュプル回路に用いられるトランジスタのしきい値電圧より小さく、前記第2トランジスタのソースは前記外部電圧より大きい第1電圧に接続されることを特徴とする半導体集積回路。

【請求項12】

請求項11において、前記第1及び第2負荷の夫々の一端は、外部電圧に接続されることを特徴とする半導体集積回路。

【請求項13】

請求項11又は12において、

前記半導体集積回路は、前記外部電圧を受けて前記第1電圧を発生するチャージポンプ回路を更に具備することを特徴とする半導体集積回路。

【請求項14】

請求項11から13の何れか一つにおいて、

前記半導体集積回路は、ダイナミックランダムアクセスメモリであり、前記内部回路は、複数のメモリセルと、前記複数のメモリセルへのアクセスに応じて活性化される複数のセンスアンプとを含むメモリアレイであり、前記電圧変換回路は、前記アクセスに応じて前記複数のセンスアンプに前記出力電圧を供給することを特徴とする半導体集積回路。

【請求項15】

電圧変換回路と、

前記電圧変換回路から出力される出力電圧を受ける内部回路とを具備し、

前記電圧変換回路は、外部電圧に接続される電源ノードと、

前記外部電圧より小さい前記出力電圧を出力するための第1出力ノードと、そのソースが外部電圧に接続され、そのドレインが前記第1出力ノードに接続される第1トランジスタと、そのソースが共通接続される第1MOSFET及び第2MOSFETと、基準電圧及び前記第1MOSFETのゲートに接続される第1入力ノードと、前記第1出力ノード及び前記第2MOSFETのゲートに接続される第2入力ノードと、第1負荷及び前記第2MOSFETのドレインに接続される第2出力ノードと、第2負荷と前記第1MOSFETのドレインに接続される第3出力ノードとを含む差動増幅回路と、

前記第1負荷に流れる電流と前記第2負荷に流れる電流の差に比例する第1電流にそのゲートが制御される第2トランジスタと、前記第2負荷に流れる電流と前記第1負荷に流れる電流の差に比例する第2電流にそのゲートが制御される第3トランジスタと、前記第2トランジスタの出力、前記第3トランジスタの出力及び前記第1トランジスタのゲートに接続される第4出力ノードとを含むプッシュプル回路とを有し、

前記第2トランジスタのソースは、前記外部電圧より大きい第1電圧に接続され、前記第1、第2及び第3トランジスタは、デプレッション型トランジスタであり、前記第1及び第2MOSFETは、デプレッション型MOSFETであることを特徴とする半導体集積回路。

10

20

30

40

50

【請求項 16】

請求項 15 において、

前記差動増幅回路は、前記差動増幅回路の電流パスに設けられた第 1 スイッチトランジスタを更に有し、

前記プッシュプル回路は、前記プッシュプル回路の電流パスに設けられた第 2 スイッチトランジスタを更に有し、

前記第 1 及び第 2 スイッチトランジスタは、デプレッション型トランジスタであることを特徴とする半導体集積回路。

【発明の詳細な説明】**【0001】**

10

【発明の属する技術分野】

本発明は、半導体チップに組み込まれた電圧変換回路に関するものであり、特に電源電圧が低いときや電源電圧と内部電圧が近接しているときに有効な技術に関する。

【0002】**【従来の技術】**

一般に、メモリやマイクロプロセッサ等を構成する半導体集積回路では、それが高集積化されるほど素子数が増えることとなり、またより高速化が求められるので消費電流が増える。また半導体集積回路における素子は、微細化されその耐圧が下がってくる。このため、高集積化とともに、電源電圧を下げる必要がある。

【0003】

20

電源電圧に関し、J E D E C (Joint Electronic Device Engineering Council-Electronic Industrial Association) では、5 V、3.3 V、2.5 V のような値に規定されており、これによって、各半導体集積回路の電源電圧の統一化が図られることとなる。電源電圧に関しては、また、ユーザー側からみれば、従来の設計ノウハウの有効活用や他の小規模、中規模素子とのインターフェースの点から外部電源電圧は従来のままに保つことが望ましい。

【0004】

そこで、この種の回路素子の微細化、低耐圧化に伴う半導体集積回路の特性と外部電源電圧特性のような外部特性との相違の考慮の基で、例えばチップ上に一種の電源回路としての電圧変換回路を搭載し、その電圧変換回路によって得た外部電圧よりも低い電圧をチップ上の内部回路に供給する方式が、16 Mビットダイナミックランダムアクセスメモリ(以下DRAMと略記)のような大容量MOS半導体集積回路において検討された。

30

【0005】

従来の電圧変換回路としては、例えば、出力を制御する制御トランジスタないしは駆動トランジスタとしてそのソ - スが電源端子に結合されそのドレインが出力端子に結合された p チャンネル型 MOS F E T と、かかる駆動トランジスタのドレインから出力される出力電圧と基準電圧とを比較しその比較出力によってかかる駆動トランジスタを制御する誤差増幅器としての単一段からなる MOS 差動アンプとからなるようなフィ - ドバック制御型の電圧変換回路がある(培風館 1994 年 11 月発行「超 L S I メモリ」271 ページに記載)。

40

【0006】

また、本願発明者等は、本願発明に先立って図 2 の電圧変換回路において図 3 のような動作波形が得られることを検討した。

【0007】

かかる構成の電圧変換回路は、駆動トランジスタのソ - スを電源端子側に接続し、ドレインから出力を得るようにすることから、そのソ - ス、ドレイン間電圧が比較的小さくなったときでもそのゲ - ト、ソ - ス間に比較的大きなレベルの制御信号を加えることができることから、比較的低い電源電圧での良好な動作が期待される。かかる構成の電圧変換回路は、また、その内部のフィ - ドバックル - プにおける信号位相回転を比較的単純なものにすることもでき、それ自体のリンギングや発振のような異常動作の発生を防ぐための半導

50

体集積回路化が難しいような補償手段を必要とすること無く安定に動作することが期待できることから、その出力電圧が供給される内部回路とともに一つの半導体集積回路として構成されるようなオンチップの回路として好適なものと考えられる。

【0008】

【発明が解決しようとする課題】

前述のように一般に素子を微細化すると、それに応じて電源電圧を下げるが必要となり、また、MOSトランジスタのしきい値電圧 V_T も低くする必要がある。しかし、電源電圧及びMOSトランジスタのしきい値電圧を低下させようとする場合には、次のような新たな問題も考慮する必要の有ることが明らかとなってきた。

【0009】

(1)MOSトランジスタのしきい値電圧 V_T を低くした場合には、それに応じてサブスレッショールド電流(前述の培風館1994年11月発行「超LSIメモリ」351ページに記載)が増加することとなる。サブスレッショールド電流による回路の不所望な電流の消費を抑えるには、MOSFETのしきい値電圧を単純に電源電圧の減少比率に1対1対応するような比率をもって下げることができなくなってくる。これによって、MOSFETのしきい値電圧が相対的に大きな値をとることになってくる。

【0010】

(2)また、MOSトランジスタのゲート酸化膜厚やチャネル長を縮小しても、キャリアの速度飽和現象のために、MOSトランジスタによる駆動能力は理論通りには増加しなくなる。そこで、得るべき動作速度特性等の考慮の基で、内部回路を構成するMOSトランジスタが十分に駆動されるようにするためには、内部回路に供給される内部電圧 V_L を、外部から供給される電源電圧の低下に比例して下げるのではなく、相対的に大きな値にせざるを得なくなってくる。そのため、供給される電源電圧 V_{DD} と得るべき変換電圧 V_L との差は、素子が微細化されるにともない小さくなっていく。たとえば、最小加工寸法を $0.5\mu\text{m}$ とするような半導体集積回路製造プロセス($0.5\mu\text{m}$ プロセス)によって製造される16MビットDRAMの第1世代の製品では $V_{DD} = 5\text{V}$ 、 $V_L = 3.3\text{V}$ であったものが、 $0.2\mu\text{m}$ プロセスになる256MビットDRAMの第1世代では $V_{DD} = 3.3\text{V}$ 、 $V_L = 2.5\text{V}$ となる。また、第2世代ではそれぞれ、 $3.3\text{V}/2 \sim 2.5\text{V}$ 、 $2.5\text{V}/2.0\text{V}$ となり益々 V_{DD} と V_L との差は小さくなる。

【0011】

ここで、例として第1世代で駆動能力を比較してみる。今、差動アンプが差動MOSFETと、その差動MOSFETの一方のドレイン出力を受け他方のMOSFETのドレインに供給すべき電流を形成するカレントミラ-負荷回路とからなり、かかる差動MOSFETのしきい値電圧を V_L とし、ドレインコンダクタンスを g_m とし、差動トランジスタの動作電流を I_s とすると、駆動トランジスタのゲ-ト-ソ-ス間に加わる電圧 V_{gs} は、 $V_{gs} = V_{DD} - \{V_L - (V_T + (2I_s/g_m)^{1/2})\}$ で表される。そこで、 V_{gs} を計算すると、前者(16MビットDRAM)では $|V_T| = 1\text{V}$ 、 $I_s = 2\text{mA}$ 、 $g_m = 10\text{mS/V}$ とすれば $V_{gs} = 3.33\text{V}$ 、後者(256MビットDRAM)では V_T 、 I_s 、 g_m を同じとして $V_{gs} = 2.43\text{V}$ となり、 V_T 分を差し引いた実効ゲ-ト電圧は60%以上減少する。それに対して、微細化によるトランジスタの駆動能力の増加はそれ以下なので、電圧変換回路の駆動能力は相対的に低下することとなる。

【0012】

(3)さらに、半導体集積回路技術の進歩に伴う高集積化により、内部回路の素子数も多くなりその消費電流が増加し、ますます駆動能力が不足してくる。

【0013】

以上の問題は、現在のトランジスタの性能では、 V_{DD} と V_L の差が1Vを切った位のところから顕著になると思われる。

【0014】

そこで、駆動能力を増加させるために、電圧変換回路の駆動トランジスタのチャネル幅を大きくすると、それに応じてかかる駆動トランジスタのゲ-ト電極容量から成るような容

10

20

30

40

50

量が増加することとなり、差動アンプの出力端からみた負荷容量が増加する。それに応じて、電圧変換回路内の帰還経路における遅延時間が増加し、電圧変換回路の動作が不安定になり、リングングや発振を生ずる恐れがでてくる。これを防ぐため差動アンプの電流を増やすと、半導体チップ全体の消費電流が増加するという問題とともに、差動アンプの利得が低下し正確な出力電圧が得られなくなってくるという別の問題が生じてくる。また、駆動トランジスタのしきい電圧を小さくすることにより駆動能力の増加を図ることも可能であるが、その場合には、駆動トランジスタのサブスレッショールド電流の増大に注意する必要が出てくることになる。すなわち、負荷電流が減少したときに、VDDからかかる駆動トランジスタを通して流れるリーク電流が、減少した負荷電流レベルを上回るようになり、出力電圧が基準電圧より高くなってしまおうという恐れが生ずる。

10

【0015】

なお、CMOSインバ-タ回路が、比較的小さい振幅の入力信号であってもものほぼ動作電源範囲の大きな振幅の信号を出力すると言う良く知られた特性を持つことを考慮に入れて、誤差増幅器としての差動アンプの出力を、CMOSインバ-タ回路を介して駆動トランジスタに供給するようにすること検討しても良い。しかしそのようにCMOSインバ-タ回路を追加する構成の回路は、電圧変換回路のフィ-ドバックル-プ内に、実質的に差動アンプと、CMOSインバ-タ回路からなるアンプと、駆動トランジスタとその負荷とからなるアンプとの3段構成のアンプが入ることになり、位相の制御すなわち動作の安定化を図ることが極めて困難になり、オンチップ回路としては構成し難いことに注意する必要がある。回路動作の安定性は、出力電圧が供給される内部回路が、DRAMのようにその動作状態に応じてその動作電流が大幅に変化するものである場合には、駆動トランジスタの入力から出力までの経路での信号位相回転量が電流の大幅な変動に応じて大きく変動することとなるので、とくに大きな課題となるものである。

20

【0016】

以上のように従来の電圧変換回路では、チップが低電源電圧化、大容量化されるほど駆動能力が不足し、これを補償しようとする電圧変換回路が不安定になったり正確な電圧が得られなくなるといった問題が生ずる。

【0017】

従って本発明の目的は、低電源電圧でも比較的大きな駆動能力を持つた動作安定性の良い電圧変換回路、及びそれを用いた半導体集積回路を提供することに有る。

30

【0018】

本発明の他の目的は、低電圧大容量の半導体集積回路に適した電圧変換回路及びそれを用いた半導体集積回路を提供することに有る。

【0019】

本発明の他の目的は、変動の比較的大きな負荷電流に対しても安定に動作する電圧変換回路を提供することに有る。

【0020】

本発明の他の目的は、内部回路と共に一つの半導体集積回路として構成されるのに適した低電圧動作可能な電圧変換回路を提供することに有る。

【0021】

本発明の更に他の目的は、それ自体が低消費電力化された電圧変換回路及びそれを用いた半導体集積回路を提供することに有る。

40

【0022】

本発明の他の目的は、待機制御に好適な電圧変換回路及びそれを用いた半導体集積回路を提供することに有る。

【0023】

本発明の他の目的は、メモリを構成するMOS半導体集積回路に適する電圧変換回路を提供することに有る。

【0024】

本発明の更に他の目的は、以下の説明及び図面から明らかとなるであろう。

50

【 0 0 2 5 】

【 課題を解決するための手段 】

上記課題を解決するための本発明の代表的な手段は、差動アンプの出力部を、カレントミラ - 出力回路構成にすることに有る。

【 0 0 2 6 】

本発明のより好適な手段は、上記カレントミラ - 出力回路をプッシュプル出力構成にすることに有る。

【 0 0 2 7 】

本発明の他の手段は、駆動トランジスタのしきい値電圧を内部回路のトランジスタのしきい値電圧より低くし、差動アンプを駆動トランジスタに供給する電源電圧よりも大きな供給電圧によってり動作させることにある。

【 0 0 2 8 】

本発明のより好適な手段は、上の手段を組み合わせることによって得られる。

【 0 0 2 9 】

【 発明の実施の形態 】

図 1 は、本発明の第 1 の実施例の電圧変換回路の回路図である。図示の回路は、ノ - ド N 1 に誤差増幅出力を出力する差動アンプ構成の誤差増幅器と、その出力を受けてノ - ド N 2 に出力電圧 V D H を出力するバッファ回路とから構成されている。

【 0 0 3 0 】

本実施例においては、誤差増幅器としての差動アンプは、特に制限されないが、差動入力段と、カレントミラ - 回路構成のプッシュプル型の出力部回路とから構成されている。

【 0 0 3 1 】

すなわち、差動アンプは、図示のように、nチャンネル型 MOS F E T からなる差動トランジスタ Q 1、Q 2 と、その共通ソ - スに動作電流を与えるための電流源トランジスタ Q 9 と、そのゲ - ト・ドレインが接続されることによってダイオ - ド接続された P チャンネル型 MOS F E T からなる負荷トランジスタ Q 3、Q 5 とからなる差動入力段と、上記負荷トランジスタ Q 3 とともに第 1 カレントミラ - 回路を構成する p チャンネル型 MOS F E T からなるトランジスタ Q 4 と、上記負荷トランジスタ Q 5 とともに第 2 カレントミラ - 回路を構成する p チャンネル型 MOS F E T からなるトランジスタ Q 6 と、上記第 1 カレントミラ - 回路の出力を入力とする第 3 カレントミラ - 回路を構成する n チャンネル型 MOS F E T からなるトランジスタ Q 7、Q 8 とからなる出力部回路とから構成されている。

【 0 0 3 2 】

上記差動トランジスタの一方 Q 1 のゲ - トは、差動アンプの非反転入力端子とみなされ、図示しない基準電圧発生回路からの基準電圧 V L H が供給される。差動トランジスタの他方 Q 2 のゲ - トは、差動アンプの反転入力端子とみなされ、ノ - ド N 2 を介してバッファ回路の出力 V D H が帰還される。電流源トランジスタ Q 9 のゲ - トには、図示しないバイアス回路からのバイアス電圧が供給される。

【 0 0 3 3 】

バッファ回路は、p チャンネル型 MOS F E T からなる駆動トランジスタ Q 1 0、動作制御トランジスタ Q 1 2 と、n チャンネル型 MOS F E T からなる制御トランジスタ Q 1 1 とから構成されている。

【 0 0 3 4 】

駆動トランジスタ Q 1 0 は、図示のようにそのソ - ス電極が電源端子 V D D に接続され、そのゲ - ト電極がノ - ド N 1 すなわち差動アンプの出力に接続され、そのドレイン電極がノ - ド N 2 に接続されている。駆動トランジスタ Q 1 0 のようなトランジスタは、そのドレイン電極が出力電極を構成し、そのゲ - ト電極が制御電極を構成し、そのソ - ス電極がゲ - ト電極に加えられる制御信号に対する基準電位点をなす基準電極を構成し、その出力電極 - 基準電極間の電流が制御電極 - 基準電極間に加わる制御信号によって制御される制御素子であるとみなすことができる。図示のような接続によると、駆動トランジスタ Q 1

10

20

30

40

50

0の基準電極が電源端子VDDに接続されていることから、基準電極 - 出力電極間の電位差が比較的小さくなった場合であっても、その基準電極 - 制御電極間に比較的大きなレベルの制御信号を加えることができることとなる。したがって、駆動トランジスタQ10は、電源端子VDD - 出力ノードN2間の電位差が小さい場合であっても、出力ノードN2に比較的大きな電流を供給できるように制御され得る。これにより、バッファ回路は、低電圧損失回路として動作可能とされる。

【0035】

バッファ回路の出力VDHは、図示しない内部回路からなるような負荷に供給される。図1においては、便宜上、負荷をILとして表示している。

【0036】

なお、バッファ回路における制御トランジスタQ11、Q12の動作、作用については後で説明する。

【0037】

図示の構成の差動アンプによると、駆動トランジスタQ10のゲート電圧をほぼ回路の接地電位VSS(0V)にまで下げることができることによりQ10のゲート - ソース間電圧を増大させることができ、その結果、バッファ回路の駆動能力を増加させることができる。

【0038】

図4は、図1の回路の動作波形を示している。負荷電流ILに応じて出力ノードN2の電圧が低下すると、差動アンプはこの変化を検出して、Q2の電流を減少させると同時にQ1の電流を増加させる。この変化は第1のカレントミラー回路Q3、Q4と第3のカレントミラー回路Q7、Q8を介して出力ノードN1へ伝達される。一方Q2の電流変化は第2のカレントミラー回路Q5、Q6を介して同じ出力ノードN1へ伝達される。こうして第2のカレントミラー回路の出力トランジスタQ6の電流は減少し、第3のカレントミラー回路の出力トランジスタQ8の電流は増加する。すなわち、出力トランジスタQ6とQ8の相互でプッシュプル動作が行われる。ここで、トランジスタQ6、Q8のソース電圧がそれぞれVDDおよびVSSであり、それらトランジスタQ6、Q8の動作モードがそれぞれソース接地なので、出力ノードN1は、Q1、Q2の電流変化がある一定量以上あればほぼVDDからVSSの間でフルスウィングすることになる。

【0039】

なお、差動アンプの出力ノードN1をフルスウィングするだけなら、差動アンプの出力部回路を例えばCMOSインバータ回路のような回路素数が少なくまた回路構成も比較的単純な回路にすることができる。しかしながら、その場合には、インバータ回路のポール(インバータの出力抵抗とQ10のゲート容量で生ずるポール)と差動アンプのポール(差動アンプの出力抵抗とインバータの入力容量で生ずるポール)とが近い位置にくることとなり、バッファ段のポール(バッファ回路の出力抵抗と負荷回路の容量で生ずる)と合わせての位相余裕がほとんどなくなることとなる。そのような回路は、その動作の安定性が悪くなり、最悪の場合は発振という異常動作によって全く回路として機能しなくなることになる。すなわち、そのような回路は、位相余裕がほとんど無いことによって、入力電源電圧の変化や動作温度の変化等に応じてもたらされるMOSトランジスタの動作条件や動作特性の若干の変動によっても極めてひんぱんにリング動作や発振動作のような異常動作を引き起こすこととなる。そのような回路は、また、負荷電流の変化によってもたらされるMOSトランジスタの同様な動作条件の変化によって、著しく狭い負荷電流範囲でしか安定な動作を期待できないようになるので、比較的大きな動作電流で動作する定常動作状態と比較的小さい動作電流で動作する待機状態を持つ負荷のような負荷、すなわち負荷電流の変化が大きな負荷には適用困難となる。

【0040】

それに対して、本実施例では差動入力段とバッファ回路の間にカレントミラー回路が入るけれども、差動入力段の負荷トランジスタがダイオード接続のトランジスタからなりその動作抵抗が低くなることから、この抵抗とカレントミラー回路のゲート容量で生ずるポー

10

20

30

40

50

ルが他の2つのポール(カレントミラーの出力抵抗とバッファ回路のゲート容量とによって決まるポールと、バッファ回路の出力抵抗と負荷回路の容量とで決まるポール)より十分に高く離れたところに位置するようになる。そのため実施例によると、ほとんど安定性を損なうことのない回路を得ることができる。

【0041】

以上のように、本実施例によれば、低い電源電圧でも、電圧変換回路の安定性を維持したままバッファ回路の駆動トランジスタのゲート・ソース間電圧を大きくできるので、高い駆動能力を得ることが出来る。

【0042】

上記第1の実施例は、特に制限されないが、次に説明するように、負荷電流 I_L の変動に対して回路動作を更に良好に適応させるための構成と、回路動作停止制御のための構成とをもつ。

10

【0043】

すなわち、バッファ回路における制御トランジスタ Q_{11} は、負荷電流 I_L が著しく小さくなった時でも駆動トランジスタ Q_{10} に適当な大きさの電流が流れるようにするための一種のアイドル電流源を構成するように設けられている。バッファ回路における駆動トランジスタ Q_{10} は、制御トランジスタ Q_{11} によるアイドル電流によって、負荷電流 I_L の大きな変化にかかわらずに適当な利得を持つような動作状態に置かれることになる。このような利得変化の制限は、回路ループ内に実質的に3段のアンプを含むことによって安定動作範囲が制限されがちな実施例の回路を、より安定な動作状態に維持させる上で意義が有る。

20

【0044】

また、バッファ回路における制御トランジスタ Q_{12} は、差動アンプにおける電流源トランジスタ Q_9 に加えるバイアス電圧 F_1 をゼロポルトにスイッチ制御するなどの方法によって電圧変換回路の動作を停止させたときに、それと同期して駆動トランジスタ Q_{10} を良好にカットオフさせるようにするために設けられている。

【0045】

すなわち、図示しない内部回路の動作状態が待機状態へ移行するなどによって負荷電流 I_L が待機レベルのような著しく小さいレベルに低下される動作状態にされた場合、それに同期して、制御信号 F_1 及び F_3 はそれぞれハイレベルからロウレベルにされる。制御信号 F_1 のロウレベルへの変化によって電流源トランジスタ Q_9 がオフ状態にされ、それによって差動アンプの動作が停止される。また制御信号 F_3 のロウレベルへの変化によって制御トランジスタ Q_{12} がオン状態にされ、かかる制御トランジスタ Q_{12} による駆動トランジスタ Q_{10} がカットオフ駆動される。このような駆動トランジスタ Q_{10} のカットオフ駆動によって、かかる駆動トランジスタ Q_{10} のリック電流が低減され、出力電圧 V_{DH} の異常な上昇が防がれる。すなわち、待機状態に移行した内部回路のような負荷に異常電圧が加わってしまうことが防がれる。

30

【0046】

次に第2実施例について説明する。

【0047】

上記の第1の実施例では、差動アンプはn-MOS入力型、バッファ回路の駆動トランジスタはp-MOSを用いた電流吐き出し型となっている。このような回路は、差動アンプの入力トランジスタ Q_1 、 Q_2 のゲート・ソース間電圧が大きくとれるという理由で $V_{DD}/2$ から V_{DD} 近傍の電圧を出力するの適している。しかし、用途によっては V_{SS} から $V_{DD}/2$ 近傍の電圧で、しかも電流吸い込み型の駆動回路が必要とされることがある。このような条件では、差動アンプの入力トランジスタ Q_1 、 Q_2 のゲート・ソース間電圧が非常に小さくなったり、場合によってはかかる入力トランジスタがカットオフしてしまい正常に増幅動作することができなくなってくる。そこで以下では、 V_{SS} から $V_{DD}/2$ 近傍の電圧を出力し、しかも大きな電流を吸い込むことができる第2実施例について述べる。

40

50

【0048】

図5は、本発明の第2の実施例の電圧変換回路の回路図である。本実施例は、第1の実施例で使用しているトランジスタの極性をすべて逆にし、さらにその電源電圧も逆にしたものに相当する。すなわち、差動アンプをp-MOS入力型にし、バッファ回路の駆動トランジスタをn-MOSにしたことである。これにより、VSSからVDD/2近傍の電圧を出力するのに好適となり、比較的大きな電流を吸い込むことができるようになる。

【0049】

すなわち、差動アンプの入力段をp-MOS入力型にすることにより入力電圧VLL、VDLが低くなっても入力トランジスタQ1、Q2のゲート-ソース間には十分に大きな電圧がかかるようになる。また、駆動トランジスタQ11をn-MOSにし、そのソースを回路の接地電位VSSにすることによりソース接地モードで動作するようにしたことによって大きな駆動力が得られる。

【0050】

図6は、本発明の第3の実施例であるDRAM(ダイナミックランダムアクセスメモリ)のブロック図を示している。

【0051】

図示のDRAMは、公知のCMOS半導体集積回路技術によって単結晶シリコンからなるような一つの半導体チップ上に形成される。

【0052】

実施例のDRAMは、回路素子構造それ自体が、いわゆるサブミクロンCMOS半導体集積回路製造技術のような微細化技術によって微細化され、その内部回路がより低電源電圧で動作するようにされるものであるが、回路構成それ自体は、公知のDRAMに、制御回路CNT、電圧変換回路VDHG1、VDHG2、及び基準電圧発生回路VREFを設けたものに相当すると理解されて良い。

【0053】

そこで、公知のDRAM部分については、その概要を以下に説明することとし、その詳細回路等を図示することは図面が複雑になってしまい、かえって実施例のDRAMの理解を難しくしてしまうので避けることとする。

【0054】

メモリブロックMBLKは、図示しないメモリセルアレイ、センスアンプ、プリチャージ回路とを持つ。

【0055】

メモリセルアレイは、複数のワード線と、複数のビット線と、それぞれワード線とビット線との交点に設けられた複数の複数のメモリセルメモリセルとを持つ。各メモリセルは、1個のMOSトランジスタと1個のキャパシタとからなるダイナミック型メモリとされる。メモリアレイは、例えば、公知の2交点方式のメモリアレイから構成される。従って複数のビット線は、互いに隣接する2本づつが対とされ、相補ビット線とされ、1本のワード線と相補ビット線のそれぞれとの2つの交点の内の一つの交点にメモリセルが電氣的に結合される。

【0056】

センスアンプは、それぞれ相補ビット線に1対1対応をもって設けられる複数の単位センスアンプとその動作制御スイッチから構成される。各単位センスアンプは、ゲート・ドレインが互いに交差接続されかつドレインが対応する相補ビット線にそれぞれ接続される一対のnチャンネル型MOSトランジスタと、同様にゲート・ドレインが互いに交差接続されかつドレインが対応する相補ビット線にそれぞれ接続される一対のpチャンネル型MOSトランジスタとから構成される。複数の単位センスアンプのnチャンネル型MOSトランジスタのソ-スは、共通ソ-ス線(第1共通ソ-ス線)に共通接続され、複数の単位センスアンプのpチャンネル型MOSトランジスタのソ-スは、他の共通ソ-ス線(第2共通ソ-ス線)に共通接続される。上記動作制御スイッチは、上記第1共通ソ-ス線に回路の接地電位点のような低電位を供給するnチャンネル型MOSトランジスタからなるパワ

10

20

30

40

50

- スイッチと、上記上記第2共通ソ - ス線に給電を行うpチャンネル型M O Sトランジスタからなるパワ - スイッチとから構成される。

【0057】

プリチャ - ジ回路は、例えば、センスアンプの動作によって相補ビット線に与えられたハイレベル電位とロウレベル電位とを短絡することによって相補ビット線をハイレベルとロウレベルとの中間の電位にする用にそれぞれ相補ビット線間に設けられたnチャンネルM O Sトランジスタからなるような複数のプリチャ - ジスイッチから構成される。もちろんプリチャ - ジ回路は、上記の相補ビット線短絡用のスイッチとともに、上記第1、第2共通ソ - ス線の上記パワ - スイッチが共にオフ状態にされた後に上記第1共通ソ - ス線と第2共通ソ - ス線とを短絡し、かかる第1、第2共通ソ - ス線をハ - フレレベルのプリチャ - ジレベルにする共通ソ - ス線プリチャ - ジ用スイッチや、不所望なリ - ク電流成分による相補ビット線のプリチャ - ジ電荷の変化を防ぐようにするためのハ - フレレベル電圧発生回路とスイッチとを更に備えることもできる。

10

【0058】

周辺回路P H Cは、入出力インタ - フェ - ス回路I / Oを介して供給されるロウアドレス信号をデコ - ドするロウアドレスデコ - ダ回路と、ロウアドレスデコ - ダ回路のデコ - ド信号と適当なワ - ド線選択タイミング信号とを受けてワ - ド線選択信号を形成するワ - ドドライバ回路と、入出力インタ - フェ - ス回路I / Oを介して供給されるカラムアドレス信号をデコ - ドするカラムアドレスデコ - ダ回路と、カラムアドレスデコ - ダ回路の出力におうじてメモリアレイの相補ビット線を選択しそれを共通相補ビット線に結合させるカラムスイッチ回路と、共通相補ビット線用のプリチャ - ジ回路と、共通相補ビット線を介して読み出しデ - タ信号を受けるメインアンプと、共通相補ビット線に供給すべき書き込みデ - タ信号を形成するデ - タ書き込み回路と、メモリアレイの各メモリセルのデ - タのリフレッシュのためのリフレッシュアドレスカウンタを含むリフレッシュ制御回路と、入出力インタ - フェ - ス回路I / Oを介して供給される制御信号に基づいて上記の種々の回路の動作を制御する各種タイミング信号ないしは制御信号と電圧変換回路V D H G 1、V D H G 2の動作を制御するタイミング信号ないしは制御信号を形成するタイミング制御回路とからなるような各種の回路から構成される。

20

【0059】

上記周辺回路P H Cは、上記カラムスイッチ回路を除くような上記の各回路のほとんどがpチャンネルM O SトランジスタとnチャンネルM O SトランジスタとからなるC M O S回路から構成される。上記周辺回路P H Cにおいて、ワ - ドドライバ回路を除くようなほとんどのC M O S回路は、電圧変換回路V D H G 1から供給される電圧V C Lをそれぞれの電源電圧として受けて動作する。ワ - ドドライバ回路のような比較的大きなレベルの選択信号を形成すべき回路は、外部電源電圧V D Dのような比較的大きなレベルの電源電圧によって動作される。

30

【0060】

入出力インタ - フェ - ス回路I / Oは、外部ロウアドレスストロ - ブ信号/R A S、カラムアドレスストロ - ブ信号/C A S、アウトプットエネ - ブル信号/O E、ライトエネ - ブル信号のような制御信号、外部アドレス信号、デ - タ信号をそれぞれ受ける複数の入力バッファ回路、外部に出力されるべきデ - タ信号D Q 0ないしD Q Nを形成する複数のデ - タ出力バッファ回路等を含む。入出力インタ - フェ - ス回路I / O内の上記したような回路はC M O S回路から構成され、電源電圧V D Dによって動作される。

40

【0061】

この実施例に従うと、周辺回路P H Cに変換電圧V C Lを供給する電圧変換回路V D H G 1と、メモリブロックM B L Kに変換電圧V D Lを供給する電圧変換回路V D H G 2との2つの電圧変換回路が設けられる。

【0062】

このように2つの電圧変換回路V D H G 1、V D H G 2を設けるのは、次のような理由による。

50

【0063】

すなわち、周辺回路PHCは、上述したような各種回路を含むものであり、メモリセルへの信号の読み出し、書き込み動作を制御するためのものである。近年のメガビット級のDRAMでは、チップサイズ低減のためにビット線分割数を低減したり、メモリ容量の増大にかかわらずにメモリセルのリフレッシュ時間を従来と同じように保つため同時に活性化するメモリアレーを増やす傾向にある。また、携帯用情報端末、ゲーム機、パーソナルコンピュータ等の小規模なシステムに対応するためデータ入出力ピンを8ビットや16ビット、32ビット等、多ビット化する傾向にある。これに応じて、回路動作に伴う電源のピーク電流が大きくなり、電源電圧が高くても電源VDD線の一時的な電圧降下により電圧変換回路の駆動能力が低下し、周辺回路PHCの内部回路のような内部が誤動作する可能性が高まって来ることとなる。

10

【0064】

それに対して、本実施例によれば、差動アンプの出力部がプッシュプル構成のため低電源電圧ばかりでなく、上記条件のもとでも高い駆動能力を維持することができる。また、DRAMでは、スタンバイ時にはほとんど電流が流れず、アクティブ時に上記のような大きなピークをとともなう電流が流れる。このため、駆動トランジスタのゲート電圧は、スタンバイ時には電流を完全に遮断するためVDDまで、またアクティブ時には大電流を流すためVSSまで振れる必要がある。この点でも、本電圧変換回路は最適である。本実施例において電圧変換回路は、周辺回路(電源線名はVCL)とメモリアレー(電源線名はVDL)の2箇所に分けて適用されている。これは以下の理由による。周辺回路もメモリアレーも平均電流は、同程度であるが、前者では、電流のピーク値は比較的小さく、その幅も小さいがほぼ全サイクルにわたって流れるという特徴を持つ。一方、後者では、ピーク値もその幅も大きい動作サイクル中の一部しか流れないという特徴を持つ。ここで、同一の電圧変換回路により電流を供給すると、たとえばセンスアンプが動作した場合には大きな電圧降下が生じ動作中の周辺回路の動作を妨害する。また、周辺回路とメモリアレーでは最適な動作電圧が異なる。即ち、周辺回路は高速化のためにできるだけ高い電圧に設定したいが、メモリアレーは素子耐圧の確保と消費電力低減のためにやや低めに設定したいという要望がある。2つに分けることによりいずれの要求も満足させることができる。以上のように本実施例によれば、駆動トランジスタのゲート電圧をVDDからVSSまで高速に変化させることができるので、メモリを安定に動作させることができる。なおここでは、例としてDRAMを取り上げたが、同様に負荷電流の変動が激しいCMOSメモリ全般や論理回路などにも適用可能であることはいうまでもない。

20

30

【0065】

2つの電圧変換回路VDHG1、VDHG2のそれぞれは、特に制限されないが、比較的駆動能力の小さい定常動作の電圧変換回路と、比較的大きな駆動能力を持つようにされた間欠動作の電圧変換回路から構成される。定常動作の電圧変換回路と間欠動作の電圧変換回路は、共に図1の基本構成をもつようにされるけれども、次のような相違を持つ。

【0066】

すなわち、定常動作の電圧変換回路は、図1の電流源トランジスタQ9に対応する電流源トランジスタが定常動作するようにそのゲートが基準電位VLH、もしくは電源電圧VDDのような固定電位に維持されかつ図1の制御トランジスタQ11、Q12のようなトランジスタが省略された構成とされる。定常動作の電圧変換回路はまた、図1の駆動トランジスタQ10に対応する駆動トランジスタが比較的小さいゲート幅を持つようにされそのコンダクタンス定数が比較的小さなものとされ、かつそれ自体の消費電流が十分小さくなるように、図1の電流源トランジスタQ9に対応するトランジスタが比較的小さいコンダクタンス定数を持つようにされる。

40

【0067】

間欠動作の電圧変換回路は、比較的大きな駆動能力を持つようにその駆動トランジスタが比較的大きなコンダクタンス定数を持つようにそのサイズが大きくなり、かつその多くなサイズの駆動トランジスタを十分な高速性をもって駆動できるように差動入力段の動

50

作電流も比較的大きなものとされる。

【 0 0 6 8 】

電圧変換回路 V D H G 1 及び V D H G 2 における間欠動作の電圧変換回路は、制御回路 C N T から出力される制御信号 F 1、F 2 及び F 3 によってそれぞれの動作が制御される。

制御回路 C N T は、入出力インタ - フェ - ス回路 I / O 及び周辺回路 P H C を介して供給される外部ロウアドレスストロ - ブ信号 / R A S のようなメモリ選択信号と、周辺回路 P H C 内の前述したリフレッシュ制御回路からのリフレッシュ制御信号に応答して制御信号 F 1 ないし F 3 を形成する。従って制御信号 F 1 ないし F 3 は、/ R A S がロウレベルのエネ - ブルレベルにされたならそれに応答して間欠動作の電圧変換回路を動作状態にするようにハイレベルにされ、またリフレッシュ制御信号が発せられたならそのリフレッシュの間ハイレベルにされる。

10

【 0 0 6 9 】

図 7 は、上記の電圧変換回路を D R A M のメモリセルアレー部の回路に適用した例である。本実施例の特徴は、センスアンプの p - M O S 側の共通駆動線の電圧を V D D より低くし、かつ n - M O S 側の共通駆動線の電圧を V S S より高くするためにそれぞれ電圧変換回路 V D H G と V D L G を用いたことである。V D H G と V D L G へ入力する基準電圧の電源電圧依存性を図 8 に示す。このようにセンスアンプの p - M O S 側の共通駆動線の電圧を V D D より低くし、n - M O S 側の共通駆動線の電圧を V S S より高くする方式は、たとえば " I S S C C J O U R N A L O F S O L I D - S T A T E C I R C U I T S , V O L . 3 0 , N O . 4 , A P R I L 1 9 9 5 , P P . 4 7 1 - 4 7 9 " に記載されている。この方式では、n - M O S 側の共通駆動線の電圧は V S S

20

に非常に近くなる。このため、n - M O S 側の駆動線に電流を供給する電圧変換回路の駆動能力が不足してしまう。そこで、上記論文では、n - M O S 側の共通駆動線の電流を一時的に V S S にバイパスした後、電圧変換回路からの電流でゆっくりと規定のレベルに到達させるいわゆるオーバードライブ方式を採用している。それに対して本適用例では図 5 に示す電圧変換回路を使用しているため、駆動能力が大きく電流をバイパスする必要はない。このため、センスアンプ駆動回路を簡単にすることができるという利点がある。また、過剰オーバードライブにより内部電源ノード N 4 の電圧が下がり過ぎ、メモリセルトランジスタの V T が低下して情報保持時間が短くなるという問題も避けることができる。p - M O S 側の共通駆動線の電圧については、図 8 に示すような特性では、標準動作領域にある限り特に駆動能力が不足することはないが、もっと低い電源電圧で動作させる場合や信号量増加のために内部電圧を上げると n - M O S 側と同様なことになる。そこで本実施例では、上記条件でも余裕を持って動作するように図 1 に示した電圧変換回路を用いている。以上のように本実施例によれば、駆動トランジスタの電源電圧と内部電圧が近くなっても、駆動能力が高いのでセンスアンプの駆動回路を簡単にすることができる。また、これによりセンスアンプの安定動作を実現できる。図 9 に図 7 の実施例の動作波形を示す。ここで、B、/ B はビット線、F P C はビット線プリチャージ信号、F W はワード線駆動信号、F S A P、F S A N はそれぞれ p - M O S および n - M O S センスアンプの駆動信号である。また、F 1、F 2、F 3、/ F 1、/ F 2、/ F 3 は、電圧変換回路を停止させたり、動作させたりするための信号である。これらは、たとえばチップがスタンバイ状態に入ったとき、F 1、F 2、F 3 はローレベル、/ F 1、/ F 2、/ F 3 はハイレベル

30

40

【 0 0 7 0 】

上記のように、メモリ等の半導体集積回路では微細化、高集積化とともに電源電圧が下げられているにもかかわらずその消費電流は、ますます増加している。このため実装用プリント基板の電源配線やパッケージのインダクタンス成分による電圧降下によって誤動作しやすくなってきた。

【 0 0 7 1 】

図 1 0 は、本発明の第 3 の実施例を示している。本実施例の特徴は図 1 に示す電圧変換回路の出力トランジスタのゲート - ソース間にダイオード接続したトランジスタ Q 1 3 を挿

50

入し出力トランジスタに電流制限機能を持たせたことである。同図において、Q9は定電流源として動作する。その電流値を I_s とする。ここで負荷に電流が流れて V_{DH} が下がるとQ1の電流は I_s となりQ2の電流は0となる。Q4とQ3のミラー比を k とすればQ4には $k \times I_s$ が流れる。また、Q8とQ7のミラー比を n とすればQ8に流れる電流は $n \times k \times I_s$ となる。ここで、Q2、Q5の電流は0であるからQ6の電流も0である。したがって、Q8の電流はQ13を介して流れることになる。ここで、Q13と出力トランジスタQ10はカレントミラー回路を構成しているからそのミラー比を m としてQ10の電流は $m \times n \times k \times I_s$ に制限されることになる。Q10のバイアス条件が非飽和領域に入ればもちろんその値より小さくなる。このようにして、電圧変換回路の電流を任意の値に制限することができる。以上のように本実施例によれば、駆動トランジスタに流れる電流を制限することができるので、チップ内外の電源線の電圧降下を低減し、他のチップや自己の回路の安定動作を図ることが出来る。本実施例は特にメモリ回路の中でも特に大きなピーク電流が流れるセンスアンプ回路の電源に適しているといえる。

10

【0072】

図11は、本発明の第4の実施例を示している。本実施例の特徴は、図5に示す電圧変換回路の出力トランジスタのゲート-ソース間にダイオード接続したトランジスタQ13を挿入し、出力トランジスタに電流制限機能を持たせたことである。本実施例の動作原理、および効果は図10に示す実施例と同様である。

【0073】

図12は、以下で説明する本発明の第5～9の実施例の概念を示している。これらの実施例の特徴は、バッファ回路の駆動トランジスタQ10のしきい電圧の絶対値を他のトランジスタのしきい電圧の絶対値より低くし、差動アンプの電源電圧をQ10のソース電圧 V_{DD} より高い電圧 V_{pp} としたことである。Q10のしきい電圧の絶対値を低くすることによりQ10の駆動能力は増加し、より低い電源電圧でも動作するようになる。ここで、差動アンプの電源電圧をQ10のソース電圧 V_{DD} より高くした理由は以下の通りである。しきい電圧の絶対値を低くするとトランジスタのサブスレッショルド電流が増加し(0.1V当たりおよそ1桁)、ゲート-ソース間電圧が0Vでも V_{DD} からQ10のチャネルを通して電流が流れその電圧変換回路の出力電圧を既定値より上昇させてしまう。出力電圧が既定値より高くなると外部電圧 V_{DD} で動作する回路と内部電圧 V_{DH} で動作する回路の間でレーシングが起り回路が誤動作してしまう。また、トランジスタの耐圧を越えてしまうと信頼性が急激に低下してしまう。これを防ぐためにはQ10のゲート-ソース間電圧を0Vよりも高くすればよい。差動アンプの電源電圧を V_{DD} より高くすると、負荷電流が流れないときには差動アンプの出力電圧は V_{pp} にまで上昇する。このため、Q10のゲート-ソース間電圧を0Vよりも高くすることができる。これが差動アンプを V_{DD} より高い電圧で動作させる理由である。ここで、Q10のゲートには従来と同様負荷電流が流れないときにQ10の電流を完全にカットするためQ12が接続されているが、このソース電圧も V_{pp} とする必要がある。また、その制御信号であるF3も高レベルを V_{pp} とする必要がある。なお、Q10のしきい電圧を正すなわちデプレッション化してもその分 V_{pp} を高くすればリーク電流は従来と同じレベルにすることができるので駆動能力をより高めることができる。以上のように本実施例によれば、低電源電圧でも駆動能力が高く、かつ安定性の高い電圧変換回路を実現することができる。

20

30

40

【0074】

図13は、図12の概念を具体化したものである。ここで差動アンプは、図2の従来例と同じものを使用している。このため、前述のようにQ6のゲート電圧は V_{SS} までは下がらないが、Q10のしきい電圧を低くした分駆動能力が増加している。

【0075】

図14は、本発明の第6の実施例である。本実施例の特徴は、第1の実施例に示すバッファ回路の駆動トランジスタトランジスタQ10のしきい電圧を他のトランジスタより低くし、さらにQ10に繋がる差動アンプ回路の一部を V_{DD} より高い V_{pp} で動作させたことである。これにより差動アンプの出力電圧を V_{SS} にできるという特徴を保ちつつ駆動

50

トランジスタQ10の駆動能力を向上できるので、第3の実施例よりさらに高い駆動能力を実現できる。ここで、差動アンプのQ3、Q4のソース電圧はVDD、Q5、Q6のソース電圧はVppとなっているが、これはVppをチップ上の昇圧型チャージポンプ回路で発生させた場合、その変換効率が低いので、できるだけ消費電流を少なくするための配慮である。Vppを外部から供給する場合やチップ全体の消費電流に余裕がある場合は、いずれもVppに接続してもかまわない。

【0076】

図15は、本発明の第7の実施例である。本実施例の特徴は、バッファ回路の駆動トランジスタQ10のしきい電圧を他のトランジスタより低くし、さらに差動アンプとQ10の間に電源電圧Vppで動作し、差動アンプQ1、Q2に流れる電流の差に比例した電流を流す回路を設け、その出力で駆動トランジスタQ10を駆動するようにしたことである。これによりQ10駆動回路には、その出力電圧VDHが変動した場合にのみ電流が流れるようになるためVppに流れる電流を大幅に低減できる。また駆動回路の出力部はプッシュプル構成のため第2、第3の実施例と同様その出力電圧はVSSまで変化するので高い駆動能力を得ることができる。この回路の動作を以下に説明する。まず、差動アンプのトランジスタQ1、Q2に流れる電流をそれぞれ i_1 、 i_2 とする。Q5、Q6、Q15とQ3、Q4、Q13はpMOSのカレントミラー回路を構成する。またQ7、Q8とQ14、Q16はnMOSのカレントミラー回路を構成する。ここで、説明を容易にするため、カレントミラー回路のミラー比はすべて1であるとして、Q17およびQ21に流れる電流を考える。まず、Q4には i_1 、Q7には i_2 が流れる。したがって、その差の $i_1 - i_2$ がQ21に流れることになる。また、まず、Q16には i_1 、Q15には i_2 が流れる。したがって、その差の $i_2 - i_1$ がQ17に流れる。ここで、Q17、Q18とQ21、Q22とQ19、Q20もそれぞれカレントミラー回路を構成しているからQ19、Q20には $i_2 - i_1$ 、Q22には $i_1 - i_2$ が流れる。したがって、Q10のゲートは $2 \times (i_2 - i_1)$ で充放電されることになる。これは、すなわち基準電圧と電圧変換回路の出力電圧が異なった場合、すなわち $i_1 = i_2$ のときしかVppに電流が流れないことを意味している。以上のように本実施例によれば、第3の実施例と同程度の負荷駆動能力を保ちながらVppの消費電流を大幅に低減できるのでVpp発生回路をオンチップ化するとき特に有効である。

【0077】

図16は、本発明の第8の実施例を示している。これは、第6の実施例の差動アンプをp-MOS入力型に、バッファ回路を電流吸い込み型に変更したものである。ここでVBBは、他のトランジスタよりしきい電圧を低くしたQ11を完全にカットオフするためVSSより低い電圧に設定する。この回路は、第6の実施例と各トランジスタの極性とバイアス電圧が逆になっているが、動作はまったく同じである。このような構成にすることにより図5に示す第2の実施例よりさらに電流駆動能力を大きくすることができる。

【0078】

図17は、本発明の第9の実施例を示している。第7の実施例の差動アンプをp-MOS入力型に、バッファ回路を電流吸い込み型に変更したものである。この回路は、第7の実施例と各トランジスタの極性とバイアス電圧が逆になっているが、動作はまったく同じである。このような構成にすることにより第8の実施例と同等の電流駆動能力を保ちながらVBBに流れる電流を大幅に低減できる。

【0079】

図18は、第5～9の実施例のメモリへの具体的適用例である。ここで、電圧変換回路の適用箇所は、図6と同様である。ここで、Vppはチップ外部から供給してもよいし、チャージポンプ回路により内部で発生させてもよい。また、ここではVppを使用することを想定しているが第8の実施例や第9の実施例を使用する場合には、VBBを使用すればよい。もちろんVBBもチップ外部から供給してもよいし、チャージポンプ回路により内部で発生させてもよい。

【0080】

10

20

30

40

50

将来メモリやマイクロプロセッサ等の微細化、高集積化が進みデバイスの加工寸法が0.1 μm 以下になると外部電圧は1.5V程度で内部回路の動作電圧は0.8V~1.5Vにまで引き下げられると予測されている。このような低電圧で高速性を保つためには現在のトランジスタ構造では、トランジスタをデプレッション型すなわち、しきい電圧をpチャンネルの場合は正に、nチャンネルの場合は負にする必要がある。以下では、そのような場合に好適な電圧変換回路の実施例について述べる。

【0081】

図19は、本発明の第10の実施例を示している。本実施例の特徴は第6の実施例の差動アンプのトランジスタQ9およびカレントミラー回路のQ7、Q8のソース側にそれらと同じチャンネル導電型のトランジスタQ13、Q14、Q15を挿入しスタンバイ時やメモリのデータ保持モード時に電圧変換回路自体の電流を大幅に低減できるようにしたことである。デプレッション化によるリーク電流の増加は、バッファ回路と差動アンプの両方で起こる。バッファ回路に対しては、同図のVppをより高くすることで対処できる。一方、差動アンプやカレントミラー回路ではQ13、Q14、Q15のゲート電圧を0Vにすることで対処する。これは、ゲート電圧を0Vにするとそれらによる電圧降下が大きくなりQ7、Q8、Q9のソース-基板間電圧が負の方向に深くなり、Q7、Q8、Q9のしきい電圧が高くなるためである。以上のように本発明の実施例によれば、トランジスタがデプレッション化されてもリーク電流を減少させることができるので、加工寸法0.1 μm 以下のギガビット級の超大容量メモリにおいても高速化、低消費電力化が可能である。なお、本実施例で用いた手法は、第5、第7、第8、第9の実施例に対しても適応可能であることはあきらかである。

【0082】

以上第1~第10までの実施例とその適用例について説明したが、ここでは差動アンプの2個の入力端子の内一方は電圧変換回路の出力端子に直接接続していた。しかし、出力端子に直接ではなく抵抗やトランジスタ等で分圧して入力することも可能である。この場合は、もう一方の入力端子に入力する基準電圧は、その分圧比を掛けたものでなければならない(培風館1994年11月発行「超LSIメモリ」272ページに記載)。すなわち、所望の出力電圧をVCL、抵抗の分圧比を1/2とすると基準電圧はVCL/2とする必要がある。

【0083】

【発明の効果】

チップ内に電圧変換回路を含む半導体集積回路において、該電圧変換回路は差動アンプ、および駆動トランジスタと電流源からなるソース接地型バッファ回路から構成し、該差動アンプの一方の入力端子は該電圧変換回路の出力端子に直接または、分圧回路を介して接続し、該差動アンプのもう一方の端子は、外部電源電圧より低い電圧を発生する回路の出力に接続し、該電圧変換回路を構成する回路はすべて同一の電源電圧を印加し、かつ該差動アンプは対をなすダイオード接続された負荷トランジスタと入力トランジスタ、および該入力トランジスタの共通ソースに接続された定電流源、および該対をなす負荷トランジスタとそれぞれカレントミラー回路を構成する第1、第2のトランジスタ、該第1のトランジスタのドレインとドレイン、ゲートが接続された第1のトランジスタと逆導電型の第3のトランジスタ、該第2のトランジスタのドレインとドレインが接続され、さらに該トランジスタのゲートが第3のトランジスタのゲートに接続された第2のトランジスタと逆導電型の第4のトランジスタから構成し、該第2のトランジスタのドレインを該バッファ回路の駆動トランジスタのゲートに接続する。これにより該駆動トランジスタのゲート電圧は、グラウンドレベルから電源電圧まで変化するので従来より高い駆動能力を得ることができる。

【0084】

上記電圧変換回路において、バッファ回路の駆動トランジスタのゲート-ソース間に同一導電型のダイオード接続されたトランジスタを挿入する。これにより負荷に流れる電流を一定の値に制限できるので、チップ外あるいは内部の電源線での電圧降下を低減でき、チ

ップ内回路の安定動作を図ることができる。

【 0 0 8 5 】

上記電圧変換回路において、該バッファ回路の駆動トランジスタのしきい電圧は、pチャンネルタイプの場合は、チップ内の他の回路で使用するトランジスタのしきい電圧より高く、かつ該差動アンプ、および該カレントミラー回路の一部またはすべての高電圧側の電源電圧は該バッファ回路の駆動トランジスタのソース電圧より高く、また駆動トランジスタがnチャンネルタイプの場合はそのしきい電圧はチップ内の他の回路で使用するトランジスタのしきい電圧より低く、かつ該差動アンプおよび該カレントミラー回路の一部またはすべての低電圧側の電源電圧は該バッファ回路のソース電圧より低くする。これにより、駆動トランジスタの負荷駆動能力を高めながらサブスレッシュールド電流を低減できるので、内部回路の高速動作を維持しつつ安定な動作を実現できる。

10

【 0 0 8 6 】

上記電圧変換回路において、該差動アンプの負荷となるダイオード接続された第1、第2のトランジスタ、第1のトランジスタとカレントミラー回路を構成する第3、第4のトランジスタ、第2のトランジスタとカレントミラー回路を構成する第5、第6のトランジスタ、第3のトランジスタのドレインとドレイン、ゲートが接続された第3のトランジスタと逆導電型の第7のトランジスタ、第3のトランジスタのドレインとドレインが接続された第3のトランジスタと逆導電型の第8のトランジスタ、第4のトランジスタのドレインとドレイン、ゲートが接続された第4のトランジスタと逆導電型の第9のトランジスタ、第5のトランジスタのドレインとドレイン、ゲートが接続された第5のトランジスタと逆導電型の第10のトランジスタ、第6のトランジスタのドレインとドレイン、ゲートが接続された第6のトランジスタと逆導電型の第11のトランジスタ、第6のトランジスタのドレインとドレインが接続された第6のトランジスタと逆導電型の第12のトランジスタ、第7のトランジスタとカレントミラー回路を構成する第13のトランジスタ、第11のトランジスタとカレントミラー回路を構成する第14のトランジスタ、第13のトランジスタのドレインとドレインが接続された第13のトランジスタと逆導電型の第15のトランジスタ、第14のトランジスタのドレインとドレイン、ゲートが接続された第14のトランジスタと逆導電型の第16のトランジスタからなり、第15のトランジスタのゲートと第16のトランジスタのゲートが接続され、さらに第15のトランジスタのドレインとバッファ回路の駆動トランジスタのゲートが接続され、第15および第16のトランジスタがpチャンネルタイプの場合はそれらのソース電位が該駆動トランジスタのソース電位より高く、第15および第16のトランジスタがnチャンネルタイプの場合はそれらのソース電位が該駆動トランジスタのソース電位より低く設定する。これにより、高い負荷駆動能力を維持しながら駆動トランジスタの駆動回路の消費電流を大幅に低減できるので、上記の電源電圧より高い電圧を発生する回路やグランド電圧より低い電圧を発生する回路のチップ上の占有面積を大幅に低減できる。

20

30

【 0 0 8 7 】

上記電圧変換回路において、該差動アンプは、対をなす入力トランジスタとアクティブ負荷、入力トランジスタの共通ソースに接続された定電流源から構成され、該バッファ回路の駆動トランジスタのしきい電圧は、pチャンネルタイプの場合は、チップ内の他の回路で使用するトランジスタのしきい電圧より高く、かつ該差動アンプの高電圧側の電源電圧は該バッファ回路の駆動トランジスタのソース電圧より高く、また駆動トランジスタがnチャンネルタイプの場合は、そのしきい電圧はチップ内の他の回路で使用するトランジスタのしきい電圧より低く、かつ該差動アンプの低電圧側の電源電圧は該バッファ回路のソース電圧より低くする。これにより、駆動トランジスタの負荷駆動能力を高めながらサブスレッシュールド電流を低減できるので、内部回路の高速動作を維持しつつ安定な動作を実現できる。

40

【 0 0 8 8 】

上記電圧変換回路において、使用するすべてのトランジスタのしきい電圧を0Vあるいはデプレッション型とし、差動アンプの対をなす入力トランジスタの共通ソースに接続され

50

た電流源トランジスタ、および該対をなす入力トランジスタに流れる電流の差を取り出すカレントミラー回路を構成するトランジスタの内該差動アンプの電流源トランジスタと同じチャネル導電型を持つトランジスタのソース側にそれらと同じチャネル導電型のトランジスタを直列に挿入し電圧変換回路に接続された負荷回路が動作していないときにはそれらのゲート電圧をソース電圧と等しくする。これにより1V程度の低い電源電圧でも高速動作を維持しながらスタンバイ時のサブスレッショールドを大幅に低減することができる。

【0089】

以上のいずれかの電圧変換回路を1個または複数個DRAMのメモリセルアレーまたはその周辺回路に適用する。これにより、電源電圧が低いか、または電源電圧と内部電圧の差が小さくても電圧変換回路の駆動能力を高く保つことができるので、大容量、高速、多ビット構成、低消費電力のメモリを実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す図である。

【図2】本願に先立って検討した電圧変換回路を示す図である。

【図3】図2の電圧変換回路の動作波形を示す図である。

【図4】第1の実施例の動作波形を示す図である。

【図5】本発明の第2の実施例を示す図である。

【図6】本発明の第1の実施例を適用したメモリチップの内部構成である。

【図7】本発明の第1、第2の実施例の適用例である。

【図8】図7に示す実施例の基準電圧の電源電圧依存性。

【図9】本発明の第1、第2の実施例の適用例の動作波形を示す図である。

【図10】本発明の第3の実施例を示す図である。

【図11】本発明の第4の実施例を示す図である。

【図12】本発明の第5から第9までの実施例の概念。

【図13】本発明の第5の実施例を示す図である。

【図14】本発明の第6の実施例を示す図である。

【図15】本発明の第7の実施例を示す図である。

【図16】本発明の第8の実施例を示す図である。

【図17】本発明の第9の実施例を示す図である。

【図18】本発明の第5から第10までの実施例を適用したメモリチップの内部構成を示す図である。

【図19】本発明の第10の実施例を示す図である。

【符号の説明】

V D H G、V D L G ... 電圧変換回路

V D D ... 電源電圧

V p p ... 電源電圧 ($V p p > V D D$)

V S S ... 電源電圧 (グラウンド電位)

V B B ... 電源電圧 ($V B B < V S S$)

V L、V L H、V L L ... 基準電圧

V D H、V D L ... 電圧変換回路出力電圧

P S W ... 電流遮断用スイッチ

I L ... 負荷電流

F 1 ~ F 3 ... 電圧変換回路の制御信号

F W ... ワード線駆動信号

F P C ... プリチャージ信号

F S A P ... p - c h センスアンプ駆動信号

F S A N ... n - c h センスアンプ駆動信号

B、/ B ... ビット線

I / O ... データ入出力線

10

20

30

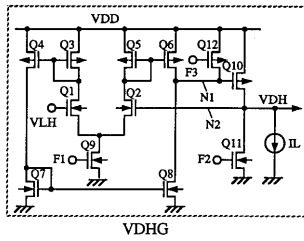
40

50

S A ... センスアンプ
 M C ... メモリセル
 M C A ... メモリセルアレー
 Q 1 ~ Q 2 4 ... M O S トランジスタ
 V R E F ... 基準電圧発生回路
 V P P G ... 高電圧発生回路。

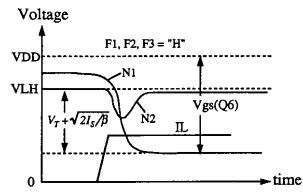
【 図 1 】

図 1



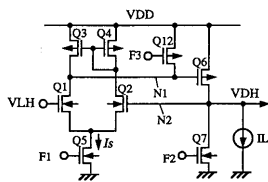
【 図 3 】

図 3



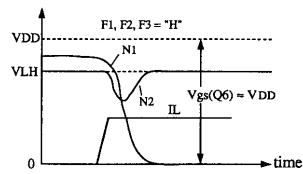
【 図 2 】

図 2



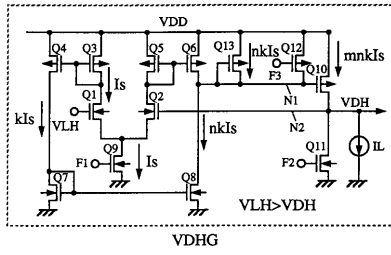
【 図 4 】

図 4



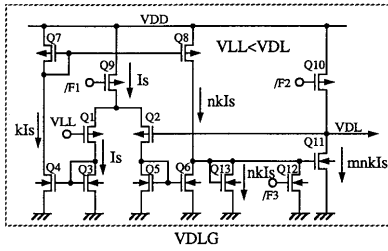
【 図 1 0 】

図 1 0



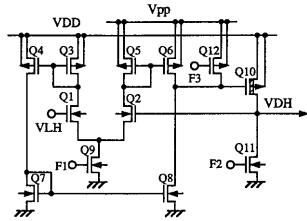
【 図 1 1 】

図 1 1



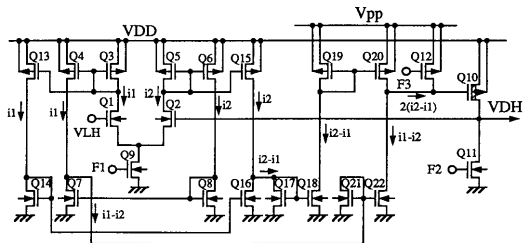
【 図 1 4 】

図 1 4



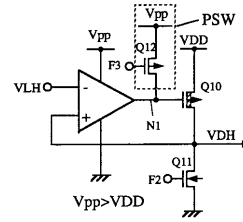
【 図 1 5 】

図 1 5



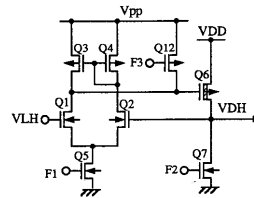
【 図 1 2 】

図 1 2



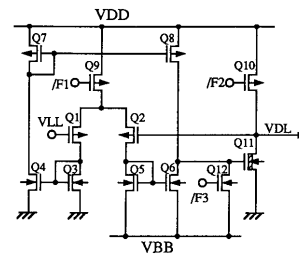
【 図 1 3 】

図 1 3



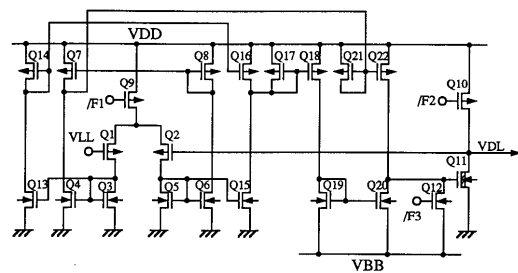
【 図 1 6 】

図 1 6



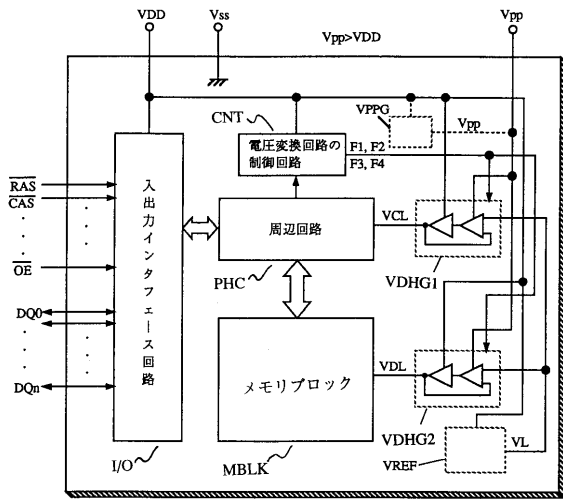
【 図 1 7 】

図 1 7



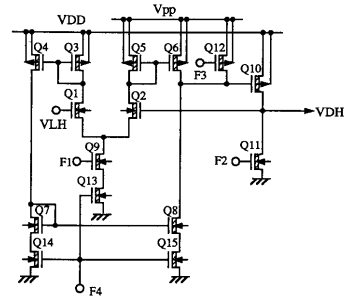
【 図 18 】

図 18



【 図 19 】

図 19



フロントページの続き

- (72)発明者 青木 正和
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内
- (72)発明者 伊藤 清男
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

審査官 堀田 和義

- (56)参考文献 特開平07-037381(JP,A)
特開平06-325568(JP,A)
特開平10-161758(JP,A)
特開2000-75941(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 11/407
G05F 1/56 310