



(12)发明专利

(10)授权公告号 CN 106385280 B

(45)授权公告日 2019.04.26

(21)申请号 201610899074.2

(22)申请日 2016.10.14

(65)同一申请的已公布的文献号  
申请公布号 CN 106385280 A

(43)申请公布日 2017.02.08

(73)专利权人 上海微小卫星工程中心  
地址 201203 上海市浦东新区海科路99号

(72)发明人 黄佳 董亮 陈夏 李宗德 聂磊  
杨柳青

(74)专利代理机构 上海盈盛知识产权代理事务  
所(普通合伙) 31294

代理人 孙佳胤

(51)Int.Cl.

H04B 7/185(2006.01)

(56)对比文件

CN 105068102 A,2015.11.18,  
WO 2010060086 A1,2010.05.27,  
US 2009228224 A1,2009.09.10,  
CN 102710316 A,2012.10.03,  
CN 104422948 A,2015.03.18,  
CN 105068102 A,2015.11.18,

审查员 方晴

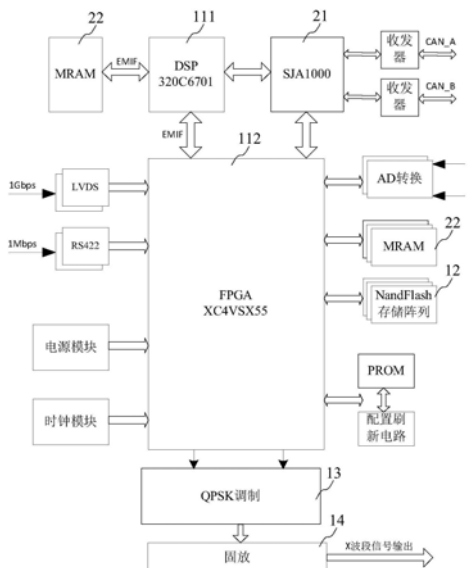
权利要求书2页 说明书7页 附图3页

(54)发明名称

用于微小卫星的高速数据管理和传输的系统及方法

(57)摘要

本发明提供一种用于微小卫星的高速数据管理和传输的系统及方法,该系统包括:集成的数字单元,包括DSP芯片和FPGA芯片,以插板的形式安装于微小卫星的综合电子舱中,并通过安装接口与所述综合电子舱进行通信;存储阵列用于对所述FPGA芯片所写入的所述高速数据流和所述实时数据流进行存储;以及X频段调制器,用于对所述FPGA芯片在进行复接操作时所形成的基带信号进行调制,进而通过X频段天线将X频段射频信号发送至地面。本发明集成了高速数据管理和数据传输设备,具有体积小、质量轻、功耗低的特点,对布局、功耗有严格限制的微小卫星有重要意义。数字部分集成设计,省去设备间的接口,利于整星装配布局。



1. 一种用于微小卫星的高速数据管理和传输的系统,其特征在于,包括:

集成的数字单元,包括DSP芯片和FPGA芯片,所述DSP芯片通过外部存储器接口以异步形式连接所述FPGA芯片,所述集成的数字单元以插板的形式安装于微小卫星的综合电子舱中,并通过安装的接口与所述综合电子舱进行通信;所述DSP芯片用于接收和处理所述综合电子舱发送的数据注入命令,还用于管理控制所述FPGA芯片的操作;所述FPGA芯片用于对从所述综合电子舱接收的高速数据流和实时数据流进行存储操作、读取操作以及复接操作;

存储阵列,与所述FPGA芯片连接,用于对所述FPGA芯片在进行存储操作时所写入的所述高速数据流和所述实时数据流进行存储;以及

X频段调制器,与所述FPGA芯片连接,用于对所述FPGA芯片在进行复接操作时所形成的基带信号进行调制,所述X频段调制器采用微波直接调制技术将所述基带信号调制成X频段射频信号,进而通过X频段天线将所述X频段射频信号发送至地面;

与所述DSP芯片和所述FPGA芯片连接的CAN控制器,所述CAN控制器通过CAN总线与所述综合电子舱通信连接,所述CAN控制器用于接收所述综合电子舱发送的控制指令和获取所述DSP芯片与所述FPGA芯片的系统状态向所述综合电子舱发送;

所述用于微小卫星的高速数据管理和传输的系统在不开X发射机时的功耗小于4.5W。

2. 如权利要求1所述的用于微小卫星的高速数据管理和传输的系统,其特征在于,还包括X频段功放器,与所述X频段调制器连接,用于将所述X频段调制器所形成的X频段射频信号进行放大处理,经放大后的X频段射频信号再通过所述X频段天线进行发送。

3. 如权利要求1所述的用于微小卫星的高速数据管理和传输的系统,其特征在于,所述FPGA芯片进行复接操作时,对所述高速数据流和所述实时数据流进行复接以形成复接数据流,并对所形成的复接数据流进行信道编码操作而生成基带信号。

4. 如权利要求1所述的用于微小卫星的高速数据管理和传输的系统,其特征在于,所述DSP芯片通过外部存储器接口以异步形式连接有MRAM存储器。

5. 一种用于微小卫星的高速数据管理和传输的方法,在不开X发射机时的功耗小于4.5W,其特征在于,包括:

提供DSP芯片和FPGA芯片,将所述FPGA芯片通过所述DSP芯片上的外部存储器接口以异步形式进行连接,形成集成的数字单元;

将所形成的集成的数字单元以插板的形式安装于微小卫星的综合电子舱中,并通过安装的接口与所述综合电子舱进行通信;

利用所述DSP芯片接收和处理所述综合电子舱发送的数据注入命令,利用所述DSP芯片管理控制所述FPGA芯片的操作;

利用所述FPGA芯片对从所述综合电子舱接收的高速数据流和实时数据流进行存储操作、读取操作以及复接操作;

利用所述FPGA芯片进行存储操作时,利用存储阵列对所述高速数据流和所述实时数据流进行存储;以及

利用所述FPGA芯片进行复接操作时,对所述FPGA芯片经复接操作所形成的基带信号进行调制,采用微波直接调制技术将所述基带信号调制成X频段射频信号,进而通过X频段天线将所述X频段射频信号发送至地面;

将所述DSP芯片和所述FPGA芯片连接CAN控制器；

将所述CAN控制器通过CAN总线与所述综合电子舱通信连接；

利用所述CAN控制器接收所述综合电子舱发送的控制指令和获取所述DSP芯片与所述FPGA芯片的系统状态并向所述综合电子舱发送。

6. 如权利要求5所述的用于微小卫星的高速数据管理和传输的方法,其特征在于,在通过X频段天线将所述X频段射频信号发送前,还包括:

通过X频段功放对所述X频段射频信号进行放大处理。

7. 如权利要求5所述的用于微小卫星的高速数据管理和传输的方法,其特征在于,利用所述FPGA芯片进行复接操作时,利用所述FPGA芯片对所述高速数据流和所述实时数据流进行复接以形成复接数据流,并对所形成的复接数据流经信道编码操作而生成基带信号。

8. 如权利要求5所述的用于微小卫星的高速数据管理和传输的方法,其特征在于,还包括:

提供MRAM存储器,将所述MRAM存储器通过所述DSP芯片上的外部存储器接口以异步形式进行连接。

## 用于微小卫星的高速数据管理和传输的系统及方法

### 技术领域

[0001] 本发明涉及卫星数据管理领域,特别是涉及一种用于微小卫星的高速数据管理和传输的系统及方法。

### 背景技术

[0002] 微小卫星具有体积小、成本低、性能高等特点,常规卫星系统中:高速数据存储管理、数据传输设备相互独立,设备之间通过高速电缆传输数据。为了保证几百Mbps甚至Gbps信号可靠传输,需要使用专用接口芯片和高速电缆保证信号同步,但由于整体功耗受限、总体布局裕度低,留给高速数据管理传输系统余地较小。

[0003] 如何在体积、功耗均受限的条件下,将高速数据存储管理、数据传输两套星载设备高度集成一体化设计,并实现简便的工程应用成为微小卫星发展中亟待解决的问题。

### 发明内容

[0004] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种用于微小卫星的高速数据管理和传输的系统及方法,用于解决微小卫星的体积、功耗均受限而现有的高速数据存储管理和数据传输设备无法使用的问题。

[0005] 为实现上述目的及其他相关目的,本发明提供一种用于微小卫星的高速数据管理和传输的系统,包括:

[0006] 集成的数字单元,包括DSP芯片和FPGA芯片,所述DSP芯片通过外部存储器接口以异步形式连接所述FPGA芯片,所述集成的数字单元以插板的形式安装于微小卫星的综合电子舱中,并通过安装的接口与所述综合电子舱进行通信;所述DSP芯片用于接收和处理所述综合电子舱发送的数据注入命令,还用于管理控制所述FPGA芯片的操作;所述FPGA芯片用于对从所述综合电子舱接收的高速数据流和实时数据流进行存储操作、读取操作以及复接操作;

[0007] 存储阵列,与所述FPGA芯片连接,用于对所述FPGA芯片在进行存储操作时所写入的所述高速数据流和所述实时数据流进行存储;以及

[0008] X频段调制器,与所述FPGA芯片连接,用于对所述FPGA芯片在进行复接操作时所形成的基带信号进行调制,所述X频段调制器采用微波直接调制技术将所述基带信号调制成X频段射频信号,进而通过X频段天线将所述X频段射频信号发送至地面。

[0009] 优选地,还包括X频段固放器,与所述X频段调制器连接,用于将所述X频段调制器所形成的X频段射频信号进行放大处理,经放大后的X频段射频信号再通过所述X频段天线进行发送。

[0010] 优选地,还包括连接于所述DSP芯片和所述FPGA芯片的CAN控制器,所述CAN控制器通过CAN总线与所述综合电子舱通信连接,所述CAN控制器用于接收所述综合电子舱发送的控制指令和获取所述DSP芯片与所述FPGA芯片的系统状态向所述综合电子舱发送。

[0011] 优选地,所述FPGA芯片进行复接操作时,对所述高速数据流和所述实时数据流进

行复接以形成复接数据流,并对所形成的复接数据流进行信道编码操作而生成基带信号。

[0012] 优选地,所述DSP芯片通过外部存储器接口以异步形式连接有MRAM存储器。

[0013] 本发明还提供了一种用于微小卫星的高速数据管理和传输的方法,包括:

[0014] 提供DSP芯片和FPGA芯片,将所述FPGA芯片通过所述DSP芯片上的外部存储器接口以异步形成进行连接,形成集成的数字单元;

[0015] 将所形成的集成的数字单元以插板的形式安装于微小卫星的综合电子舱中,并通过安装的接口与所述综合电子舱进行通信;

[0016] 利用所述DSP芯片接收和处理所述综合电子舱发送的数据注入命令,利用所述DSP芯片管理控制所述FPGA芯片的操作;

[0017] 利用所述FPGA芯片对从所述综合电子舱接收的高速数据流和实时数据流进行存储操作、读取操作以及复接操作;

[0018] 利用所述FPGA芯片进行存储操作时,利用存储阵列对所述高速数据流和所述实时数据流进行存储;以及

[0019] 利用所述FPGA芯片进行复接操作时,对所述FPGA芯片经复接操作所形成的基带信号进行调制,采用微波直接调制技术将所述基带信号调制成X频段射频信号,进而通过X频段天线将所述X频段射频信号发送至地面。

[0020] 优选地,在通过X频段天线将所述X频段射频信号发送前,还包括:

[0021] 通过X频段功放对所述X频段射频信号进行放大处理。

[0022] 优选地,还包括:

[0023] 将所述DSP芯片和所述FPGA芯片连接CAN控制器;

[0024] 将所述CAN控制器通过CAN总线与所述综合电子舱通信连接;

[0025] 利用所述CAN控制器接收所述综合电子舱发送的控制指令和获取所述DSP芯片与所述FPGA芯片的系统状态并向所述综合电子舱发送。

[0026] 优选地,利用所述FPGA芯片进行复接操作时,利用所述FPGA芯片对所述高速数据流和所述实时数据流进行复接以形成复接数据流,并对所形成的复接数据流经信道编码操作而生成基带信号。

[0027] 优选地,还包括:

[0028] 提供MRAM存储器,将所述MRAM存储器通过所述DSP芯片上的外部存储器接口以异步形成进行连接。

[0029] 如上所述,本发明的一种用于微小卫星的高速数据管理和传输的系统及方法,具有以下有益效果:

[0030] 本发明的用于微小卫星的高速数据管理和传输的系统及方法,集成了高速数据管理和数据传输设备,具有体积小、质量轻、功耗低的特点,对布局、功耗有严格限制的微小卫星有重要意义。本发明利用一个装置实现了高速数据管理和传输,数字部分集成设计,省去设备间的接口,利于整星装配布局,对卫星接口联调、快速总装有积极意义。

## 附图说明

[0031] 图1显示为本发明用于微小卫星的高速数据管理和传输的系统的组成框图;

[0032] 图2显示为本发明用于微小卫星的高速数据管理和传输的系统的一实施例的系统

图；

[0033] 图3显示为本发明用于微小卫星的高速数据管理和传输的系统的外形示意图；

[0034] 图4显示为本发明用于微小卫星的高速数据管理和传输的系统及方法的信号处理流程图；

[0035] 图5显示为本发明用于微小卫星的高速数据管理和传输的方法的流程图。

[0036] 元件标号说明

[0037] 11 集成的数字单元

[0038] 12 存储阵列

[0039] 13 X频段调制器

[0040] 14 X频段固放器

[0041] 15 X频段天线

[0042] 111 DSP芯片

[0043] 112 FPGA芯片

[0044] 21 CAN控制器

[0045] 22 MRAM存储器

[0046] S11~S16 步骤

### 具体实施方式

[0047] 以下通过特定的具体实例说明本发明的实施方式，本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用，本说明书中的各项细节也可以基于不同观点与应用，在没有背离本发明的精神下进行各种修饰或改变。需说明的是，在不冲突的情况下，以下实施例及实施例中的特征可以相互组合。

[0048] 需要说明的是，以下实施例中所提供的图示仅以示意方式说明本发明的基本构想，遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制，其实际实施时各组件的型态、数量及比例可为一种随意的改变，且其组件布局型态也可能更为复杂。

[0049] 请参阅图1，本发明提供一种用于微小卫星的高速数据管理和传输的系统及方法，可解决微小卫星在功耗、布局受限条件下的高速数据处理问题，还具备多路数据流的复接调度功能。该高速数据管理和传输装置可以插板的形式安装在卫星综合电子舱中，由综合电子舱供电，还从综合电子舱间接接收多路载荷高速数据流和低速控制信号流。本发明还将常规高速数据管理及数据传输装置中的数字部分集成设计，可省略设备间的数据接口电路，具有外形尺寸小、重量轻和功耗低的特点。下面结合附图对本发明用于微小卫星的高速数据管理和传输的系统及方法进行说明。

[0050] 如图1所示，本发明的一种用于微小卫星的高速数据管理和传输的系统包括集成的数字单元11、存储阵列12、X频段调制器13、X频段固放器14以及X频段天线15，其中集成的数字单元11与存储阵列12和X频段调制器13连接，X频段调制器13与X频段固放器14连接，X频段固放器14与X频段天线15连接。

[0051] 结合图2所示，集成的数字单元11包括DSP芯片111和FPGA芯片112，DSP芯片111通

过外部存储器接口 (EMIF) 以异步形式外挂FPGA芯片112。结合图3所示,集成的数字单元11以插板的形式安装在微小卫星的综合电子舱中,并通过安装的接口与综合电子舱进行通信。图3显示了本发明高速数据管理和传输的系统的外形结构,通过插板的插口插接在卫星综合电子舱中,整个系统由综合电子舱的平台供电,另外,还通过综合电子舱接口间接接收多路载荷高速数据流和低速控制信号流。DSP芯片111用于接收和处理综合电子舱发送的数据注入命令,还用于管理控制FPGA芯片的操作,主要有控制FPGA实现数据的记录、回放和擦除等操作,还用于采集、组织并发送工程参数、管理存储的大容量数据。FPGA芯片112用于对从综合电子舱接收的高速数据流和实时数据流进行存储操作、读取操作以及复接操作,还负责多路数据流接收、复接调度、信道编码和生成发送基带信号等。

[0052] 存储阵列12与FPGA芯片112连接,存储阵列12用于对FPGA芯片112在进行存储操作时所写入的高速数据流和实时数据流进行存储。存储阵列12采用Nand-Flash存储阵列,Flash容量可以根据需求进行裁剪。

[0053] X频段调制器13与FAPG芯片112连接,X频段调整器13用于对FAPG芯片112进行复接操作时所形成的基带信号进行调整,该X频段调整器13采用微波直接调制技术将基带信号调制成X频段射频信号,进而通过X频段天线15将X频段射频信号发送至地面。

[0054] X频段固放器14与X频段调制器13连接,X频段固放器14用于将X频段调制器13所形成的X频段射频信号进行放大处理,该X频段固放器14与X频段天线15连接,经放大后的X频段射频信号再通过X频段天线进行发送。

[0055] DSP芯片111和FPGA芯片112还连接有CAN控制器21,该CAN控制器21通过CAN总线与综合电子舱通信连接,CAN控制器21用于接收综合电子舱发送的控制指令,还用于获取DSP芯片111和FPGA芯片112的系统状态向综合电子舱发送。该CAN控制器21通过收发器连接综合电子舱,收发器用于接收和发送数据,实现数据通信。

[0056] DSP芯片111外部存储器接口 (EMIF) 以异步形式外挂有MRAM (Magnetic Random Access Memory,非挥发性的磁性随机存储器) 存储器22。FPGA芯片112也连接有MRAM存储器22。MRAM存储器22具有高速的读写能力。

[0057] FPGA芯片112进行复接操作时,对高速数据流和实时数据流进行复接以形成复接数据流,在对复接数据流进行信道编码操作进而生成基带信号。具体如图4所示,输入的数据有高速的载荷数据流和实时数据流,对高速的载荷数据流可以进行存储,通过存储功能将高速的载荷数据流存储至存储阵列中。多路复接组传输帧模块对从存储阵列中经回放功能读取的高速载荷数据流、实时数据流和填充帧进行复接操作以形成数据传输帧,其中的填充帧是当高速载荷数据流长度不够时,起到补充作用。多路复接组传输帧的长度为1024字节,在进行复接时,对实时数据流采用全同步方式进行复接,将实时数据流封装于数据传输帧的预设时隙予以发送;对高速载荷数据流采用非同步方式进行复接,先将载荷数据流复接形成复接帧,再将复接帧封装于数据传输帧的预设时隙之间予以发送。将复接帧封装于数据传输帧的预设时隙之间时,当复接帧的长度不足时,于数据传输帧的预设时隙之间封装填充帧进行填充。对数据传输帧进行RS编码,该信道编码采用RS+卷积级联的方式,RS编码选用(255,223),对偶基,交织深度为4。然后进行同步字、串并转换、差分编码、以及卷积编码。卷积编码采用约束长度7,效率1/2的形式,编码后的信道码速率为200Mbps,输出基带信号至X频段调制器13进行调制,该X频段调制器13采用QPSK调制,幅度不平衡度小于

1dB,相位不平衡度 $\leq \pm 5^\circ$ ,输出RF信号。

[0058] 系统接收到载荷数据,存储到内部NAND FLASH阵列中。通过控制指令可以控制存储的载荷数据回放。回放的载荷数据经过数传组帧,并与实时数据进行复接,经过信道编码,最终通过X频段天线发射,下传到地面。

[0059] 如图3所示,本发明的高速数据管理和传输的系统以插板的形式安装在卫星综合电子舱中,电源处理单元通过接口插接在综合电子舱上,由综合电子平台供电,通过电源处理单元对其他单元进行供电。集成的数字单元11通过接口插接在综合电子舱上,通过综合电子底板接口间接接收多路载荷高速数据流、低速控制信号流,该集成的数字单元11用于实现数字信号存储复接功能。利用高速数据管理和传输的系统对多路数据流调度、复接,并按照约定的帧格式存储至flash阵列。当卫星入境或收到数据发送指令后,利用本发明的高速数据管理和传输的系统读取flash阵列数据,进行信道编码,调制放大后,通过X频段天线将调制信号发送至地面。

[0060] 本发明将常规高速数据管理及数据传输装置中的数字部分集成设计,可省略设备间的数据接口电路。集成的数字单元采用DSP+FPGA的架构进行集中管理控制,DSP芯片选用TI公司的SMJ320C6701GLPW14,DSP通过EMIF接口,以异步的形式外挂MRAM芯片、CAN控制器、FPGA芯片等外部设备;FPGA芯片选用成熟应用的Xilinx FPGA XC4VSX55。DSP芯片负责系统外围控制,FPGA芯片负责数据流处理。可支持4路1Gbps速率的载荷数据流与2路1Mbps实时数据流复接;数据的存储阵列使用NAND型FLASH构成,大数据存储采用8片128Gbits FLASH阵列,系统存储空间达1Tbit。系统的信道编码为RS+卷积方式,X频段调制器采用微波直接调制方式,编码后信道速率大于200Mbps;所述X频段调制器采用微波直接调制、变频技术,FPGA直接送出基带信号至X频段调制器,放大滤波后输出。X频段功放器以GaAs MMIC功率管为核心,输出功率大于35dBm。X频段天线采用抛物面窄波束天线。

[0061] 本系统的功耗小于4.5W(不开X发射机),整体外形尺寸为 $180 \times 174 \times 20$ mm,重量小于400g(包括外层屏蔽壳)。

[0062] 本发明的DSP芯片主要功能为接收、处理数据注入命令;采集、组织并发送工程参数、管理存储的大容量数据,控制FPGA芯片实现数据的记录、回放和擦除等操作。FPGA芯片主要负责多路数据流接收、复接调度、FLASH数据存储与读取、信道编码、生成发射基带数据等。

[0063] 下面对本发明用于微小卫星的高速数据管理和传输的方法进行说明。

[0064] 如图5所示,本发明用于微小卫星的高速数据管理和传输的方法,包括:

[0065] 执行步骤S11,将FPGA芯片与DSP芯片集成形成集成的数字单元。提供DSP芯片和FPGA芯片,将FPGA芯片通过DSP芯片上的外部存储器接口以异步形式进行连接,形成集成的数字单元。接着执行步骤S12。

[0066] 执行步骤S12,将集成的数字单元以插板的形式安装于综合电子舱,将所形成的集成的数字单元以插板的形式安装于微小卫星的综合电子舱中后,由综合电子舱为数字单元进行供电,并通过安装的接口与所述综合电子舱进行通信。接着执行步骤S13。

[0067] 执行步骤S13,利用DSP芯片管理控制FPGA芯片的操作,利用DSP芯片接收和处理综合电子舱发送的数据注入命令,利用DSP芯片管理控制FPGA芯片的操作,包括控制FPGA芯片实现数据的记录、回放和擦除等操作。接着执行步骤S14。



[0068] 执行步骤S14,利用FPGA芯片进行数据的存储、读取和复接操作,利用FPGA芯片对从所述综合电子舱接收的高速数据流和实时数据流进行存储操作、读取操作以及复接操作;FPGA芯片根据DSP芯片的操作指令对数据进行处理,在进行存储操作时,执行步骤S15,在执行复接操作时,执行步骤S16。

[0069] 执行步骤S15,将数据存储至存储阵列,利用FPGA芯片进行存储操作时,利用存储阵列对高速数据流和实时数据流进行存储。

[0070] 执行步骤S16,对复接形成的基带信号进行调制并通过X频段天线发送,利用所述FPGA芯片进行复接操作时,对所述FPGA芯片经复接操作所形成的基带信号进行调制,采用微波直接调制技术将所述基带信号调制成X频段射频信号,进而通过X频段天线将所述X频段射频信号发送至地面。

[0071] 在通过X频段天线将X频段射频信号发送前,还包括:通过X频段固放器对所述X频段射频信号进行放大处理。

[0072] 本发明的高速数据管理和传输的方法还包括:将DSP芯片和FPGA芯片连接CAN控制器;将CAN控制器通过CAN总线与综合电子舱通信连接;利用CAN控制器接收综合电子舱发送的控制指令和获取DSP芯片与FPGA芯片的系统状态并向综合电子舱发送。

[0073] 利用FPGA芯片进行复接操作时,利用FPGA芯片对所述高速数据流和所述实时数据流进行复接以形成复接数据流,并对所形成的复接数据流经信道编码操作而生成基带信号。

[0074] 还包括:提供MRAM存储器,将所述MRAM存储器通过所述DSP芯片上的外部存储器接口以异步形成进行连接。

[0075] 本发明的高速数据管理和传输的方法将常规高速数据管理及数据传输装置中的数字部分集成设计,可省略设备间的数据接口电路。集成的数字单元采用DSP+FPGA的架构进行集中管理控制,DSP芯片选用TI公司的SMJ320C6701GLPW14,DSP通过EMIF接口,以异步的形式外挂MRAM芯片、CAN控制器、FPGA芯片等外部设备;FPGA芯片选用成熟应用的Xilinx FPGA XC4V5X55。DSP芯片负责系统外围控制,FPGA芯片负责数据流处理。可支持4路1Gbps速率的载荷数据流与2路1Mbps实时数据流复接;数据的存储阵列使用NAND型FLASH构成,大数据存储采用8片128Gbits FLASH阵列,系统存储空间达1Tbit。系统的信道编码为RS+卷积方式,X频段调制器采用微波直接调制方式,编码后信道速率大于200Mbps;所述X频段调制器采用微波直接调制、变频技术,FPGA直接送出基带信号至X频段调制器,放大滤波后输出。X频段固放器以GaAs MMIC功率管为核心,输出功率大于35dBm。X频段天线采用抛物面窄波束天线。本发明的功耗小于4.5W(不开X发射机),整体外形尺寸为180×174×20mm,重量小于400g(包括外层屏蔽壳)。

[0076] 本发明的DSP芯片主要功能为接收、处理数据注入命令;采集、组织并发送工程参数、管理存储的大容量数据,控制FPGA芯片实现数据的记录、回放和擦除等操作。FPGA芯片主要负责多路数据流接收、复接调度、FLASH数据存储与读取、信道编码、生成发射基带数据等。

[0077] 综上所述,本发明用于微小卫星的高速数据管理和传输的系统及方法,集成了高速数据管理和数据传输设备,具有体积小、质量轻、功耗低的特点,对布局、功耗有严格限制的微小卫星有重要意义。另外,本发明提供的高速数据管理和传输的系统及方法,利用一个

装置实现了高速数据管理和传输,数字部分集成设计,省去设备间的接口,利于整星装配布局,对卫星接口联调、快速总装有积极意义。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0078] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

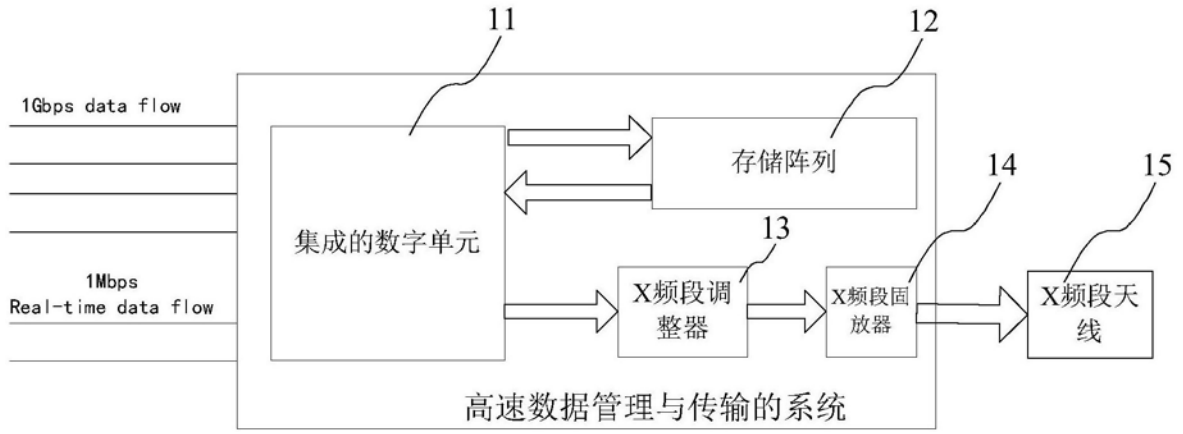


图1

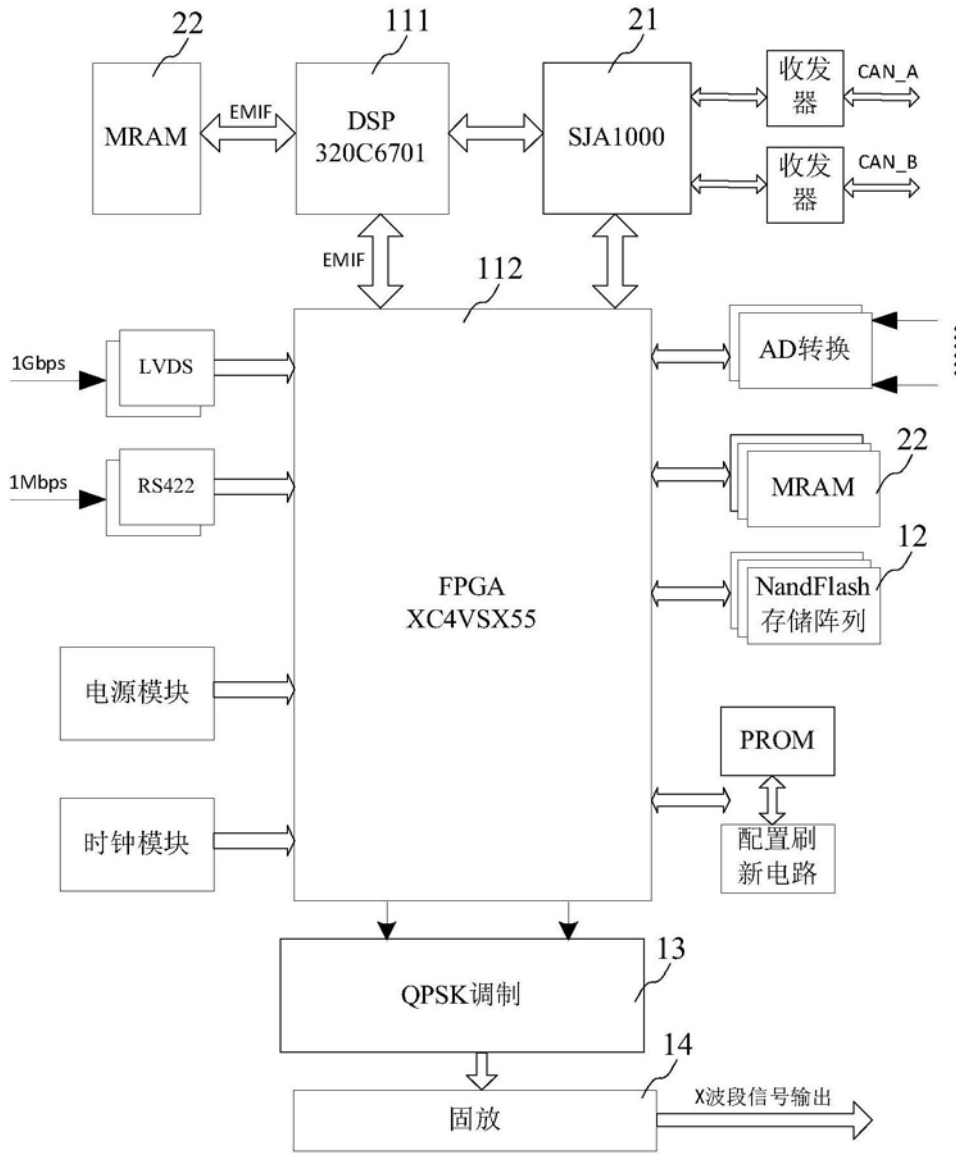


图2

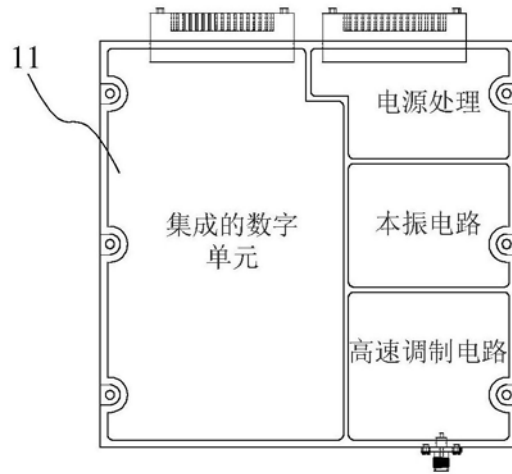


图3

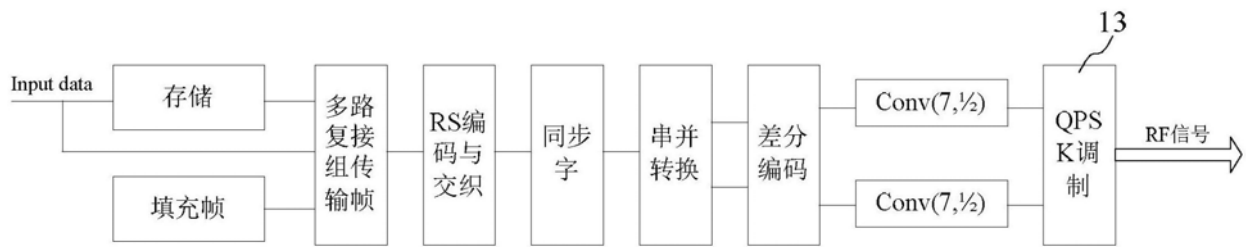


图4

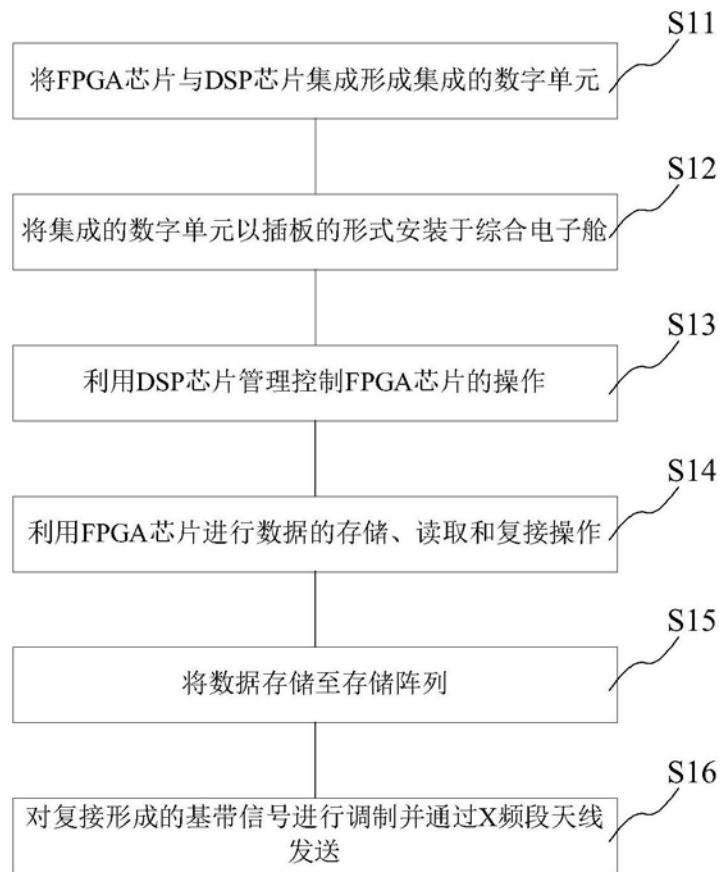


图5