

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6229026号
(P6229026)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int.Cl.		F I			
HO 1 L 21/8242	(2006.01)	HO 1 L	27/108	3 2 1	
HO 1 L 27/108	(2006.01)	HO 1 L	27/10	4 8 1	
HO 1 L 27/10	(2006.01)				

請求項の数 1 (全 48 頁)

(21) 出願番号	特願2016-181267 (P2016-181267)	(73) 特許権者	000153878
(22) 出願日	平成28年9月16日(2016.9.16)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-84868 (P2015-84868) の分割	(72) 発明者	松崎 隆徳
原出願日	平成23年9月2日(2011.9.2)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2017-22401 (P2017-22401A)	(72) 発明者	長塚 修平
(43) 公開日	平成29年1月26日(2017.1.26)		神奈川県厚木市長谷398番地 株式会社
審査請求日	平成28年9月28日(2016.9.28)	(72) 発明者	井上 広樹
(31) 優先権主張番号	特願2010-204419 (P2010-204419)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成22年9月13日(2010.9.13)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	審査官	上田 智志

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

メモリセルと、
駆動回路と、
容量素子と、
を有し、

前記メモリセルは、第1のトランジスタと、前記第1のトランジスタ上方の第1の絶縁層と、前記第1の絶縁層上方の第2のトランジスタと、を有し、

前記第1のトランジスタは、第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を有し、

前記第2のトランジスタは、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を有し、

前記第1のチャンネル形成領域は、第1の半導体材料を有し、

前記第2のチャンネル形成領域は、第2の半導体材料を有し、

前記容量素子は、第1の電極と、前記第1の電極上の誘電体と、前記誘電体上の第2の電極と、を有し、

前記第1の電極は、前記第1の半導体材料を有し、

前記誘電体は、前記第1のトランジスタのゲート絶縁層と同層に設けられ、

前記第2の電極は、前記第1のゲート電極と同層の導電層と、前記第2のソース電極及び前記第2のドレイン電極と同層の導電層と、前記第2のゲート電極と同層の導電層と、

を有し、

前記駆動回路は、前記第2のゲート電極と電氣的に接続され、

前記容量素子は、前記駆動回路と前記メモリセルの間に設けられ、

前記第2の電極は、前記第2のゲート電極と電氣的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子を利用した半導体装置およびその駆動方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM(Dynamic Random Access Memory)がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流(オフ電流)等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作(リフレッシュ動作)が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM(Static Random Access Memory)がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く(半永久的)、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している(例えば、特許文献1参照)。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を注入させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注

10

20

30

40

50

入、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、本発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

10

【課題を解決するための手段】

【0011】

本発明の一態様では、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて半導体装置を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、長期間にわたって情報を保持することが可能である。

【0012】

また、書き込みワード線に電氣的に接続する容量素子またはノイズ除去回路を設けることで、駆動回路等からメモリセルに入力される制御信号とは異なる短パルスやノイズ等の信号を低減または除去することができる。これにより、メモリセルが有するトランジスタが瞬間的にオンすることでメモリセルに書き込まれたデータが消失してしまう誤動作を防ぐことが可能である。

20

【0013】

より具体的には、例えば次のような構成を採用することができる。

【0014】

本発明の一態様は、書き込みワード線と、読み出しワード線と、ビット線と、ソース線と、信号線と、複数のメモリセルでなるメモリセルアレイと、第1の駆動回路と、第2の駆動回路と、を有する半導体装置である。メモリセルの一は、第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を含む第2のトランジスタと、第1の容量素子と、を有する。第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成されている。第1のゲート電極と、第2のドレイン電極と、第1の容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成している。第1の駆動回路は、ビット線を介してメモリセルが有する第1のドレイン電極と電氣的に接続され、ソース線を介してメモリセルが有する第1のソース電極と電氣的に接続され、信号線を介してメモリセルが有する第2のソース電極と電氣的に接続されている。第2の駆動回路は、読み出しワード線を介してメモリセルが有する第1の容量素子の電極の他方と電氣的に接続され、書き込みワード線を介してメモリセルが有する第2のゲート電極と電氣的に接続されている。そして、第2の駆動回路とメモリセルアレイとの間に第2の容量素子を有し、第2の容量素子の電極の一方は書き込みワード線に電氣的に接続されている構成を有している。

30

40

【0015】

また、本発明の一態様は、書き込みワード線と、読み出しワード線と、ビット線と、ソース線と、信号線と、複数のメモリセルでなるメモリセルアレイと、第1の駆動回路と、第2の駆動回路と、を有する半導体装置である。メモリセルの一は、第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を含む第2のトランジスタと、第1の容量素子と、を有する。第1のチャ

50

ネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成されている。第1のゲート電極と、第2のドレイン電極と、第1の容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成している。第1の駆動回路は、ビット線を介してメモリセルが有する第1のドレイン電極と電氣的に接続され、ソース線を介してメモリセルが有する第1のソース電極と電氣的に接続され、信号線を介してメモリセルが有する第2のソース電極と電氣的に接続されている。第2の駆動回路は、読み出しワード線を介してメモリセルが有する第1の容量素子の電極の他方と電氣的に接続され、書き込みワード線を介してメモリセルが有する第2のゲート電極と電氣的に接続されている。そして、第2の駆動回路とメモリセルアレイとの間に第2の容量素子および抵抗素子を有し、第2の容量素子の電極の一方は書き込みワード線および抵抗素子の端子の一方に電氣的に接続され、抵抗素子の端子の他方は第2の駆動回路に電氣的に接続されている構成を有している。

10

【0016】

また、本発明の一態様は、書き込みワード線と、読み出しワード線と、ビット線と、ソース線と、信号線と、複数のメモリセルでなるメモリセルアレイと、第1の駆動回路と、第2の駆動回路と、を有する半導体装置である。メモリセルの一は、第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有する。第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成されている。第1

20

【0017】

また、本発明の一態様は、書き込みワード線と、読み出しワード線と、ビット線と、ソース線と、信号線と、複数のメモリセルでなるメモリセルアレイと、第1の駆動回路と、第2の駆動回路と、を有する半導体装置である。メモリセルの一は、第1のゲート電極、第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有する。第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成されている。第1のゲート電極と、第2のドレイン電極と、容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成している。第1の駆動回路は、ビット線を介してメモリセルが有する第1のドレイン電極と電氣的に接続され、ソース線を介してメモリセルが有する第1のソース電極と電氣的に接続され、信号線を介してメモリセルが有する第2のソース電極と電氣的に接続されている。第2の駆動回路は、読み出しワード線を介してメモリセルが有する容量素子の電極の他方と電氣的に接続され、書き込みワード線を介してメモリセルが有する第2のゲート電極と電氣的に接続されている。そして、第2の駆動回路は、書き込みワード線に電氣的に接続されるノイズ除去回路を有し、ノイズ除去回路は、直列に接続した偶数個のインバータ回路と抵抗素子とを有している。

30

40

【0018】

また、本発明の一態様は、書き込みワード線と、読み出しワード線と、ビット線と、ソース線と、信号線と、複数のメモリセルでなるメモリセルアレイと、第1の駆動回路と、第2の駆動回路と、を有する半導体装置である。メモリセルの一は、第1のゲート電極、

50

第1のソース電極、第1のドレイン電極、及び第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極、及び第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有する。第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成されている。第1のゲート電極と、第2のドレイン電極と、容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成している。第1の駆動回路は、ビット線を介してメモリセルが有する第1のドレイン電極と電氣的に接続され、ソース線を介してメモリセルが有する第1のソース電極と電氣的に接続され、信号線を介してメモリセルが有する第2のソース電極と電氣的に接続されている。第2の駆動回路は、読み出しワード線を介してメモリセルが有する容量素子の電極の他方と電氣的に接続され、書き込みワード線を介してメモリセルが有する第2のゲート電極と電氣的に接続されている。そして、第2の駆動回路は、書き込みワード線に電氣的に接続されるノイズ除去回路を有し、ノイズ除去回路は、直列に接続した偶数個のインバータ回路と容量素子と抵抗素子とを有している。

10

【0019】

上記ノイズ除去回路を有する構成において、ノイズ除去回路は、さらにAND回路を有する構成とすることができる。

【0020】

上記において、第2のトランジスタの第2のチャンネル形成領域は、酸化物半導体を含んで構成される半導体装置である。

【0021】

上記において、第1のトランジスタの第1のチャンネル形成領域は、酸化物半導体以外の材料を含んで構成される半導体装置である。

20

【0022】

なお、上記において、酸化物半導体を用いてトランジスタを構成することがあるが、本発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップEgが3eVより大きい半導体材料）などを適用しても良い。

【0023】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

30

【0024】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0025】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

40

【0026】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0027】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ

50

動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0028】

また、本発明に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、本発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

【0029】

また、本発明に係る半導体装置では、書き込みワード線に電氣的に接続する容量素子またはノイズ除去回路を設けることで、駆動回路等からメモリセルに入力されうる制御信号とは異なる短パルスやノイズ等の信号を低減または除去することができる。これにより、メモリセルが有するトランジスタが瞬間的にオンすることでメモリセルに書き込まれたデータが消失してしまう誤動作を防ぐことが可能である。

【0030】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0031】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【図面の簡単な説明】

【0032】

【図1】半導体装置の回路図。

【図2】半導体装置のブロック図。

【図3】半導体装置のブロック図。

【図4】半導体装置の回路図。

【図5】半導体装置の回路図。

【図6】半導体装置の断面図および平面図。

【図7】半導体装置の断面図。

【図8】SOI基板の作製工程に係る断面図。

【図9】半導体装置の作製工程に係る断面図。

【図10】半導体装置の作製工程に係る断面図。

【図11】半導体装置の作製工程に係る断面図。

【図12】半導体装置の作製工程に係る断面図。

【図13】半導体装置の断面図。

【図14】半導体装置の断面図。

【図15】半導体装置の作製工程に係る断面図。

【図16】電子機器の図。

【発明を実施するための形態】

【0033】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0034】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、本発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0035】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0036】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成および動作について、図1、図2を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0037】

基本回路

はじめに、メモリセルの基本的な回路構成およびその動作について、図1を参照して説明する。図1(A-1)に示すメモリセルを有する半導体装置において、ビット線BLとトランジスタ160のソース電極(またはドレイン電極)とは、電氣的に接続され、ソース線SLとトランジスタ160のドレイン電極(またはソース電極)とは、電氣的に接続されている。また、信号線Sとトランジスタ162のソース電極(またはドレイン電極)とは、電氣的に接続され、書き込みワード線WWLと、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のドレイン電極(またはソース電極)は、容量素子164の電極の一方と電氣的に接続され、読み出しワード線RWLと、容量素子164の電極の他方は電氣的に接続されている。

【0038】

ここで、トランジスタ162には、例えば、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【0039】

なお、トランジスタ160の材料については特に限定されない。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【0040】

また、図1(B)に示すように、容量素子164を設けない構成とすることも可能である。

【0041】

図1(A-1)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0042】

はじめに、情報の書き込みおよび保持について説明する。まず、書き込みワード線WWLの電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、信号線Sの電位が、トランジスタ160のゲート電極、およ

10

20

30

40

50

び容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位を与える電荷(以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という)のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、書き込みワード線 WWL の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

【0043】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

10

【0044】

次に、情報の読み出しについて説明する。ソース線 SL に所定の電位(定電位)を与えた状態で、読み出しワード線 RWL に適切な電位(読み出し電位)を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、ビット線 BL は異なる電位をとる。すなわち、トランジスタ160のコンダクタンスは、トランジスタ160のゲート電極に保持される電荷によって制御される。

【0045】

一般に、トランジスタ160をpチャネル型とすると、トランジスタ160のゲート電極に Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極に Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなる。

20

【0046】

例えば、書き込みにおいて Q_L が与えられた場合には、読み出しワード線 RWL の電位が V_0 (V_{th_H} と V_{th_L} の中間の電位)となれば、トランジスタ160は「オン状態」となる。 Q_H が与えられた場合には、読み出しワード線 RWL の電位が V_0 となっても、トランジスタ160は「オフ状態」のままである。このため、ビット線 BL の電位を見ることで、保持されている情報を読み出すことができる。

【0047】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルの読み出しワード線 RWL に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_L} より大きい電位を与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_H} より小さい電位を読み出しワード線 RWL に与えればよい。

30

【0048】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、書き込みワード線 WWL の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、信号線 S の電位(新たな情報に係る電位)が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、書き込みワード線 WWL の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

40

【0049】

なお、上記ではトランジスタ160をpチャネル型として説明したが、トランジスタ160としてnチャネル型のトランジスタを用いてもよい。その場合には、各配線に与える電位を適宜調節すればよい。

【0050】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動

50

作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0051】

なお、トランジスタ162のドレイン電極（またはソース電極）は、トランジスタ160のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。以下において、トランジスタ162のドレイン電極（またはソース電極）とトランジスタ160のゲート電極が電氣的に接続される部位をノードFGと呼ぶ場合がある。トランジスタ162がオフの場合、当該ノードFGは絶縁体中に埋設されたと見ることができ、ノードFGには電荷が保持される。酸化物半導体を用いたトランジスタ162のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、ノードFGに蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ162により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

10

【0052】

例えば、トランジスタ162の室温（25℃）でのオフ電流が10zA（1zA（zeptoアンペア）は 1×10^{-21} A）以下であり、容量素子164の容量値が10fF程度である場合には、少なくとも10⁴秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

【0053】

また、開示する発明の半導体装置においては、従来フローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来フローティングゲート型トランジスタにおいて書き込みや消去の際に必要な高電圧も不要である。

20

【0054】

図1(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図1(A-2)のように考えることが可能である。つまり、図1(A-2)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量（ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャンネル形成領域との間に形成される容量）の容量値に相当する。

30

【0055】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値（実効抵抗とも呼ぶ）をROSとすると、トランジスタ162のゲートリーク電流が十分に小さい条件において、R1およびR2が、 $R1 \ll ROS$ 、 $R2 \ll ROS$ を満たす場合には、電荷の保持期間（情報の保持期間ということもできる）は、主としてトランジスタ162のオフ電流によって決定されることになる。

40

【0056】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流（例えば、トランジスタ160におけるソース電極とゲート電極の間において生じるリーク電流等）が大きいためである。このことから、本実施の形態において開示する半導体装置は、 $R1 \ll ROS$ 、および $R2 \ll ROS$ の関係を満たすものであることが望ましいといえる。

50

【 0 0 5 7 】

一方で、 $C1$ と $C2$ は、 $C1 < C2$ の関係を満たすことが望ましい。 $C1$ を大きくすることで、読み出しワード線 RWL によってノード FG の電位を制御する際に、読み出しワード線 RWL の電位を効率よくノード FG に与えることができるようになり、読み出しワード線 RWL に与える電位間（例えば、読み出しの電位と、非読み出しの電位）の電位差を低く抑えることができるためである。

【 0 0 5 8 】

このように、上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、 $R1$ および $R2$ は、トランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御される。 $C1$ および $C2$ についても同様である。よって、トランジスタ160のゲート絶縁層や容量素子164の絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

10

【 0 0 5 9 】

本実施の形態で示す半導体装置においては、ノード FG が、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のノード FG は、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

【 0 0 6 0 】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

20

【 0 0 6 1 】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【 0 0 6 2 】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

30

【 0 0 6 3 】

さらに、容量素子164を構成する絶縁層の比誘電率 $r1$ と、トランジスタ160を構成する絶縁層の比誘電率 $r2$ とを異ならせる場合には、容量素子164を構成する絶縁層の面積 $S1$ と、トランジスタ160においてゲート容量を構成する絶縁層の面積 $S2$ とが、 $2 \cdot S2 < S1$ （望ましくは $S2 < S1$ ）を満たしつつ、 $C1 < C2$ を実現することが容易である。すなわち、容量素子164を構成する絶縁層の面積を小さくしつつ、 $C1 < C2$ を実現することが容易である。具体的には、例えば、容量素子164を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して $r1$ を10以上、好ましくは15以上とし、トランジスタ160のゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r2 = 3 \sim 4$ とすることができる。

40

【 0 0 6 4 】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【 0 0 6 5 】

50

なお、半導体装置の記憶容量を大きくするためには、高集積化以外に、多値化の手法を採ることもできる。例えば、メモリセルの—に3段階以上の情報を書き込む構成とすることで、2段階（1ビット）の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷 Q_L 、高電位を与える電荷 Q_H に加え、他の電位を与える電荷 Q をトランジスタ160のゲート電極に与えることで、多値化を実現することができる。この場合、比較的規模の大きい回路構成（例えば、 $15F^2 \sim 50F^2$ など： F は最小加工寸法）を採用しても十分な記憶容量を確保することができる。

【0066】

応用例

次に、図1に示すメモリセルの回路を応用したより具体的な回路構成および動作について、図2を参照して説明する。

【0067】

図2(A)は、 $(m \times n)$ 個のメモリセル170を有する半導体装置の回路図の一例である。図2(A)中のメモリセル170の構成は、図1(A-1)と同様である。ただし、図2(A)では、第1行目のメモリセル170のみがビット線 BL と直接接続し、第 m 行目のメモリセル170のみがソース線 SL と直接接続する構成を示している。他の行のメモリセル170は、同じ列の他のメモリセル170を介してビット線 BL およびソース線 SL と電氣的に接続される。

【0068】

図2(A)に示す半導体装置は、 m 本(m は2以上の整数)の書き込みワード線 WWL と、 m 本の読み出しワード線 RWL と、 n 本(n は2以上の整数)のソース線 SL と、 n 本のビット線 BL と、 n 本の信号線 S と、メモリセル170が縦 m 個(行) \times 横 n 個(列)のマトリクス状に配置されたメモリセルアレイ201と、 n 本のビット線 BL および n 本の信号線 S に接続する第1の駆動回路190と、 m 本の書き込みワード線 WWL および m 本の読み出しワード線 RWL に接続する第2の駆動回路192と、を有する。

【0069】

図2(A)に示す半導体装置は、第2の駆動回路192とメモリセルアレイ201との間に、容量素子250を有する。例えば、図2(B)に示す容量素子250を用いることができる。図2(B)に示すように、容量素子250は、容量素子250の電極の一方が書き込みワード線 WWL に電氣的に接続する構成を有する。

【0070】

または、図2(A)に示す半導体装置は、第2の駆動回路192とメモリセルアレイ201との間に、容量素子250および抵抗素子251(図2(A)では図示せず)を有する構成としてもよい。例えば、図2(C)に示す容量素子250および抵抗素子251を用いることができる。図2(C)に示すように、容量素子250および抵抗素子251は、容量素子250の電極の一方が書き込みワード線 WWL および抵抗素子251の端子の一方に電氣的に接続する構成を有する。抵抗素子251の端子の他方は第2の駆動回路192に電氣的に接続する構成を有する。

【0071】

なお、読み出しワード線 RWL 側には、容量素子250、または容量素子250および抵抗素子251を設けなくてよい。または、書き込みワード線 WWL 側と同様に読み出しワード線 RWL 側にも、容量素子250、または容量素子250および抵抗素子251を設けてもよい。

【0072】

データの書き込み、保持、および読み出しは、基本的に図1の場合と同様である。つまり、具体的な書き込みの動作は以下になる。なお、ここでは一例として、ノード FG に電位 V_1 (電源電位 V_{DD} より低い電位)または基準電位 GND のいずれかを与える場合について説明するが、ノード FG に与える電位の関係はこれに限られない。また、ノード FG に電位 V_1 を与えた場合に保持されるデータをデータ"1"、ノード FG に基準

10

20

30

40

50

電位 GND を与えた場合に保持されるデータをデータ " 0 " とする。また、ソース線 S L の電位は VDD または VDD より幾らか低い電位 (V R) とする。ただし、動作に問題がなければ、ソース線 S L の電位を一時的に変化させても良い。

【 0 0 7 3 】

まず、メモリセル 1 7 0 に接続される読み出しワード線 R W L の電位を GND とし、書き込みワード線 W W L の電位を V 2 (V 1 より高い電位、例えば VDD) としてメモリセル 1 7 0 を選択する。

【 0 0 7 4 】

メモリセル 1 7 0 にデータ " 0 " を書き込む場合には、信号線 S には GND を与え、メモリセル 1 7 0 にデータ " 1 " を書き込む場合には、信号線 S には V 1 を与える。ここでは書き込みワード線 W W L の電位を V 2 としているため、ノード F G に V 1 を与えることが可能である。

10

【 0 0 7 5 】

データの保持は、読み出しワード線 R W L の電位および書き込みワード線 W W L の電位を、GND とすることにより行われる。

【 0 0 7 6 】

読み出しワード線 R W L の電位を GND に固定すると、ノード F G の電位は書き込み時の電位に固定される。つまり、ノード F G にデータ " 1 " である V 1 が与えられている場合、ノード F G の電位は V 1 となり、ノード F G にデータ " 0 " である GND が与えられていれば、ノード F G の電位は GND となる。

20

【 0 0 7 7 】

書き込みワード線 W W L には GND が与えられているため、データ " 1 " とデータ " 0 " のいずれが書き込まれた場合でも、トランジスタ 1 6 2 はオフ状態となる。トランジスタ 1 6 2 のオフ電流は極めて小さいから、トランジスタ 1 6 0 のゲート電極の電荷は長時間にわたって保持される。

【 0 0 7 8 】

データの読み出しは、読み出し対象のメモリセル 1 7 0 に接続される読み出しワード線 R W L の電位および書き込みワード線 W W L の電位を GND とし、また、読み出し対象ではないメモリセル 1 7 0 に接続される読み出しワード線 R W L の電位を V 1 とし、かつ、書き込みワード線 W W L の電位を GND とすることにより行われる。

30

【 0 0 7 9 】

読み出し対象のメモリセル 1 7 0 に接続される読み出しワード線 R W L の電位を GND とすると、読み出し対象のメモリセル 1 7 0 のノード F G にデータ " 1 " である V 1 が与えられている場合、トランジスタ 1 6 0 はオフ状態となる。一方で、ノード F G にデータ " 0 " である GND が与えられていれば、トランジスタ 1 6 0 はオン状態となる。

【 0 0 8 0 】

また、読み出し対象ではないメモリセル 1 7 0 に接続される読み出しワード線 R W L の電位を V 1 とし、かつ、書き込みワード線 W W L の電位を GND とすると、読み出し対象ではないメモリセル 1 7 0 にデータ " 1 " が書き込まれている場合、および、データ " 0 " が書き込まれている場合のいずれにおいても、トランジスタ 1 6 0 はオフ状態となる。

40

【 0 0 8 1 】

つまり、上述の読み出し動作により、読み出し対象のメモリセル 1 7 0 にデータ " 1 " が書き込まれている場合には、トランジスタ 1 6 0 がオフ状態となり、読み出し開始時のビット線 B L の電位が維持されるか、低くなる。また、データ " 0 " が書き込まれている場合には、トランジスタ 1 6 0 がオン状態となり、ビット線 B L の電位が高くなる。

【 0 0 8 2 】

なお、上記ではトランジスタ 1 6 0 を p チャネル型として説明したが、トランジスタ 1 6 0 として n チャネル型のトランジスタを用いてもよい。その場合には、各配線に与える電位を適宜調節すればよい。

【 0 0 8 3 】

50

上述したとおり、開示する発明の半導体装置は、トランジスタ162のスイッチングによって動作し、トランジスタ162のオフ電流が極めて小さいことを利用してノードFGの電荷を長時間保持するものである。したがって、トランジスタ162のゲート電極に電氣的に接続する書き込みワード線WWLに制御信号とは異なる短パルスやノイズ等の信号が入力され、トランジスタ162が瞬間的にオンすることがあると、メモリセル170に書き込まれたデータが消失するおそれがある。

【0084】

開示する発明の半導体装置では、第2の駆動回路192とメモリセルアレイ201との間に、書き込みワード線WWLに電氣的に接続する容量素子250、または容量素子250および抵抗素子251を設けることで、制御信号とは異なる短パルスやノイズ等の信号を低減または除去することができる。これにより、メモリセル170が有するトランジスタ162が瞬間的にオンすることでメモリセル170に書き込まれたデータが消失してしまう誤動作を防ぐことが可能である。

10

【0085】

なお、制御信号とは異なる短パルスやノイズ等の信号には、第2の駆動回路192から入力されてくる信号の他、電源投入時および電源切断時のときのように電位が不安定になる際に発生する電位変化に起因した信号等も含まれる。

【0086】

以上のように、第2の駆動回路192とメモリセルアレイ201との間に、書き込みワード線WWLに電氣的に接続する容量素子250、または容量素子250および抵抗素子251を設けることで、制御信号とは異なる短パルスやノイズ等の信号を低減または除去することができる。これにより、メモリセル170が有するトランジスタ162が瞬間的にオンすることでメモリセル170に書き込まれたデータが消失してしまう誤動作を防ぐことが可能である。

20

【0087】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0088】

(実施の形態2)

本実施の形態では、図1に示すメモリセルの回路を応用した回路構成であって、図2に示す回路構成とは異なる回路構成について、図3、図4を参照して説明する。

30

【0089】

図3(A)は、(m×n)個のメモリセル170を有する半導体装置の回路図の一例である。図3(A)中のメモリセル170の構成は、図1(A-1)および図2(A)と同様であるため、詳細な説明は省略する。

【0090】

図3(A)に示す半導体装置は、メモリセル170が縦m個(行)×横n個(列)のマトリクス状に配置されたメモリセルアレイ201と、n本のビット線BLおよびn本の信号線Sに接続する第1の駆動回路190と、m本の書き込みワード線WWLおよびm本の読み出しワード線RWLに接続する第2の駆動回路192と、を有する。

40

【0091】

図3(A)に示す半導体装置は、第2の駆動回路192が、書き込みワード線WWLに電氣的に接続するノイズ除去回路260を有する。例えば、図3(B)に示すノイズ除去回路260を用いることができる。図3(B)に示すノイズ除去回路260は、直列に接続した偶数個のインバータ回路と容量素子とを有する。例えば、第1のインバータ回路と、第2のインバータ回路と、容量素子とを有し、容量素子の電極の一方が第1のインバータ回路の出力端子および第2のインバータ回路の入力端子に電氣的に接続する構成を有する。なお、図では2個のインバータ回路を用いる構成を示しているが、偶数個のインバータ回路を用いる構成であればその数は限定されない。その場合には、容量素子の前後に少なくとも1個ずつインバータ回路を有していればよい。

50

【 0 0 9 2 】

または、図 3 (A) に示す半導体装置において、図 3 (C) に示すノイズ除去回路 2 6 0 を用いてもよい。図 3 (C) に示すノイズ除去回路 2 6 0 は、直列に接続した偶数個のインバータ回路と抵抗素子とを有する。例えば、第 1 のインバータ回路と、第 2 のインバータ回路と、抵抗素子とを有し、抵抗素子の端子の一方が第 1 のインバータ回路の出力端子に電氣的に接続し、抵抗素子の端子の他方が第 2 のインバータ回路の入力端子に電氣的に接続する構成を有する。なお、図では 2 個のインバータ回路を用いる構成を示しているが、偶数個のインバータ回路を用いる構成であればその数は限定されない。その場合には、抵抗素子の前後に少なくとも 1 個ずつインバータ回路を有していればよい。

【 0 0 9 3 】

または、図 3 (A) に示す半導体装置において、図 3 (D) に示すノイズ除去回路 2 6 0 を用いてもよい。図 3 (D) に示すノイズ除去回路 2 6 0 は、直列に接続した偶数個のインバータ回路と容量素子と抵抗素子とを有する。例えば、第 1 のインバータ回路と、第 2 のインバータ回路と、容量素子と、抵抗素子とを有し、抵抗素子の端子の一方が第 1 のインバータ回路の出力端子に電氣的に接続し、抵抗素子の端子の他方および容量素子の電極の一方が第 2 のインバータ回路の入力端子に電氣的に接続する構成を有する。なお、図では 2 個のインバータ回路を用いる構成を示しているが、偶数個のインバータ回路を用いる構成であればその数は限定されない。その場合には、容量素子と抵抗素子の前後に少なくとも 1 個ずつインバータ回路を有していればよい。

【 0 0 9 4 】

または、図 3 (A) に示す半導体装置において、図 4 (A) に示すノイズ除去回路 2 6 0 を用いてもよい。図 4 (A) に示すノイズ除去回路 2 6 0 は、直列に接続した 2 個のバッファ回路と容量素子とを有する。例えば、第 1 のバッファ回路と、第 2 のバッファ回路と、容量素子とを有し、容量素子の電極の一方が第 1 のバッファ回路の出力端子および第 2 のバッファ回路の入力端子に電氣的に接続する構成を有する。なお、図では 2 個のバッファ回路を用いる構成を示しているが、複数個のバッファ回路を用いる構成であればその数は限定されない。その場合には、容量素子の前後に少なくとも 1 個ずつバッファ回路を有していればよい。

【 0 0 9 5 】

または、図 3 (A) に示す半導体装置において、図 4 (B) に示すノイズ除去回路 2 6 0 を用いてもよい。図 4 (B) に示すノイズ除去回路 2 6 0 は、直列に接続した複数個のバッファ回路と抵抗素子とを有する。例えば、第 1 のバッファ回路と、第 2 のバッファ回路と、抵抗素子とを有し、抵抗素子の端子の一方が第 1 のバッファ回路の出力端子に電氣的に接続し、抵抗素子の端子の他方が第 2 のバッファ回路の入力端子に電氣的に接続する構成を有する。なお、図では 2 個のバッファ回路を用いる構成を示しているが、複数個のバッファ回路を用いる構成であればその数は限定されない。その場合には、抵抗素子の前後に少なくとも 1 個ずつバッファ回路を有していればよい。

【 0 0 9 6 】

または、図 3 (A) に示す半導体装置において、図 4 (C) に示すノイズ除去回路 2 6 0 を用いてもよい。図 4 (C) に示すノイズ除去回路 2 6 0 は、直列に接続した複数個のバッファ回路と容量素子と抵抗素子とを有する。例えば、第 1 のバッファ回路と、第 2 のバッファ回路と、容量素子と、抵抗素子とを有し、抵抗素子の端子の一方が第 1 のバッファ回路の出力端子に電氣的に接続し、抵抗素子の端子の他方および容量素子の電極の一方が第 2 のバッファ回路の入力端子に電氣的に接続する構成を有する。なお、図では 2 個のバッファ回路を用いる構成を示しているが、複数個のバッファ回路を用いる構成であればその数は限定されない。その場合には、容量素子と抵抗素子の前後に少なくとも 1 個ずつバッファ回路を有していればよい。

【 0 0 9 7 】

または、図 3 (A) に示す半導体装置において、図 4 (D) に示すノイズ除去回路 2 6 0 を用いてもよい。図 4 (D) に示すノイズ除去回路 2 6 0 は、バッファ回路と容量素子

10

20

30

40

50

とAND回路とを有し、バッファ回路の出力端子がAND回路の入力端子の一方および他方ならびに容量素子の電極の一方に電氣的に接続する構成を有する。なお、図では1個のバッファ回路を用いる構成を示しているが、複数個のバッファ回路を用いてもよい。

【0098】

または、図3(A)に示す半導体装置において、図4(E)に示すノイズ除去回路260を用いてもよい。図4(E)に示すノイズ除去回路260は、バッファ回路と抵抗素子とAND回路とを有し、バッファ回路の出力端子がAND回路の入力端子の一方および抵抗素子の端子の一方に電氣的に接続し、抵抗素子の端子の他方がAND回路の入力端子の他方に電氣的に接続する構成を有する。なお、図では1個のバッファ回路を用いる構成を示しているが、複数個のバッファ回路を用いてもよい。

10

【0099】

または、図3(A)に示す半導体装置において、図4(F)に示すノイズ除去回路260を用いてもよい。図4(F)に示すノイズ除去回路260は、バッファ回路と容量素子と抵抗素子とAND回路とを有し、バッファ回路の出力端子がAND回路の入力端子の一方および抵抗素子の端子の一方に電氣的に接続し、抵抗素子の端子の他方が容量素子の電極の一方およびAND回路の入力端子の他方に電氣的に接続する構成を有する。なお、図では1個のバッファ回路を用いる構成を示しているが、複数個のバッファ回路を用いてもよい。

【0100】

上記において、バッファ回路は偶数個のインバータ回路を用いて構成することができる。

20

【0101】

なお、読み出しワード線RWL側には、ノイズ除去回路260を設けなくてよい。または、書き込みワード線WWL側と同様に読み出しワード線RWL側にも、ノイズ除去回路260を設けてもよい。

【0102】

データの書き込み、保持、および読み出しは、基本的に図1、図2の場合と同様である。

【0103】

すなわち、開示する発明の半導体装置は、トランジスタ162のスイッチングによって動作し、トランジスタ162のオフ電流が極めて小さいことを利用してノードFGの電荷を長時間保持するものである。したがって、トランジスタ162のゲート電極に電氣的に接続する書き込みワード線WWLに制御信号とは異なる短パルスやノイズ等の信号が入力され、トランジスタ162が瞬間的にオンすることがあると、メモリセル170に書き込まれたデータが消失するおそれがある。

30

【0104】

開示する発明の半導体装置では、書き込みワード線WWLに電氣的に接続するノイズ除去回路260を設けることで、制御信号とは異なる短パルスやノイズ等の信号を低減または除去することができる。これにより、メモリセル170が有するトランジスタ162が瞬間的にオンすることでメモリセル170に書き込まれたデータが消失してしまう誤動作を防ぐことが可能である。

40

【0105】

また、図3(B)乃至図3(D)に示したインバータ回路、または図4(A)乃至図4(F)に示したバッファ回路を構成するインバータ回路として、データ反転位置を変更したインバータ回路を用いてもよい。インバータ回路におけるデータ反転位置の変更は、例えば、インバータ回路に用いるPチャネル型トランジスタのサイズ(チャネル長、チャネル幅)またはNチャネル型トランジスタのサイズ(チャネル長、チャネル幅)を変更することで行うことができる。または、インバータ回路におけるデータ反転位置の変更は、ヒステリシス特性を持った回路(ヒステリシス型のインバータ回路、ヒステリシス型のAND回路)を用いて行ってもよい。データ反転位置を変更することで制御信号とは異なる短

50

パルスやノイズ等の信号を低減または除去する効果を高めることができる。

【0106】

以上のように、書き込みワード線WWLに電氣的に接続するノイズ除去回路260を設けることで、制御信号とは異なる短パルスやノイズ等の信号を低減または除去することができる。これにより、メモリセル170が有するトランジスタ162が瞬間的にオンすることでメモリセル170に書き込まれたデータが消失してしまう誤動作を防ぐことが可能である。

【0107】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

10

【0108】

(実施の形態3)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図5を用いて説明する。ここでは、半導体装置が有するメモリセルアレイの一部または全部の構成について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0109】

図5(A)、図5(B)および図5(C)は、図1(A-1)に示す半導体装置(以下、メモリセルとも記載する。)を複数用いて形成されるメモリセルアレイの一部または全部の回路図である。図5(A)および図5(B)は、メモリセルが直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図5(C)は、メモリセルが並列に接続された、いわゆるNOR型の半導体装置の回路図である。

20

【0110】

図5(A)に示す半導体装置は、ソース線SL、ビット線BL、信号線S、m本の書き込みワード線WWL、m本の読み出しワード線RWL、m個のメモリセルを有する。図5(A)では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびビット線BLを複数本有する構成としてもよい。

【0111】

各メモリセル(代表として、メモリセル170(i)を考える。ここで、iは1以上m以下の整数)において、トランジスタ160(i)のゲート電極と、トランジスタ162(i)のドレイン電極(またはソース電極)と、容量素子164(i)の電極の一方とは、電氣的に接続されている。また、信号線Sとトランジスタ162(i)のソース電極(またはドレイン電極)とは、電氣的に接続され、書き込みワード線WWL(i)と、トランジスタ162(i)のゲート電極とは、電氣的に接続されている。そして、読み出しワード線RWL(i)と、容量素子164(i)の電極の他方は電氣的に接続されている。

30

【0112】

また、メモリセル170(i)が有するトランジスタ160(i)のドレイン電極は、隣接するメモリセル170(i-1)が有するトランジスタ160(i-1)のソース電極と電氣的に接続され、メモリセル170(i)が有するトランジスタ160(i)のソース電極は、隣接するメモリセル170(i+1)が有するトランジスタ160(i+1)のドレイン電極と電氣的に接続される。ただし、直列に接続されたm個のメモリセルのうち、メモリセル170(1)が有するトランジスタ160(1)のドレイン電極は、ビット線BLと電氣的に接続される。また、直列に接続されたm個のメモリセルのうち、メモリセル170(m)が有するトランジスタ160(m)のソース電極は、ソース線SLと電氣的に接続される。

40

【0113】

メモリセル170(1)が有するトランジスタ160(1)は、選択トランジスタを介してビット線BLと電氣的に接続されていてもよい(図示せず)。この場合、選択トランジスタのゲート電極には、選択線G1が接続される。また、メモリセル170(m)が有

50

するトランジスタ160(m)も、選択トランジスタを介してソース線SLと電氣的に接続されていてもよい(図示せず)。この場合、選択トランジスタのゲート電極には、選択線G2が接続される。

【0114】

図5(A)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行(例えば第i行)の書き込みワード線WWL(i)にトランジスタ162(i)がオン状態となる電位を与え、書き込みを行う行のトランジスタ162(i)をオン状態にする。これにより、指定した行のトランジスタ160(i)のゲート電極に信号線Sの電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

10

【0115】

また、読み出し動作は次のように行われる。読み出しを行う行(例えば、第i行)以外の読み出しワード線RWLに、トランジスタ160のゲート電極に与えられた電荷によらず、読み出しを行う行以外のトランジスタ160がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ160をオン状態とする。それから、読み出しを行う行の読み出しワード線RWL(i)に、トランジスタ160(i)のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタ160(i)のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。また、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数のトランジスタ160(1)~160(m)のうち、読み出しを行う行のトランジスタ160(i)を除いてオン状態となっているため、ソース線SL-ビット線BL間のコンダクタンスの大小は、読み出しを行う行のトランジスタ160(i)の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ160(i)のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタの状態(オン状態またはオフ状態)は異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線BLの電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

20

【0116】

図5(B)に示す半導体装置は、図5(A)と一部構成が異なる半導体装置である。

30

【0117】

図5(B)に示す半導体装置と図5(A)に示す半導体装置との相違点の一として、図5(B)に示す半導体装置では、ビット線BLと、メモリセル170(1)が有するトランジスタ160(1)のドレイン電極とが、選択トランジスタ530を介して電氣的に接続されている点が挙げられる。選択トランジスタ530はゲート電極において、選択トランジスタ530のオンオフを切り替えるための選択線G1と電氣的に接続されている。

【0118】

また、図5(B)に示す半導体装置と図5(A)に示す半導体装置との相違点の一として、図5(A)に示す半導体装置においては、各メモリセルのトランジスタ162はソース電極(またはドレイン電極)が信号線Sに接続されているのに対して、図5(B)に示す半導体装置においては、各メモリセルのトランジスタ162は直列に接続されている点が挙げられる。つまり、メモリセル170(i)が有するトランジスタ162(i)のソース電極は、隣接するメモリセル170(i-1)が有するトランジスタ162(i-1)のドレイン電極と電氣的に接続され、メモリセル170(i)が有するトランジスタ162(i)のドレイン電極は、隣接するメモリセル170(i+1)が有するトランジスタ162(i+1)のソース電極と電氣的に接続される。ただし、直列に接続されたm個のメモリセルのうち、メモリセル170(1)が有するトランジスタ162(1)のソース電極は、信号線Sと電氣的に接続される。また、直列に接続された各メモリセルにおいて、トランジスタ162(i)のドレイン電極は、図5(A)に示す半導体装置と同様に

40

50

、トランジスタ160(i)のゲート電極と、容量素子164(i)の電極の一方と電気的に接続される。

【0119】

図5(B)に示す半導体装置の他の部分の構成については、図5(A)に示す半導体装置と同様なので、詳細については上述の記載を参照することができる。

【0120】

なお、図5(B)に示す半導体装置において、信号線Sとビット線BLは別々に設けられているが、開示する発明はこれに限られるものではなく、信号線Sとビット線BLを同一の配線とする構成としても良い。

【0121】

図5(B)に示す半導体装置でも、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。

【0122】

書き込み動作は、行ごとに第m行から順番に行われる。第i行($i = 1 \sim m$)の書き込みを行う場合には、書き込みを行う行(第i行)の書き込みワード線WWL(i)にトランジスタ162(i)がオン状態となる電位を与え、書き込みを行う行のトランジスタ162(i)をオン状態にする。ここで、トランジスタ162(i)と信号線Sとの間にトランジスタ162(1)乃至トランジスタ162(i-1)が存在する場合には、書き込みを行う行までのトランジスタ162(1)乃至162(i-1)もオン状態として、書き込みを行う行のメモリセル170(i)に信号線Sの電位が与えられるようにする。これにより、指定した行のトランジスタ160(i)のゲート電極に信号線Sの電位が与えられ、該ゲート電極に所定の電荷が与えられる。それから、書き込みワード線WWL(i)の電位をGNDに固定すると、トランジスタ160(i)のゲート電極に蓄積された電荷が保持される。このようにして、指定した行(第i行)のメモリセルにデータを書き込むことができる。

【0123】

なお、図5(B)に示す半導体装置では、各メモリセル170を構成するトランジスタ162を直列に接続するため、任意の行のデータのみを書き換えることは困難である。そのため、駆動方法として、複数行の一括消去動作を設けることが好ましい。例えば、第1行から第m行までをブロックとして、ブロック毎の消去を行うことが好ましい。所定のブロックのデータを書き換える場合には、まず当該ブロックのデータを消去して、第m行から順番にデータを書き込むとよい。なお、直前に書き込んだ行のデータを書き換える場合には、消去動作は不要である。

【0124】

また、読み出し動作は次のように行われる。まず、選択線G1に電位を与えることにより、選択トランジスタをオンにする。なお、選択線G1に接続される選択トランジスタと、選択線G2に接続される選択トランジスタがある場合には、2つのトランジスタをオン状態とする。また、読み出しを行う行(例えば、第i行)以外の読み出しワード線RWLに、トランジスタ160のゲート電極に与えられた電荷によらず、読み出しを行う行以外のトランジスタ160がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ160をオン状態とする。それから、読み出しを行う行の読み出しワード線RWL(i)に、トランジスタ160(i)のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタ160(i)のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。また、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数のトランジスタ160(1)~160(m)のうち、読み出しを行う行のトランジスタ160(i)を除いてオン状態となっているため、ソース線SL-ビット線BL間のコンダクタンスの大小は、読み出しを行う行のトランジスタ160(i)の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ160(i)のゲート電極が有する電荷がどのデータに対応するかによって、トランジス

10

20

30

40

50

タの状態（オン状態またはオフ状態）は異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線BLの電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0125】

図5(C)に示す半導体装置は、ソース線SL、ビット線BLおよび信号線Sをそれぞれn本有し、書き込みワード線WWLおよび読み出しワード線RWLをそれぞれm数本有し、複数のメモリセル170(1,1)~170(m,n)を有する。

【0126】

各メモリセル（代表として、メモリセル170(i,j)を考える。ここで、iは1以上m以下の整数、jは1以上n以下の整数）は、トランジスタ160(i,j)のゲート電極と、トランジスタ162(i,j)のドレイン電極（またはソース電極）と、容量素子164(i,j)の電極の一方とは、電氣的に接続されている。また、ソース線SL(j)とトランジスタ160(i,j)のソース電極とは、電氣的に接続され、ビット線BL(j)とトランジスタ160(i,j)のドレイン電極とは、電氣的に接続されている。また、信号線S(j)とトランジスタ162(i,j)のソース電極（またはドレイン電極）とは、電氣的に接続され、書き込みワード線WWL(i)と、トランジスタ162(i,j)のゲート電極とは、電氣的に接続されている。そして、読み出しワード線RWL(i)と、容量素子164(i,j)の電極の他方は電氣的に接続されている。

【0127】

図5(C)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図5(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行（例えば、第i行のメモリセル(i,1)~(i,n)）以外の読み出しワード線RWLに、トランジスタ160(i,1)~(i,n)のゲート電極に与えられた電荷がどのデータに対応するかによらず、読み出しを行う行以外のトランジスタ160がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ160をオフ状態とする。それから、読み出しを行う行の読み出しワード線RWL(i)に、トランジスタ160(i,1)~(i,n)のゲート電極が有する電荷がどのデータに対応するかによってトランジスタ160(i,1)~(i,n)のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。また、ソース線SL(j)に定電位を与え、ビット線BL(j)に接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線SL(j)-ビット線BL(j)間のコンダクタンスの大小は、読み出しを行う行のトランジスタ160(i,1)~(i,n)の状態（オン状態またはオフ状態）によって決定される。つまり、読み出しを行う行のトランジスタ160(i,1)~(i,n)のゲート電極が有する電荷がどのデータに対応するかによって、ビット線BL(j)の電位は異なる値をとることになる。ビット線BL(j)の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0128】

なお、上記においては、各メモリセル170に保持させる情報量を1ビットとしたが、本実施の形態に示す半導体装置の構成はこれに限られない。書き込み時に各トランジスタ160のゲート電極に与える電位を3種類以上用意して、各メモリセル170が保持する情報量を増加させても良い。例えば、書き込み時に各トランジスタ160のゲート電極にあたる電位を4種類とする場合には、各メモリセルに2ビットの情報量を保持させることができる。

【0129】

図5において、信号線Sとビット線BLは、兼用してもよい。信号線Sとビット線BLを兼用することにより、配線数を低減することができる。また、図5(C)において、ソース線SLは共通化してもよい。

【0130】

図2(A)または図3(A)に示したメモリセルアレイ201の代わりとして、図5(

10

20

30

40

50

A) または図5(B)に示したNAND型の半導体装置を用いてもよい。その場合、図5(A)または図5(B)に示したNAND型の半導体装置をn列並べて用いてもよい。また、図2(A)または図3(A)に示したメモリセルアレイ201の代わりとして、図5(C)に示したNOR型の半導体装置を用いてもよい。

【0131】

開示する発明の半導体装置は、トランジスタ162のスイッチングによって動作し、トランジスタ162のオフ電流が極めて小さいことを利用してノードFGの電荷を長時間保持するものである。したがって、トランジスタ162のゲート電極に電氣的に接続する書き込みワード線WWLに制御信号とは異なる短パルスやノイズ等の信号が入力され、トランジスタ162が瞬間的にオンすることがあると、メモリセル170に書き込まれたデータが消失するおそれがある。

10

【0132】

開示する発明の半導体装置では、図2乃至図4で説明したように、書き込みワード線WWLに電氣的に接続する容量素子250またはノイズ除去回路260を設けることで、制御信号とは異なる短パルスやノイズ等の信号を低減または除去することができる。これにより、メモリセル170が有するトランジスタ162が瞬間的にオンすることでメモリセル170に書き込まれたデータが消失してしまう誤動作を防ぐことが可能である。

【0133】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

20

【0134】

(実施の形態4)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について図6乃至図14を参照して説明する。

【0135】

半導体装置の断面構成および平面構成

図6は、半導体装置が有するメモリセルの構成の一例である。図6(A)には、半導体装置が有するメモリセルの断面を、図6(B)には、半導体装置が有するメモリセルの平面を、それぞれ示す。ここで、図6(A)は、図6(B)のA1-A2およびB1-B2における断面に相当する。図6(A)および図6(B)に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有する。ここで、第1の半導体材料と第2の半導体材料とは異なる材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料とし、第2の半導体材料を酸化物半導体とすることができ、酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。図6に示す半導体装置は、メモリセルとして用いることができる。

30

40

【0136】

なお、開示する発明の技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0137】

図6におけるトランジスタ160は、半導体基板500上の半導体層中に設けられたチャネル形成領域134と、チャネル形成領域134を挟むように設けられた不純物領域132(ソース領域およびドレイン領域とも記す)と、チャネル形成領域134上に設けられたゲート絶縁層122aと、ゲート絶縁層122a上にチャネル形成領域134と重畳

50

するように設けられたゲート電極128aと、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれる。

【0138】

また、半導体基板500上の半導体層中に設けられた不純物領域126には、導電層128bが接続されている。ここで、導電層128bは、トランジスタ160のソース電極やドレイン電極としても機能する。また、不純物領域132と不純物領域126の間には、不純物領域130が設けられている。また、トランジスタ160を覆うように絶縁層136、絶縁層138、および絶縁層140が設けられている。なお、高集積化を実現するためには、図6に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極128aの側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域132を設けても良い。

10

【0139】

図6におけるトランジスタ162は、絶縁層140などの上に設けられた酸化物半導体層144と、酸化物半導体層144と電氣的に接続されているソース電極（またはドレイン電極）142a、およびドレイン電極（またはソース電極）142bと、酸化物半導体層144、ソース電極142aおよびドレイン電極142bを覆うゲート絶縁層146と、ゲート絶縁層146上に酸化物半導体層144と重畳するように設けられたゲート電極148aと、を有する。

20

【0140】

ここで、酸化物半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectroscopy）で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温（25）でのオフ電流（ここでは、単位チャネル幅（ $1 \mu\text{m}$ ）あたりの値）は 100 zA （ 1 zA （zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは 10 zA 以下となる。このように、i型化（真性化）または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ162を得ることができる。

30

【0141】

また、酸化物半導体層144は、アルカリ金属、及びアルカリ土類金属の濃度が十分に低減されたものであることが望ましい。SIMS分析法により測定されるアルカリ金属又はアルカリ土類金属の濃度は、例えば、Naの場合、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、Liの場合、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、Kの場合、 $5 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下とする。

40

【0142】

酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている（神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol.44、p.621-6

50

33)。しかし、このような指摘は適切でない。アルカリ金属、及びアルカリ土類金属は酸化物半導体にとっては悪性の不純物であり、少ないほうがよい。特にアルカリ金属のうち、Naは酸化物半導体に接する絶縁膜が酸化物であった場合、その中に拡散し、 Na^+ となる。また、酸化物半導体内において、金属と酸素の結合を分断し、あるいは結合中に割り込む。その結果、トランジスタ特性の劣化（例えば、ノーマリーオン化（しきい値の負へのシフト）、移動度の低下等）をもたらす。加えて、特性のばらつきの原因ともなる。このような問題は、特に酸化物半導体中の水素の濃度が十分に低い場合において顕著となる。したがって、酸化物半導体中の水素の濃度が $5 \times 10^{19} \text{ cm}^{-3}$ 以下、特に $5 \times 10^{18} \text{ cm}^{-3}$ 以下である場合には、アルカリ金属の濃度を上記の値にすることが強く求められる。

10

【0143】

また、酸化物半導体はフェルミ準位 (E_f) と真性フェルミ準位 (E_i) とが等しい ($E_f = E_i$)、又はフェルミ準位 (E_f) より真性フェルミ準位 (E_i) が大きい ($E_f < E_i$)、所謂 p^- 型であることが好ましい。例えば、酸化物半導体に、ドーパントとして錫を添加することによって p^- 型の酸化物半導体とすることができる。なお、酸化物半導体が i 型（真性）または実質的に i 型であると、不純物の添加によるフェルミ準位 (E_f) の制御がより容易となるため、好ましい。さらにゲート電極として仕事関数 (ϕ_m) が大きい材料を用いることが好ましい。上記構成とすると、トランジスタのノーマリーオフが可能となり、さらにトランジスタに逆バイアスを加えると効果的である。よって、85 においてはオフ電流値が 1 yA 以下、室温においてはオフ電流値が 0.1 yA 以下というオフ電流の低いトランジスタを得ることができるため、該トランジスタをメモリ素子に用いることによって、データの保持特性（メモリリテンション）が向上された半導体装置とすることができる。

20

【0144】

なお、図6のトランジスタ162では、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体層144を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層144の汚染を防止できる。

【0145】

図6における容量素子164は、ドレイン電極142b、ゲート絶縁層146、および導電層148b、とで構成される。すなわち、ドレイン電極142bは、容量素子164の一方の電極として機能し、導電層148bは、容量素子164の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。また、酸化物半導体層144とゲート絶縁層146とを積層させる場合には、ドレイン電極142bと、導電層148bとの絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子164を設けない構成とすることもできる。

30

【0146】

本実施の形態では、トランジスタ162および容量素子164が、トランジスタ160と少なくとも一部が重畳するように設けられている。このような平面レイアウトを採用することにより、高集積化を図ることができる。例えば、最小加工寸法をFとして、メモリセルの占める面積を $15F^2 \sim 25F^2$ とすることが可能である。

40

【0147】

トランジスタ162および容量素子164の上には、絶縁層150が設けられている。そして、ゲート絶縁層146および絶縁層150に形成された開口には、配線154が設けられている。配線154は、メモリセルの一と他のメモリセルとを接続する配線であり、図1乃至図3の回路図におけるビット線BLおよび信号線Sを兼用した配線に相当する。配線154は、ソース電極142aと、導電層128bとを介して、不純物領域126に接続されている。これにより、トランジスタ160におけるソース領域またはドレイン領域と、トランジスタ162におけるソース電極142aと、をそれぞれ異なる配線に接続する場合と比較して、配線の数を削減することができるため、半導体装置の集積度を向

50

上させることができる。

【0148】

また、導電層128bを設けることにより、不純物領域126とソース電極142aの接続する位置と、ソース電極142aと配線154との接続する位置を、重畳して設けることができる。このような平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

【0149】

また、半導体装置が図2に示す構成である場合において、書き込みワード線WWLに電氣的に接続する容量素子250の断面の一例を図7に示す。

10

【0150】

図7に示す容量素子250は、半導体層中に設けられた不純物領域126、ゲート絶縁層122aと同層に設けられた絶縁層122、ゲート電極128aと同層に設けられた導電層128c、ソース電極142aおよびドレイン電極142bと同層に設けられた導電層142c、およびゲート電極148aと同層に設けられた導電層148cで構成される。導電層128c、導電層142cおよび導電層148cは電氣的に接続され、容量素子250の電極の一方として機能し、不純物領域126は、容量素子250の電極の他方として機能し、絶縁層122は容量素子250の誘電体として機能する。このような構成とすることにより、十分な容量を確保することができる。なお、容量素子250は上記構成に限定されない。図6に示す半導体装置を構成する半導体層、絶縁層および導電層のいずれかを用いて、容量素子250を形成すればよい。例えば、容量素子250として、図6に示す容量素子164と同様の構成を採用してもよい。

20

【0151】

SOI基板の作製方法

次に、上記半導体装置の作製に用いられるSOI基板の作製方法の一例について、図8を参照して説明する。

【0152】

まず、ベース基板として半導体基板500を準備する(図8(A)参照)。半導体基板500としては、単結晶シリコン基板、単結晶ゲルマニウム基板などの半導体基板を用いることができる。また、半導体基板として、太陽電池級シリコン(SOG-Si:Solar Grade Silicon)基板などを用いても良い。また、多結晶半導体基板を用いても良い。太陽電池級シリコンや、多結晶半導体基板などを用いる場合には、単結晶シリコン基板などを用いる場合と比較して、製造コストを抑制することができる。

30

【0153】

なお、半導体基板500に代えて、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板などを用いても良い。また、窒化シリコンと酸化アルミニウムを主成分とした熱膨張係数がシリコンに近いセラミック基板を用いてもよい。

【0154】

半導体基板500は、その表面をあらかじめ洗浄しておくことが好ましい。具体的には、半導体基板500に対して、塩酸過酸化水素水混合溶液(HPM)、硫酸過酸化水素水混合溶液(SPM)、アンモニア過酸化水素水混合溶液(APM)、希フッ酸(DHF)等を用いて洗浄を行うのが好ましい。

40

【0155】

次に、ボンド基板を準備する。ここでは、ボンド基板として単結晶半導体基板510を用いる(図8(B)参照)。なお、ここでは、ボンド基板として単結晶のものを用いるが、ボンド基板の結晶性を単結晶に限る必要はない。

【0156】

単結晶半導体基板510としては、例えば、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板など、第14族元素でなる単結晶半導体基板を用

50

いることができる。また、ガリウムヒ素やインジウムリン等の化合物半導体基板を用いることもできる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)、直径16インチ(400mm)サイズの円形のものが代表的である。なお、単結晶半導体基板510の形状は円形に限らず、例えば、矩形等に加工したものであっても良い。また、単結晶半導体基板510は、CZ(チョクラルスキー)法やFZ(フローティングゾーン)法を用いて作製することができる。

【0157】

単結晶半導体基板510の表面には酸化膜512を形成する(図8(C)参照)。なお、汚染物除去の観点から、酸化膜512の形成前に、塩酸過酸化水素水混合溶液(HPM)10、硫酸過酸化水素水混合溶液(SPM)、アンモニア過酸化水素水混合溶液(APM)、希フッ酸(DHF)、FPM(フッ酸、過酸化水素水、純水の混合液)等を用いて単結晶半導体基板510の表面を洗浄しておくことが好ましい。希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

【0158】

酸化膜512は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成することができる。上記酸化膜512の作製方法としては、熱酸化法、CVD法、スパッタリング法などがある。また、CVD法を用いて酸化膜512を形成する場合、良好な貼り合わせを実現するためには、テトラエトキシシラン(略称;TEOS:化学式Si(OC₂H₅)₄)等の有機シランを用いて酸化シリコン膜を形成することが好ましい。20

【0159】

本実施の形態では、単結晶半導体基板510に熱酸化処理を行うことにより酸化膜512(ここでは、SiO_x膜)を形成する。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

【0160】

例えば、塩素(Cl)が添加された酸化性雰囲気中で単結晶半導体基板510に熱酸化処理を行うことにより、塩素酸化された酸化膜512を形成することができる。この場合、酸化膜512は、塩素原子を含有する膜となる。このような塩素酸化により、外因性の不純物である重金属(例えば、Fe、Cr、Ni、Mo等)を捕集して金属の塩化物を形成し、これが気化することによって単結晶半導体基板510の汚染を低減させることができる。30

【0161】

なお、酸化膜512に含有させるハロゲン原子は塩素原子に限られない。酸化膜512にはフッ素原子を含有させてもよい。単結晶半導体基板510表面をフッ素酸化する方法としては、HF溶液に浸漬させた後に酸化性雰囲気中で熱酸化処理を行う方法や、NF₃を酸化性雰囲気に添加して熱酸化処理を行う方法などがある。

【0162】

次に、イオンを電界で加速して単結晶半導体基板510に照射し、添加することで、単結晶半導体基板510の所定の深さに結晶構造が損傷した脆化領域514を形成する(図8(D)参照)。40

【0163】

脆化領域514が形成される領域の深さは、イオンの運動エネルギー、イオンの質量と電荷、イオンの入射角などによって調節することができる。また、脆化領域514は、イオンの平均侵入深さとほぼ同じ深さの領域に形成される。このため、イオンを添加する深さで、単結晶半導体基板510から分離される単結晶半導体層の厚さを調節することができる。例えば、単結晶半導体層の厚さが、10nm以上500nm以下、好ましくは50nm以上200nm以下程度となるように平均侵入深さを調節すれば良い。

【0164】

当該イオンの照射処理は、イオンドーピング装置やイオン注入装置を用いて行うことが50

できる。イオンドーピング装置の代表例としては、プロセスガスをプラズマ励起して生成された全てのイオン種を被処理体に照射する非質量分離型の装置がある。当該装置では、プラズマ中のイオン種を質量分離しないで被処理体に照射することになる。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置では、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する。

【0165】

本実施の形態では、イオンドーピング装置を用いて、水素を単結晶半導体基板510に添加する例について説明する。ソースガスとしては水素を含むガスを用いる。照射するイオンについては、 H_3^+ の比率を高くすると良い。具体的には、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ の割合が50%以上(より好ましくは80%以上)となるようにする。10
 H_3^+ の割合を高めることで、イオン照射の効率を向上させることができる。

【0166】

なお、添加するイオンは水素に限定されない。ヘリウムなどのイオンを添加しても良い。また、添加するイオンは一種類に限定されず、複数種類のイオンを添加しても良い。例えば、イオンドーピング装置を用いて水素とヘリウムとを同時に照射する場合には、異なる工程で照射する場合と比較して工程数を低減することができると共に、後の単結晶半導体層の表面荒れを抑えることが可能である。

【0167】

なお、イオンドーピング装置を用いて脆化領域514を形成する場合には、重金属も同時に添加されるおそれがあるが、ハロゲン原子を含有する酸化膜512を介してイオンの照射を行うことによって、これら重金属による単結晶半導体基板510の汚染を防ぐことができる。20

【0168】

次に、半導体基板500と、単結晶半導体基板510とを対向させ、酸化膜512を介して密着させる。これにより、半導体基板500と、単結晶半導体基板510とが貼り合わされる(図8(E)参照)。なお、単結晶半導体基板510と貼り合わせる半導体基板500の表面に酸化膜または窒化膜を成膜してもよい。

【0169】

貼り合わせの際には、半導体基板500または単結晶半導体基板510の一箇所に、 $0.001N/cm^2$ 以上 $100N/cm^2$ 以下、例えば、 $1N/cm^2$ 以上 $20N/cm^2$ 以下の圧力を加えることが望ましい。圧力を加えて、貼り合わせ面を接近、密着させると、密着させた部分において半導体基板500と酸化膜512の接合が生じ、当該部分を始点として自発的な接合がほぼ全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。30

【0170】

なお、単結晶半導体基板510と半導体基板500とを貼り合わせる前には、貼り合わせに係る表面につき、表面処理を行うことが好ましい。表面処理を行うことで、単結晶半導体基板510と半導体基板500との界面での接合強度を向上させることができる。

【0171】

表面処理としては、ウェット処理、ドライ処理、またはウェット処理とドライ処理の組み合わせ、を用いることができる。また、異なるウェット処理どうしを組み合わせても良いし、異なるドライ処理どうしを組み合わせても良い。40

【0172】

なお、貼り合わせの後には、接合強度を増加させるための熱処理を行ってもよい。この熱処理の温度は、脆化領域514における分離が生じない温度(例えば、室温以上400未満)とする。また、この温度範囲で加熱しながら、半導体基板500と酸化膜512とを接合させてもよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、RTA(瞬間熱アニール、Rapid Thermal Anneal)装置、マイクロ波加熱装置などを用いることができる。なお、上記温度条件はあくまで一例に過ぎず、開示する発明の一態様がこれに限定して解釈されるものではない。50

【0173】

次に、熱処理を行うことにより、単結晶半導体基板510を脆化領域において分離して、半導体基板500上に、酸化膜512を介して単結晶半導体層516を形成する(図8(F)参照)。

【0174】

なお、上記分離の際の熱処理温度は、できる限り低いものであることが望ましい。分離の際の温度が低いほど、単結晶半導体層516の表面荒れを抑制できるためである。具体的には、例えば、上記分離の際の熱処理温度は、300以上600以下とすればよく、500以下(400以上)とすると、より効果的である。

【0175】

なお、単結晶半導体基板510を分離した後は、単結晶半導体層516に対して、500以上の温度で熱処理を行い、単結晶半導体層516中に残存する水素の濃度を低減させてもよい。

【0176】

次に、単結晶半導体層516の表面にレーザー光を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層518を形成する(図8(G)参照)。なお、レーザー光の照射処理に代えて、熱処理を行ってもよい。

【0177】

なお、本実施の形態においては、単結晶半導体層516の分離に係る熱処理の直後に、レーザー光の照射処理を行っているが、本発明の一態様はこれに限定して解釈されない。単結晶半導体層516の分離に係る熱処理の後にエッチング処理を施して、単結晶半導体層516表面の欠陥が多い領域を除去してから、レーザー光の照射処理を行ってもよい。なお、上記エッチング処理としては、ウェットエッチング、ドライエッチングのいずれを用いてもよい。また、本実施の形態においては、上述のようにレーザー光を照射した後、単結晶半導体層516の膜厚を小さくする薄膜化工程を行ってもよい。単結晶半導体層516の薄膜化には、ドライエッチングまたはウェットエッチングの一方、または双方を用いればよい。

【0178】

以上の工程により、良好な特性の単結晶半導体層518を有するSOI基板を得ることができる(図8(G)参照)。

【0179】

半導体装置の作製方法

次に、上記のSOI基板を用いた半導体装置の作製方法について、図9乃至図12を参照して説明する。

【0180】

下部のトランジスタの作製方法

はじめに下部のトランジスタ160の作製方法について、図9および図10を参照して説明する。なお、図9および図10は、図8に示す方法で作成したSOI基板の一部であって、図6(A)に示す下部のトランジスタに相当する断面工程図である。

【0181】

まず、単結晶半導体層518を島状に加工して、半導体層120を形成する(図9(A)参照)。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素や、p型の導電性を付与する不純物元素を半導体層に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物元素としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0182】

次に、半導体層120を覆うように絶縁層122を形成する(図9(B)参照)。絶縁層122は、後にゲート絶縁層となるものである。絶縁層122は、例えば、半導体層1

10

20

30

40

50

20表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法を用いて絶縁層122は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_y$ （ $x > 0$ 、 $y > 0$ ））等を含む単層構造または積層構造とすることが望ましい。また、絶縁層122の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。ここでは、プラズマCVD法を用いて、酸化シリコンを含む絶縁層を単層で形成することとする。

10

【0183】

次に、絶縁層122上にマスク124を形成し、一導電性を付与する不純物元素を半導体層120に添加して、不純物領域126を形成する（図9（C）参照）。なお、ここでは、不純物元素を添加した後、マスク124は除去する。

【0184】

次に、絶縁層122上にマスクを形成し、絶縁層122が不純物領域126と重畳する領域の一部を除去することにより、ゲート絶縁層122aを形成する（図9（D）参照）。絶縁層122の除去方法として、ウェットエッチングまたはドライエッチングなどのエッチング処理を用いることができる。

20

【0185】

次に、ゲート絶縁層122a上にゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極128aおよび導電層128bを形成する（図9（E）参照）。

【0186】

ゲート電極128aおよび導電層128bに用いる導電層としては、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。また、導電層の加工は、レジストマスクを用いたエッチングによって行うことができる。

30

【0187】

次に、ゲート電極128aおよび導電層128bをマスクとして、一導電性を付与する不純物元素を半導体層に添加して、チャンネル形成領域134、不純物領域132、および不純物領域130を形成する（図10（A）参照）。ここでは、p型トランジスタを形成するために、ボロン（B）などの不純物元素を添加する。または、n型トランジスタを形成する場合には、リン（P）やヒ素（As）などの不純物元素を添加する。ここで、添加される不純物元素の濃度は適宜設定することができる。また、不純物元素を添加した後には、活性化のための熱処理を行う。ここで、不純物領域の濃度は、不純物領域126、不純物領域132、不純物領域130の順に高くなる。

40

【0188】

次に、ゲート絶縁層122a、ゲート電極128a、導電層128bを覆うように、絶縁層136、絶縁層138および絶縁層140を形成する（図10（B）参照）。

【0189】

絶縁層136、絶縁層138、絶縁層140は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層136、絶縁層138、絶縁層140に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層136、絶縁層138、絶縁層1

50

40には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層136や絶縁層138、絶縁層140は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。本実施の形態では、絶縁層136として酸化窒化シリコン、絶縁層138として窒化酸化シリコン、絶縁層140として酸化シリコンを用いる場合について説明する。なお、ここでは、絶縁層136、絶縁層138および絶縁層140の積層構造としているが、開示する発明の一態様はこれに限定されない。1層または2層としても良いし、4層以上の積層構造としても良い。

【0190】

次に、絶縁層138および絶縁層140にCMP（化学的機械研磨）処理やエッチング処理を行うことにより、絶縁層138および絶縁層140を平坦化する（図10（C）参照）。ここでは、絶縁層138が一部露出されるまで、CMP処理を行う。絶縁層138に窒化酸化シリコンを用い、絶縁層140に酸化シリコンを用いた場合、絶縁層138はエッチングストップパとして機能する。

【0191】

次に、絶縁層138および絶縁層140にCMP処理やエッチング処理を行うことにより、ゲート電極128aおよび導電層128bの上面を露出させる（図10（D）参照）。ここでは、ゲート電極128aおよび導電層128bが一部露出されるまで、エッチング処理を行う。当該エッチング処理は、ドライエッチングを用いることが好適であるが、ウェットエッチングを用いてもよい。ゲート電極128aおよび導電層128bの一部を露出させる工程において、後に形成されるトランジスタ162の特性を向上させるために、絶縁層136、絶縁層138、絶縁層140の表面は可能な限り平坦にしておくことが好ましい。

【0192】

以上の工程により、下部のトランジスタ160を形成することができる（図10（D）参照）。

【0193】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでも良い。例えば、配線の構造として、絶縁層および導電層の積層構造となる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0194】

上部のトランジスタの作製方法

次に、上部のトランジスタ162の作製方法について、図11および図12を参照して説明する。

【0195】

まず、ゲート電極128a、導電層128b、絶縁層136、絶縁層138、絶縁層140などの上に酸化物半導体層を形成し、当該酸化物半導体層を加工して、酸化物半導体層144を形成する（図11（A）参照）。なお、酸化物半導体層を形成する前に、絶縁層136、絶縁層138、絶縁層140の上に、下地として機能する絶縁層を設けても良い。当該絶縁層は、スパッタリング法をはじめとするPVD法やプラズマCVD法などのCVD法などを用いて形成することができる。

【0196】

酸化物半導体層に用いる材料としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Sn-Zn-O系の材料、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料、In-Hf-Zn-O系の材料、In-La-Zn-O系の材料、In-Ce-Zn-O系の材料、In-Pr-Zn-O系の材料、In-Nd-Zn-O系の材料、In-Sm-Zn-O系の材料、

10

20

30

40

50

In - Eu - Zn - O系の材料、In - Gd - Zn - O系の材料、In - Tb - Zn - O系の材料、In - Dy - Zn - O系の材料、In - Ho - Zn - O系の材料、In - Er - Zn - O系の材料、In - Tm - Zn - O系の材料、In - Yb - Zn - O系の材料、In - Lu - Zn - O系の材料や、二元系金属酸化物であるIn - Zn - O系の材料、Sn - Zn - O系の材料、Al - Zn - O系の材料、Zn - Mg - O系の材料、Sn - Mg - O系の材料、In - Mg - O系の材料、In - Ga - O系の材料や、In - O系の材料、Sn - O系の材料、Zn - O系の材料などを用いることができる。また、上記の材料にSiO₂を含ませてもよい。ここで、例えば、In - Ga - Zn - O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

10

【0197】

また、酸化物半導体層は、化学式InMO₃(ZnO)_m(m>0)で表記される材料を用いた薄膜とすることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとして、Ga、GaおよびAl、GaおよびMn、またはGaおよびCoなどを用いることができる。

【0198】

また、酸化物半導体層の厚さは、3nm以上30nm以下とするのが望ましい。酸化物半導体層を厚くしすぎると(例えば、膜厚を50nm以上)、トランジスタがノーマリーオンになってしまう恐れがあるためである。

【0199】

20

酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。例えば、スパッタリング法などを用いて作製することができる。

【0200】

本実施の形態では、酸化物半導体層を、In - Ga - Zn - O系の酸化物ターゲットを用いたスパッタリング法により形成する。

【0201】

In - Ga - Zn - O系の酸化物ターゲットとしては、例えば、組成比として、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol数比]の酸化物ターゲットを用いることができる。なお、ターゲットの材料および組成を上述に限定する必要はない。例えば、In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比]の組成比の酸化物ターゲット

30

【0202】

酸化物ターゲットの充填率は、90%以上100%以下、好ましくは95%以上99.9%以下とする。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができるためである。

【0203】

成膜の雰囲気は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

40

【0204】

例えば、酸化物半導体層は、次のように形成することができる。

【0205】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200を超えて500以下、好ましくは300を超えて500以下、より好ましくは350以上450以下となるように加熱する。

【0206】

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ

50

、イオンポンプ、チタンサブレーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

【0207】

成膜中の基板温度が低温（例えば、100 以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。

10

【0208】

成膜条件の一例として、基板とターゲットの間との距離を60mm、圧力を0.4Pa、直流（DC）電源を0.5kW、基板温度を400、成膜雰囲気酸素（酸素流量比率100%）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。

20

【0209】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【0210】

酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせてもよい。

30

【0211】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行ってもよい。熱処理を行うことによって、酸化物半導体層144中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体層144の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。熱処理の温度は、不活性ガス雰囲気下、250 以上700 以下、好ましくは450 以上600 以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

40

【0212】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

【0213】

熱処理を行うことによって不純物を低減し、i型（真性半導体）またはi型に限りなく

50

近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0214】

ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0215】

次に、酸化物半導体層144などの上に、ソース電極およびドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ソース電極142a、ドレイン電極142bを形成する（図11（B）参照）。

10

【0216】

導電層は、PVD法や、CVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせさせた材料を用いてもよい。

【0217】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極142aおよびドレイン電極142bへの加工が容易であるというメリットがある。

20

【0218】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ In_2O_3 SnO_2 、ITOと略記する場合がある）、酸化インジウム酸化亜鉛合金（ In_2O_3 ZnO ）、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

30

【0219】

導電層のエッチングは、形成されるソース電極142aおよびドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下であることが好ましい。ソース電極142a、ドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。

【0220】

上部のトランジスタのチャンネル長（L）は、ソース電極142a、およびドレイン電極142bの下端部の間隔によって決定される。なお、チャンネル長（L）が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線（Extreme Ultraviolet）を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長（L）を、10nm以上1000nm（1 μm ）以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

40

【0221】

また、図11（B）とは別の一例として、酸化物半導体層144とソース電極およびドレイン電極との間に、ソース領域およびドレイン領域として酸化物導電層を設けることが

50

できる。

【0222】

例えば、酸化物半導体層144上に酸化物導電膜を形成し、その上に導電層を形成し、酸化物導電膜および導電層を同じフォトリソグラフィ工程によって加工して、ソース領域およびドレイン領域となる酸化物導電層、ソース電極142a、ドレイン電極142bを形成することができる。

【0223】

また、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層を同じフォトリソグラフィ工程によって形状を加工して島状の酸化物半導体層144と酸化物導電膜を形成する。ソース電極142a、ドレイン電極142bを形成した後、ソース電極142a、ドレイン電極142bをマスクとして、さらに島状の酸化物導電膜をエッチングし、ソース領域およびドレイン領域となる酸化物導電層を形成することもできる。

10

【0224】

なお、酸化物導電層の形状を加工するためのエッチング処理の際、酸化物半導体層が過剰にエッチングされないように、エッチング条件（エッチング剤の種類、濃度、エッチング時間等）を適宜調整する。

【0225】

酸化物導電層の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電層として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

20

【0226】

酸化物導電層を酸化物半導体層とソース電極及びドレイン電極との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタの高速動作をすることができる。

【0227】

酸化物半導体層144、酸化物導電層、金属材料からなるドレイン電極の構成とすることによって、よりトランジスタの耐圧を向上させることができる。

【0228】

ソース領域及びドレイン領域として酸化物導電層を用いることは、周辺回路（駆動回路）の周波数特性を向上させるために有効である。金属電極（モリブデン、タングステン等）と酸化物半導体層との接触に比べ、金属電極（モリブデン、タングステン等）と酸化物導電層との接触は、接触抵抗を下げるからである。酸化物半導体層とソース電極及びドレイン電極との間に酸化物導電層を介在させることで接触抵抗を低減でき、周辺回路（駆動回路）の周波数特性を向上させることができる。

30

【0229】

次に、ソース電極142a、ドレイン電極142bを覆い、かつ、酸化物半導体層144の一部と接するように、ゲート絶縁層146を形成する（図11（C）参照）。

【0230】

ゲート絶縁層146は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_y$ （ $x > 0$ 、 $y > 0$ ））、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、上記の材料を組み合わせる積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とす

40

50

ることができる。

【0231】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート (HfSi_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート (HfSi_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムアルミネート (HfAl_xO_y ($x > 0$ 、 $y > 0$))、などの高誘電率 (*high-k*) 材料を用いると良い。*high-k* 材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、*high-k* 材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

10

【0232】

また、酸化物半導体層144に接する絶縁層(本実施の形態においては、ゲート絶縁層146)は、第13族元素および酸素を含む絶縁材料としてもよい。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0233】

ここで、第13族元素を含む絶縁材料とは、絶縁材料に一または複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

20

【0234】

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁層を形成する場合に、ゲート絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁層の界面特性を良好に保つことができる。また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

30

【0235】

また、酸化物半導体層144に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドーブなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーブとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーブには、プラズマ化した酸素をバルクに添加する酸素プラズマドーブが含まれる。また、酸素ドーブは、イオン注入法またはイオンドーピング法を用いてもよい。

40

【0236】

例えば、酸化物半導体層144に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーブを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 +$ 、 $0 < < 1$) とすることができる。また、酸化物半導体層144に接する絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーブを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 +$ 、 $0 < < 1$) とすることができる。または、酸化物半導体層144に接する絶縁層として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下による熱処理や

50

、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_xAl_{2-x}O_3$ （ $0 < x < 2$ 、 $0 < x < 1$ ）とすることができる。

【0237】

酸素ドーピング処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減し、酸化物半導体層をI型化またはI型に限りなく近い酸化物半導体とすることができる。

【0238】

なお、化学量論的組成比より酸素が多い領域を有する絶縁層は、ゲート絶縁層146に代えて、酸化物半導体層144の下地膜として形成する絶縁層に適用しても良く、ゲート絶縁層146および下地絶縁層の双方に適用しても良い。

10

【0239】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を形成することもできる。

20

【0240】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

【0241】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層144を、その水素原子を含む物質が極力含まれないように高純度化することができる。

30

【0242】

次に、ゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極148aおよび導電層148bを形成する（図11（D）参照）。

【0243】

ゲート電極148aおよび導電層148bは、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極148aおよび導電層148bは、単層構造としても良いし、積層構造としても良い。

【0244】

次に、ゲート絶縁層146、ゲート電極148a、および導電層148b上に、絶縁層150を形成する（図12（A）参照）。絶縁層150は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層150には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層150の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁層150の単層構造としているが、開示する発明の一態様はこれに限定されず、2層以上の積層構造としても良い。

40

【0245】

50

次に、ゲート絶縁層 146、絶縁層 150 に、ソース電極 142 a にまで達する開口を形成する。その後、絶縁層 150 上にソース電極 142 a と接する配線 154 を形成する（図 12 (B) 参照）。なお、当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

【0246】

配線 154 は、PVD 法や、CVD 法を用いて導電層を形成した後、当該導電層をパターンニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジウム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

10

【0247】

より具体的には、例えば、絶縁層 150 の開口を含む領域に PVD 法によりチタン膜を薄く（5 nm 程度）形成した後に、開口に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここではソース電極 142 a）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0248】

絶縁層 150 に形成する開口は、導電層 128 b と重畳する領域に形成することが望ましい。このような領域に開口を形成することで、コンタクト領域に起因する素子面積の増大を抑制することができる。

20

【0249】

ここで、導電層 128 b を用いずに、不純物領域 126 とソース電極 142 a との接続と、ソース電極 142 a と配線 154 との接続とを重畳させる場合について説明する。この場合、不純物領域 126 上に形成された絶縁層 136、絶縁層 138 および絶縁層 140 に開口（下部のコンタクトと呼ぶ）を形成し、下部のコンタクトにソース電極 142 a を形成した後、ゲート絶縁層 146 および絶縁層 150 において、下部のコンタクトと重畳する領域に開口（上部のコンタクトと呼ぶ）を形成し、配線 154 を形成することになる。下部のコンタクトと重畳する領域に上部のコンタクトを形成する際に、エッチングにより下部のコンタクトに形成されたソース電極 142 a が断線してしまうおそれがある。これを避けるために、下部のコンタクトと上部のコンタクトが重畳しないように形成することにより、素子面積が増大するという問題がおこる。

30

【0250】

本実施の形態に示すように、導電層 128 b を用いることにより、ソース電極 142 a を断線させることなく、上部のコンタクトの形成が可能となる。これにより、下部のコンタクトと上部のコンタクトを重畳させて設けることができるため、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

40

【0251】

次に、配線 154 を覆うように絶縁層 156 を形成する（図 12 (C) 参照）。

【0252】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 162、および容量素子 164 が完成する（図 12 (C) 参照）。

【0253】

なお、図 7 に示す容量素子 250 が有する不純物領域 126、絶縁層 122、導電層 128 c、導電層 142 c および導電層 148 c は、トランジスタ 160、トランジスタ 162、および容量素子 164 の不純物領域 126、ゲート絶縁層 122 a、ゲート電極 128 a、ソース電極 142 a およびドレイン電極 142 b、およびゲート電極 148 a と

50

同時に形成される。

【0254】

次に、図6に示すトランジスタ162として適用することができる、トランジスタの例を示す。

【0255】

図6に示すトランジスタ162の酸化物半導体層144とソース電極142a、ドレイン電極142bとの間に、ソース領域及びドレイン領域として機能する酸化物導電層をバッファ層として設けてもよい。図6に示すトランジスタ162に酸化物導電層を設けたトランジスタ441、442を図13(A)(B)に示す。

【0256】

図13(A)(B)のトランジスタ441、442は、酸化物半導体層144とソース電極142a、ドレイン電極142bとの間に、ソース領域及びドレイン領域として機能する酸化物導電層404a、404bが形成されている。図13(A)(B)のトランジスタ441、442は作製工程により酸化物導電層404a、404bの形状が異なる例である。

【0257】

図13(A)のトランジスタ441では、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層を同じフォトリソグラフィ工程によって形状を加工して島状の酸化物半導体層144と酸化物導電膜を形成する。酸化物半導体層及び酸化物導電膜上にソース電極142a、ドレイン電極142bを形成した後、ソース電極142a、ドレイン電極142bをマスクとして、島状の酸化物導電膜をエッチングし、ソース領域およびドレイン領域となる酸化物導電層404a、404bを形成する。

【0258】

図13(B)のトランジスタ442では、酸化物半導体層144上に酸化物導電膜を形成し、その上に金属導電膜を形成し、酸化物導電膜および金属導電膜を同じフォトリソグラフィ工程によって加工して、ソース領域およびドレイン領域となる酸化物導電層404a、404b、ソース電極142a、ドレイン電極142bを形成する。

【0259】

なお、酸化物導電層の形状を加工するためのエッチング処理の際、酸化物半導体層が過剰にエッチングされないように、エッチング条件(エッチング剤の種類、濃度、エッチング時間等)を適宜調整する。

【0260】

酸化物導電層404a、404bの成膜方法は、スパッタリング法や真空蒸着法(電子ビーム蒸着法など)や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層の材料としては、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウム、酸化珪素を含むインジウム錫酸化物などを適用することができる。また、上記材料に酸化珪素を含ませてもよい。

【0261】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層144とソース電極142a、ドレイン電極142bとの間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタ441、442が高速動作をすることができる。

【0262】

また、酸化物半導体層144、酸化物導電層404a、404b、ソース電極142a、ドレイン電極142bの構成とすることによって、トランジスタ441、442の耐圧を向上させることができる。

【0263】

次に、図6に示すトランジスタ162の構造として、トップゲート構造を示したが、本発明の一態様は、これに限定されず、ボトムゲート構造とすることができる。図14にボトムゲート構造の例について示す。

10

20

30

40

50

【0264】

図14(A)に示すトランジスタ410は、ゲート電極401上に、ゲート絶縁層402が設けられ、ゲート絶縁層402上に酸化半導体層403が設けられ、酸化半導体層403と接続されるソース電極405a、ドレイン電極405bが設けられている。なお、ゲート電極401と、酸化半導体層403と、ゲート絶縁層402と、ソース電極405aと、ドレイン電極405bは、図6に示すゲート電極148aと、酸化半導体層144と、ゲート絶縁層146と、ソース電極142aと、ドレイン電極142bに相当する。なお、絶縁層400は、絶縁層136、絶縁層138、絶縁層140などに相当する。

【0265】

図14(B)に示すトランジスタ420は、ゲート電極401と、ゲート絶縁層402と、酸化半導体層403と、ソース電極405aと、ドレイン電極405bとが設けられている点において図14(A)と同様である。図14(A)と異なる点は、酸化半導体層403に接して絶縁層427が設けられている点にある。

【0266】

図14(C)に示すトランジスタ430は、ゲート電極401と、ゲート絶縁層402と、酸化半導体層403と、ソース電極405aと、ドレイン電極405bとが設けられている点において図14(A)と同様である。図14(A)と異なる点は、酸化半導体層403に接するソース電極405aとドレイン電極405bの位置である。つまり、図14(A)に示すトランジスタ410は、酸化半導体層403の上でソース電極405aとドレイン電極405bが接するのに対し、図14(C)に示すトランジスタ430は、酸化半導体層403の下でソース電極405aとドレイン電極405bが接している。

【0267】

本実施の形態において示すトランジスタ162では、酸化半導体層144が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化半導体層144のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度($1 \times 10^{14} / \text{cm}^3$ 程度)と比較して、十分に小さい値(例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満)をとる。そして、トランジスタ162のオフ電流も十分に小さくなる。例えば、トランジスタ162の室温(25℃)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は100zA(1zA(zeptoアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは10zA以下となる。

【0268】

このように高純度化され、真性化された酸化半導体層144を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0269】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0270】

(実施の形態5)

上記実施の形態において、トランジスタの半導体層に用いることのできる酸化半導体層の一形態を、図15を用いて説明する。

【0271】

本実施の形態の酸化半導体層は、第1の結晶性酸化半導体層上に第1の結晶性酸化半導体層よりも厚い第2の結晶性酸化半導体層を有する積層構造である。

【0272】

10

20

30

40

50

絶縁層400上に絶縁層437を形成する。本実施の形態では、絶縁層437として、PCVD法またはスパッタリング法を用いて、50nm以上600nm以下の膜厚の酸化物絶縁層を形成する。例えば、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層を用いることができる。なお、絶縁層400は、絶縁層136、絶縁層138、絶縁層140などに相当する。

【0273】

次に、絶縁層437上に膜厚1nm以上10nm以下の第1の酸化物半導体膜を形成する。第1の酸化物半導体膜の形成は、スパッタリング法を用い、そのスパッタリング法による成膜時における基板温度は200以上400以下とする。

10

【0274】

本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度250、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚5nmの第1の酸化物半導体膜を成膜する。

【0275】

次いで、基板を配置するチャンバークロウを窒素、または乾燥空気とし、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下とする。第1の加熱処理によって第1の結晶性酸化物半導体層450aを形成する(図15(A)参照)。

20

【0276】

第1の加熱処理の温度にもよるが、第1の加熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、C軸配向した結晶が得られる。第1の加熱処理によって、亜鉛と酸素が膜表面に多く集まり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に1層または複数層形成され、これが膜厚方向に成長して重なり積層となる。加熱処理の温度を上げると表面から内部、そして内部から底部と結晶成長が進行する。

【0277】

第1の加熱処理によって、酸化物絶縁層である絶縁層437中の酸素を第1の結晶性酸化物半導体層450aとの界面またはその近傍(界面からプラスマイナス5nm)に拡散させて、第1の結晶性酸化物半導体層の酸素欠損を低減する。従って、下地絶縁層として用いられる絶縁層437は、膜中(バルク中)、第1の結晶性酸化物半導体層450aと絶縁層437の界面、のいずれかには少なくとも化学量論比を超える量の酸素が存在することが好ましい。

30

【0278】

次いで、第1の結晶性酸化物半導体層450a上に10nmよりも厚い第2の酸化物半導体膜を形成する。第2の酸化物半導体膜の形成は、スパッタリング法を用い、その成膜時における基板温度は200以上400以下とする。成膜時における基板温度を200以上400以下とすることにより、第1の結晶性酸化物半導体層の表面上に接して成膜する酸化物半導体層にプリカーサの整列が起き、所謂、秩序性を持たせることができる。

40

【0279】

本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度400、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚25nmの第2の酸化物半導体膜を成膜する。

【0280】

次いで、基板を配置するチャンバークロウを窒素、または乾燥空気とし、第2の加熱処理を行う。第2の加熱処理の温度は、400以上750以下とする。第2の加熱処理

50

によって第2の結晶性酸化物半導体層450bを形成する(図15(B)参照)。第2の加熱処理は、窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気下で行うことにより、第2の結晶性酸化物半導体層の高密度化及び欠陥数の減少を図る。第2の加熱処理によって、第1の結晶性酸化物半導体層450aを核として膜厚方向、即ち底部から内部に結晶成長が進行して第2の結晶性酸化物半導体層450bが形成される。

【0281】

また、絶縁層437の形成から第2の加熱処理までの工程を大気に触れることなく連続的に行うことが好ましい。絶縁層437の形成から第2の加熱処理までの工程は、水素及び水分をほとんど含まない雰囲気(不活性雰囲気、減圧雰囲気、乾燥空気雰囲気など)下に制御することが好ましく、例えば、水分については露点-40以下、好ましくは露点-50以下の乾燥窒素雰囲気とする。

10

【0282】

次いで、第1の結晶性酸化物半導体層450aと第2の結晶性酸化物半導体層450bからなる酸化物半導体積層を加工して島状の酸化物半導体積層からなる酸化物半導体層453を形成する(図15(C)参照)。図では、第1の結晶性酸化物半導体層450aと第2の結晶性酸化物半導体層450bの界面を点線で示し、酸化物半導体積層と説明しているが、明確な界面が存在しているのではなく、あくまで分かりやすく説明するために図示している。

【0283】

酸化物半導体積層の加工は、所望の形状のマスクを酸化物半導体積層上に形成した後、当該酸化物半導体積層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。

20

【0284】

なお、酸化物半導体積層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0285】

また、上記作製方法により、得られる第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、C軸配向を有していることを特徴の一つとしている。ただし、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、単結晶構造ではなく、非晶質構造でもない構造であり、C軸配向を有した結晶(C Axis Aligned Crystal; CAACとも呼ぶ)を含む酸化物を有する。なお、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、一部に結晶粒界を有している。

30

【0286】

なお、第1及び第2の結晶性酸化物半導体層は、少なくともZnを有する酸化物材料であり、四元系金属酸化物であるIn-Al-Ga-Zn-O系の材料や、In-Ga-B-Zn-O系の材料や、In-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Al-Zn-O系の材料、In-Sn-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料、In-Hf-Zn-O系の材料、In-La-Zn-O系の材料、In-Ce-Zn-O系の材料、In-Pr-Zn-O系の材料、In-Nd-Zn-O系の材料、In-Sm-Zn-O系の材料、In-Eu-Zn-O系の材料、In-Gd-Zn-O系の材料、In-Tb-Zn-O系の材料、In-Dy-Zn-O系の材料、In-Ho-Zn-O系の材料、In-Er-Zn-O系の材料、In-Tm-Zn-O系の材料、In-Yb-Zn-O系の材料、In-Lu-Zn-O系の材料や、二元系金属酸化物であるIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料や、Zn-O系の材料などがある。また、In-Si-Ga-Zn-O系の材料や、In-Ga-B-Zn-O系の材料や、In-B-Zn-O系の材料を用いてもよい。また、上記の材料にSiO₂を含ませてもよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛

40

50

(Zn)を有する酸化物膜、という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

【0287】

また、第1の結晶性酸化物半導体層上に第2の結晶性酸化物半導体層を形成する2層構造に限定されず、第2の結晶性酸化物半導体層の形成後に第3の結晶性酸化物半導体層を形成するための成膜と加熱処理のプロセスを繰り返し行って、3層以上の積層構造としてもよい。

【0288】

上記作製方法で形成された酸化物半導体積層からなる酸化物半導体層453を、本明細書に開示する半導体装置に適用できるトランジスタ(例えば、実施の形態1乃至実施の形態4におけるトランジスタ162、実施の形態4におけるトランジスタ410、420、430、441、442)に、適宜用いることができる。

10

【0289】

また、酸化物半導体層403として本実施の形態の酸化物半導体積層を用いた実施の形態4におけるトランジスタ162においては、酸化物半導体層の一方の面から他方の面に電界が印加されることはなく、また、電流が酸化物半導体積層の厚さ方向(一方の面から他方の面に流れる方向、具体的に図6に示すトランジスタ162では上下方向)に流れる構造ではない。電流は、主として、酸化物半導体積層の界面を流れるトランジスタ構造であるため、トランジスタに光照射が行われ、またはBTストレスが与えられても、トランジスタ特性の劣化は抑制される、または低減される。

20

【0290】

酸化物半導体層453のような第1の結晶性酸化物半導体層と第2の結晶性酸化物半導体層の積層をトランジスタに用いることで、安定した電気的特性を有し、且つ、信頼性の高いトランジスタを実現できる。

【0291】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0292】

(実施の形態6)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図16を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラなどのカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

30

【0293】

図16(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

40

【0294】

図16(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

【0295】

図16(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体7

50

23の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0296】

図16(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図16(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

10

【0297】

図16(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

20

【0298】

図16(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

30

【0299】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

【符号の説明】

【0300】

- 120 半導体層
- 122 絶縁層
- 122a ゲート絶縁層
- 124 マスク
- 126 不純物領域
- 128a ゲート電極
- 128b 導電層
- 130 不純物領域
- 132 不純物領域
- 134 チャネル形成領域
- 136 絶縁層
- 138 絶縁層
- 140 絶縁層
- 142a ソース電極

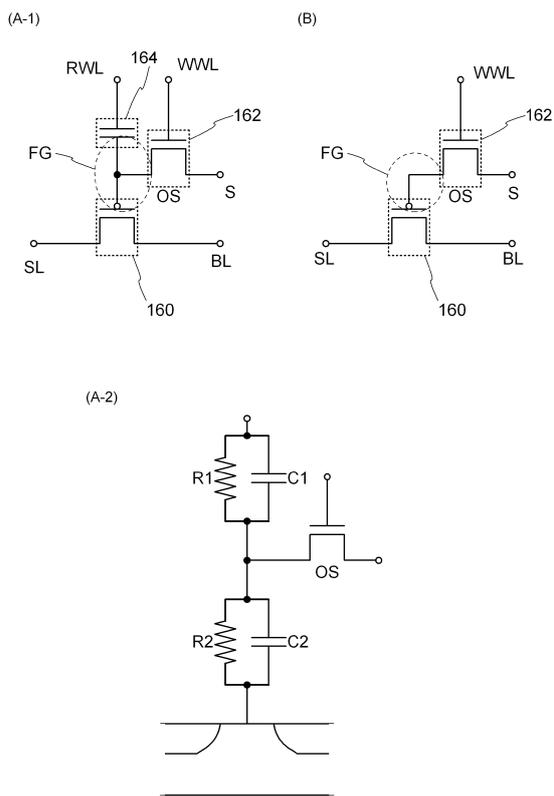
40

50

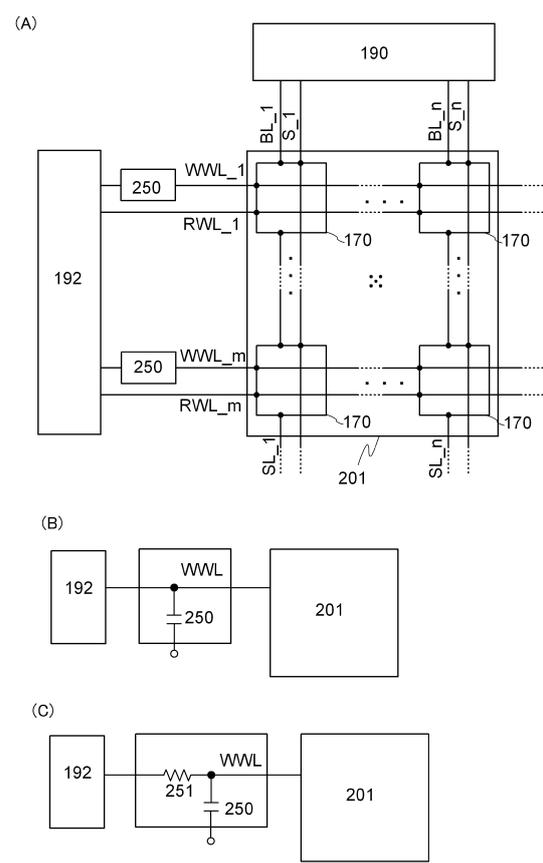
1 4 2 b	ドレイン電極	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8 a	ゲート電極	
1 4 8 b	導電層	
1 5 0	絶縁層	
1 5 4	配線	
1 5 6	絶縁層	
1 6 0	トランジスタ	
1 6 2	トランジスタ	10
1 6 4	容量素子	
1 7 0	メモリセル	
1 9 0	駆動回路	
1 9 2	駆動回路	
2 0 1	メモリセルアレイ	
2 5 0	容量素子	
2 5 1	抵抗素子	
2 6 0	ノイズ除去回路	
5 0 0	半導体基板	
5 1 0	単結晶半導体基板	20
5 1 2	酸化膜	
5 1 4	脆化領域	
5 1 6	単結晶半導体層	
5 1 8	単結晶半導体層	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	30
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	40
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	50

- 7 4 8 外部接続端子
- 7 4 9 太陽電池セル
- 7 5 0 外部メモリスロット
- 7 6 1 本体
- 7 6 3 接眼部
- 7 6 4 操作スイッチ
- 7 6 5 表示部
- 7 6 6 バッテリー
- 7 6 7 表示部
- 7 7 0 テレビジョン装置
- 7 7 1 筐体
- 7 7 3 表示部
- 7 7 5 スタンド
- 7 8 0 リモコン操作機

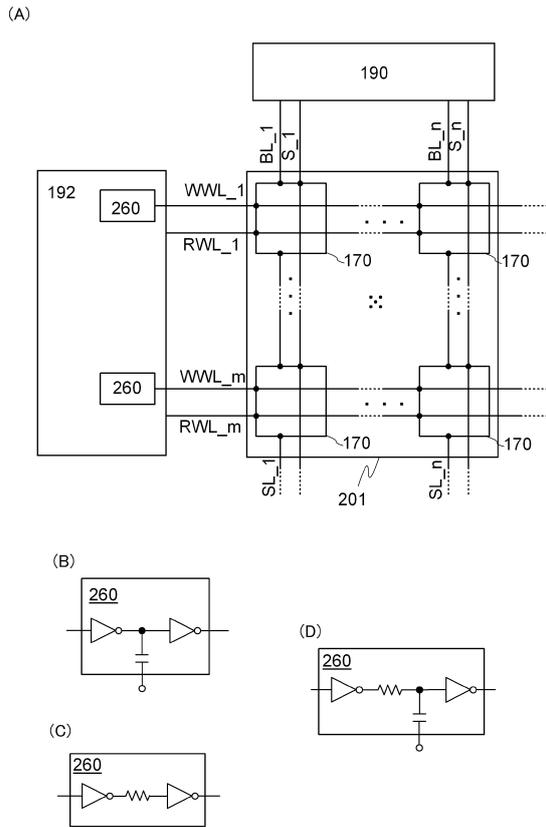
【図1】



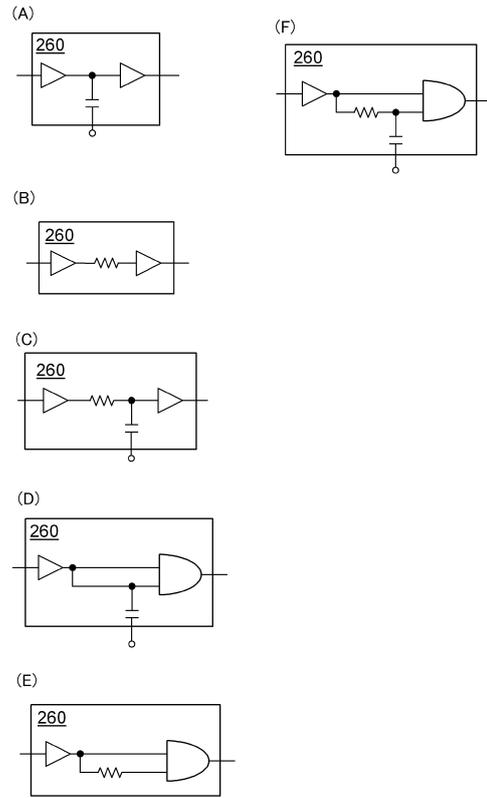
【図2】



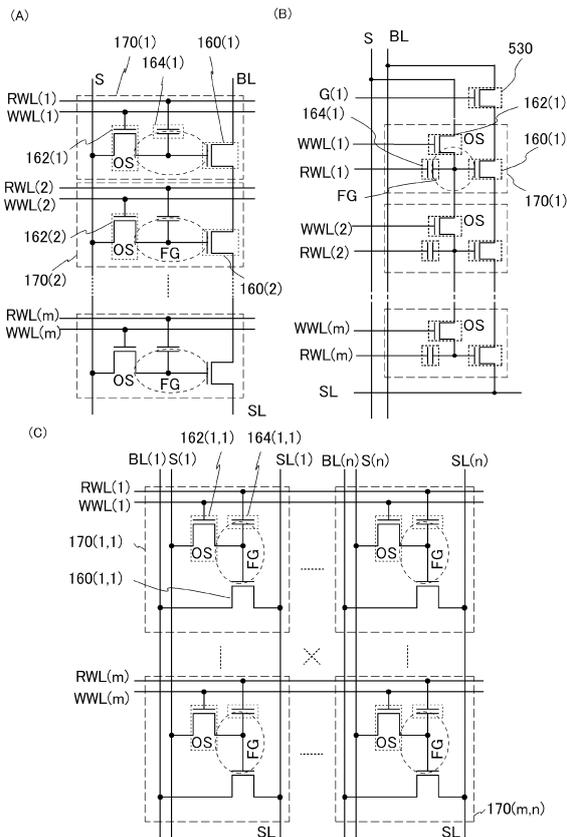
【 図 3 】



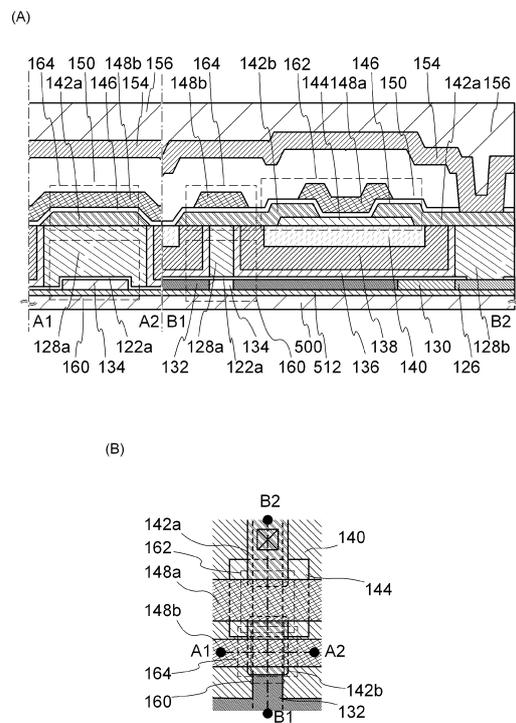
【 図 4 】



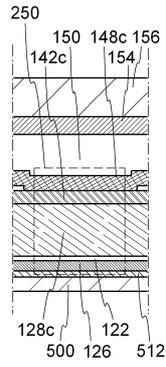
【 図 5 】



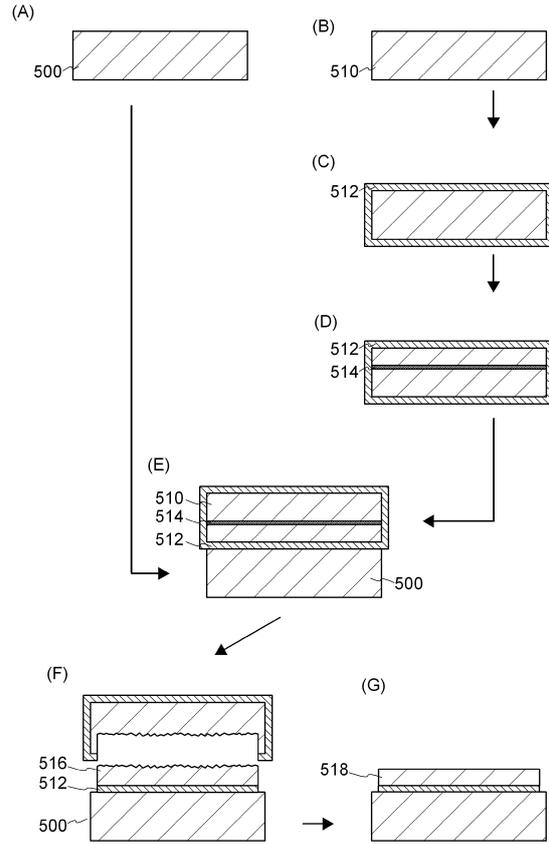
【 図 6 】



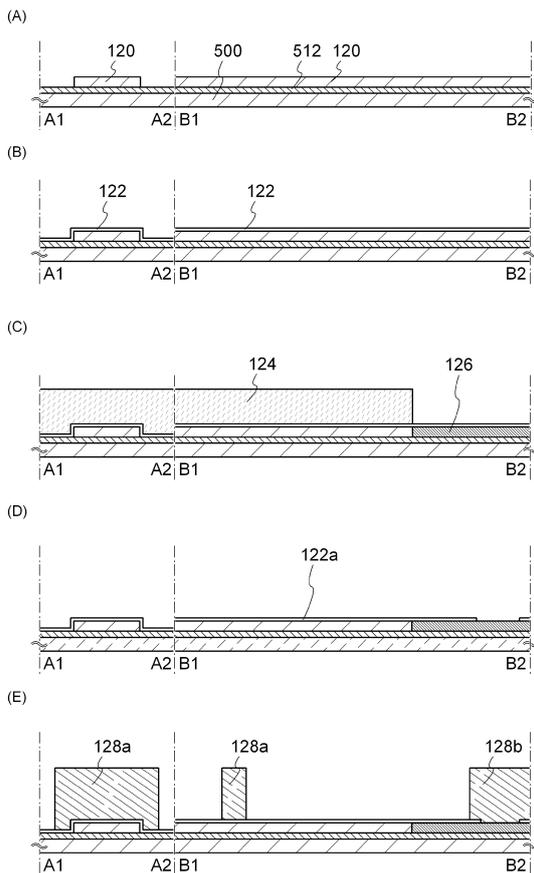
【 図 7 】



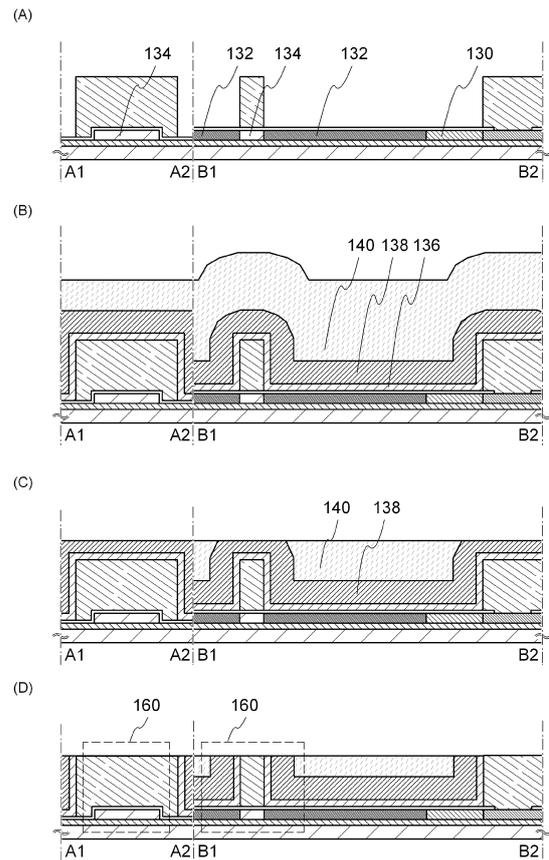
【 図 8 】



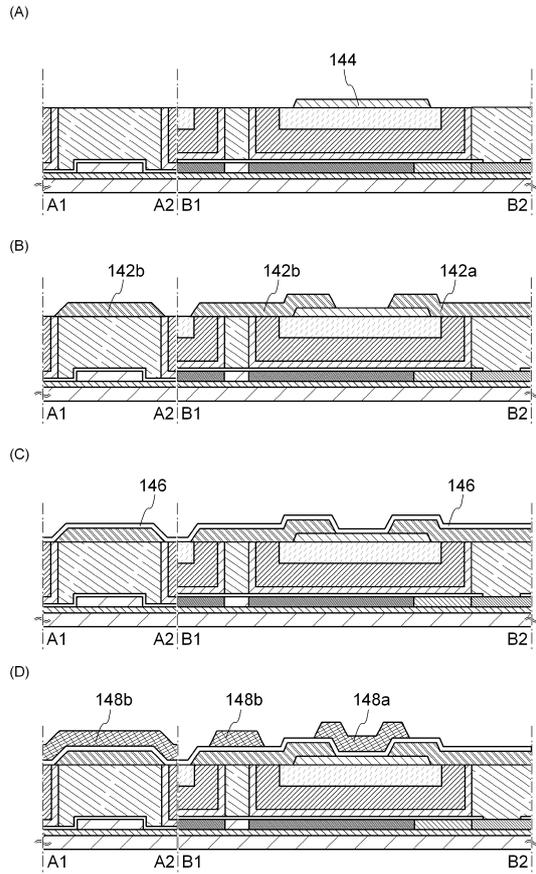
【 図 9 】



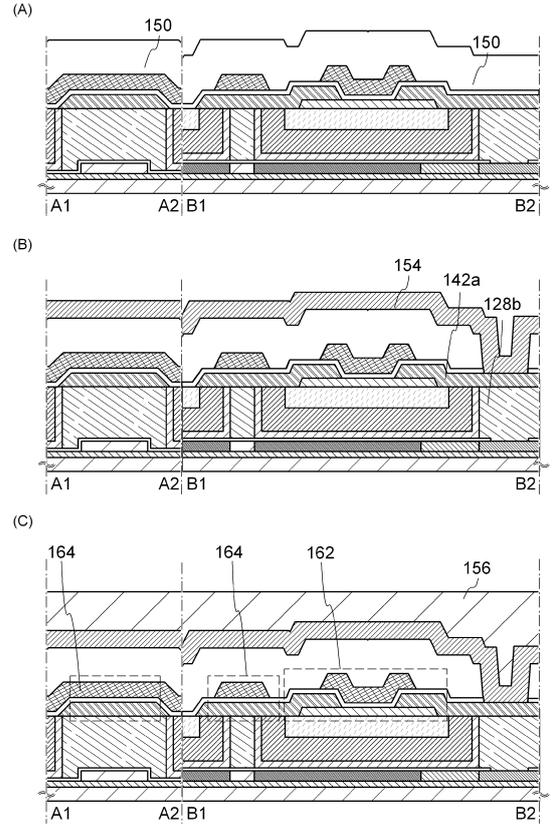
【 図 10 】



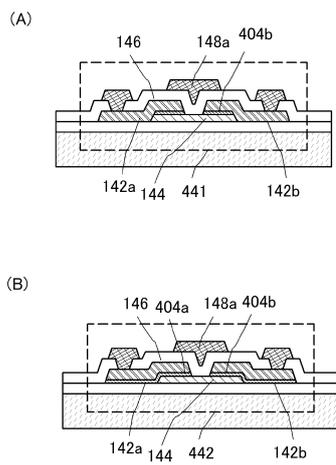
【図 1 1】



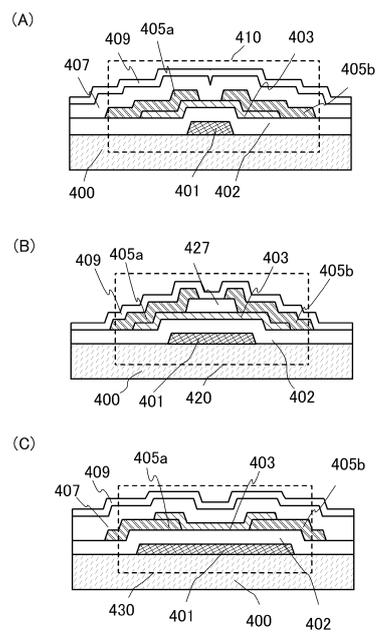
【図 1 2】



【図 1 3】

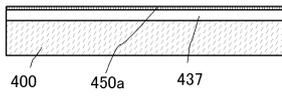


【図 1 4】

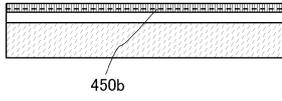


【 15 】

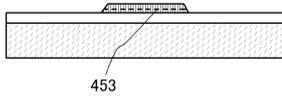
(A)



(B)

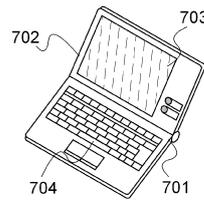


(C)

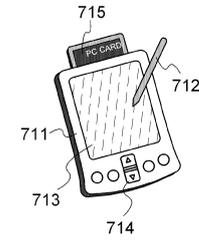


【 16 】

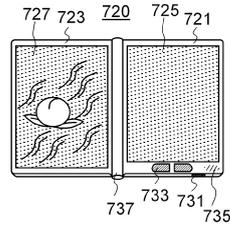
(A)



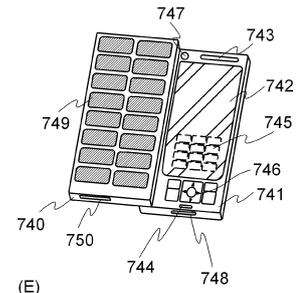
(B)



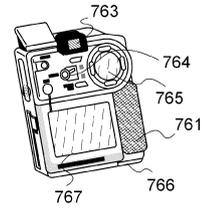
(C)



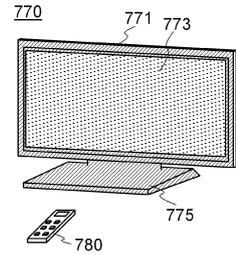
(D)



(E)



(F)



フロントページの続き

- (56)参考文献 特開昭63-268184(JP,A)
特開2002-042460(JP,A)
特開2010-109338(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242
H01L 27/10
H01L 27/108