

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-531989

(P2005-531989A)

(43) 公表日 平成17年10月20日(2005.10.20)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H04B 3/06	H04B 3/06 C	5K046

審査請求 未請求 予備審査請求 未請求 (全 23 頁)

(21) 出願番号	特願2004-517928 (P2004-517928)	(71) 出願人	505007629
(86) (22) 出願日	平成15年6月27日 (2003.6.27)		ソーラーフレア・コミュニケーションズ・
(85) 翻訳文提出日	平成17年3月2日 (2005.3.2)		インコーポレイテッド
(86) 国際出願番号	PCT/US2003/020255		SOLARFLARE COMMUNIC
(87) 国際公開番号	W02004/004192		ATIONS, INC.
(87) 国際公開日	平成16年1月8日 (2004.1.8)		アメリカ合衆国、92618 カリフォル
(31) 優先権主張番号	10/188,274		ニア州、アービン、ジェロニモ・ロード、
(32) 優先日	平成14年7月1日 (2002.7.1)		9501、スイート・100
(33) 優先権主張国	米国 (US)	(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平

最終頁に続く

(54) 【発明の名称】 通信路を等化する方法および装置

(57) 【要約】

データ伝送時に符号間干渉の効果を抑えるための方法および装置が開示される。符号間干渉の効果を抑えると同じ誤り発生率ではより高いデータ伝送レートを可能にする。ある実施の形態では、プリコード・フィルタを送信元において配置し、フィードフォワードフィルタとフィードバックフィルタを受信先において配置することによって受信機・送信機の組みを構成する。通信路の符号間干渉等の望ましくない効果を軽減するために、フィルタ係数が計算される。ある実施の形態では、フィードバックフィルタの最初のN個の係数をゼロにセットしてフィードフォワードフィルタとフィードバックフィルタを使用することによってトレーニング・プロセスが実行される。その後、フィードフォワードフィルタの係数に対してスペクトル因子分解を行って、最小位相根と最大位相根に分ける。最小位相根はプリコード・フィルタ係数からなり、最大位相根はフィードフォワードフィルタ係数として使われる。

【特許請求の範囲】

【請求項 1】

第 1 フィルタと第 2 フィルタの伝達関数が通信路のそのと逆になるような、複数の第 1 フィルタ係数と複数の第 2 フィルタ係数を求めるために第 1 フィルタと第 2 フィルタをトレーニングし、トレーニング中に少なくとも一つの第 2 フィルタ係数を強制的に所定値に抑え込むステップと、最小位相係数と最大位相係数を隔離するように第 1 フィルタ係数を処理するステップと、最小位相係数を第 3 フィルタに送信するステップと、最小位相係数から第 3 フィルタ係数を求め、最大位相係数によって第 1 フィルタ係数をセットするステップと、最大位相係数によって第 1 フィルタ係数をセットするステップと、を包含する受信機・送信機の組みにおけるフィルタ係数選択方法。

10

【請求項 2】

第 1 フィルタと第 2 フィルタが受信先に配置され、第 3 フィルタが送信元に配置される請求項 1 に記載の方法。

【請求項 3】

第 1 フィルタがフィードフォワード・フィルタを含み、第 2 フィルタがフィードバック・フィルタを含み、第 3 フィルタがプリコード・フィルタを含む請求項 1 に記載の方法。

【請求項 4】

送信ステップが最小位相係数を一個以上のより対導体を通して送信機におけるプリコード・フィルタへ送信することを含む請求項 1 に記載の方法。

【請求項 5】

処理がスペクトル因子分解を行うことを含む請求項 1 に記載の方法。

20

【請求項 6】

処理がさらに最小位相係数と最大位相係数を得るために多項式を形成することを含む請求項 5 に記載の方法。

【請求項 7】

強制的に所定値に抑え込まれる少なくとも一つの第 2 フィルタ係数が強制的にゼロに抑え込まれる 4 つの第 2 フィルタ係数を含む請求項 1 に記載の方法。

【請求項 8】

第 3 フィルタが 5 つのタップを有するプリコード・フィルタを含む請求項 7 に記載の方法。

30

【請求項 9】

通信路を介して送信されてきた信号を受信するステップと、最大位相係数値を有する第 1 等化器を使ってその信号に対し第 1 等化プロセスを行うステップと、第 2 等化器係数値を有する第 2 等化器を使ってその信号に対し第 2 等化プロセスを行うステップとを包含し、第 1 等化プロセスおよび第 2 等化プロセスが通信路を通しての伝送の効果を減少する信号等化方法。

【請求項 10】

第 1 等化器がフィードフォワード等化器を含む請求項 9 に記載の方法。

【請求項 11】

トレーニング段階において、少なくとも一つの第 2 等化器係数値が固定値にセットされる請求項 9 に記載の方法。

40

【請求項 12】

少なくとも一つの第 2 等化器係数値が最初 4 個の第 2 等化器係数値を含み、固定値がゼロ値を含む請求項 11 に記載の方法。

【請求項 13】

さらに、送信の前に第 2 フィルタのトレーニング・プロセスによって生成された最小位相係数に基づく係数を持つプリコード・フィルタを使って信号をプリコードすることを含む請求項 9 に記載の方法。

【請求項 14】

第 1 等化器がフィードフォワード等化器を含み、第 2 等化器がフィードバック等化器を

50

含み、そして、最初 5 個の第 2 等化器係数値の少なくとも一つがゼロにセットされる請求項 9 に記載の方法。

【請求項 15】

第 2 等化プロセスを行なうことは更に判定装置へフィードバック信号を供給することを含む請求項 9 に記載の方法。

【請求項 16】

一個以上の第 1 フィルタ係数を利用するように構成され、最大位相フィルタを含む第 1 フィルタと、二つ以上の第 2 フィルタ係数を有し、その二つ以上の第 2 フィルタ係数の少なくとも一つが所定値に強制的にセットされる第 2 フィルタと、1 つ以上のプリコード・フィルタ係数を有し、最小位相フィルタを含むプリコード・フィルタとを包含し、第 1 フィルタと第 2 フィルタが受信先に配置され、プリコード・フィルタが送信元に配置される通信路等化のためのシステム。

10

【請求項 17】

所定値がゼロを含む請求項 16 に記載のシステム。

【請求項 18】

さらに第 1 フィルタ係数、第 2 フィルタ係数、およびプリコード・フィルタ係数を計算するように構成されたプロセッサを含む請求項 16 に記載のシステム。

【請求項 19】

第 1 フィルタがフィードフォワード・フィルタを含み、第 2 フィルタがフィードバック・フィルタを含む請求項 16 に記載のシステム。

20

【請求項 20】

第 1 フィルタ係数値、第 2 フィルタ係数値、およびプリコード・フィルタ係数値がトレーニング・プロセスにおいて求められ、トレーニング・プロセスの一態様がスペクトル因子分解を含む請求項 16 に記載のシステム。

【請求項 21】

データ源からデータを受信するように構成されたデータ源インタフェースと、(B1) 少なくとも部分的に通信路を介しての伝送を補正するためにデータを等化するように構成されたプリコード・フィルタと、データを第 1 アナログ信号に変換するように構成されたデジタル・アナログ変換器と、通信路を通じての伝送のために第 1 アナログ信号のパワーを調整するように構成されたライン・ドライバと、第 2 トランシーバからデータを受信するように構成された受信機とからなる第 1 トランシーバおよび通信路から歪んだ第 1 アナログ信号を含む第 2 アナログ信号を受信するように構成された増幅器と、第 2 アナログ信号をデータに変換するように構成されたアナログ・デジタル変換器と、通信路を通しての伝送の効果を少なくとも部分的に回復するためにデータを処理するように構成された第 1 フィルタと、通信路を通しての伝送の効果を少なくとも部分的に回復するためにデータを処理するように構成された第 2 フィルタと、2 つ以上の異なった数値にデータの一部を量子化するように構成された判定装置と、第 1 トランシーバにおけるプリコード・フィルタへプリコード・フィルタ係数データを送信するように構成された送信機と、からなる第 2 トランシーバを包含する第 1 の位置と第 2 の位置の間にデータを交換するシステム。

30

40

【請求項 22】

プリコード・フィルタが最小位相フィルタとして構成されて、第 1 フィルタが最大位相フィルタとして構成される請求項 21 に記載のシステム。

【請求項 23】

第 2 フィルタが N 以上の係数を持つフィードバックフィルタを含み、その最初の N 個の係数がゼロにセットされ、N が 20 未満の整数である請求項 21 に記載のシステム。

【請求項 24】

第 2 トランシーバがさらにプリコード・フィルタ、第 1 フィルタ、および第 2 フィルタのための係数を計算するように構成されたプロセッサを含む請求項 21 に記載のシステム。

50

【請求項 25】

トレーニング系列を開始するように構成されたコンピュータ・プログラム・コード論理と、ミックスト位相フィルタとしてフィードフォワード・フィルタの係数をトレーニングするように構成されたコンピュータ・プログラム・コード論理と、フィードバック・フィルタの係数の少なくとも1つをゼロにセットしてフィードバックフィルタの係数をトレーニングするように構成されたコンピュータ・プログラム・コード論理と、最小位相係数と最大位相係数とを計算するためにフィードフォワード・フィルタの係数を処理するように構成されたコンピュータ・プログラム・コード論理と、最大位相係数からフィードフォワード係数を求めめように構成されたコンピュータ・プログラム・コード論理と、最小位相係数からプリコード係数を求めるように構成されたコンピュータ・プログラム・コード論理と、からなる等化器係数計算のためのにコンピュータ・プログラム論理が記録されているコンピュータ使用可能媒体を含むコンピュータ・プログラム製品。

10

【請求項 26】

係数を処理するように構成されたコンピュータ・プログラム・コード論理がスペクトル因子分解を行うコンピュータ・プログラム・コード論理を含む請求項 25 に記載のコンピュータ・プログラム製品。

【請求項 27】

その上、最小位相係数からプリコード係数を求めるのは、最大位相フィードフォワード係数から多項式を形成することを含む請求項 25 に記載のコンピュータ・プログラム製品。

20

【請求項 28】

コンピュータ・プログラム製品が通信用の受信機において配置されている請求項 25 に記載のコンピュータ・プログラム製品。

【請求項 29】

信号を受信する手段と、信号を受信する手段と、信号を増幅する手段と、第1濾波信号を作成するために第1係数集合に基づいて信号を濾波する手段、第1濾波信号をフィードバック信号と組み合わせる手段と、2つ以上の所定値のグループから選択される所定値を出力するように信号を判定処理する手段と、フィードバック信号を作成するように第2係数集合に基づいて所定値を濾波する手段とを含み、第1係数集合がトレーニング動作時に得られる最大位相係数に基づく係数を含む信号処理するシステム。

30

【請求項 30】

さらに送信機におけるプリコードを含み、プリコードが最小位相係数に基づくプリコード係数を利用する請求項 29 に記載のシステム。

【請求項 31】

第2係数集合がトレーニング動作時に成形され、第2係数集合の少なくとも1つの係数がトレーニング動作時にゼロにセットされる請求項 29 に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

40

本発明は通信システムに関し、より詳しくは、通信路を等化する方法および装置に関する。

【背景技術】

【0002】

関連技術

レートの高いデータ伝送に対する需要が、新規サービス提供およびホームとビジネス関連の仕事のための通信ネットワークの利用拡張に回答して、増加し続けている。例えば、一般に、オーディオ・コンテンツおよびビデオ・コンテンツは高い帯域幅を必要とする。さらに、現在は事務用品の注文、文書の交換、または情報収集などの多くの仕事をインターネット等のコンピュータネットワークによって取り扱うのが通例である。なお、会社の

50

ローカル・エリア・ネットワークに印加される帯域幅需要は増加しつつある。多くの場合には、ネットワークはより多くのユーザーと大きくて複雑なアプリケーションソフトに負荷されている。これらのアプリケーションは高い帯域幅を必要とし、複雑なアプリケーションソフトであるのでより大きいファイルを作成する。多くのネットワークは現時点で最高の帯域幅容量に達しているが、追加需要が絶えずこれらのネットワークに印加されている。

【発明の開示】

【発明が解決しようとする課題】

【0003】

ネットワーク速度を増加することによってネットワーク輻輳を軽減させるソリューションが多く提案されているが、多くの場合に、提示されたソリューションは異なった通信規格または異なった通信媒体の利用を必要とする。異なった通信規格（SONET、ATM）と異なった通信媒体（光ファイバ、同軸ケーブル）はデータ・レートを増加させるのを可能にするかもしれないが、マイグレーション関連の費用はひどく高い。例えば、ローカルエリアネットワークのコンピュータ毎に光通信ネットワーク、即ち光ファイバによる10Gイーサネット（登録商標）またはSONETと互換性のあるネットワークをインストールするならば、各エンド・ユーザのプラットフォームに対するかなりのソフトウェア・アップグレードとハードウェア・アップグレードが必要となるだろう。ケーブル架設作業およびサービススタッフの再教育のための費用はかなりの額になる。

10

【0004】

別に提示されたソリューションは既存のネットワークの送信レートを増加させることにある。伝送媒体として銅線のより対を利用するイーサネット（登録商標）は広く適用されているネットワーク規格の一つである。より対銅線は広く適用され、製造原価が低いが、その帯域幅は制限されている。その結果、より対銅線または別の媒体を通してギガビット/秒の範囲内に超高レートで送信されたデータ信号はかなりの歪みを受けてしまう。この歪みの結果、受信後の送信信号を回復することは不可能であることがある。

20

【0005】

歪みの効果に対抗するよう、歪んだ信号を信号処理するか、または送信の前にその信号を処理することができるが、従来技術においては同様の試みは許容できる誤り発生率で十分高いデータ伝送レートを達成することができなかった。

30

【0006】

例えば、従来技術では、受信先における判定帰還形等化器（DFE）を利用するソリューションが提案されている。特定のサンプリング時刻において信号の電圧レベルを求めるために、スライサーと共にDFEを運転してもよい。スライサーの出力は、後続判定を助けるためにフィードバック信号としてDFEにフィードバックされる。スライサーフィードバック付けのDFEはある条件の下で誤り発生率を減少させることができるが、スライサー誤りの列がフィードバックとしてDFEへ供給されると破局的故障になる。誤り訂正を採用すると破局的故障の可能性が高まる。これは許容できるソリューションではなく、一般に、このソリューションはほとんどの通信規格に記載された仕様の範囲内に入らないだろう。

40

【0007】

その結果、データ・レートを制限する通信路の効果を抑えることのできる方法および装置の必要がある。

【課題を解決するための手段】

【0008】

発明の要旨

ここに記述される方法および装置は通信路を通しての信号伝送の効果を補正するために信号を処理する方法および装置を提供することによって従来技術の欠点を解消する。ある実施の形態では、送信機は一個以上の通信路を介して受信機と交信するように構成された。受信機はフィードフォワード・フィルタとフィードバック・フィルタを有するように構

50

成されてもよく、送信機はプリコード・フィルタを有するように構成された。フィルタの動作は係数値によって制御される。本発明はここに記述される係数計算プロセスにより従来技術の欠点を解消する濾波方法および濾波装置を開示する。通信システムの例示的な環境においては、ここに記述される濾波用方法および装置は符号間干渉の効果を補正するための等化に利用される。

【 0 0 0 9 】

本発明のある実施の形態では、受信機・送信機の一組みにおいてフィルタ係数を選択するための、以下のステップからなる方法が提供される。最初は、第1フィルタと第2フィルタの伝達関数が通信路のそのと逆になるような、複数の第1フィルタ係数と複数の第2フィルタ係数を求めるために第1フィルタと第2フィルタをトレーニングし、トレーニング中に少なくとも一つの第2フィルタ係数を強制的に所定値に抑え込むステップである。その後、最小位相係数と最大位相係数を隔離するように第1フィルタ係数を処理してその最小位相係数を第3フィルタに送信するステップである。次に、最小位相係数から第3フィルタ係数を求め、最大位相係数によって第1フィルタ係数をセットするステップである。

10

【 0 0 1 0 】

ある実施の形態では、第1フィルタと第2フィルタが受信先に配置され、第3フィルタが送信元に配置される。第1フィルタはフィードフォワード・フィルタを含み、第2フィルタはフィードバック・フィルタを含み、第3フィルタはプリコード・フィルタを含んでもよい。送信ステップが最小位相係数を一個以上のより対導体を通して送信機におけるプリコード・フィルタへ送信することを含んでもよいということも考えられる。処理は最小位相係数と最大位相係数を得るためにスペクトル因子分解により多項式を形成することを含んでもよい。

20

【 0 0 1 1 】

ここで、通信路を介して送信されてきた信号を受信し、最大位相係数値を有する第1等化器を使ってその信号に対し第1等化プロセスを行う別の信号等化方法が開示される。その後、第2等化器係数値を有する第2等化器を使ってその信号に対し第2等化プロセスを行い、その第1等化プロセスおよび第2等化プロセスによって通信路を通しての伝送の歪み効果を減少する。

【 0 0 1 2 】

ある実施の形態では、第1等化器はフィードフォワード等化器を含んでいる。更には、トレーニング段階において、少なくとも一つの第2等化器係数値が固定値にセットされてもよい。この方法にはさらに、送信の前に第2フィルタのトレーニング・プロセスによって生成された最小位相係数に基づく係数を持つプリコード・フィルタを使って信号をプリコードすることを含められてもよい。

30

【 0 0 1 3 】

等化を行う更に別の実施の形態においては、第1等化器はフィードフォワード等化器を含み、第2等化器はフィードバック等化器を含み、そして、最初の五つの第2等化器係数値の少なくとも一つがゼロにセットされる。なお、第2等化プロセスを行うことは更に判定装置へフィードバック信号を送ることを含んでもよい。

40

【 0 0 1 4 】

本発明は通信路を等化するシステムの形態でも実施されてもよい。そのような実施の形態の一つは、一個以上の第1フィルタ係数を利用するように構成された第1フィルタを含んでいる。第1フィルタは最大位相フィルタを含んでもよい。また、システムは更に1) 二つ以上の第2フィルタ係数を有し、その二つ以上の第2フィルタ係数の少なくとも一つが所定値に強制的にセットされる第2フィルタと、2) 一つ以上のプリコード・フィルタ係数を有するプリコード・フィルタとを含み、そのプリコード・フィルタは最小位相フィルタを含んでいる。第1フィルタと第2フィルタは受信先に、プリコード・フィルタは送信元に配置されてもよい。

【 0 0 1 5 】

50

ある実施の形態では、所定値はゼロを含んでいる。システムはさらに第1フィルタ係数、第2フィルタ係数、およびプリコード・フィルタ係数を計算するように構成されたプロセッサを含んでもよい。第1フィルタがフィードフォワード・フィルタを含み、第2フィルタがフィードバック・フィルタを含んでもよいということも考えられる。第1フィルタ係数値、第2フィルタ係数値、およびプリコード・フィルタ係数値はトレーニング・プロセスにおいて求められてもよく、トレーニング・プロセスの一態様としてスペクトル因子分解が行なわれてもよい。

【0016】

さらに別の実施の形態においては、データ源からデータを受信するように構成されたデータ源インタフェースと、少なくとも部分的に通信路を介しての伝送を補正するためにデータを等化するように構成されたプリコード・フィルタと、データを第1アナログ信号に変換するように構成されたデジタル・アナログ変換器と、通信路を通しての伝送のために第1アナログ信号のパワーを調整するように構成されたライン・ドライバと、第2トランシーバからデータを受信するように構成された受信機と、からなる第1トランシーバを含む第1の位置と第2の位置の間にデータを交換するシステムが開示される。

10

【0017】

また、このシステムは通信路から歪んだ第1アナログ信号を含む第2アナログ信号を受信するように構成された増幅器付けの第2トランシーバを含んでもよい。また、システムはその構成要件として、第2アナログ信号をデータに変換するように構成されたアナログ・デジタル変換器と、通信路を通しての伝送の効果を少なくとも部分的に回復するためにデータを処理するように構成された第1フィルタと、通信路を通しての伝送の効果を少なくとも部分的に回復するためにデータを処理するように構成された第2フィルタと、2つ以上の異なった数値にデータの一部を量子化するように構成された判定装置と、第1トランシーバにおけるプリコード・フィルタへプリコード・フィルタ係数データを送信するように構成された送信機と、を含んでもよい。

20

【0018】

その変形形態では、プリコード・フィルタは最小位相フィルタとして構成されて、第1フィルタは最大位相フィルタとして構成されている。その別の変形形態においては、第2フィルタはN以上の係数を持つフィードバックフィルタを含み、その最初のN個の係数はゼロにセットされて、Nは20未満の整数からなっている。第2トランシーバはさらにプリコード・フィルタ、第1フィルタ、および第2フィルタのための係数を計算するように構成されたプロセッサを含んでもよい。

30

【0019】

別の実施の形態では、ここに開示された方法および装置は等化器係数計算のためにコンピュータ・プログラム論理が記録されているコンピュータ使用可能媒体を含むコンピュータ・プログラム製品として実施される。この実施の形態はトレーニング系列を開始し、ミックスト位相フィルタとしてフィードフォワード・フィルタの係数をトレーニングし、フィードバック・フィルタの係数の少なくとも1つをゼロにセットしてフィードバックフィルタの係数をトレーニングし、最小位相係数と最大位相係数とを計算するためにフィードフォワード・フィルタの係数を処理し、最大位相係数からフィードフォワード係数を求め、最小位相係数からプリコード係数を求める等の動作を実行するように構成されたコンピュータ・プログラム論理を含んでいる。

40

【0020】

係数を処理するように構成されたコンピュータ・プログラム・コード論理はスペクトル因子分解を行うように構成されたコンピュータ・プログラム・コード論理を含んでもよいということも考えられる。その上、最小位相係数からプリコード係数を求めるのは、最大位相フィードフォワード係数から多項式を形成することを含んでもよい。コンピュータ・プログラム製品は通信用の受信機または送信機において配置されてもよいとも考えられる。

【0021】

50

本発明のその他のシステム、方法、特徴および利点は以下の図面と詳細な説明の検討時に当該技術に熟達せる者にとって明らかになるだろう。そのような追加システム、方法、特徴、および利点はすべて本説明に含まれ、発明の範囲内にあり、添付の請求項により保護されるものである。

【0022】

図面に示された構成要素は必ずしも比例尺に合わせたものではなく、その代わりに、説明の力点は本発明の原理に置かれている。図面において、異なった図面中の同じ符号は相応する構成要素を示す。

【発明を実施するための最良の形態】

【0023】

10

詳細な説明

図1Aは受信機と送信機との典型的な実施の形態を示す。図示のように、送信機100は送信機入力104と送信機出力108とを含んでいる。送信機100の出力108は通信路112に接続されている。通信路112は受信機120の入力116に接続されている。受信機120は受信機出力124を含んでいる。受信機出力124は演算装置、端末、スイッチ、ルータ、ネットワーク処理装置、または通信路112を介してデータを受信するように構成された任意の装置に接続されてもよい。

【0024】

送信機100は第1の位置から第2の位置へデータを送信するように構成された任意の装置を含んでもよい。送信機120も第1の位置から第2の位置へ送信されてきたデータを受信するように構成された任意の装置を含んでもよい。両方向の通信を可能にするために、送信機100と受信機120とが通信路112の両端に配置されてもよいとも考えられる。ある実施の形態では、送信機100と受信機120とはローカルエリアネットワークの一部として構成されたコンピュータ等のネットワーク端末におけるネットワーク・インターフェイス・カード内に置かれる。

20

【0025】

通信路112は第1の位置から第2の位置へデータを転送することのできる任意の通信媒体からなってもよい。ある実施の形態においては、通信路112は、ある既存のイーサネット（登録商標）通信プロトコルによるデータ伝送に対応したより対銅線からなっている。ここに記述される方法および装置は任意の通信路112を使うことができ、その通信路は光ファイバ、同軸、非よじり金属導体、または無線媒体からなるが、これらに限定されるものではない。

30

【0026】

図1Bには、受信機・送信機の一組みの構成図を示す。通信路112は第1トランシーバ130を第2トランシーバ134に接続する。第1トランシーバ130はインタフェース144を介して通信路112に接続されている。インタフェース144は、入力信号を出力信号から隔離するように構成されている。別の実施の形態では、通信路112は多くの導体を含んでもよいので、インタフェース144は、データ流れの方向と受信モジュール138または送信モジュール142のどちらかへの接続により隔離を行なって導体を分離する。受信モジュール138と送信モジュール142とはここに記述される原理によって動作するように構成されたハードウェア、ソフトウェア、または両方の任意の集合体からなってもよい。

40

【0027】

受信モジュール138と送信モジュール142とはプロセッサ146と交信する。プロセッサ146は、メモリ150を含むか、またはそれと交信してもよい。メモリ150はRAM、ROM、ハード・ディスク・ドライブ、フラッシュメモリ、またはEPROM等のメモリ種類の一つ以上からなってもよい。プロセッサ146は、1つ以上の演算または信号解析を行うように構成されてもよい。ある実施の形態では、プロセッサ146は、メモリ150に格納される機械可読コードを実行するように構成されている。プロセッサ146は以下に述べたように追加信号処理タスクを実行してもよい。

50

【0028】

第2トランシーバ134は第1トランシーバ130と同様に構成されている。第2トランシーバ134は受信モジュール156と送信モジュール160とに接続されたインタフェース152を含んでいる。受信モジュール156および送信モジュール160はプロセッサ164と交信し、プロセッサはメモリ168に接続されている。動作は以下により詳しく述べたように実行される。

【0029】

図2には、図1の通信路112のような通信路の周波数応答の典型的なプロットを示す。通信路の周波数応答200をプロットした図2において、垂直軸204は通信路の応答の大きさをしめし、水平軸208は周波数を示す。図から明らかなように、通信路の周波数応答は利用可能な帯域幅に渡って激しく減衰されてしまう。

10

【0030】

その結果、受信信号は隣接するパルスに干渉された状態になる。これはしばしば符号間干渉、即ちISIと呼ばれる。符号間干渉は通信路を介してパルス、ビット、記号、または信号が送信され得るレートを制限して通信路の最大の使用可能な帯域幅を制限してしまう。符号間干渉の結果、受信先において信号を復号化するのは不可能になることがあり、そして、復号化が可能であっても、容認できないほどの誤り発生率になることがある。

【0031】

ここに記述される方法と装置は符号間干渉が生じる帯域幅制限効果を抑えて符号間干渉のある通信路を介してより高い送信レートで送信することを可能にする。ここに記述される方法および装置は様々な環境において動作し、どんな通信路でも信号歪み効果を抑えることができるが、より対銅線による伝送は厳しい符号間干渉を受けるため、本発明の方法および装置は特により対銅線による伝送の効果を抑えることに適したものである。

20

【0032】

図3においては、送信機の典型的な実施の形態の構成図の一例を示す。これは送信機の1つの典型的な実施の形態にすぎない。当該技術分野における通常の知識を有する者は他の構成を実施し得ることも考えられる。図3の典型的構成では、データ源300はマッピング・モジュール304に接続されて、そのモジュールは更にプリコード・フィルタ308に接続されている。

【0033】

データ源300は、通信路を介して送信されるべきデータの任意の起源を含んでもよい。ある実施の形態では、データ源300は通信プロトコルの処理層またはネットワーク層を含んでいる。ある実施の形態では、データ源300はネットワーク処理装置を含んでいる。ある実施の形態では、データはコンピュータで実行されるアプリケーションソフトウェアから到来する。

30

【0034】

マッピング・モジュール304は、バイナリー・データの1ビット以上を表示することができる一つ以上の記号に受信バイナリー・データを変換するように構成されたハードウェア、ソフトウェア、またはその組合せからなっている。バイナリー・データの複数のビットが一つの記号へマッピングされるパルス振幅変調(PAM)は起こり得るマッピングの一例である。直交振幅変調(QAM)はマッピングの別の一例である。マッピングを使うと、一つの記号を送信することによって情報の複数のビットを送信することができるので、データ転送レートが高められる。

40

【0035】

マッピングに加えて、前方誤り訂正(FEC)符号化がマッピング・モジュール304に組み込まれてもよい。FEC符号化としては畳込み符号化およびトレリス符号化が例示される。ここに記述される方法および装置は任意の形態の誤り訂正を採用してもよく、または誤り訂正を採用しなくてもよいということも考えられる。

【0036】

以下により詳しく述べるプリコード・フィルタ308は0マッピング・モジュール30

50

4の出力に接続されて、通信路の歪み効果に対抗するために信号を操作するように構成された信号変更装置を含んでいる。プリコード・フィルタ308は所望の信号変更を実現するようにセットされた係数値を有するデジタル・フィルタとして構成されてもよい。ある実施の形態では、プリコード・フィルタ308は通信路の歪み効果を少なくとも部分的に無にするのに適合された有限インパルス応答フィルタを含んでいる。以下にはより詳しくプリコード・フィルタ係数の選択について述べる。

【0037】

プリコード・フィルタ308の出力はマッピングされた信号のアナログ形式への変換を行うためにデジタル・アナログ(DA)変換器312に接続されている。その後、信号はラインドライバ・増幅器316に供給される。ラインドライバ・増幅器316は通信路を介しての伝送に適したレベルに信号を変換する。場合によって、増幅の程度またはレベルはパワー制約と、様々な通信プロトコルに規定される仕様と、漏話と結合に対する懸念と、受信機か中継器までの距離とに依存することがある。ラインドライバ・増幅器316の出力は変成器・ハイブリッド320に接続されている。変成器・ハイブリッド320は受信信号と通信路自体から送信信号を隔離する。変成器・ハイブリッド320の出力は通信路に接続されている。

10

【0038】

図4は有限インパルス応答(FIR)フィルタとして実施されたプリコード・フィルタの例示的な実施の形態の構成図を示す。図4に示すように、入力404は信号を受信してクロック・サイクルまたは他の周期でそれを遅らせるように構成された遅延レジスタ408に接続されている。また、入力404は乗算器値 P_0 を有する乗算器412Aに接続されている。乗算器412Aの出力は合計用接合点424に接続されている。

20

【0039】

レジスタ408の出力は乗算器値 P_1 を有する乗算器412Bに接続されている。乗算器412Bの出力に乗算器412Aの出力を加えるために、乗算器412Bの出力は合計用接合点424に接続されている。また、レジスタ408の出力は出力が乗算器412Cに繋がっているレジスタ416に接続されている。乗算器412Cの出力は合計用接合点424の出力を受信する合計用接合点436に接続されている。フィルタ400の構成は乗数が P_N である乗算器412Dに接続されている出力を有するレジスタ432に接続されるまでに変化しない。乗算器412Dの出力は前の合計用接合点の出力を受信する合計用接合点444に接続されている。

30

【0040】

この構成の長さは $N+1$ であり、フィルタの要素は信号の変更またはプレコーディングを制御する。信号はフィルタ400を通して伝搬するとき、乗算器412の乗算器値によって影響されてしまう。ある実施の形態では、乗算器値はフィルタ係数を含んでもよい。よって、信号は乗算器412の値に基づいて変更されたフィルタから出力される。

【0041】

図5は受信機の例示的な実施の形態の構成図を示す。これは可能な受信機構成の一つにすぎない。本発明の範囲から逸脱することなく他の受信機構成が実施されてもよいとも考えられる。図示するように、受信機500は通信路を介して到来する信号を受信するように構成された増幅器504を含んでいる。増幅器504は通信路を介しての伝送によって減衰させられた可能性のある受信信号のパワーレベルまたは電圧を増加する。増幅された信号はアナログ-デジタル(A/D)変換器508に供給され、変換器はデジタル信号 $x(n)$ をフィードフォワード等化器(FFE)512に送る。FFEの出力 $x(n)$ は合計用接合点516に接続されている。当該技術分野における通常の知識を有する者はFFEを設計することができ、FFEの一般的な動作をよく知っていると考えられる。したがって、本発明の新規または独特の特徴に関連したFFE動作原理以外はここに詳しく述べない。さらには、本発明の範囲から逸脱することなくFFE以外の他のフィルタおよび等化器の構成が実施されてもよいとも考えられる。

40

【0042】

50

また、合計用接合点 5 1 6 は判定帰還形等化器 (D F E) 5 2 4 から入力を受信する。ある実施の形態では、合計用接合点は F F E 出力から D F E 入力を減算する。合計用接合点 5 1 6 はその出力 $s(N)$ をスライサー 5 2 0 等の判定装置に供給する。スライサー 5 2 0 は特定の時点で受信信号を解析することができ、2 つ以上の異なった数値に受信信号を量子化することができる任意の装置からなっている。ある実施の形態では、スライサーは、その入力を 1 0 個の値の 1 つに量子化するようにパルス振幅変調 (P A M) 1 0 マッピングと関連して動作する。ある実施の形態においては、スライサー 5 2 0 は通信路を通して送られてきた記号を調べるために処理済みの受信信号の電圧レベルを解析する。スライサー 5 2 0 の出力は、バイナリー・データまたはマッピングされた電圧レベルからなってもよい。

10

【 0 0 4 3 】

スライサー 5 2 0 は、デマッピング・モジュール 5 2 8 にその出力を供給し、また、入力信号としてその出力を D F E 5 2 4 にも供給する。送信機は送信の前に信号を誤り訂正符号化したならば、デマッピング・モジュール 5 2 8 はビット誤り率を減少させるように受信信号を誤り訂正復号化してもよい。前方誤り訂正の一部として、誤り訂正処理はデータ信号の実効誤り発生率を減少させる。前方誤り訂正はバイナリー・データまたは記号に対して行なわれてもよい。

【 0 0 4 4 】

当該技術分野における通常の知識を有する者は D F E 5 2 4 を設計することができ、D F E の一般的な動作をよく知っていることも考えられる。したがって、本発明の独特または新規の特徴に関連した D F E 動作原理以外には、ここに詳しく述べない。さらには、本発明の範囲から逸脱することなく F F E 5 1 2 または D F E 5 2 4 以外の他のフィルタおよび等化器構成が使用されてもよいとも考えられる。

20

【 0 0 4 5 】

F F E 5 1 2 と D F E 5 2 4 は、通信路の歪み効果を補正するために受信信号を等化する。フィードバックの一部として、D F E 5 2 4 が受信して重みを付けた過去の値は合計用接合点 5 1 6 で到来した信号から減算される。F F E 5 1 2 と D F E 5 2 4 とは F F E と D F E との 1 つ以上のタップまたは段に関連した係数、あるいは他のスケーリング値を有してもよいということも考えられる。係数値は通信路効果の取り消し、反転または減少のために所望の信号等化を実現するように選択される。ある実施の形態においては、F F E 5 1 2 と D F E 5 2 4 との係数値はここに記述される原理に基づいて選択される。

30

【 0 0 4 6 】

ここに記述される方法および装置の利点としては、F F E 5 1 2、D F E 5 2 4、およびプリコード・フィルタの係数値 (要素 3 0 8、図 3) は、通信路の信号歪み効果に対抗すると同時に雑音増幅と D F E 帰還ループを通しての誤り伝搬による望ましくない効果を最小限にするように計算されて、選択される。これらの望ましい性質は、ここに記述される成分を利用することによってある通信路を通して従来得られていなかったレートでデータを通信することを可能にする。さらには、既存の集積回路プロセスと構造を使ってすべての構成要素の最適な複雑さを実施することができる。それと同様に、高速データ通信時に使用可能な時間内に十分複雑な処理を実行することができる。

40

【 0 0 4 7 】

係数計算を以下に説明する。説明のために具体的なフィルタ構成を使用したか、D F E、F F E、またはプリコード・フィルタを任意のフィルタまたは信号変更装置で置換えてもよいことに留意すべきである。

【 0 0 4 8 】

図 6 A は典型的な受信パルスの典型的なプロットを示す。受信信号はデータ記号によりスケーリングされた多くのパルスの重畳である。図示のように、受信パルス 6 0 4 は垂直軸 6 0 8 上の電圧と水平軸 6 1 2 上の時間の関数として表示されている。メインカーソル 6 2 0 はサンプル点 6 1 6 を確認する。サンプル点はスライサーがデータ記号の値を求め

50

る点であると考えられてもよい。メイン・カーソル 620 の前のサンプル点はカーソル前点 624 と定義され、メインカーソルの後のサンプル点はカーソル後点 628 と定義される。ある実施の形態では、F F E の動作はカーソル前符号間干渉の緩和を目的とするが、D F E の動作は主としてカーソル後符号間干渉の緩和を目的とする。ある実施の形態においては、通信路を介して受信されてきた F F E 処理済みのパルスが位相の最小であるモニタのパルス、すなわち、すべてのカーソル前情報が全部除去されたパルスであるような F F E 動作を実現することが望ましい。

【0049】

図 6 B は符号間干渉を含む典型的な受信信号の典型的なプロットを示す。ここで、図 6 A と同様の要素に対して同じ符号が使われる。説明のために、符号間干渉信号サンプル 640 は所望の信号サンプル 616 と共に示されている。通信路の歪みの結果、所望の信号サンプル 616 は符号間干渉信号サンプル 640 の干渉を受けて受信信号 670 のサンプル 650 を発生するかもしれないことも考えられる。以上に述べたところから明らかのように、所望のサンプル 616 は干渉サンプル 640 に結合して、大きさの減少された信号 650 を発生するだろう。極端な例を挙げれば、通信路の等化がないとき、大きさの減少された電圧 650 がスライサーに供給されると誤判定になることが分かる。これは記号誤りを生成し、あるマッピング方法では、各記号が多くくの 2 進ビットに対応してしまうことがあるので、特に厄介な問題である。ここに記述される方法および装置は、等化を実現してこれらの欠点を解消する。

10

【0050】

本発明の方法への導入として、図 5 において、畳み込み

20

【0051】

【数 1】

$$r_x(n) = \sum_{h=-K_1}^{K_2} C_h d_{n-h} = C(n) \otimes d(n)$$

【0052】

によって等化前の受信機の出力を定義することができ、同式を

【0053】

30

【数 2】

$$r_x(n) = C_{-K_1} d_{n+K_1} + \dots + C_0 d_n + \dots + C_{K_2} d_{n-K_2}$$

【0054】

(ただし、値 $C_0 d_n$ はメインカーソル、 $C_0 d_n$ の前の項はカーソル前項、そして、 $C_0 d_n$ の後の項はカーソル後項である) に展開することができる。変数 C は等価通信路の係数を表し、 d はデータ記号を表し、変数 N はサンプリング時刻を表す。それで、 $n - 1$ は、前のサンプリング時刻であるが、 n は現在のサンプリング時刻である。

【0055】

40

それと同様に、F F E 出力は

【0056】

【数 3】

$$x(n) = f(n) \otimes r(n)$$

【0057】

として表してもよく、同式は

【0058】

【数 4】

$$x(n) = d_n + C'_1 d_{n-1} + \dots + C'_{K_3} d_{n-K_3}$$

【0059】

に展開されてもよい。

【0060】

以上から明らかのように、F F E はメインカーソルと K_3 個のカーソル後項をそのまま残してカーソル前項を除去するように構成されている。言い替えれば、メインカーソル d_n とメインカーソルの右側の項を残して F F E の出力を形成する。

10

【0061】

D F E 係数を $\{b_n\}$ とすると、スライサー入力は

【0062】

【数 5】

$$s(n) = x(n) - b_1 \hat{d}_{n-1} - \dots - b_{K_4} \hat{d}_{n-K_4}$$

【0063】

(ただし、

【0064】

20

【数 6】

$$\hat{d}$$

【0065】

は推定値、 d に等しいかもしれない) と定義されてもよい。

このように、

【0066】

【数 7】

$$\hat{d}$$

30

【0067】

が d に等しいときに、正確にフィードバックされた記号判定に対して、 K_4 は K_3 以上であり、

【0068】

【数 8】

$$b_k = \begin{cases} C'_k & k=1 \dots K_3 \\ 0 & otherwise \end{cases}$$

40

【0069】

ならば、

【0070】

【数 9】

$$s(n) = d(n)$$

【0071】

K_4 が K_3 以下であるとき、打ち消されずに残ったカーソル後 I S I があるだろう。これ

50

らの方程式は受信機の中での信号とそれらの処理を定めると考えられる。

【0072】

以上に述べたように、スライサーは誤った判定を下すとその誤った判定はDFEにフィードバックされ、誤り伝搬になってしまう。フィードバックの結果、誤りは積み重なることがある。前方誤り訂正処理がDFEの後に実行される実施の形態では、このような誤り伝搬は長い誤り列が前方誤り訂正処理に提供されることをもたらすこともある。スライサーは前方誤り訂正による符号化利得なしで動作するので、この問題は複雑になる。よって、スライサーの誤り発生率はより高くなり、誤り伝搬の尤度を増やしてしまう。その結果として、通信セッションは、中止されて再開されなければならない。一般には、これは望ましくない事態である。

10

【0073】

ここに記述される方法および装置のある実施の形態においては、従来技術の欠点を解消するように、係数が部分的プレコーディング方法に基づいて選択される。要するに、プレコーディングは限られた数のポスト・カーソルのみに対して実行され、そして、FFE処理とDFE処理も受信先で行なわれる。プリコーダ、FFE、およびDFEの係数の選択と計算は以下に述べたように行なわれる。係数選択とプリコーダ、FFE、およびDFEの組込みの結果、カーソル前とカーソル後の符号間干渉は除去されるか軽減され、誤り伝搬も許容レベルまで削減されるか除去される。さらには、受信機に供給される信号のピーク対平均(PAR)値は許容できる範囲内にあり、誤り伝搬は、最小限にされるか、または除去される。

20

【0074】

以上に説明したように、FFEは多項式の係数として表示されることがある。このように、多項式は

【0075】

【数10】

$$F(z) = f_0 + f_1 z^{-1} + \dots + f_k z^{-k}$$

【0076】

と表されてもよく、同式は積の形で

30

【0077】

【数11】

$$F(z) = \prod_{k=1}^K (1 - r_k z^{-1}) = (1 - r_1 z^{-1})(1 - r_2 z^{-1}) \dots (1 - r_K z^{-1})$$

【0078】

(ただし、 r は f 値の関数であり、多項式の根である)として因数分解されてもよい。展開された形では、これは K 次多項式であると思われる。さらには、得られた K 次多項式が最小位相根と最大位相根に因数分解されてもよいということは理解されるべきである。最小位相根はすべての k に対して r_k の絶対値が <1 であるすべての根と定義され、最大位相根はすべての k に対して r_k の絶対値が >1 であるすべての根と定義される。

40

【0079】

通信路には有限周波数応答があるので実際行なわれている所では1に等しい例は不可能であろう。一般には、トレーニング済みのFFEは最大位相型システムである。一般には、トレーニング済みのDFEは最小位相型である傾向がある。言われたことから判断すると、ミックス位相システムの根値の大きさは1より大きいのと1より小さいのとならなっている。トレーニング済みのFFEフィルタをこのように了解の上、本発明の企図するトレーニング方法を説明することができる。

【0080】

50

次に、ここに記述される等化とプレコーディングの利点を図7によって説明する。図7は例示的な動作方法を説明するための動作流れ図を示す。一般には、ここに記述される方法はトレーニングと処理を行なってFFEとDFEのためにプリコード係数と等化器係数を作り出すことにある。その結果、送信機におけるプリコードの動作により、誤り伝搬の寄与の最も高いカーソル後干渉の部分が軽減されるか、または除去され、受信機のFFEの動作により、カーソル前干渉が軽減されるか、または除去される。受信機のDFEの動作により、残留カーソル後干渉が除去される。ある実施の形態では、DFEの長さ、すなわち、タップの数および係数の数は $N + 1$ によって与えられるプリコードの係数の数より大きくされる。このように、ステップ704においてDFEは関連付けられたプリコード・フィルタより多くのタップを持つように構成されている。よって、DFEにおけるタ

10

【0081】

DFE内の最初の係数値はDFEに最も大きい影響を与えることに留意すべきである。よって、最初の N 個のDFEタップはDFE出力の動作に最も大きい影響をあたえると考えられる。よって、DFEの最初の N 個の係数が非ゼロ値にセットされている場合に比べて、DFEの最初の N 個の係数がゼロにセットされている場合のDFEにフィードバックされるスライサーの誤りは、追加の誤りを伝搬させる可能性が低い。このように、ゼロにDFEの最初の N 個の係数をセットすることはスライサーによる後続判定における、追加誤りの尤度を軽減する。以下にはより詳しくDFEフィルタの最初の N 個のタップを実現

20

【0082】

次のステップ708においては、トレーニング・プロセスは開始される。トレーニングはフィルタ係数計算のプロセスを含む。ある実施の形態においては、受信機または送信機が通電するか、または作動する都度、トレーニングが起こる。別の実施の形態では、システム設計中に、トレーニングは起こり、フィルタ係数はハードコード化される。ステップ712において、FFEは典型的な最大位相フィルタでなく、ミックスト位相フィルタとしてトレーニングされる。言い替えれば、FFEのタップの係数が求められるトレーニング・イベントが起こる。FFEはパラメータとして最小と最大位相項の両方を含むように構成されているので、ミックスト位相型である。トレーニングは通信が送信機と受信機

30

【0083】

さらには、すべての機器が既知の通信路に出会うだろうと想定することができるということも考えられる。このような想定をすれば、システムの設計段階において典型的な通信路を見積ることができ、これらの所定値を使用することによって等化器システムをハードコード化するか、または配線論理で実現することができる。そのような実施の形態では、トレーニング・プロセスが起こるのは通信セッションが始まる都度ではなく、機器の設計

40

【0084】

それと同時にまたはその後、ステップ716でのトレーニングにより最初の N 個の係数は強制的にゼロに抑え込まれ、テールは非ゼロ値を取ってもよい。テールは最初の N 個の

50

値以外のフィルタ係数値として定義される。ある実施の形態では、トレーニングの前に最初のN個の係数値がゼロにセットされてからトレーニングが行われる。ある実施の形態においては、最初のN個の係数を所定値にセットすると同時にF F E係数値を求めるために、以上説明されたような任意のトレーニング・プロセスが実行される。他の実施の形態では、最初のN個の係数はゼロ以外の所定値にセットされ得ることも考えられる。ある実施の形態においては、F F EとD F Eは同時にトレーニングされる。

【0085】

項Nは特定の設計パラメータと所望のフィルタ/等化器の複雑さに基づいて選択される任意の数を表示する。ある実施の形態においては、NはNの値がスライサーへの誤りのフィードバックによる破局的故障を軽減するか、または除去するに十分であるように選択される。D F Eの最初のN個の係数をゼロにセットすることにより、信号等化におけるD F Eの有意度は軽減され、よって、誤り伝搬の機会は少なくされる。ある実施の形態では、Nは4にセットされる。他の実施の形態ではNの値は1～50範囲にある。

10

【0086】

最初のN個の係数をゼロまたは他の所定値にセットするように、本発明の方法および装置はさもないとD F Eにより等化されるであろう最初のN個のポスト・カーソルの効果をプリコード（等化）する責任を持つプリコーダを実現する。その上、強制的にゼロに抑え込まれるD F E係数の数とプレコーディングのレベルの間1対1対応がある必要はない。

【0087】

D F Eの最初のN個の係数がトレーニング中にゼロにセットされ、F F Eフィルタが同時にトレーニングされるので、F F Eフィルタの主タップは、N個のカーソル位置だけ調整されるかシフトされる。言い替えれば、タップ遅延線構成の典型的場合には主カーソル位置は最後のタップでなく、最後のタップからN個のタップだけ離れた位置である。

20

【0088】

初期の係数計算プロセスのこの段階では、プレコーディングは存在しなく、最初のN個のD F E係数はゼロにセットされているので、F F Eトレーニングはカーソル後干渉とカーソル前干渉の両方を定めるF F E係数値を生成する。よって、F F Eはミックスト位相フィルタである。プリコード・フィルタ等による更なる等化と係数調整がなければ、システム全体とF F Eは雑音を増大させてしまうだろう。これはミックスト位相F F Eが雑音を増大させるからである。

30

【0089】

この方法では、雑音増大効果を克服ために、トレーニング済みのF F Eの係数に対しスペクトル因子分解を行う。分解はステップ720において行われる。ミックスト位相F F E (F')の根は

【0090】

【数12】

$$F'(z) = \prod_{k=1}^K (1 - r'_k z^{-1}) = (1 - r'_1 z^{-1})(1 - r'_2 z^{-1}) \dots (1 - r'_K z^{-1})$$

40

【0091】

と表すことができる。

【0092】

この方程式から、根は変数 r'_k により表される。ステップ720の一部として、1より小さい全ての r'_k 値を確認するための処理が行われる。これらは最小位相根と定義される。根を求めるのに任意の求根アルゴリズムを使用してもよい。このアルゴリズムはハードウェア、ソフトウェア、または両者の結合により実現することができる。また、ステップ720は、1より大きい全ての r_k 値の確認を含む。これらは最大位相根と定義される。

【0093】

最小位相根に対して、送信機プリコーダ関数を表す $P(z)$ は因数分解された形

50

【 0 0 9 4 】

【 数 1 3 】

$$P(z) = \prod_{k=\min \text{ phase}} (1 - r_k' z^{-1})$$

【 0 0 9 5 】

で表すことができ、以下に示すように、ステップ 7 2 4 において、同式は z の多項式に展開できる。ただし、 $\{ p \}$ は係数値であり、 z^{-1} はタップ遅延線フィルタにおける遅延量のユニットを表す。

【 0 0 9 6 】

【 数 1 4 】

$$P(z) = p_0 + p_1 z^{-1} + \dots + p_N z^{-N}$$

【 0 0 9 7 】

ステップ 7 2 8 において、この係数値 $\{ p \}$ の集合は受信機と結合した送信機に送信して戻る。そして、ステップ 7 3 2 において、これらの係数値は送信機におけるプリコードのためのプリコード係数値として利用される。

【 0 0 9 8 】

ステップ 7 2 0 - 7 3 2 を要約すると、ステップ 7 1 2 のトレーニングにより求めた F F E 係数はスペクトル因子分解され、最小位相根は確認され、多項式の形成に使用される。この多項式の係数はプリコード・フィルタに送信され、プリコード係数値として使用される。このことによって、プリコードフィルタ係数が求まる。

【 0 0 9 9 】

次にまたはそれと同時に、最終的な F F E 係数を求めることが望ましい。前のステップ 7 2 0 においては、トレーニング済みの F F E 係数をスペクトル因子分解した。プリコードフィルタ係数を求めるのに使用された最小位相根の確認と違って、今度の作業が確認しようとする根は最大位相根、即ち、全ての k 値に対して 1 より大きい根である。根を求めるのに任意の求根アルゴリズムを使用してもよい。このアルゴリズムはハードウェア、ソフトウェア、または両者の結合として実現することができる。これらの根は

【 0 1 0 0 】

【 数 1 5 】

$$F(z) = \prod_{k=\max \text{ phase}} (1 - r_k' z^{-1})$$

【 0 1 0 1 】

で表すことができ、以下に示すように、ステップ 7 3 6 において、同式は z の多項式に展開できる。ただし、 F は係数値であり、 z^{-1} はタップ遅延線フィルタにおける遅延量のユニットを表す。

【 0 1 0 2 】

【 数 1 6 】

$$F(z) = f_0 + f_1 z^{-1} + \dots + f_M z^{-M}$$

【 0 1 0 3 】

$F'(z)$ (因数分解されていない) と $F(z)$ (因数分解されている、非既約) の間

10

20

30

40

50

の相違は $F(z)$ は因数分解された多項式の最大位相根を $F'(z)$ の係数の因子分解によって生じるように構成された FFE フィルタであるが、 $F'(z)$ はミックスト位相フィルタであり、まだ因数分解されていないということである。

【0104】

ステップ 740 においては、この多項式の係数は受信機の FFE フィルタの係数として用いられる。このように、ステップ 712 のトレーニングによる FFE 係数はスペクトル因子分解の後に最大位相根から得られた多項式係数に取り替えられる。その後のステップ 744 においては、受信機と送信機の組を使用する通信を可能にすることができる。

【0105】

よって、一実施の形態を要約すると、ステップ 712 と 716 と関連して以上に述べたようなトレーニング・プロセス中に DFE 係数と FFE 係数が求められ、DFE の最初の N 個の係数値がゼロまたは別の値にセットされる。プリコーダ係数はトレーニング済みの FFE 係数から得られる因数分解された多項式の最小位相根であると判断される。これはステップ 732 において行う。最後に、FFE 係数はトレーニング済みの FFE から得られる因数分解された多項式の最大位相根としてセットされる。これはステップ 740 において行う。

【0106】

ここに記述される方法および装置の利点の一つはある実施の形態または変型例において、データ・モード作動中に DFE または他のフィルタに適応を行わせることができることにある。データ・モードというのは送受信器の組がデータ源からのデータ等のデータを送信するたように動作する期間と定義される。データ・モードはトレーニング・モード、ハンドシェイク・モードまたは始動とは対照的に使われる。データ・モード時に、フィルタはフィルタ係数の随時適応を行って通信路内の経時変化をよく取り扱う、即ちそれによく適応することができる。初期トレーニング・プロセスは係数が正確に通信路を等化するという仮定の元に行われるが、初期トレーニング中に生成される値がわずかに不正確になるか、または通信路伝達関数が変化することもある。データ・モード時の DFE 適応のために、最初の N 個の係数はゼロに保たれ、他の係数はリアルタイムで適応させられてもよい。別の実施の形態では、最初の N 個の係数の 1 つ以上は変更されてもよい。データ・モード時の FFE 適応のために、係数はリアルタイムで適応させられてもよい。代替方法として、ミックスト位相フィルタとして FFE をトレーニングすることによって、ある実施の形態ではデータ・モード適応が問題になるフィックスド・プリコーダの影響を補正する。データ・モード時にサイド・チャンネルを介してまたは他の方法によってプリコーダを適応させることができるということも考えられる。

【0107】

ここに記述される方法および装置のもう一つの利点は Tomlinson-原島型プレコーディング (TH プレコーディング) との比較から明らかになるだろう。TH 型プレコーディングの教示がここに記述される手法と異なった点は DFE の排除である。TH 型プレコーディングは受信機における DFE の使用を除去することにより誤り伝搬の可能性を除去する。しかしながら、TH 型プレコーディングの不利点はデータ・モード適応がないということである。データ・モード時の適応がないので、常に変化する通信路条件に適応できなくなり、得られた等化器はそれほど有効ではない。

【0108】

TH 型プレコーディング続けると、送信信号の受信 PAR 値が大きくなる。PAR は信号のピーク対平均値と定義される。PAR 値が大きいならば、受信先でより複雑で高価なアナログのフロント・エンドが必要になる。受信信号の PAR 値が大きいならば、PAR 値の小さい信号に比べて受信先のアナログ・デジタル変換器はより多くの変換器ビットを必要とすることがある。この要件は変換器のサンプリングレートを制限して高速適用でのその使用を制限する。ここに記述される方法および装置によると、より望ましい、即ち、より低い受信信号の PAR 値を得ることができる。

【0109】

代替実施例

ある代替実施例では、ステップ736、740においてFFEはミックスト位相システムとして構成されてもよい。ミックスト位相FFEを実現ためにステップ712と716は、FFEとDFEをトレーニングすることによって実行する必要がある。その後のステップ720において、システムはFFE係数により形成された多項式の根を因数分解し、プリコードフィルタ係数をセットする。ステップ736が企図するように最終的なFFE係数として $F'(z)$ の最大位相根を使用することの代わりに、本動作によりデータ・モード時にまたはトレーニング時にFFEとDFEを再トレーニングすることができる。この際、プリコード・フィルタはループを実行して(運転中で)もよい。この再トレーニング・プロセスのとき、最初のN個の係数は強制的にゼロに抑え込まれる。その結果、FFEはミックスト位相システムになるだろう。FFEは小量の雑音増大を引き起こすかもしれないが、この実施の形態はシステムとトレーニング・プロセスの複雑さを減少すると同時に、望ましい等化を実現し、誤り伝搬を軽減する。また、この実施の形態はプリコード係数推定時に起こり得る誤りを補正する。

10

【0110】

別の代替実施例では、雑音増大を減少するためにステップ712の形にゼロ(または、他の値)を付加したFFE係数を使用する。カーソル後成分を生成する部分的なISI成分は発信元で処理されているので、さもないと受信信号のカーソル前成分をゼロまたは他の値に等化するであろうFFEの係数をセットすることができる。これらの係数の1つ以上がゼロまたは他の小さい値にセットされているので、雑音増大は、軽減されるか、または除去される。これは以上に述べた等化の利点を提供すると同時に、システムとトレーニング・プロセスの複雑さを軽減する。

20

【0111】

以上に、本発明の様々な実施の形態を説明したが、本発明の範囲に属するずっと多くの実施の形態と態様が可能であることは当該技術に熟達せる者にとって明らかになるだろう。

【図面の簡単な説明】

【0112】

【図1A】図1Aは典型的な受信機および送信機の構成図を示す。

【図1B】図1Bは典型的な受信機・送信機の一組みの構成図を示す。

30

【図2】図2は典型的な通信路の周波数応答を示す。

【図3】図3は送信機の例示的な実施の形態の典型的な構成図を示す。

【図4】図4は有限インパルス応答フィルタとして実施されたプリコード・フィルタの例示的な実施の形態の構成図を示す。

【図5】図5は受信機の例示的な実施の形態の構成図を示す。

【図6A】図6Aは受信信号パルスの典型的なプロットを示す。

【図6B】図6Bは符号間干渉成分を含む受信信号の典型的なプロットを示す。

【図7】図7は例示的な動作方法を説明するための動作流れ図を示す。

【 図 1 A 】

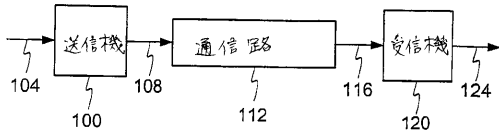


Fig. 1A

【 図 1 B 】

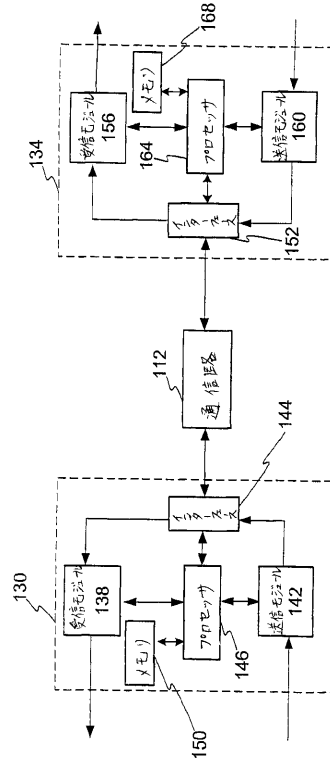


Fig. 1B

【 図 2 】

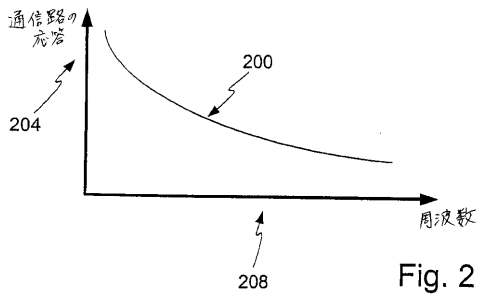


Fig. 2

【 図 3 】

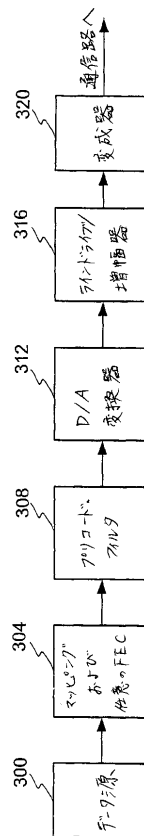


Fig. 3

【 図 4 】

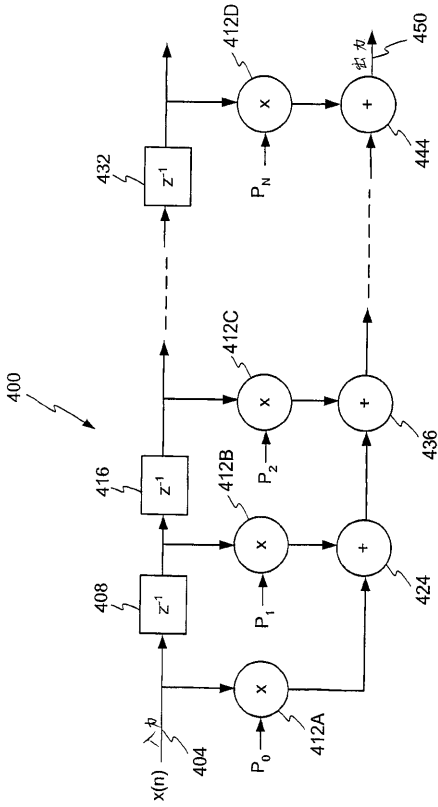


Fig. 4

【 図 5 】

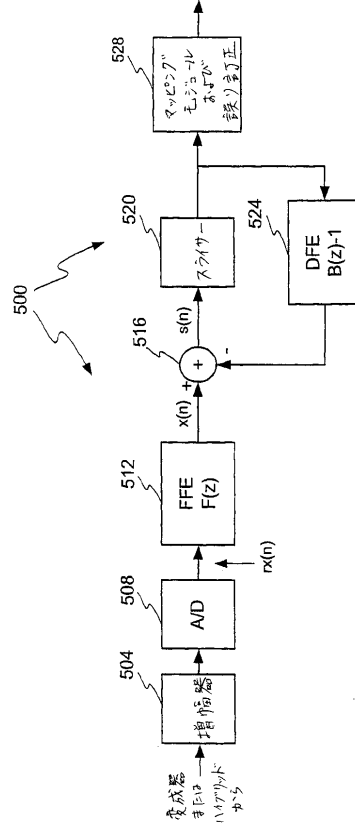


Fig. 5

【 図 6 A 】

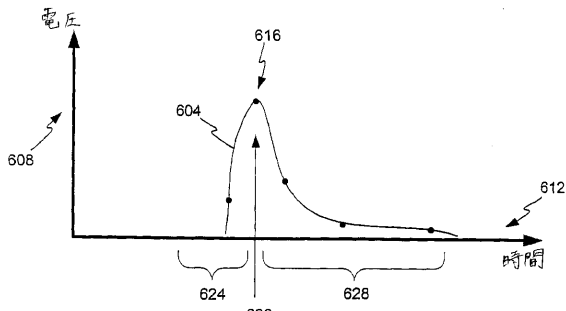


Fig. 6A

【 図 6 B 】

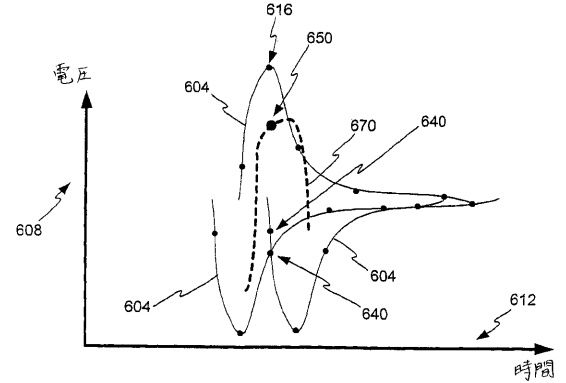


Fig. 6B

【 図 7 】

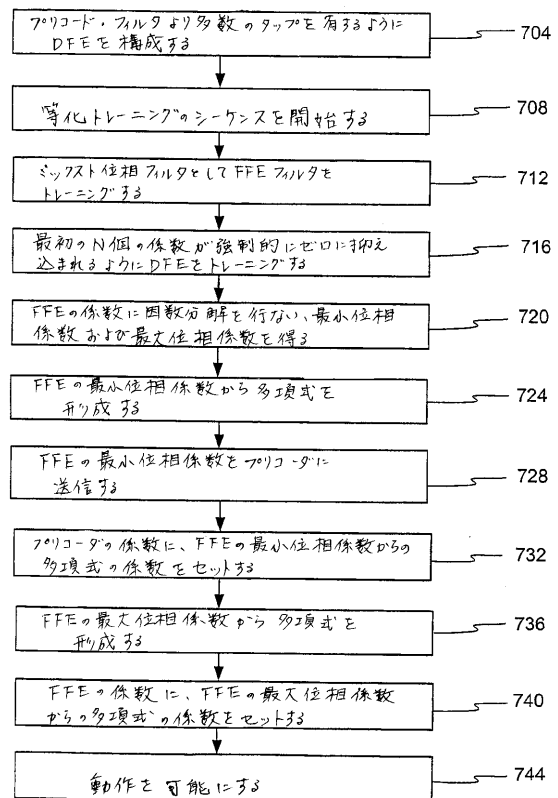


Fig. 7

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US03/20255		
A. CLASSIFICATION OF SUBJECT MATTER				
IPC(7) : H03K 5/159 US CL : 375/233 According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols) U.S. : 375/229, 370/441, 375/233				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) USPAT, EPO, JPO, DERWENT				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X --- Y	US 6,167,082 A (LING et al.) 26 December 2000 (26.12.2000), Abstract, lines 1-25; column 1, lines 38-61; column 2, lines 1-17 & 45-59; column 3, lines 1-10; column 4, lines 5-24 & 40-45.	1-6, 9-11, 13, 15, 16, 19, 21-23, 29-31		
Y	US 4,359,778 (LEE) 16 November 1982 (16.11.1982), column 7, lines 33-42 & lines 51-58; column 8, lines 42-51.	7,8,12,14,17		
Y	US 6,356,555 B1(RAKIB et al) 12 March 2002 (12.03.2002), column 101, lines 44-47; column 111, lines 24-30 & lines 53-58.	18, 24, 25-28		
Y	US 4,583,235 (DOMER et al) 15 April 1986 (15.04.1986), column 5, lines 23-46.	20		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.				
* Special categories of cited documents: <table border="0" style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> -A* document defining the general state of the art which is not considered to be of particular relevance -E* earlier application or patent published on or after the international filing date -L* documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) -O* document referring to an oral disclosure, use, exhibition or other means -P* document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top;"> -T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention -X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone -Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art -&* document member of the same patent family </td> </tr> </table>			-A* document defining the general state of the art which is not considered to be of particular relevance -E* earlier application or patent published on or after the international filing date -L* documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) -O* document referring to an oral disclosure, use, exhibition or other means -P* document published prior to the international filing date but later than the priority date claimed	-T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention -X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone -Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art -&* document member of the same patent family
-A* document defining the general state of the art which is not considered to be of particular relevance -E* earlier application or patent published on or after the international filing date -L* documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) -O* document referring to an oral disclosure, use, exhibition or other means -P* document published prior to the international filing date but later than the priority date claimed	-T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention -X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone -Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art -&* document member of the same patent family			
Date of the actual completion of the international search 17 September 2003 (17.09.2003)		Date of mailing of the international search report 12 DEC 2003		
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No.		Authorized officer Sudhanshu C. Pathak Telephone No. (703)-305-0541 <i>Argenio Zogian</i>		

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 将行

(72)発明者 ジョーンズ, ウィリアム

アメリカ合衆国、9 2 6 5 6 カリフォルニア州、アリソ・ピエホ、アリソ・クリーク・ロード、
2 7 6 6 2、ナンバー・5 2 0 1

Fターム(参考) 5K046 AA01 EE06 EE10 EF02 EF49