

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4140886号
(P4140886)

(45) 発行日 平成20年8月27日(2008.8.27)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int. Cl. F I
 H O 1 L 27/10 (2006.01) H O 1 L 27/10 4 3 1
 H O 1 L 27/10 4 5 1

請求項の数 9 (全 20 頁)

| | | | |
|--------------|-------------------------------|-----------|-------------------------|
| (21) 出願番号 | 特願2002-263591 (P2002-263591) | (73) 特許権者 | 398038580 |
| (22) 出願日 | 平成14年9月10日(2002.9.10) | | ヒューレット・パッカード・カンパニー |
| (65) 公開番号 | 特開2003-142654 (P2003-142654A) | | HEWLETT-PACKARD COMPANY |
| (43) 公開日 | 平成15年5月16日(2003.5.16) | | アメリカ合衆国カリフォルニア州パロアルト |
| 審査請求日 | 平成16年9月7日(2004.9.7) | | ト ハノーバー・ストリート 3000 |
| (31) 優先権主張番号 | 09/951, 378 | (74) 代理人 | 100081721 |
| (32) 優先日 | 平成13年9月14日(2001.9.14) | | 弁理士 岡田 次生 |
| (33) 優先権主張国 | 米国 (US) | (74) 代理人 | 100105393 |
| | | | 弁理士 伏見 直哉 |
| | | (74) 代理人 | 100111969 |
| | | | 弁理士 平野 ゆかり |

最終頁に続く

(54) 【発明の名称】 デュアル・トンネル接合メモリ・セルを有するメモリ・デバイス

(57) 【特許請求の範囲】

【請求項1】

第1の電極と、第2の電極と、該第1の電極および該第2の電極の間に形成された誘電体とからなる第1のトンネル接合と、

前記第1のトンネル接合と直列の第2のトンネル接合であって、前記第1の電極と、第3の電極と、該第1の電極および該第3の電極の間に形成された誘電体とからなる第2のトンネル接合と、を備え、

前記第1のトンネル接合は、前記第2のトンネル接合よりも低い破壊電圧を有し、書き込み電流または書き込み電圧が印加された時に、前記第2のトンネル接合が短絡されない状態のままで、該第1のトンネル接合は、所定の抵抗値を有する第1の抵抗状態から短絡状態に変化する、

メモリ・セル。

【請求項2】

第1の電極と、第2の電極と、該第1の電極および該第2の電極の間に形成された誘電体とからなる第1のトンネル接合と、

前記第1のトンネル接合と直列の第2のトンネル接合であって、前記第1の電極と、第3の電極と、該第1の電極および該第3の電極の間に形成された誘電体とからなる第2のトンネル接合と、を備え、

前記第1のトンネル接合は、前記第2のトンネル接合よりも高い抵抗を有し、書き込み電流が印加された時に、前記第2のトンネル接合が短絡されない状態のままで、該第1の

トンネル接合は、所定の抵抗値を有する第 1 の抵抗状態から短絡状態に変化する、メモリ・セル。

【請求項 3】

前記第 1 のトンネル接合のトンネリング領域は、前記第 2 のトンネル接合のトンネリング領域よりも小さい、

請求項 1 または 2 に記載のメモリ・セル。

【請求項 4】

前記第 1 のトンネル接合の前記誘電体は、不均一な厚さを有する、

請求項 1 または 2 に記載のメモリ・セル。

【請求項 5】

前記第 1 のトンネル接合の前記誘電体は、該第 1 のトンネル接合のトンネリング領域を画定する特徴形状を含む、

請求項 1 または 2 に記載のメモリ・セル。

【請求項 6】

メモリ・セルのアレイと、

前記メモリ・セルに接続された複数のワード線と、

前記メモリ・セルに接続された複数のビット線と、を備えるメモリ・アレイであって、

前記ワード線は、該メモリ・セルにおいて前記ビット線と交差しており、

前記メモリ・セルのそれぞれは、さらに、

第 1 の電極と、第 2 の電極と、該第 1 の電極および該第 2 の電極の間に形成された誘電体とからなる第 1 のトンネル接合と、

前記第 1 のトンネル接合に直列の第 2 のトンネル接合であって、前記第 1 の電極と、第 3 の電極と、該第 1 の電極および該第 3 の電極の間に形成された誘電体とからなる第 2 のトンネル接合と、を備え、

前記第 1 のトンネル接合は、前記第 2 のトンネル接合よりも低い破壊電圧を有し、書き込み電流または書き込み電圧が印加された時に、前記第 2 のトンネル接合が短絡されない状態のままで、該第 1 のトンネル接合は、所定の抵抗値を有する第 1 の抵抗状態から短絡状態に変化する、

メモリ・アレイ。

【請求項 7】

メモリ・セルのアレイと、

前記メモリ・セルに接続された複数のワード線と、

前記メモリ・セルに接続された複数のビット線と、を備えるメモリ・アレイであって、

前記ワード線は、該メモリ・セルにおいて前記ビット線と交差しており、

前記メモリ・セルのそれぞれは、さらに、

第 1 の電極と、第 2 の電極と、該第 1 の電極および該第 2 の電極の間に形成された誘電体とからなる第 1 のトンネル接合と、

前記第 1 のトンネル接合に直列の第 2 のトンネル接合であって、前記第 1 の電極と、第 3 の電極と、該第 1 の電極および該第 3 の電極の間に形成された誘電体とからなる第 2 のトンネル接合と、を備え、

前記第 1 のトンネル接合は、前記第 2 のトンネル接合よりも高い抵抗を有し、書き込み電流が印加された時に、前記第 2 のトンネル接合が短絡されない状態のままで、該第 1 のトンネル接合は、所定の抵抗値を有する第 1 の抵抗状態から短絡状態に変化する、

メモリ・アレイ。

【請求項 8】

前記第 1 のトンネル接合のトンネリング領域は、前記第 2 のトンネル接合のトンネリング領域よりも小さい、

請求項 6 または 7 に記載のメモリ・アレイ。

【請求項 9】

前記第 1 のトンネル接合の前記誘電体は、不均一な厚さを有しており、さらに、該第 1 の

10

20

30

40

50

トンネル接合の該誘電体は、該第 1 のトンネル接合のトンネリング領域を画定する特徴形状を有する、

請求項 6 または 7 に記載のメモリ・アレイ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、データを記憶するメモリ・デバイスに関し、より具体的には、直列のトンネル接合を備えたメモリ・セルを有するメモリ・デバイスに関する。

【 0 0 0 2 】

【従来の技術】

民生の電子製品において、該製品によって使用される命令などのデータを記憶するのにメモリ・デバイスが使用される。不揮発性メモリ・デバイスは、データを保持するのに電力を必要としないので望ましい。したがって、不揮発性メモリ・デバイスに記憶されたデータは、電源が消耗しつくされたりメモリ・デバイスから切断されたりしたときでも維持される。また、消費者は、ボリュームが小さくかつ低価格の製品を好み、不揮発性、高密度および低価格の要件は、メモリ・デバイスの設計上の主な決定要因である。また、より小さい電源を使用するほど民生電子製品のサイズを小さくすることができるので、消費電力が少ないことが望ましい。

【 0 0 0 3 】

不揮発性メモリ・デバイスは、一般に、ワンタイム・プログラム可能 (OTP) または再プログラム可能なメモリ・セルを有する。再プログラム可能なメモリ・セルは、2 値状態の間で切り替えることができる。OTPメモリ・セルの状態は、一端セルがプログラムされた後は恒久的なものとなる。OTPメモリ・デバイスは、一般に、ヒューズ、アンチヒューズ、電荷蓄積、またはマスク読み取り専用メモリ (マスクROM) として分類されることができる。

【 0 0 0 4 】

ヒューズ・メモリ・セルは、プログラミング中にセルが「飛ばされる」ように、セルの両端に大きな電圧を印加することによってプログラムされる。ヒューズ・メモリ・セルの2 値状態は、読み取りプロセス中に測定されるセル両端の抵抗として検出されることができる。ヒューズ・メモリ・デバイスは、ヒューズ・メモリ・セルをプログラムするために大きい電流が必要になるので、あまり普及していない。プログラミング電流が大きいと、大きい駆動トランジスタを有する高圧電源または電荷ポンプ回路が必要とされる。また、ヒューズ・メモリ・セルは、それぞれのヒューズ要素に必要なコンタクト領域のために、基板の大きな領域を占める。セル・サイズが大きいと、アレイ密度が低下し、ヒューズ・メモリ・デバイスのサイズが大きくなる。

【 0 0 0 5 】

ヒューズ・メモリ・セルは、ダイオードやトランジスタなどの分離素子を含むことが多く、これにより、セル・サイズがさらに大きくなる。ヒューズ・メモリ・セル内に使用される分離ダイオードおよびトランジスタは、電流性能が制限されており、メモリ・セルをプログラムするのに必要な大きい書き込み電流によって損傷されることがある。さらに、絶縁ダイオードおよびトランジスタは、一般にシリコン・ベースの能動素子であり、これは、シリコン結晶基板上に最も容易に形成される。この種の分離素子は、多層のヒューズOTPアレイの積み重ねを含まず、よって可能なアレイ密度を低下させる。微結晶および非晶質のダイオードおよびトランジスタなどの他のシリコン・ベースの分離素子は、積み重ね (スタック) を可能にするが、製作の複雑さおよびコストを増やす。最後に、ヒューズ・メモリ・セルは、破壊しきい値分布が広いという特徴がある。破壊しきい値分布が広いということは、セルをプログラムするために書き込み電流の大きな変化を必要とすることを意味する。一般に、広い破壊しきい値分布を考慮するためには、書き込み電流を大きくしなければならない。

【 0 0 0 6 】

10

20

30

40

50

従来のアンチヒューズ・メモリ・セルは、一般に、金属 - 誘電体 - 金属のスタックを含む。従来のアンチヒューズ・メモリ・セルは、セルの両端に大きい書き込み電位を印加することによってプログラムされる。この書き込み電位は、アンチヒューズをトリガし、プログラムされたメモリ・セルの両端の抵抗を小さくする。従来のアンチヒューズ・メモリ・セルには、ヒューズ/トランジスタ・セルと同じ多数の欠点がある。例えば、従来のアンチヒューズ・メモリ・セルは、高い書き込み電位を必要とし、シリコン・ベースの能動分離素子を必要とすることがある。

【0007】

一般の電荷蓄積メモリは、EPROMである。EPROMメモリは、ファウラー = ノルトハイム・トンネル効果 (Fowler-Nordheim tunneling) を利用して、基板からメモリ・セル内のフローティング・ゲートに電荷を送る。EPROMメモリは、高い書き込み電圧を必要とし、EPROM素子の書き込み速度は、トンネル電流密度によって制限される。

10

【0008】

マスクROMメモリは、ユーザ・レベル(「フィールド・プログラミング」)ではなく製造時にプログラムされる。したがって、マスクROM素子の各バッチは、アプリケーション(用途)固有である。ほとんどの製造プロセスに見られるように、コストの削減は量を増やすことにより実現される。したがって、マスクROMの生産のコスト効率を高めるためには、アプリケーション固有のメモリに大きな需要がなければならない。大規模な処理を求めるこの要件により、多くのアプリケーションにとってマスクROMは高価になりすぎる。

20

【0009】

【発明が解決しようとする課題】

したがって、高密度配列が可能なメモリ・セルを有する低コストのメモリ・デバイスが必要とされている。また、高速処理が可能で過度の処理電力を必要としないメモリ・デバイスが必要とされている。

【0010】

【課題を解決するための手段】

第1の側面によると、メモリ・デバイスは、第1のトンネル接合と、第1のトンネル接合と直列な第2のトンネル接合とを有するデュアル・トンネル接合メモリ・セルを含む。第1のトンネル接合を、第1の抵抗状態から第2の抵抗状態に変化させることができる。メモリ・セルは、メモリ・デバイスのデータ記憶要素であり、この2つの抵抗状態は、メモリ・セルの2値状態を表す。第1と第2のトンネル接合は、異なるアンチヒューズ特性を有し、第2のトンネル接合抵抗が実質的に変化しないままで第1のトンネル接合が短絡されるように、メモリ・セルをプログラムすることができる。

30

【0011】

第1の側面によれば、第1のトンネル接合が短絡された場合、第2のトンネル接合は、プログラムされたメモリ・セルの分離機能を提供する。したがって、メモリ・デバイス内のメモリ・セルを分離(絶縁)するために、シリコン・ベースの能動的な分離ダイオードおよび/またはトランジスタが不要となる。したがって、メモリ・デバイスは、スタック型のメモリ要素を含むことができ、アレイ密度を高めることができる。

40

【0012】

また、第1の側面によれば、トンネル接合メモリ・セルは、ダイオード/トランジスタの分離素子を有する従来のメモリ・セルよりも小さい。この側面により、さらに、アレイ密度が向上する。また、ダイオード/トランジスタの分離素子が無いので、メモリ・デバイスの製造が単純になる。

【0013】

第2の側面によれば、メモリ・セルに書き込み電流を印加することによって、選択されたメモリ・セルをプログラムすることができる。第1のトンネル接合の抵抗を、第2のトンネル接合の抵抗よりも高くして、書き込み電流が印加されたときに、第1のトンネル接合の両端に高い電圧が生成されるようにすることができる。

50

【0014】

第2の側面によれば、第1のトンネル接合の両端の高い電圧は、第1のトンネル接合の破壊電圧を超えることができ、選択されたセルをプログラムするのに使用されることができる。第1のトンネル接合のトンネリング領域を減少させ、誘電体内にあり得る欠陥領域を有利に減少させることによって、第1のトンネル接合の抵抗を増やすことができる。該あり得る欠陥が減少するので、メモリ・デバイスの電圧/電流プログラミング分布（破壊しきい値分布）が小さくなり、それによりメモリ・デバイスの電力要件が低減する。

【0015】

本発明の第3の側面によると、第1のトンネル接合の破壊電圧を超える書き込み電圧を印加することによって、デュアル・トンネル接合メモリ・セルをプログラムすることができる。第1のトンネル接合の破壊電圧は、第1のトンネル接合内の誘電体を形成するのに使用される材料とその厚さによって決定されることができる。

10

【0016】

第3の側面によれば、トンネル接合のプログラミング電圧は、誘電層の破壊電圧を低下させることによって低下させることができる。したがって、プログラミング電圧を、従来のアンチヒューズ素子よりも低くすることができる。プログラミング電圧が低いと、メモリ・デバイス内の書き込み回路を小さくし、消費電力を少なくすることができる。

【0017】

第4の側面によれば、不均一な厚さを有する第1のトンネル接合に誘電体を設けることによって、第1のトンネル接合の破壊しきい値分布を小さくすることができる。この不均一な厚さは、誘電体内に特徴形状を形成することによって確立されることができ、この場合、書き込みプロセス中、トンネル効果は該特徴形状において生じる。

20

【0018】

第4の側面によれば、特徴形状は、誘電体の薄い領域に作られることができ、これにより、第1のトンネル接合の破壊電圧を低くすることができる。また、特徴形状は、第1のトンネル接合に比較的小さいトンネリング領域を提供し、これにより、メモリ・デバイスの破壊しきい値分布を小さくする。

【0019】

他の側面および利点は、図と関連して行われる以下の詳細な説明から明らかになるであろう。詳細な説明は、同じ番号が同じ要素を示す図面を参照する。

30

【0020】

【発明の実施の形態】

好ましい実施形態および図面によって、デュアル・トンネル接合メモリ・セルを有するメモリ・デバイスについて説明する。

【0021】

図1は、デュアル・トンネル接合メモリ・セル130を有するメモリ・アレイ100の回路の斜視図である。このメモリ・アレイ100において、ワード線110が横の行に延び、ビット線120が縦の列に延びる。ワード線110は、メモリ・セル130においてビット線120と交差する。各メモリ・セル130は、「1」または「0」の2値状態を記憶することができる。図1において、デュアル・トンネル接合メモリ・セル130は、2つの抵抗型素子として象徴的に示されている。各抵抗型素子は、メモリ・セル130内のトンネル接合に対応する。

40

【0022】

図2は、図1に示したようなメモリ・アレイ100と、関連する読み書き回路とを含むメモリ・デバイス10の概略図である。メモリ・デバイス10は、メモリ・アレイ100、メモリ・アレイ100の行1~6に結合された行デコーダ300、メモリ・アレイ100の列1~7に結合された列デコーダ400、および読み取りプロセス中にメモリ・セル130の2値状態を検出するセンス・アンプ500を含む。図2において、説明のために、42個のメモリ・セル130で交差する6つの行のワード線110と7つの列のビット線120が示されている。実際には、例えば1024×1024個以上のメモリ・セルのア

50

レイを使用することができる。

【 0 0 2 3 】

行デコーダ 3 0 0 は、書き込みプロセス中に選択されたメモリ・セル 1 3 0 を含む行に、書き込み電圧 V_w または書き込み電流 I_w を選択的に印加したり、読み取りプロセス中に読み取り電位 V_r を印加したりするための複数のスイッチを含む。同様に、列デコーダ 4 0 0 は、書き込みプロセス中に選択されたメモリ・セル 1 3 0 を含む選択された列をアースに接続したり、読み取りプロセス中に選択された列をセンス・アンプ 5 0 0 に接続したりするための複数のスイッチを含むことができる。

【 0 0 2 4 】

選択されたメモリ・セル 1 3 0 をプログラムし、すなわちそれに「書き込む」ために、行デコーダ 3 0 0 は、書き込み電圧 V_w または書き込み電流 I_w と、選択された列のワード線 1 1 0 との間のスイッチを閉じ、列デコーダ 4 0 0 は、アースと、選択された列のビット線 1 2 0 との間のスイッチを閉じる。書き込み電圧 V_w か書き込み電流 I_w かの選択は、メモリ・アレイ 1 0 0 に含まれるデュアル・トンネル接合メモリ・セル 1 3 0 の種類に依存することができる。選択されたメモリ・セル 1 3 0 に印加される書き込み電圧 V_w または書き込み電流 I_w は、選択されたメモリ・セル 1 3 0 の第 1 のトンネル接合を絶縁破壊すなわち「飛ばす (blow)」のに十分であり、これにより、選択されたメモリ・セル 1 3 0 の両端の抵抗を変化させる。書き込み電圧 V_w または書き込み電流 I_w は、メモリ・セル 1 3 0 の第 2 のトンネル接合を「飛ばす」のに不十分である。プログラムされたメモリ・セル 1 3 0 内の第 2 のトンネル接合は、実質的に、その書き込み前の抵抗を維持することができ、プログラムされたメモリ・セル 1 3 0 の分離素子として機能する。メモリ・セル 1 3 0 と書き込みプロセスの実施形態については、後で詳しく説明する。

【 0 0 2 5 】

図 3 A は、図 1 に示したメモリ・アレイ 1 0 0 の実施形態の一部を示す断面図であり、メモリ・セル 1 3 0 の実施形態を含む。図 3 B は、メモリ・アレイ 1 0 0 の一部の上面図である。図 3 C は、図 3 A に示したようなメモリ・セル 1 3 0 の側面図である。

【 0 0 2 6 】

図 3 A および 3 B 参照すると、メモリ・アレイ 1 0 0 の図示される部分は、ワード線 1 1 0 とビット線 1 2 0 の交点に配置された複数のメモリ・セル 1 3 0 を含む。ビット線 1 2 0 は、メモリ・アレイ 1 0 0 の基板 1 3 2 上に配置された絶縁層 1 2 8 上に配置される。絶縁層 1 2 8 は、例えば、 SiO_x 、 SiN_x 、 SiO_xN_y 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 、および他の非導電材料であることができる。基板 1 3 2 は、例えば半導体基板である。基板 1 3 2 は電子回路を含むことができ、絶縁層 1 2 8 は、回路とメモリ・セル 1 3 0 の間を絶縁する。代替的に、ビット線 1 2 0 は、基板 1 3 2 のすぐ上に配置されてもよい。絶縁層 1 2 8 上のメモリ・セル 1 3 0 間に、絶縁体 1 2 5 が配置される。絶縁体 1 2 5 は、説明のため図 3 B には示されていない。絶縁体 1 2 5 は、例えば、 SiO_x 、 SiN_x 、 SiO_xN_y 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 、および他の非導電材料である。

【 0 0 2 7 】

図 3 C を参照すると、メモリ・セル 1 3 0 は、第 1 のトンネル接合 1 3 4 と、該第 1 のトンネル接合 1 3 4 に直列な第 2 のトンネル接合 1 3 6 とを含む。第 1 のトンネル接合 1 3 4 は、第 2 のトンネル接合 1 3 6 と異なるアンチヒューズ特性を有する。メモリ・セル 1 3 0 は、第 1 のトンネル接合 1 3 4 を絶縁破壊、すなわち「飛ばす」のに十分な書き込み電流 I_w をメモリ・セル 1 3 0 に印加し、メモリ・セル 1 3 0 の抵抗状態を変化させることによって、プログラムすなわち書き込まれる。その結果である第 2 の抵抗状態は、第 1 のトンネル接合 1 3 4 の短絡状態となりうる。第 2 のトンネル接合 1 3 6 は、書き込み電流 I_w がメモリ・セル 1 3 0 に印加されたときに第 2 のトンネル接合 1 3 6 を短絡するのに不十分なように設計される。したがって、第 2 のトンネル接合 1 3 6 は、第 1 のトンネル接合 1 3 4 が飛ばされた後、メモリ・セル 1 3 0 における分離機能としてはたらし、これによってシリコン・ベースの能動的な分離素子が不要となる。第 1 と第 2 のトンネル接

10

20

30

40

50

合 1 3 4、1 3 6 の異なるアンチヒューズ特性は、この書き込み方式を可能にし、これについては後で説明する。

【 0 0 2 8 】

第 1 のトンネル接合 1 3 4 は、第 1 の電極 1 4 2、誘電体 1 4 4、および第 2 の電極 1 4 6 を含む。第 1 のトンネル接合 1 3 4 のトンネリング領域は、誘電体 1 4 4 が第 1 の電極 1 4 2 と接触している部分である。第 2 の電極 1 4 6 は、誘電体 1 4 4 をワード線 1 1 0 に電氣的に結合する。代替的に、第 2 の電極 1 4 6 を省略することができ、ワード線 1 1 0 を誘電体 1 4 4 に直接結合することができる。誘電体 1 4 4 は、例えば SiO_x 、 SiN_x 、 SiO_xN_y 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 、および他の誘電体材料からなることができる。誘電体 1 4 4 は、例えば、0.5 nm ~ 50 nm 程度の厚さを有する。第 1 と第 2 の電極 1 4 2、1 4 6 は、例えば、アルミニウム、銅、銀、金、および他の導電体などの任意の導電体材料であることができる。また、第 1 のトンネル接合 1 3 4 は、スペーサ 1 3 9 を含む。スペーサ 1 3 9 は、メモリ・セル 1 3 0 の製造中に、誘電体 1 4 4 の第 1 の電極 1 4 2 と接触する面積を小さくするのに使用され、これによって第 1 のトンネル接合 1 3 4 のトンネリング領域が小さくなる。

10

【 0 0 2 9 】

第 2 のトンネル接合 1 3 6 は、第 1 のトンネル接合 1 3 4 と直列であり、デュアル・トンネル接合メモリ・セル 1 3 0 を形成する。第 2 のトンネル接合 1 3 6 は、第 1 の電極 1 4 2 を第 1 のトンネル接合 1 3 4 と共用し、また誘電体 1 4 8 および第 3 の電極 1 5 0 を含む。誘電体 1 4 8 は、例えば SiO_x 、 SiN_x 、 SiO_xN_y 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 、および他の誘電体材料から作成されるることができる。誘電体 1 4 8 は、例えば約 0.5 nm ~ 50 nm 程度の厚さを有することができる。第 3 の電極 1 5 0 は、誘電体 1 4 8 をビット線 1 2 0 に電氣的に結合する。代替的に、誘電体 1 4 4 は、ビット線 1 2 0 のすぐ上に配置されてもよく、この場合、第 3 の電極 1 5 0 を省略することができる。

20

【 0 0 3 0 】

第 1 のトンネル接合 1 3 4 は、書き込み電流 I_w が印加されたときに第 2 のトンネル接合 1 3 6 よりも前に絶縁破壊するように設計されている。トンネル接合の絶縁破壊は、電極材料、誘電体材料、誘電体の製造方法、および誘電体の厚さを含むいくつかの要因に依存する。一般に、トンネル接合の両端の抵抗は、トンネル接合の面積に反比例する。図 3 A ~ 図 3 C に示した実施形態において、トンネル接合 1 3 4 のトンネル効果が生じる領域は、第 2 の電極 1 4 6 の底部と第 1 の電極 1 4 2 の頂部の間の誘電体 1 4 4 の領域である。この領域は、メモリ・アレイ 1 0 0 の製造中、誘電体 1 4 4 を形成する前にスペーサ 1 3 9 を形成することによって、比較的小さくされる。第 2 のトンネル接合 1 3 6 の領域は、誘電体 1 4 8 の第 1 と第 3 の電極 1 4 2、1 5 0 と接触している領域であり、第 1 のトンネル接合 1 3 4 のトンネリング領域よりも大きい。誘電体 1 4 4、1 4 8 の厚さと材料が同様のものである場合、第 1 のトンネル接合 1 3 4 のトンネリング領域の方が小さいため、第 1 のトンネル接合 1 3 4 は、第 2 のトンネル接合 1 3 6 の抵抗 R_2 よりも大きい抵抗 R_1 を有する。

30

【 0 0 3 1 】

トンネル接合の破壊電圧 (breakdown voltage) は、トンネル接合の誘電体障壁層を形成するのに使用される厚さおよび材料に依存する。メモリ・セル 1 3 0 において、第 1 と第 2 のトンネル接合 1 3 4、1 3 6 の破壊電圧を、ほぼ等しくすることができる。

40

【 0 0 3 2 】

書き込みプロセスは、書き込み電流 I_w が印加されたときに生成される電圧に関して以下のように説明することができる。

【 0 0 3 3 】

【 数 1 】

$$V_1 = I_w \cdot R_1$$

$$V_2 = I_w \cdot R_2$$

50

【0034】

ここで、

V_1 は、第1のトンネル接合134の両端の電圧であり、

V_2 は、第2のトンネル接合136の両端の電圧であり、

R_1 は、第1のトンネル接合134の抵抗であり、

R_2 は、第2のトンネル接合136の抵抗である。

【0035】

V_1 と V_2 の式に示されるように、第1のトンネル接合134の抵抗 R_1 が、第2のトンネル接合136の抵抗 R_2 よりも高いので、第1のトンネル接合134の両端の電圧 V_1 は、 V_2 よりも高い。アンチヒューズ素子は、トンネル接合がその破壊電圧よりも高い電位にさらされたとき、金属または他の導電性エレメントが誘電体中に拡散することによって「短絡」する。この拡散は、アンチヒューズの両端の電圧によって引き起こされる。したがって、第1のトンネル接合134の電流の流れ I_w により、電圧 V_1 は第1のトンネル接合の破壊電圧を超えるが、電圧 V_2 は第2のトンネル接合136の破壊電圧を超えない。第1のトンネル接合134の絶縁破壊により、第2の電極146から誘電体144を横切るよう導電性エレメントが拡散することとなり、それにより、第1のトンネル接合134が短絡する。また、書き込み電流 I_w の方向を逆にして、第1の電極142から誘電体144を横切るよう導電性エレメントを拡散させることもできる。

10

【0036】

図3A～図3Cに示した実施形態において、第2のトンネル接合136と第1のトンネル接合134の面積比は、約1.5:1であることができる。誘電体144、148を形成するのに使用される材料およびその厚さが同様のものである場合は、抵抗 R_1 と R_2 の比率も約1.5:1である。したがって、 V_1 は、 V_2 の1.5倍以上であり、書き込みプロセス中に第2のトンネル接合136に著しい変化が起こらないよう、 V_2 を十分低くすることができる。トンネル接合136、134間の面積比を大きくして、書き込みプロセス中に第2のトンネル接合136に変化が起こる前に確実に第1のトンネル接合134が飛ぶようにすることができる。この面積比はまた、メモリ・セル130が使用される用途によっては、1.5:1よりも小さくすることができる。

20

【0037】

図3Aと図3Bにおいて誘電体の厚さが等しいように示したが、この構成は、異なるアンチヒューズ特性を得るには必要とされない。例えば、誘電体のどちらかが、厚さが小さく破壊電界が高い誘電体材料（例えば、 Al_2O_3 は約 $2.7 \times 10^{+7} V/cm$ の破壊電界を有する）でよく、厚さが大きく破壊電界が低い誘電体材料（例えば、 SiO_2 は、約 $0.6 \times 10^{+6} V/cm$ の破壊電界を有し、 ZnS は、約 $1.7 \times 10^{+6} V/cm$ の破壊電界を有する）でもよい。また、トンネル接合の破壊電圧は等しくなくてもよい。上記の実施形態において、重要な設計要素は、第2のトンネル接合136が短絡されない状態のまま、書き込み電流 I_w が、第1のトンネル接合134の抵抗状態を第1の状態から第2の状態に変化させることである。

30

【0038】

図4Aおよび図4Bは、トンネル接合が直列に配列されたデュアル・トンネル接合メモリ・セル230の代替実施形態を示す。図4Aは、メモリ・セル230の斜視図であり、図4Bは、図4Aにおいて線4B-4Bで切断した断面図である。メモリ・セル230は、図2に示したようなメモリ・アレイ100で使用されることができる。

40

【0039】

メモリ・セル230は、ワード線110とビット線120の間に挟まれた第1のトンネル接合234と第2のトンネル接合236とを含む。第1のトンネル接合234は、不均一な厚さの誘電体244（分解形式で示されている）を有し、第2のトンネル接合236と異なるアンチヒューズ特性を有する。第1のトンネル接合234は、第1の電極242、誘電体244、および第2の電極246を含む。第2のトンネル接合236は、第1の電極246を第1のトンネル接合234と共用し、また誘電体240（分解形式で示されて

50

いる)と第3の電極250を含む。

【0040】

図4Aおよび図4Bに示されるように、誘電体244は、不均一な厚さを有し、誘電体244内に延びる特徴形状すなわち溝248を含む。第1のトンネル接合234のトンネリング領域は、本質的に、溝248の底の領域に等しい。したがって、溝248によって、第1のトンネル接合234の破壊電圧が低減する。溝248の下の誘電体244の厚さを変化させ、誘電体244の材料を変更することによって、誘電体244の破壊電圧を容易に調整することができる。

【0041】

メモリ・セル230は、書き込み電流 I_w または書き込み電圧 V_w をメモリ・セル230に印加することによってプログラムされる。溝248の下の誘電体244の比較的薄い領域は、書き込み電流 I_w または書き込み電圧 V_w が印加されたときの第1のトンネル接合234の絶縁破壊の場所であり、ここで、電極242、244の一方から金属が、溝248の下の誘電体244に拡散する。溝248の下の比較的小さいトンネリング領域は、局所的な拡散領域を提供し、その結果、メモリ・セル230の破壊しきい値分布が小さくなる。破壊しきい値分布が小さいと、誘電体244の欠陥によって第1のトンネル接合234内の破壊電圧に変動がもたらされる可能性が低くなる。したがって、メモリ・セル230をプログラムするために使用される書き込み電流 I_w または書き込み電圧 V_w を小さくすることができる。また、この特徴は、書き込みプロセス中に第2のトンネル接合236が不慮に変化する可能性を小さくする。

【0042】

第2のトンネル接合236の厚さと材料は、(プログラミング前に)第2のトンネル接合236の抵抗が第1のトンネル接合234の抵抗とほぼ等しくなるように選択することができる。この実施形態において、書き込みプロセスにおいて第1のトンネル接合234が短絡されると、メモリ・セル130の全抵抗を約半分に減少させることができる。

【0043】

図4Bにおいて、第2および第3の電極246、250は必須ではなく、代わりに、誘電体をワード線とビット線に直接結合してもよい。

【0044】

図5A、図5B、図6A、図6B、図7、および図8は、メモリ・セル230に使用するのに適した誘電体の代替実施形態を示す。それぞれの実施形態は、低い破壊電圧と小さいトンネリング領域を提供するのに異なる特徴を有する。

【0045】

図5Aは、底が尖った凹部348を有する誘電体344を示す。図5Bに示したように、凹部348は、その最も低い場所で厚さが比較的小さく、誘電体344に小さいトンネリング領域を提供する。図6Aおよび図6Bは、V字形の切り欠き形状の凹部448を有する誘電体444を示す。図7および図8は、円錐形の切り欠き形状の凹部548を有する誘電体544を示す。これらのすべての特徴形状は、低い破壊電圧と、小さい破壊しきい値分布を提供する。図4~図7に示した特徴形状248、348、448、548は、例えば刻印プロセス(imprinting process)によって誘電体に形成することができる。

【0046】

低い破壊電圧を得るために、不均一な誘電体を設けたり誘電体の表面積を小さくしなくてもよい。例えば、厚さが薄い誘電体を使用することによって、または低い破壊電界の誘電体材料を使用することによって、または材料と幾何学形状の違いを組み合わせることによっても、低い破壊電圧を得ることができる。メモリ・セルの代替実施形態(図示せず)は、比較的薄い誘電体を有する第1のトンネル接合と、より厚い誘電体を有する第2のトンネル接合とを含むことができる。両方の誘電体は、類似の形状(例えば、平行六面体)を有することができ、類似の材料で作成することができる。第1のトンネル接合234の薄い誘電体は、書き込み電流または書き込み電圧 V_w が印加されたときに第1のトンネル接合234が第2のトンネル接合236よりも前に飛ばされるように、異なる

10

20

30

40

50

アンチヒューズ特性（この実施形態では、より低い破壊電圧）を提供する。

【0047】

上記の実施形態によれば、メモリ・デバイス10は、メモリ・アレイ100内のメモリ・セルを分離するために、ダイオードやトランジスタなどのシリコン・ベースの能動的な分離素子を必要としない。したがって、メモリ・デバイス10は、スタック型のメモリ要素を含むことができ、アレイ密度を高めることができる。トンネル接合を比較的小さくすることができ、それによりアレイ100について可能なアレイ密度をさらに高める。さらに、トンネル接合の破壊電圧は、誘電体の厚さ、材料、および幾何学形状を調整することによって容易に操作される。したがって、所望のトンネル接合特性を選択することによって、書き込み電流 I_w または書き込み電圧 V_w を低減させることができる。

10

【0048】

上記の実施形態のもう一つの利点は、第1のトンネル接合における誘電体によって提供される小さな破壊しきい値分布である。誘電体の破壊電圧の変動が低減されるので、メモリ・セルをプログラムするのに使用される書き込み電圧 V_w または書き込み電流 I_w の分布（電圧/電流プログラミング分布）を制御することができる。この態様は、メモリ・デバイス10の電力要件を減少させ、メモリ・デバイス10内の選択されていない要素が、書き込みプロセスで不慮に変更される可能性を減少させる。

【0049】

次に、図2および図3A～図3Cに示したメモリ・セルの実施形態と関連して、メモリ・デバイス10の書き込みプロセスを説明する。この実施形態では、メモリ・セル130をプログラムするために書き込み電流 I_w が印加される。

20

【0050】

図2を参照すると、選択されたメモリ・セル130に書き込むために、選択されたメモリ・セル130と交差するワード線110に書き込み電流 I_w が印加される。選択されたワード線110を I_w に接続する行デコーダ300内のスイッチを閉じることによって、書き込み電流 I_w を印加することができる。選択されていないワード線110に接続された行デコーダ300内のスイッチは、開いている。同時に、列デコーダ400は、選択されたメモリ・セル130と交差するビット線120をアースに接続する。したがって、書き込み電流 I_w は、選択されたワード線110と、選択されたメモリ・セル130と、選択されたビット線120とを通過してアースに流れる。選択されていないビット線120へのスイッチは開いている。

30

【0051】

図3Cを参照すると、書き込み電流 I_w は、選択されたメモリ・セル130内の第1のトンネル接合134を飛ばすのに十分な電圧 V_1 を誘電体144の両端に生成し、第2のトンネル接合136を飛ばすのに不十分な電圧 V_2 を誘電体148の両端に生成するように選択される。電圧 V_1 は、第2の電極146から誘電体144への導電性エレメントの拡散を引き起こし、第2の電極146（およびビット線110）を第1の電極142に電気的に接続する。第2の電極146と第1の電極142が繋がると、メモリ・セル130の抵抗が第1の状態から第2の状態に変化し、これは、読み取りプロセスによって検出可能である。第1のトンネル接合134が飛ばされた後、アンチヒューズの働きにより、第1のトンネル接合134の両端の抵抗をほぼゼロに減少させることができる（すなわち、短絡）。したがって、書き込みプロセスの後では、メモリ・セル130の両端の抵抗は、第2のトンネル接合136の両端の抵抗に近いものとなる。

40

【0052】

図4～図8に示した実施形態の書き込みプロセスは、上記の実施形態と類似している。図4～図8の実施形態は、書き込み電流 I_w または書き込み電圧 V_w を印加することによってプログラムすることができる。図2は、メモリ・セル130を有するアレイ100を示すが、メモリ・デバイス10に、図4Aおよび図4Bに示されるセルのようなメモリ・セル230を使用することもできる。メモリ・セル230をプログラムする書き込みプロセスを以下に説明する。

50

【 0 0 5 3 】

図 2 および図 4 B を参照すると、選択されたメモリ・セル 2 3 0 は、選択されたメモリ・セル 2 3 0 と交差するワード線 1 1 0 に書き込み電圧 V_w または書き込み電流 I_w を印加することによってプログラムされる。書き込み電圧 V_w または書き込み電流 I_w は、行デコーダ 3 0 0 内のスイッチを閉じて、選択したワード線 1 1 0 を V_w または I_w に接続することによって印加されることができる。選択していないワード線 1 1 0 に接続された行デコーダ 3 0 0 内のスイッチは開いている。これと同時に、列デコーダ 4 0 0 は、選択されたメモリ・セル 2 3 0 と交差するビット線 1 2 0 をアースに接続する。これにより、書き込み電圧 V_w または書き込み電流 I_w が、選択されたメモリ・セル 2 3 0 に印加される。残りのビット線 1 2 0 へのスイッチは開いている。

10

【 0 0 5 4 】

図 4 B を参照すると、選択されたメモリ・セルの両端の書き込み電圧 V_w は、 V_1 の第 1 のトンネル接合 2 3 4 と V_2 の第 2 のトンネル接合 2 3 6 の間で分配される。ここで、 $V_w = V_1 + V_2$ である。書き込み電圧 V_w は、選択されたメモリ・セル 2 3 0 に直接印加されてもよく、または、選択されたメモリ・セル 2 3 0 に印加される書き込み電流 I_w から生じたものでもよい。 V_1 は、選択されたメモリ・セル 2 3 0 内の第 1 のトンネル接合 2 3 4 を飛ばすのに十分であるが、 V_2 は、第 2 のトンネル接合 2 3 6 を飛ばすのに不十分である。書き込み電圧 V_w の印加は、第 1 のトンネル接合 2 3 4 が短絡されたときに第 2 のトンネル接合 2 3 6 に著しい電流増加が生じないように、電流制限機能によって制御されてもよい。電圧 V_1 は、第 2 の電極 2 4 6 から誘電体 2 4 4 への導電性エレメントの拡散を引き起こし、これにより、第 2 の電極 2 4 6 (およびビット線 1 1 0) を第 1 の電極 2 4 2 に電氣的に接続する。第 2 の電極 2 4 6 と第 1 の電極 2 4 2 とが繋がると、メモリ・セル 2 3 0 の抵抗が変化し、これは、読み取りプロセスによって検出可能である。第 1 のトンネル接合 2 3 4 が飛ばされた後、アンチヒューズの働きにより、第 1 のトンネル接合 2 3 4 の両端の抵抗をほぼゼロに減少させることができる (すなわち短絡) 。

20

【 0 0 5 5 】

上記の電圧書き込みプロセスに代えて、行デコーダ 3 0 0 と列デコーダ 4 0 0 は、選択されたメモリ・セルを流れる電流を検知するフィードバック・センサ (図示せず) に応答することができる。フィードバック・センサは、選択されたメモリ・セルの第 1 のトンネル接合が飛ばされたことを示し、そのとき、書き込みプロセスを中止して第 2 のトンネル接合が不慮に飛ばされないようにすることができる。

30

【 0 0 5 6 】

次に、図 2 を参照して、メモリ・デバイス 1 0 の読み取りプロセスを説明する。メモリ・デバイス 1 0 は、*Trans* に対する米国特許第 6, 259, 644 号に開示されているような等電位読み取りプロセス (equipotential read process) を有利に使用することができる。この特許の内容は、参照よりここに組み込まれる。等電位読み取りプロセスについては、後でメモリ・セル 1 3 0 に関して概略的に説明するが、ここで説明するプロセスは、本明細書に記載されている代替メモリ・セルの実施形態を使用するメモリ・デバイス 1 0 に適している。

【 0 0 5 7 】

選択されたメモリ・セル 1 3 0 の 2 値状態を求めるために (すなわち、読み取るために) 、読み取り電位 V_r が、選択されたメモリ・セル 1 3 0 の行に対応するワード線 1 1 0 に印加され、選択されたメモリ・セル 1 3 0 の列に対応するビット線 1 2 0 が、列デコーダ 4 0 0 を介してセンス・アンプ 5 0 0 に結合される。メモリ・アレイ 1 0 0 内の他のすべてのビット線 1 2 0 に、等しい電位を印加することができる。センス・アンプ 5 0 0 は、選択されたビット線 1 2 0 からの電流を検出して、選択されたメモリ・セル 1 3 0 の 2 値状態を求める。この 2 値状態は、センス・アンプ 5 0 0 の出力に結合された処理装置 (図示せず) によって検出されることができ、センス・アンプ 5 0 0 の出力は、選択されたメモリ・セル 1 3 0 の抵抗状態を示す。代替的に、センス・アンプ 5 0 0 は、2 値状態を求めて該 2 値状態を処理装置に出力する回路を含むことができる。

40

50

【 0 0 5 8 】

選択されたメモリ・セル 1 3 0 の 2 値状態は、選択されたメモリ・セル 1 3 0 の抵抗の第 1 の高い値から、書き込みプロセス後の第 2 の低い値への変化として求めることができる。例えば、第 1 の高い抵抗状態では、メモリ・セル 1 3 0 内の電流が少なくなり、これは、2 値状態の「 0 」を表すことができる。第 2 の低い抵抗状態（第 1 のトンネル接合 1 3 4 を飛ばした後）では、メモリ・セル 1 3 0 内の電流が多くなり、2 値状態の「 1 」を表すことができる。

【 0 0 5 9 】

書き込みプロセス後で、メモリ・セル 1 3 0 は、第 2 のトンネル接合 1 3 6 を非短絡状態に維持する。したがって、選択されたメモリ・セル 1 3 0 をプログラムした後において、メモリ・アレイ 1 0 0 内に短絡はない。この分離機能により、メモリ・アレイ 1 0 0 内の読書きプロセスに悪影響を及ぼすことなく、複数のセル 1 3 0 をプログラムすることができる。

10

【 0 0 6 0 】

上記の実施形態によると、2 値状態の「 1 」または「 0 」をメモリ・セルに記憶することができる。書き込み前のメモリ・セルの第 1 の高抵抗状態は、メモリ・セルの 2 値状態の「 0 」に対応することができ、第 2 の低抵抗状態は、2 値状態の「 1 」に対応することができる。しかしながら、この取り決めは任意なものであり、2 値状態の「 0 」の割り当てを、「 1 」または他の任意の記号値に割り当て直すことができる。

【 0 0 6 1 】

次に、図 9 ~ 図 2 0 を参照して、メモリ・アレイ 1 0 0 を作成する方法を説明する。

20

【 0 0 6 2 】

図 9 ~ 図 2 0 において、“ (A) ” によって示される図は、製作されているメモリ・アレイの行に沿った断面図であり、“ (B) ” によって示される図は、平面図である。図 9 ~ 図 2 0 は、図 3 A および図 3 B に示されるようなメモリ・セル 1 3 0 を有するメモリ・アレイ 1 0 0 の製作を示す。

【 0 0 6 3 】

図 9 A および図 9 B を参照すると、製作プロセスは、最初に基板 1 3 2 を提供する。例えば、基板 1 3 2 は、単結晶シリコン・ウェハのような半導体基板である。

【 0 0 6 4 】

基板 1 3 2 の上に絶縁層 1 2 8 が形成される。絶縁層 1 2 8 は、例えば、CVD（化学蒸着法）、プラズマCVD（PECVD）、および他の堆積プロセスによって堆積された二酸化ケイ素である。絶縁層 1 2 8 の他の適切な材料には、 SiO_x 、 SiN_x 、 SiO_xN_y 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 、および他の誘電体材料を含むことができる。二酸化ケイ素は、例えば、シリコン層を堆積し、次に該シリコンを酸化させることによって形成されることができる。

30

【 0 0 6 5 】

次に、絶縁層 1 2 8 の上に第 1 の導電層 7 0 0 が形成される。第 1 の導電層は、ビット線 1 2 0 を形成する。第 1 の導電層 7 0 0 は、例えば、銀、金、銅、アルミニウム、および他の金属であることができる。第 1 の導電層 7 0 0 は、例えばDCまたはRFスパッタ堆積、および他の堆積法で形成することができる。また、第 1 の導電層 7 0 0 は、例えばドーパされた半導体層である。

40

【 0 0 6 6 】

第 1 の導電層 7 0 0 上に第 2 の導電層 7 0 2 が形成される。第 2 の導電層 7 0 2 は、例えば、銀、金、銅、アルミニウム、および他の金属であることができる。第 2 の導電層 7 0 2 は、例えばDCまたはRFスパッタ堆積法、および他の堆積法で堆積することができる。第 2 の導電層 7 0 2 は、第 2 のトンネル接合 1 3 6 をビット線 1 2 0 に結合する第 3 の電極 1 5 0 となり、したがって必須ではない。

【 0 0 6 7 】

第 2 の導電層 7 0 2 上に誘電層 7 0 4 が形成される。誘電層 7 0 4 は、例えば SiO_x 、

50

SiN_x 、 SiO_xN_y 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 、および他の誘電体材料であることができる。誘電層704は、例えばCVD、PECVD、および他の堆積法で堆積させることができ、例えば、約0.5nm~50nmの厚さを有することができる。二酸化ケイ素は、例えば、シリコン層を堆積させ、次に該シリコンを酸化させることによって形成されることができる。

【0068】

誘電層704の上に第3の導電層706が形成される。第3の導電層706は、例えば銀、金、銅、アルミニウム、および他の導体であることができる。第3の導電層706は、例えばDCまたはRFスパッタ堆積、および他の堆積法で堆積させることができる。層700、702、704、706を堆積させた後で、製作しているメモリ・アレイ上にフォトレジスト・マスク708が置かれる。

10

【0069】

図10Aおよび図10Bを参照すると、層700、702、704、706は、エッチング・プロセスでパターン形成される。エッチング・プロセスにより、行710が得られる。次に、マスク708は、アッシング・プロセス (ashing process) によって除去される。

【0070】

図11Aおよび図11Bを参照すると、上部の2つの導電層および誘電層が、フォトレジスト・マスク712を使用してパターン形成される。行710の一番下の導電層はパターン形成されず、よってビット線120が残る。このパターン形成のステップによって、ビット線120上に配置される導体/誘電体/導体ポスト(柱)714が得られる。ポスト714は、第2のトンネル接合136に対応する。次に、図12Aおよび図12Bに示されるように、フォトレジスト・マスク712が、アッシング・プロセスによって除去される。

20

【0071】

図13Aおよび13Bを参照すると、製作されているメモリ・アレイ上に絶縁体716が形成される。絶縁体716は、例えば、 SiO_x 、 SiN_x 、 Si_xN_y 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 、および他の絶縁体であることができる。絶縁体716は、例えばCVD、PECVD、および他の堆積法で堆積されることができる。次に、絶縁体716の表面が、例えば化学機械研磨 (CMP) などの方法を使用して平坦化されることができる。

30

【0072】

図14Aおよび図14Bを参照すると、絶縁体716の上にフォトレジスト・マスク718が置かれ、ポスト714上の絶縁体716領域が露出される。その後、ポスト714上の絶縁体716が、エッチングで除去される。

【0073】

図15Aおよび図15Bを参照すると、フォトレジスト・マスク718は、アッシング・プロセスによって除去される。次に、アレイ上にスペーサ層720が形成される。スペーサ層720は、例えば窒化シリコンであることができる。スペーサ層720は、例えばCVD、PECVD、および他の堆積法によって堆積されることができる。

40

【0074】

図16Aおよび図16Bを参照すると、スペーサ層720が、スペーサ722に形作られる。スペーサ722は、例えば異方性エッチングによって形成されることができる。スペーサ722は、ポスト714上に、比較的小さい露出した表面積を残す。

【0075】

図17Aおよび図17Bを参照すると、アレイの上に誘電層724が形成される。誘電層724は、例えば SiO_x 、 SiN_x 、 SiO_xN_y 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 、および他の誘電体材料であることができる。誘電層724は、例えばCVD、PECVD、および他の堆積法で堆積させることができる。

【0076】

50

誘電層 724 の上に第 4 の導電層 726 が形成される。第 4 の導電層 726 は、例えば銀、金、銅、アルミニウム、および他の金属であることができる。第 4 の導電層 726 は、例えば DC または RF スパッタ堆積、および他の堆積法で堆積されることができる。

【0077】

図 18A および図 18B を参照すると、フォトリソグラフィ/エッチング・プロセスによって電極 146 が形成される。フォトレジスト・マスクは、図 14B に示したマスク 718 でよい。こうして、ポスト 714 上に第 1 のトンネル接合が形成される。

【0078】

図 19A および図 19B を参照すると、アッシング・プロセスによってフォトレジスト・マスク 718 が除去される。次に、アレイ上に第 5 の導電層 730 が形成される。第 5 の導電層 730 は、例えば、銀、金、銅、アルミニウム、および他の導体であることができる。第 5 の導電層 730 は、例えば DC または RF スパッタ堆積法、および他の堆積法で形成されることができる。また、第 5 の導電層 730 は、例えばドーパされた半導体層でもよい。

10

【0079】

図 20A および図 20B を参照すると、第 5 の導電層 730 は、フォトリソグラフィ/エッチング・プロセスを使用してワード線 110 にパターン形成される。図 20A および図 20B に、完成したメモリ・アレイの一部を示す。図 20A および図 20B において、ビット線 120 は、絶縁体で覆われてもよい。図 20B では、ビット線 120 の位置を示すために該絶縁体は省略されている。

20

【0080】

図 9 ~ 図 14 と図 21 ~ 図 22 を参照して、図 4 ~ 図 8 に示した代替のメモリ・セルを有するメモリ・アレイ 100 を製作する代替の方法を説明する。

【0081】

一般に、前述のプロセスは、図 3A ~ 図 3C に示したようなメモリ・セル 130 を有するメモリ・アレイ 100 を作成するよう適合される。図 4 ~ 図 8 に示したようなセルを有するメモリ・アレイ 100 は、異なる製作方法を必要とする。そのようなメモリ・アレイを製作する方法は、一般に、図 9 ~ 図 14 に示した方法に対応し、この時点で、異なるものとなる。図 14A と図 14B に示したステップよりも後の代替方法のステップについて、以下に説明する。

30

【0082】

図 21A および図 21B を参照すると、図 14A および図 14B に示したようにポスト 714 上の絶縁体 716 の領域を露出させた後、アレイ上に第 2 の誘電層 802 が形成される。誘電層 802 は、例えば、 SiO_x 、 SiN_x 、 SiO_xN_y 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 、および他の誘電体材料であることができる。二酸化ケイ素は、例えば、シリコン層を堆積し、次に該シリコンを酸化させることによって形成されることができる。次に、各メモリ・セルの個々の誘電体を、図 14B に示したマスク 718 と同様のマスクを使用するフォトリソグラフィ/エッチング・プロセスを用いて形成されることができる。

【0083】

図 22A および図 22B を参照すると、誘電体 844 は、図 4 ~ 図 8 に示した誘電体 244、344、444 および 544 のいずれかに対応することができる。特徴形状 248、348、448、548 は、誘電体 244、344、444、544 に、例えば刻印プロセスなどの方法によって形成されることができる。

40

【0084】

誘電体 244、344、444 および 544 のうちの選択されたものを形成した後で、導電層 (図示せず) がアレイ上に堆積され、誘電体 844 上に、該導電層から電極 246 がパターン形成される。次に、ワード線 110 を、図 19 および図 20 に示したように、アレイ上に形成することができる。代替的に、誘電体 844 までのパイア (via) を埋めるよう単一層を堆積し、ワード線 110 を形成することができる。ビット線 120 の位置を

50

示すために、図 2 2 B では絶縁体が省略されている。

【 0 0 8 5 】

上記のプロセスにより、図 4 A および図 4 B に示されるようなメモリ・セル 2 3 0 を有するメモリ・アレイが得られる。メモリ・セル 2 3 0 は、誘電体 2 4 4、3 4 4、4 4 4、5 4 4 のうち任意のものを含むことができる。

【 0 0 8 6 】

この仕様において、メモリ・アレイに「0」と「1」の状態を書き込む電流についての取り決めは任意であり、メモリ・デバイス 1 0 の任意の所望の用途（アプリケーション）に適合するように割り当てなおすことができる。

【 0 0 8 7 】

上記の実施形態は、メモリ・セルの抵抗を第 1 の高い状態から第 2 の低い状態に変化させるために、第 1 のトンネル接合を短絡するという点から説明されている。メモリ・セルの抵抗はまた、第 1 のトンネル接合の誘電体に導電性エレメントを部分的に拡散させることによって変化させることができる。これは、「部分的な飛ばし（partial blow）」と呼ばれる。トンネル接合の部分的な飛ばしは、トンネル接合を短絡させることなく、トンネル接合の両端の抵抗を減少させる。誘電体への導電性エレメントの拡散は、メモリ・セルの抵抗をかなり減少させ、この抵抗の変化を、読み取りプロセスで検出することができる。

【 0 0 8 8 】

本明細書において、「行」および「列」という用語は、メモリ・アレイ内の固定された向きを意味するものではない。さらに、「行」と「列」という用語は、必ずしも直角の関係を意味するものではない。

【 0 0 8 9 】

図 2 に示したセンス・アンプ 5 0 0 は、メモリ・デバイス 1 0 内のメモリ・セルの 2 値状態を検出するための検出デバイスの例である。実際には、例えばトランスインピーダンス・センス・アンプ、電荷注入センス・アンプ、差動センス・アンプ、デジタル差動センス・アンプなどの他の検出デバイスを使用することができる。

【 0 0 9 0 】

図 3 に、メモリ・セル 2 3 0 の 2 値状態を検出する 1 つのセンス・アンプ 5 0 0 が示されている。実際には、1 つのメモリ・アレイに多数の検出デバイスを結合することができる。例えば、メモリ・アレイ内の各ビット線ごとにセンス・アンプを含んでもよく、メモリ・アレイ内の複数のビット線ごとにセンス・アンプを含んでもよい。

【 0 0 9 1 】

メモリ・アレイ 1 0 0 は、様々な用途に使用することができる。1 つの用途は、例えば、記憶モジュールを有するコンピューティング装置である。記憶モジュールは、長期記憶のために 1 つまたは複数のメモリ・アレイ 1 0 0 を含むことがある。記憶モジュールは、ラップトップ・コンピュータ、パーソナル・コンピュータ、およびサーバなどの装置に使用されることができる。

【 0 0 9 2 】

メモリ・デバイス 1 0 は、例示的な実施形態に関して説明されたが、当業者には多くの変形が容易に明らかであり、本開示は、それらの変形を含むように意図されている。

【 0 0 9 3 】

本発明は、以下の実施態様を含む。

(1) 第 1 のトンネル接合 (1 3 4、2 3 4) と、前記第 1 のトンネル接合 (1 3 4、2 3 4) と直列の第 2 のトンネル接合 (1 3 6、2 3 6) とを備え、前記第 1 のトンネル接合 (1 3 4、2 3 4) を第 1 の抵抗状態から第 2 の抵抗状態に変化させることができ、該第 1 のトンネル接合 (1 3 4、2 3 4) が、該第 2 のトンネル接合 (1 3 6、2 3 6) と異なるアンチヒューズ特性を有するメモリ・セル (1 3 0、2 3 0) 。

(2) 前記第 2 の抵抗状態は、短絡状態である上記 (1) に記載のメモリ・セル (1 3 0

10

20

30

40

50

、 230)。

(3) 前記アンチヒューズ特性は、破壊電圧であり、前記第1のトンネル接合(134、234)は、前記第2のトンネル接合(136、236)より低い破壊電圧を有する上記(1)に記載のメモリ・セル(130、230)。

(4) 前記第1のトンネル接合(134、234)は、誘電体(144、244、344、444、544)を含み、前記第2のトンネル接合(136、236)は、誘電体(148、240)を含む上記(3)に記載のメモリ・セル(130、230)。

(5) 前記第1のトンネル接合(134、234)のトンネリング領域は、前記第2のトンネル接合(136、236)のトンネリング領域よりも小さい上記(4)に記載のメモリ・セル(130、230)。

10

【0094】

(6) 前記第1のトンネル接合(234)の前記誘電体(244、344、444、544)は、不均一な厚さを有する上記(4)に記載のメモリ・セル(230)。

(7) 前記第1のトンネル接合(234)の前記誘電体(244、344、444、544)は、特徴形状(248)を含み、該特徴形状(248)は、該第1のトンネル接合(234)のトンネリング領域を画定する上記(6)に記載のメモリ・セル(230)。

(8) 前記アンチヒューズ特性は、抵抗であり、前記第1のトンネル接合(134)は、書き込みプロセス前に前記第2のトンネル接合(136)よりも高い抵抗を有する上記(1)に記載のメモリ・セル(130)。

(9) 前記第1のトンネル接合(134)は、誘電体(144)を含み、前記第2のトンネル接合(136)は、誘電体(148)を含む上記(8)に記載のメモリ・セル(130)。

20

(10) 前記第1のトンネル接合(134)のトンネリング領域は、前記第2のトンネル接合(136)のトンネリング領域よりも小さい上記(9)に記載のメモリ・セル(130)。

【図面の簡単な説明】

【図1】デュアル・トンネル接合メモリ・セルを有するメモリ・アレイの概略的な斜視図である。

【図2】 図1に示したメモリ・アレイとそれに関連した読み書き回路を含むメモリ・デバイスの概略図。

30

【図3A】図1に示したメモリ・アレイの一部の断面図。

【図3B】図3Aに示したメモリ・アレイの一部の上面図。

【図3C】図3Aに示したようなメモリ・セルの一実施形態の側面図。

【図4A】メモリ・セルの代替の実施形態の斜視図。

【図4B】図4Aに示したメモリ・セルの線4B-4Bに沿った断面図。

【図5A】誘電体の一実施形態の平面図。

【図5B】図5Aの線5B-5Bに沿った断面図。

【図6A】誘電体のもう他の代替の実施形態の平面図。

【図6B】図6Aの線6B-6Bに沿った断面図。

【図7】誘電体の他の代替の実施形態の平面図。

40

【図8】図7の線8-8に沿った断面図。

【図9】図1に示したメモリ・アレイを作成する方法を示す図。

【図10】図1に示したメモリ・アレイを作成する方法を示す図。

【図11】図1に示したメモリ・アレイを作成する方法を示す図。

【図12】図1に示したメモリ・アレイを作成する方法を示す図。

【図13】図1に示したメモリ・アレイを作成する方法を示す図。

【図14】図1に示したメモリ・アレイを作成する方法を示す図。

【図15】図1に示したメモリ・アレイを作成する方法を示す図。

【図16】図1に示したメモリ・アレイを作成する方法を示す図。

【図17】図1に示したメモリ・アレイを作成する方法を示す図。

50

【図18】図1に示したメモリ・アレイを作成する方法を示す図。

【図19】図1に示したメモリ・アレイを作成する方法を示す図。

【図20】図1に示したメモリ・アレイを作成する方法を示す図。

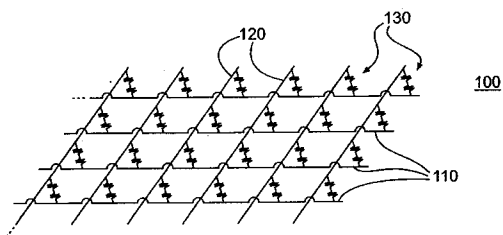
【図21】図1に示したメモリ・アレイを作成する代替の方法を示す図。

【図22】図1に示したメモリ・アレイを作成する代替の方法を示す図。

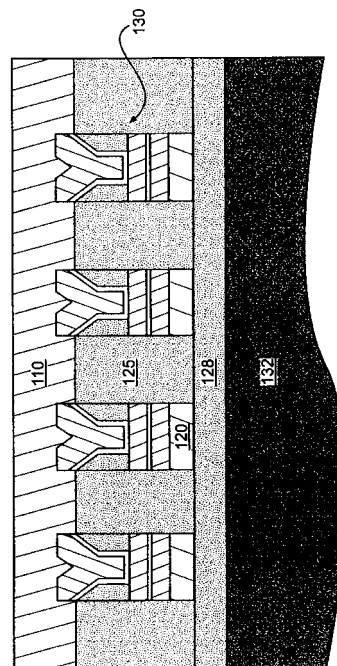
【符号の説明】

- 130、230 メモリ・セル
- 134、234 第1のトンネル接合
- 136、236 第2のトンネル接合
- 144、244、344、444、544 誘電体
- 248 特徴形状

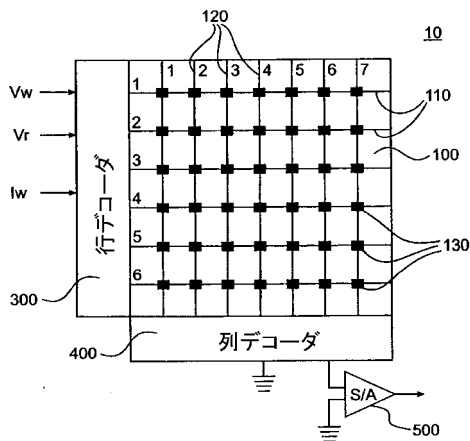
【図1】



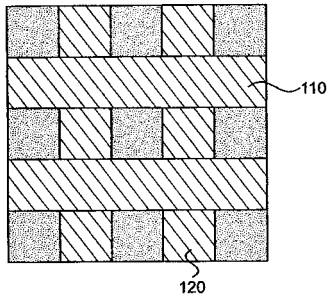
【図3A】



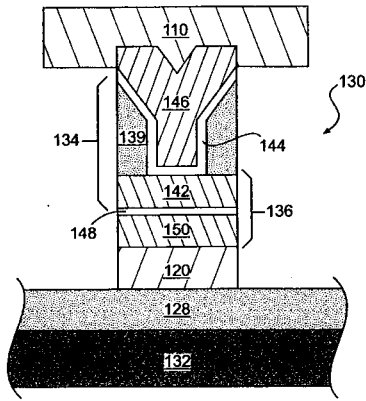
【図2】



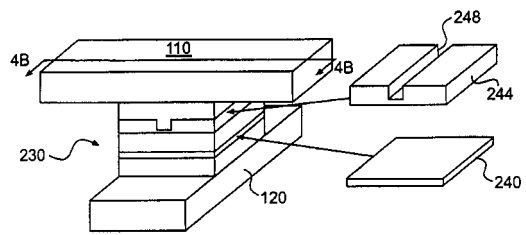
【 図 3 B 】



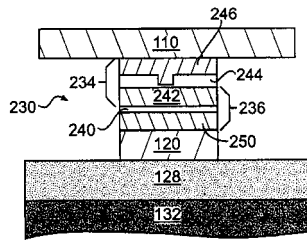
【 図 3 C 】



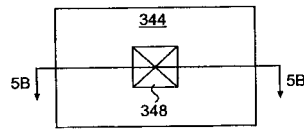
【 図 4 A 】



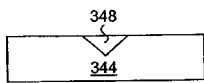
【 図 4 B 】



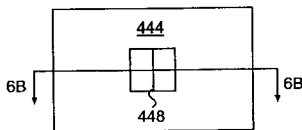
【 図 5 A 】



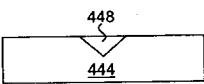
【 図 5 B 】



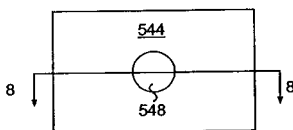
【 図 6 A 】



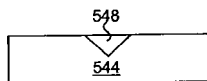
【 図 6 B 】



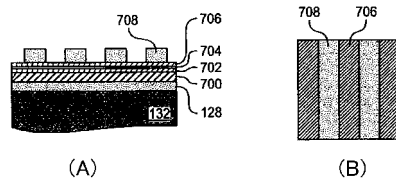
【 図 7 】



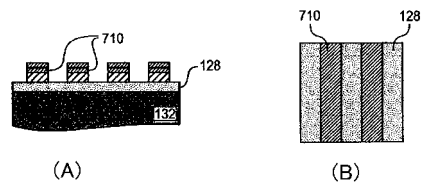
【 図 8 】



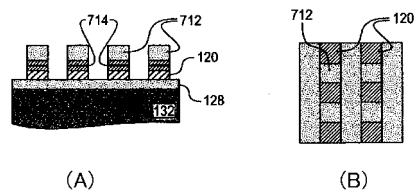
【 図 9 】



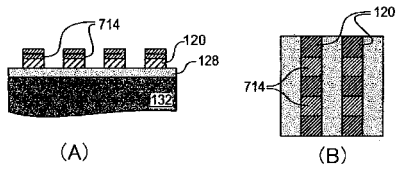
【 図 10 】



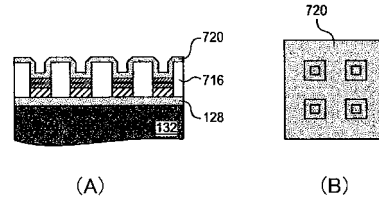
【 図 11 】



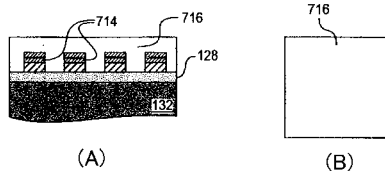
【 図 1 2 】



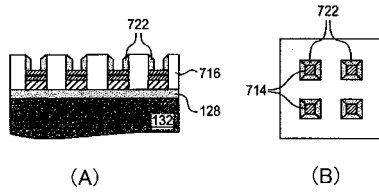
【 図 1 5 】



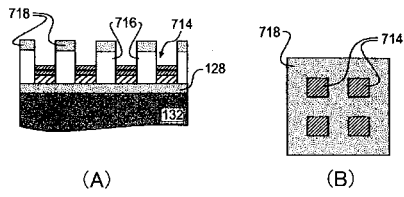
【 図 1 3 】



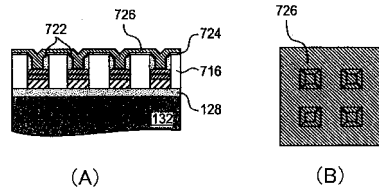
【 図 1 6 】



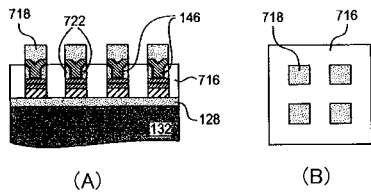
【 図 1 4 】



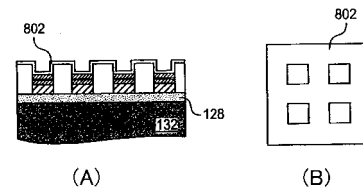
【 図 1 7 】



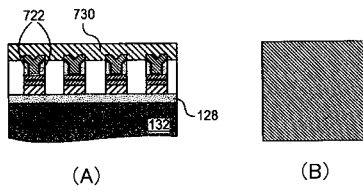
【 図 1 8 】



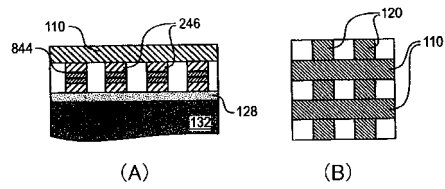
【 図 2 1 】



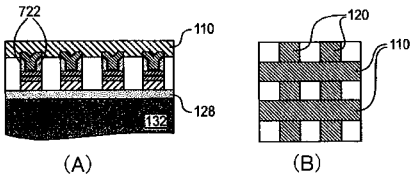
【 図 1 9 】



【 図 2 2 】



【 図 2 0 】



フロントページの続き

(72)発明者 ラング・ティ・トラン

アメリカ合衆国95070カリフォルニア州サラトガ、ウッドブラ・コート 5085

(72)発明者 ヘオン・リー

アメリカ合衆国94087カリフォルニア州サニーベール、ブラームス・ウェイ 455、アパートメント 230

審査官 河口 雅英

(56)参考文献 特開2001-244352(JP,A)

特開昭59-168665(JP,A)

特開昭60-117660(JP,A)

特開平11-040758(JP,A)

特開2000-164735(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/10