

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年12月15日(15.12.2016)



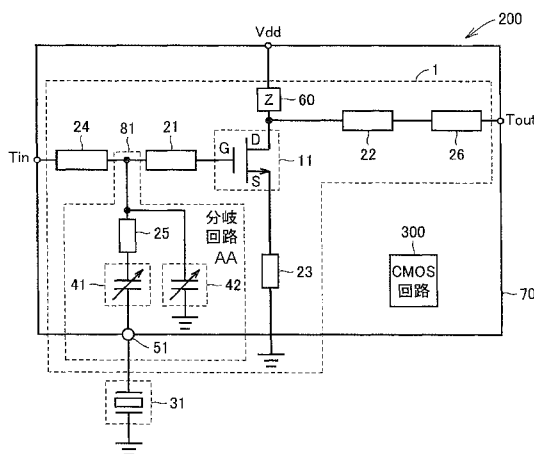
(10) 国際公開番号  
WO 2016/199475 A1

- (51) 国際特許分類:  
H03F 1/26 (2006.01) H03F 3/60 (2006.01)  
H03F 3/191 (2006.01)
  - (21) 国際出願番号: PCT/JP2016/059650
  - (22) 国際出願日: 2016年3月25日(25.03.2016)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2015-118292 2015年6月11日(11.06.2015) JP
  - (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
  - (72) 発明者: 有海 仁章(ARIUMI, Saneaki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
  - (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

(54) Title: LOW-NOISE AMPLIFIER AND ELECTRONIC DEVICE

(54) 発明の名称: 低雑音増幅器および電子機器

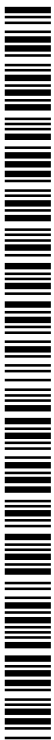
[図2]



300 CMOS circuit  
AA Branch circuit

(57) Abstract: Provided is a low-noise amplifier capable of effectively suppressing noise included in an input signal. A low-noise amplifier (1) according to one embodiment of the present invention amplifies received signals from an antenna in a prescribed frequency band. The low-noise amplifier (1) is provided with an input terminal (Tin), an output terminal (Tout), a field effect transistor (11), and a branch circuit (81). The branch circuit (81) is branched from a circuit connecting the input terminal (Tin) or the output terminal (Tout), and the field effect transistor (11). The branch circuit (81) is connected to an acoustic wave resonator (31).

(57) 要約: 入力信号に含まれるノイズを効果的に抑制することができる低雑音増幅器を提供する。本発明の一実施形態に係る低雑音増幅器(1)は、アンテナからの所定の周波数帯の受信信号を増幅する。低雑音増幅器(1)は、入力端子(Tin)と、出力端子(Tout)と、電界効果トランジスタ(11)と、分岐回路(81)とを備える。分岐回路(81)は、入力端子(Tin)または出力端子(Tout)と、電界効果トランジスタ(11)と、を結ぶ回路から分岐されている。分岐回路(81)は、弾性波共振子(31)と接続される。



WO 2016/199475 A1

## 明 細 書

**発明の名称**：低雑音増幅器および電子機器

### 技術分野

[0001] 本発明は、低雑音増幅器およびそれを備える電子機器に関する。

### 背景技術

[0002] 低雑音増幅器は、通信装置においてアンテナからの所定の周波数帯の受信信号を増幅する。低雑音増幅器においては、入力される受信信号が微弱である場合が多い。したがって、低雑音増幅器の利得は大きく設定される。ノイズが低雑音増幅器の入力信号に含まれると当該ノイズが大きく増幅されてしまう。そのため、当該入力信号に含まれるノイズをできるだけ抑制する必要がある。

[0003] 特開平 1 1 - 2 3 4 0 6 3 号公報（特許文献 1）は、インダクタンス素子とコンデンサとで構成され、所定の周波数帯に含まれる使用周波数で共振する LC 共振回路を備える低雑音増幅器を開示する。このような構成により、高い周波数で生じていた負性抵抗が減衰され、増幅器としての安定性が良好となる。

### 先行技術文献

#### 特許文献

[0004] 特許文献 1：特開平 1 1 - 2 3 4 0 6 3 号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] LC 共振回路は Q 値が低く、半値幅が広いという特性を有する。したがって、LC 共振回路の通過帯域は広い。このため、低雑音増幅器に対する入力信号に含まれるノイズを効果的に抑制することができない可能性がある。

[0006] 本発明の目的は、低雑音増幅器に対する入力信号に含まれるノイズを効果的に抑制することができる低雑音増幅器を提供することである。

#### 課題を解決するための手段

[0007] 本発明の一実施形態に係る低雑音増幅器は、アンテナからの所定の周波数帯の受信信号を増幅するための低雑音増幅器である。低雑音増幅器は、入力端子と、出力端子と、電界効果トランジスタと、分岐回路とを備える。分岐回路は、入力端子または出力端子と、電界効果トランジスタと、を結ぶ回路から分岐されている。分岐回路は、弾性波共振子と接続される。

[0008] 「接続」とは、直接接続されている場合、および他の素子を介して接続されている場合の両方を含む。

[0009] 好ましくは、弾性波共振子は、デュプレクサの外部にある。

好ましくは、低雑音増幅器は、第1の整合用線路と、第2の整合用線路とを、さらに備える。電界効果トランジスタは、ゲート端子とソース端子とを含む。第1の整合用線路は、ゲート端子および分岐回路に接続される。第2の整合用線路は、一方端がソース端子に接続され、他方端が接地される。第1の整合用線路と第2の整合用線路との長さの合計が、送信信号の位相または妨害波の位相の絶対値50度に相当する長さ以下、または、 $50/360$ λ以下である。

[0010] 「妨害波」としては、たとえば送信信号の高調波、受信周波数帯に相互変調波を生成する周波数の異なる複数の送信信号、あるいは送信信号との相互変調波が受信周波数帯となる信号を挙げることができる。

[0011] 好ましくは、低雑音増幅器は、第1の整合用線路と、第2の整合用線路とを、さらに備える。電界効果トランジスタは、ドレイン端子とソース端子とを含む。第1の整合用線路は、ドレイン端子および分岐回路に接続される。第2の整合用線路は、一方端がソース端子に接続され、他方端が接地される。第1の整合用線路と第2の整合用線路との長さの合計が、送信信号の位相または妨害波の位相の絶対値50度に相当する長さ以下、または、 $50/360$ λ以下である。

[0012] 好ましくは、低雑音増幅器は、CMOS回路とともにシリコン基板上に形成されている。

[0013] 「シリコン基板」としては、たとえばバルクシリコン基板、或いは絶縁膜

を含むSOI (Silicon on Insulator) 基板を挙げることができる。

[0014] 好ましくは、分岐回路は、弾性波共振子と直列に接続された第1の可変容量素子をさらに備える。

[0015] 「可変容量素子」としては、たとえばDTC (Digitally Tunable Capacitors) を挙げることができる。

[0016] 好ましくは、分岐回路は、第1の可変容量素子と並列に接続された第2の可変容量素子をさらに備える。

[0017] 好ましくは、弾性波共振子は、支持基板と、高音速膜と、低音速膜と、圧電膜と、IDT (Interdigital Transducer) 電極とを含む。高音速膜は、支持基板上に積層されている。低音速膜は、高音速膜上に積層されている。圧電膜は、低音速膜上に積層されている。IDT電極は、圧電膜上に形成されている。高音速膜を伝搬するバルク波の音速は、圧電膜を伝搬する表面弾性波の音速よりも高い。低音速膜を伝搬するバルク波の音速は、圧電膜を伝搬するバルク波の音速よりも低い。

[0018] 本発明の一実施形態に係る電子機器は、デュプレクサと、弾性波共振子と、上記した低雑音増幅器とを備える。弾性波共振子は、デュプレクサを通過した信号をフィルタする。低雑音増幅器は、弾性波共振子と接続されている。

## 発明の効果

[0019] 本発明に係る低雑音増幅器によれば、入力信号におけるノイズを効果的に抑制することができる。

## 図面の簡単な説明

[0020] [図1]第1の実施の形態に従う低雑音増幅器を備える電子機器の機能を説明するための機能ブロック図である。

[図2]図1の低雑音増幅器の構成を説明するための回路図である。

[図3]図2の弾性波共振子の構造を模式的に示す断面図である。

[図4]入力信号の周波数を変化させた場合の(a)低雑音増幅器のSパラメータ $S_{11}$ および(b)低雑音増幅器のYパラメータ $Y_{11}$ の変化をシミュレ

ーションした結果を示す図である。

[図5]図2の整合用線路を通過することによる送信信号の位相シフトと、図2の低雑音増幅器の3次相互変調歪み(IM3)および3次相互変調歪みの傾きの関係をシミュレーションした結果とを併せて示す図である。

[図6]送信信号と妨害波について、図2の整合用線路を通過することによる位相シフトと図2の低雑音増幅器の3次相互変調歪み(IM3)との関係を、それぞれシミュレーションした結果を併せて示した図である。

[図7]第1の実施の形態の変形例1に従う低雑音増幅器の構成を説明するための回路図である。

[図8]第1の実施の形態の変形例2に従う低雑音増幅器の構成を説明するための回路図である。

[図9]第1の実施の形態の変形例3に従う低雑音増幅器の構成を説明するための回路図である。

[図10]第2の実施の形態に従う低雑音増幅器の構成を説明するための回路図である。

[図11]図10の整合用線路を通過することによる位相シフトと図10の低雑音増幅器の3次相互変調歪み(IM3)との関係を、送信信号と妨害波についてそれぞれシミュレーションした結果を併せて示した図である。

[図12]第3の実施の形態に従う低雑音増幅器の構成を説明するための回路図である。

[図13]第4の実施の形態に従う低雑音増幅器の構成を説明するための回路図である。

### 発明を実施するための形態

[0021] [第1の実施の形態]

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

[0022] 図1は、第1の実施の形態に従う低雑音増幅器1を備える電子機器100

の機能を説明するための機能ブロック図である。電子機器 100 は無線による通信を行なう機器である。電子機器 100 には、たとえばスマートフォンが含まれる。図 1 を参照して、電子機器 100 は、低雑音増幅器 (LNA : Low Noise Amplifier) 1 と、弾性波共振子 31 と、デュプレクサ 5 と、アンテナ 6 と、制御部 7 と、電力増幅器 (PA : Power Amplifier) 8 とを備える。

[0023] 制御部 7 は、電子機器 100 を統合的に制御する。制御部 7 は、送信時には送信信号を電力増幅器 8 へ出力し、受信時には低雑音増幅器 1 から受信信号を受ける。制御部 7 は、図示はしないが、CMOS 回路、CPU (Central Processing Unit) および記憶素子を含む。記憶素子は、たとえば SRAM (Static Random Access Memory) または DRAM (Dynamic Random Access Memory) である。

[0024] アンテナ 6 は、送信信号の送信と受信信号の受信とを行なうように構成されている。デュプレクサ 5 は、送信時にはアンテナ 6 と電力増幅器 8 とを接続し、受信時にはアンテナ 6 と低雑音増幅器 1 とを接続する。デュプレクサ 5 はアンテナスイッチ、ダイプレクサ、またはサーキュレータであってもよい。なお、アンテナ 6 に送信アンテナと受信アンテナの 2 つの機能を持たせるのではなく、アンテナ 6 を 2 つに分けて、それぞれを、送信アンテナと、受信アンテナにしてもよい。

[0025] 電力増幅器 8 は、制御部 7 からの送信信号を増幅してアンテナ 6 へ出力する。低雑音増幅器 1 は、アンテナ 6 から受けた受信信号を増幅して制御部 7 へ出力する。

[0026] アンテナ 6 から低雑音増幅器 1 へ入力される受信信号は微弱である場合が多い。一般に低雑音増幅器の利得は大きく設定される。これにより、S/N 比を高めることができる。しかし、ノイズが入力信号に含まれると当該ノイズが大きく増幅されてしまい、S/N 比を高めることが難しくなる。

[0027] 低雑音増幅器 1 へ入力されるノイズとしては、たとえば送信側の回路から受信側の回路に回り込んできた送信信号、送信信号の高調波、受信周波数帯

に相互変調波を生成する周波数の異なる複数の送信信号、あるいは送信信号との相互変調波が受信周波数帯となる信号を挙げることができる。

[0028] 第1の実施の形態に従う電子機器100においては、弾性波共振子を用いて、低雑音増幅器1に対する入力信号に含まれるノイズを抑制する。弾性波共振子は、LC共振回路に比べて、共振する周波数帯が狭い。すなわち、LC共振回路に比べて、通過帯域を狭くすることができる。そのため、弾性波共振子が共振する周波数帯を、増幅したい受信信号の周波数帯に含めることにより、低雑音増幅器1に対する入力信号に含まれるノイズを効果的に抑制することができる。

[0029] なお、図1に示すように、弾性波共振子31は、デュプレクサ5の外部にある。この理由は、以下の通りである。デュプレクサ5の中にある受信フィルタは、通常50Ω系で設計されているので、電力を減衰させる。一方、低雑音増幅器1は、電圧で歪む。

[0030] したがって、デュプレクサ5の中にある受信フィルタで、送信信号等のノイズの電力を減衰させたとしても、送信信号等のノイズの電圧部分を減衰しきれない場合がある。そのため、デュプレクサ5の外部に弾性波共振子31を置くことで、低雑音増幅器1に入力される送信信号等のノイズの電圧部分を減衰させることができるようになるので、より一層、低雑音増幅器1に対する入力信号に含まれるノイズを効果的に抑制することができる。

[0031] 図2は、図1の低雑音増幅器1の構成を説明するための回路図である。図2を参照して、低雑音増幅器1は、電界効果トランジスタ(FET:Field Effect Transistor)11と、整合用線路21, 22, 23, 24, 26と、インピーダンス要素60と、分岐回路81とを備える。

[0032] 電界効果トランジスタ11と、整合用線路21, 22, 23, 24, 26と、インピーダンス要素60と、分岐回路81とは、CMOS回路300と共にシリコン基板70上に形成されている。シリコン基板70は、低雑音増幅器1が形成される半導体基板の1つの実施形態である。CMOS回路300は、たとえば図1に示した制御部7の一部または全体を構成する。CMO

S回路300は、送信信号および受信信号の変復調処理、送信信号および受信信号の符号化・復号化処理、並びに低雑音増幅器1および電力増幅器8等の制御を行なっている。

[0033] 低雑音増幅器1は、CMOS回路300と共にRFIC (Radio Frequency Integrated Circuit) 200を形成している。低雑音増幅器1は、シリコン基板70上に形成されることによりCMOS回路300と一体的に形成することができる。そのため、これによりRFIC200を小型化することができる。さらにRFIC200の製造コストの低減を図ることができる。

[0034] 電界効果トランジスタ11は、ゲート端子Gと、ソース端子Sと、ドレイン端子Dとを含む。整合用線路21の一方の端部はゲート端子Gと接続されている。整合用線路21の他方の端部は分岐回路81（整合用線路24の一方の端部）と接続されている。整合用線路24の他方の端部は入力端子Tinと接続されている。入力端子Tinは、デュプレクサ5と接続されている。

[0035] 分岐回路81は、整合用線路25と、DTC41, 42と、シャント端子51とを含む。分岐回路81は、電界効果トランジスタ11と入力端子Tinとを結ぶ回路から分岐された回路である。分岐回路81は、整合用線路21および整合用線路24を結ぶ線路上にある点とシャント端子51とを結ぶ回路であり、シャント端子51を含んでいる。

[0036] 整合用線路25の一方の端部は、整合用線路21と整合用線路24とを結ぶ線路の途中に接続されている。

[0037] DTC41は整合用線路25とシャント端子51との間に配置されている。DTC42の一方の端部は、整合用線路25に接続されている線路の途中に接続されている。DTC42は、DTC41と並列に接続されている。DTC42の他方の端部は接地されている。

[0038] シャント端子51には、低雑音増幅器1の外部から弾性波共振子31の一方の端部が接続されている。弾性波共振子31の他方の端部は接地されている。弾性波共振子31と分岐回路81とはシャント端子51を介して直列に



接続されている。

[0039] DTC41は弾性波共振子31の共振周波数を変化させる。これにより低雑音増幅器1の入力信号において抑制される信号の周波数を変化させることができる。DTC42は弾性波共振子31の反共振周波数を変化させる。これにより低雑音増幅器1を通過させる信号の周波数を変化させることができる。DTC41, 42は、低雑音増幅器1の内部に形成される。したがって、配線での損失を低減することができる。以下で説明する変形例および実施の形態においても同様に、DTCをRFICの内部に形成することにより、配線での損失を低減することができる。

[0040] インピーダンス要素60の一方の端部は、電界効果トランジスタ11のドレイン端子Dと接続されている。インピーダンス要素60の他方の端部は、ドレイン側電源V<sub>dd</sub>と接続されている。整合用線路22の一方の端部は、ドレイン端子Dとインピーダンス要素60とを結ぶ線路の途中に接続されている。整合用線路22の他方の端部は、整合用線路26の一方の端部と接続されている。整合用線路26の他方の端部は出力端子T<sub>out</sub>に接続されている。出力端子T<sub>out</sub>は、制御部7に接続されている。

[0041] 整合用線路23の一方の端部は、電界効果トランジスタ11のソース端子Sに接続されている。整合用線路23の他方の端部は接地されている。

[0042] なお、整合用線路23の他方の端部が接地されている上記接地部分は、低雑音増幅器1の内部にあってもよいし、低雑音増幅器1の外部にあってもよいが、第1の実施の形態のように低雑音増幅器1の内部にあった方が好ましい。上記接地部分が低雑音増幅器1の外部にある場合、実装基板の接地配線の距離が実装基板毎に異なるため、実装基板によって低雑音増幅器1の特性が変わってしまう可能性があるためである。低雑音増幅器1の内部にある方が、実装基板による影響を受けにくく、低雑音増幅器1の特性が安定する。

[0043] 図3は、図2の弾性波共振子31の構造を模式的に示す構造図である。図3を参照して、弾性波共振子31は、支持基板315と、支持基板315上に積層された高音速膜314と、高音速膜314上に積層された低音速膜3

13と、低音速膜313上に積層された圧電膜312と、圧電膜312上に形成されたIDT電極311とを含む。高音速膜314を伝搬するバルク波の音速は、圧電膜312を伝搬する表面弾性波の音速よりも高い。低音速膜313を伝搬するバルク波の音速は、圧電膜312を伝搬するバルク波の音速よりも低い。弾性波共振子31は、上記した構造をもつSAW (Surface Acoustic Wave) 共振子である。このような構造により、弾性波共振子31のQ値を高くすることができる。その結果、DTC41, 42によりそれぞれ変化させることのできる共振周波数および反共振周波数の範囲を広くすることができる。

[0044] 図4は、入力信号の周波数を変化させた場合の(a)低雑音増幅器1のSパラメータS11および(b)低雑音増幅器1のYパラメータY11の変化をシミュレーションした結果を示す図である。図4においては、整合用線路21, 23の長さの合計がD1, D2, D3, D4 ( $D1 < D2 < D3 < D4$ )の場合のSパラメータS11およびYパラメータY11の変化をそれぞれ示している。

[0045] 図4(a)を参照して、整合用線路21, 23の長さの合計がD1からD4へと変化するに従って、SパラメータS11がスミスチャート上で描く曲線は、抵抗およびリアクタンスが増加する方向に回転する。これは、低雑音増幅器1のインピーダンスが増加することを意味する。

[0046] 図4(b)を参照して、整合用線路21, 23の長さの合計が長くなるほど、YパラメータY11のピーク値が下がる。このことも図4(a)と同様に低雑音増幅器1のインピーダンスが増加することを意味する。

[0047] 低雑音増幅器1のインピーダンスが増加すると、入力電圧が増加するので、その結果、増幅された出力信号が歪みやすくなる。

[0048] 第1の実施の形態においては、整合用線路21, 23の長さの合計が「所定の長さ」よりも小さい。具体的には、「所定の長さ」は送信信号の位相または妨害波の位相の絶対値50度に相当する長さである。このことは、以下で説明する第1の実施の形態の変形例1~3においても同様である。

[0049] 図5は、図2の整合用線路21, 23を通過することによる送信信号の位相シフトと、図2の低雑音増幅器1の3次相互変調歪み(IM3)および3次相互変調歪みの傾きの関係をシミュレーションした結果とを併せて示す図である。図5において、曲線C1は位相シフトに対するIM3の変化を示し、曲線C2は位相シフトに対するIM3の傾きの変化を示す。図5を参照して、送信信号の位相シフトの絶対値が50度を超えると、曲線C1の傾きが急激に増加していることがわかる。これは、送信信号の位相シフトの絶対値が50度を超えるとIM3が急激に増加していくことを意味する。したがって、整合用線路21, 23の長さの合計が送信信号の位相の絶対値50度に相当する長さよりも小さくすることにより、低雑音増幅器1はIM3を抑制することができる。

[0050] 図6は、送信信号と妨害波について、図2の整合用線路21, 23を通過することによる位相シフトと図2の低雑音増幅器1の3次相互変調歪み(IM3)との関係を、それぞれシミュレーションした結果を併せて示した図である。図6を参照して、妨害波についての位相シフトとIM3との関係は、送信信号と同様の傾向を示していることがわかる。したがって、妨害波についても送信信号と同様に、整合用線路21, 23の長さの合計が送信信号の位相の絶対値50度に相当する長さよりも小さくすることにより、低雑音増幅器1はIM3を抑制することができる。

[0051] 以上から、第1の実施の形態に従う低雑音増幅器1は、弾性波共振子31を備えることにより、入力信号に含まれるノイズを効果的に抑制することができる。

[0052] 第1の実施の形態に従う低雑音増幅器1は、2つのDTC41, 42を備える。低雑音増幅器1は、DTC41, 42のいずれか1つのみを備える構成でもよく、DTC41, 42のいずれも備えない構成であってもよい。DTCは低雑音増幅器の必須の構成要素ではない。このことは、以下で説明する変形例および実施の形態においても同様である。

[0053] [第1の実施の形態の変形例1]

第1の実施の形態に従う低雑音増幅器1は、低雑音増幅器1の外部に配置された1つの弾性波共振子31と接続されている。本発明の実施の形態に従う低雑音増幅器が接続される弾性波共振子の数は2つ以上であってもよい。

[0054] 図7は、第1の実施の形態の変形例1に従う低雑音増幅器1Aの構成を説明するための回路図である。図7を参照して、低雑音増幅器1Aは、低雑音増幅器1の構成に加えて、さらにシャント端子52、およびDTC43を備える。また、低雑音増幅器1Aは、低雑音増幅器1Aの外部に配置された弾性波共振子32と接続されている。これら以外の点については第1の実施の形態と同様であるため説明を繰り返さない。

[0055] 弾性波共振子32の一方の端部は入力端子Tinに接続され、他方の端部はシャント端子52に接続されている。整合用線路24の一方の端部はシャント端子52に接続されている。DTC43は整合用線路21と整合用線路24との間に配置されて弾性波共振子32と直列に接続されている。DTC43は、弾性波共振子32の共振周波数を変化させる。これにより低雑音増幅器1Aの入力信号において抑制される信号の周波数を変化させることができる。

[0056] 第1の実施の形態の変形例1に従う低雑音増幅器1Aは、弾性波共振子31、32を備えることにより、第1の実施の形態と同様に入力信号に含まれるノイズを効果的に抑制することができる。

[0057] [第1の実施の形態の変形例2]

第1の実施の形態の変形例1においては、第2の弾性波共振子32が入力端子Tinと整合用線路24との間に配置される。第2の弾性波共振子の配置は、第1の実施の形態の変形例1における配置に限られるものではない。

[0058] 図8は、第1の実施の形態の変形例2に従う低雑音増幅器1Bの構成を説明するための回路図である。図8を参照して、低雑音増幅器1Bは、低雑音増幅器1の構成に加えて、さらにシャント端子53、54、およびDTC43、44を備える。また、低雑音増幅器1Bは、低雑音増幅器1Bの外部に配置された弾性波共振子33と接続されている。これら以外の点については

第 1 の実施の形態と同様であるため説明を繰り返さない。

[0059] 弾性波共振子 3 3 の一方の端部はシャント端子 5 3 に接続され、他方の端部はシャント端子 5 4 に接続されている。シャント端子 5 3, 5 4 は、整合用線路 2 1 と整合用線路 2 4 とを結ぶ線路の途中にそれぞれ接続されている。D T C 4 4 の一方の端部はシャント端子 5 3 に接続され、他方の端部は整合用線路 2 1 と整合用線路 2 4 とを結ぶ線路の途中に接続されている。D T C 4 3 は整合用線路 2 1 と整合用線路 2 4 との間に配置されている。

[0060] D T C 4 4 は弾性波共振子 3 3 の共振周波数を変化させる。これにより低雑音増幅器 1 B の入力信号において抑制される信号の周波数を変化させることができる。D T C 4 3 は弾性波共振子 3 3 の反共振周波数を変化させて低雑音増幅器 1 B を通過させる信号の周波数を変化させることができる。

[0061] 第 1 の実施の形態の変形例 2 に従う低雑音増幅器 1 B は、弾性波共振子 3 1, 3 3 を備えることにより、第 1 の実施の形態と同様に入力信号に含まれるノイズを効果的に抑制することができる。

[0062] [第 1 の実施の形態の変形例 3]

以下では、第 2 の弾性波共振子の配置が、第 1 の実施の形態の変形例 1, 2 における配置とは異なる場合について説明する。

[0063] 図 9 は、第 1 の実施の形態の変形例 3 に従う低雑音増幅器 1 C の構成を説明するための回路図である。図 9 を参照して、低雑音増幅器 1 C は、低雑音増幅器 1 の構成に加えて、さらに分岐回路 8 2 を備える。これら以外の点については第 1 の実施の形態と同様であるため説明を繰り返さない。

[0064] 分岐回路 8 2 は、整合用線路 2 7 と、D T C 4 5, 4 6 と、シャント端子 5 5 とを含む。分岐回路 8 2 は、電界効果トランジスタ 1 1 と入力端子 T i n とを結ぶ回路に並列に接続された回路である。分岐回路 8 2 は、整合用線路 2 1 および整合用線路 2 4 を結ぶ線路上にある点とシャント端子 5 5 とを結ぶ回路である。

[0065] 整合用線路 2 7 の一方の端部は、整合用線路 2 1 と整合用線路 2 4 とを結ぶ線路の途中に接続されている。D T C 4 5 は整合用線路 2 7 とシャント端

子55との間に配置されている。DTC46の一方の端部は、整合用線路27に接続されている線路の途中に接続されている。DTC46はDTC45と並列に接続されている。DTC46の一方の端部は接地されている。

[0066] シャント端子55には、低雑音増幅器1Cの外部から弾性波共振子34の一方の端部が接続されている。弾性波共振子34の他方の端部は接地されている。弾性波共振子34と分岐回路82とはシャント端子55を介して直列に接続されている。

[0067] DTC45は弾性波共振子34の共振周波数を変化させる。これにより低雑音増幅器1Cの入力信号において抑制される信号の周波数を変化させることができる。DTC46は弾性波共振子34の反共振周波数を変化させる。これにより低雑音増幅器1を通過させる信号の周波数を変化させることができる。

[0068] 第1の実施の形態の変形例3に従う低雑音増幅器1Cは、弾性波共振子31, 34により、第1の実施の形態と同様に、入力信号に含まれるノイズを効果的に抑制することができる。

[0069] [第2の実施の形態]

第1の実施の形態においては、弾性波共振子が電界効果トランジスタのゲート側に設けられる。弾性波共振子が設けられるのは電界効果トランジスタ11のゲート側に限られない。以下では、弾性波共振子が電界効果トランジスタ11のドレイン側に設けられる場合について説明する。

[0070] 図10は、第2の実施の形態に従う低雑音増幅器2の構成を説明するための回路図である。図10を参照して、低雑音増幅器2は、低雑音増幅器1において電界効果トランジスタ11のゲート側に配置されている分岐回路81に替えて、電界効果トランジスタ11のドレイン側に分岐回路83を備える。これら以外の構成については第1の実施の形態と同様であるため説明を繰り返さない。

[0071] 分岐回路83は、整合用線路28、DTC47, 48、およびシャント端子56を含む。分岐回路83は、電界効果トランジスタ11と出力端子T0

ut とを結ぶ回路に並列に接続された回路である。分岐回路 83 は、整合用線路 22 および整合用線路 26 を結ぶ線路上にある点とシャント端子 56 とを結ぶ回路である。

[0072] 整合用線路 28 の一方の端部は、整合用線路 22 と整合用線路 26 とを結ぶ線路の途中に接続されている。DTC 47 は整合用線路 28 とシャント端子 56 との間に配置されている。DTC 48 の一方の端部は、整合用線路 28 に接続されている線路の途中に接続されている。DTC 48 は DTC 47 と並列に接続されている。DTC 48 の一方の端部は接地されている。

[0073] シャント端子 56 には、低雑音増幅器 2 の外部から弾性波共振子 35 の一方の端部が接続されている。弾性波共振子 35 の他方の端部は接地されている。つまり、シャント端子 56 は、弾性波共振子 35 と接続するために使用される。

[0074] また、弾性波共振子 35 と分岐回路 83 とはシャント端子 56 を介して直列に接続されている。

[0075] DTC 47 は弾性波共振子 35 の共振周波数を変化させることにより低雑音増幅器 2 の入力信号において抑制される信号の周波数を変化させることができる。DTC 48 は弾性波共振子 35 の反共振周波数を変化させて低雑音増幅器 2 を通過させる信号の周波数を変化させることができる。

[0076] 図 11 は、図 10 の整合用線路 22, 23 を通過することによる位相シフトと図 10 の低雑音増幅器 2 の 3 次相互変調歪み (IM3) との関係を、送信信号と妨害波についてそれぞれシミュレーションした結果を併せて示した図である。図 11 を参照して、送信信号と妨害波とは、位相シフトと IM3 との関係について同様の傾向を示している。位相シフトの絶対値が 50 度以下の範囲における IM3 は、位相シフトの絶対値が 50 度より大きい範囲の IM3 よりも小さくなる。

[0077] 第 2 の実施の形態に従う低雑音増幅器 2 においては、整合用線路 22, 23 の長さの合計が送信信号の位相または妨害波の位相の絶対値 50 度に相当する長さよりも小さい。このことにより、低雑音増幅器 2 は IM3 を抑制す

ることができる。

[0078] 低雑音増幅器 2 は、電界効果トランジスタ 1 1 のドレイン側に配置された弾性波共振子 3 5 を含む。第 2 の実施の形態によれば、第 1 の実施の形態ほどではないが、入力信号に含まれるノイズを効果的に抑制することができる。

[0079] さらに、弾性波共振子 3 5 が電界効果トランジスタ 1 1 のドレイン側に配置されていることにより、低雑音増幅器 2 は、第 1 の実施の形態と比べて雑音指数をより抑制することができる。

[0080] [第 3 の実施の形態]

第 1 の実施の形態および第 2 の実施の形態においては、弾性波共振子は電界効果トランジスタのゲート側またはドレイン側のいずれか一方に配置される。以下では、弾性波共振子が電界効果トランジスタのゲート側およびドレイン側の双方に配置される場合について説明する。

[0081] 図 1 2 は、第 3 の実施の形態に従う低雑音増幅器 3 の構成を説明するための回路図である。低雑音増幅器 3 は、第 1 の実施の形態の構成のドレイン側に、第 2 の実施の形態の分岐回路 8 3 を加えた構成である。各構成要素は、いずれも既に説明しているため、以降では説明を繰り返さない。

[0082] 第 3 の実施の形態に従う低雑音増幅器 3 においては、整合用線路 2 1, 2 3 の長さの合計が送信信号の位相または妨害波の位相の絶対値 5 0 度に相当する長さよりも小さい。加えて、整合用線路 2 2, 2 3 の長さの合計は送信信号の位相または妨害波の位相の絶対値 5 0 度に相当する長さよりも小さい。このことにより、低雑音増幅器 2 は IM 3 を抑制することができる。

[0083] 第 3 の実施の形態に従う低雑音増幅器 3 は、入力信号に含まれるノイズの抑制と雑音指数の抑制とをバランスよく実現することができる。

[0084] [第 4 の実施の形態]

第 1 の実施の形態、第 2 の実施の形態、および第 3 の実施の形態に従う低雑音増幅器は、1 つの電界効果トランジスタを備える。実施の形態に従う低雑音増幅器が備える電界効果トランジスタは 2 つ以上であっても構わない。



以下では、電界効果トランジスタを2つ備える場合について説明する。

- [0085] 第4の実施の形態が第3の実施の形態と異なるのは、第2の電界効果トランジスタ12を備える点である。その他の点については第3の実施の形態と同様であるため説明を繰り返さない。
- [0086] 図13は、第4の実施の形態に従う低雑音増幅器4の構成を説明するための回路図である。図13を参照して、電界効果トランジスタ12は、ゲート端子Gと、ソース端子Sと、ドレイン端子Dとを含む。電界効果トランジスタ12のドレイン端子Dはインピーダンス要素60に接続されている。電界効果トランジスタ12のソース端子Sは、電界効果トランジスタ11のドレイン端子Dに接続されている。電界効果トランジスタ11と電界効果トランジスタ12とはカスコード段（インターステージ）を形成している。
- [0087] 第4の実施の形態に従う低雑音増幅器4は、2つの電界効果トランジスタがカスコード段を形成している場合であっても、弾性波共振子31, 35により第1～第3の実施の形態と同様の効果を得ることができる。3つ以上の電界効果トランジスタがカスコード段を形成している場合も同様である。
- [0088] 複数の電界効果トランジスタがカスコード段を形成している場合であっても、弾性波共振子は電界効果トランジスタ11のゲート側およびドレイン側の双方に配置されている必要はなく、電界効果トランジスタ11のゲート側またはドレイン側のいずれか一方に配置されていれば足りる。
- [0089] 第1～4の実施の形態に従う低雑音増幅器においては、「所定の長さ」として送信信号の位相または妨害波の位相の絶対値50度に相当する長さを用いる。位相の絶対値は50度に限定されるものではなく、たとえば、シミュレーション結果、あるいは実機実験の結果に基づいて適宜決定されることが望ましい。
- [0090] なお、送信信号の位相または妨害波の位相の絶対値50度に相当する長さとは、 $\lambda$ を送信信号または妨害波の信号の波長であると定義した場合に、送信信号の波長または妨害波の波長の360分の50（ $0.139\lambda$ ）となる。ただし、波長の割合は0.139に限定されるものではなく、たとえば、

シミュレーション結果、あるいは実機実験の結果に基づいて適宜決定されることが望ましい。

[0091] 第1～4の実施の形態に従う低雑音増幅器は、シリコン基板70を備え、RFICと一体として形成される。実施の形態に従う低雑音増幅器は、シリコン基板を備える必要はなく、たとえばガリウムヒ素(GaAs)を含む基板を備えていてもよい。低雑音増幅器はガリウムヒ素を含む基板を備えることにより消費電力を抑えることができる。この場合、低雑音増幅器は、シリコン基板上に形成できないため、RFICに含まれるCMOS回路とは別の回路を形成する。すなわち、低雑音増幅器はRFICに含まれなくなる。

[0092] 第1～4の実施の形態に従う低雑音増幅器においては、弾性波共振子としてSAW共振子を用いる。弾性波共振子はSAW共振子以外であってもよく、たとえばBAW(Bulk Acoustic Wave)共振子であっても構わない。

[0093] 今回開示された各実施の形態は、適宜組合わせて実施することも予定されている。そして、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

## 符号の説明

[0094] 1, 1A, 1B, 1C, 2, 3, 4 低雑音増幅器、5 デュプレクサ、6 アンテナ、7 制御部、8 電力増幅器、11, 12 電界効果トランジスタ、21, 22, 23, 24, 25, 26, 27, 28 整合用線路、31, 32, 33, 34, 35 弾性波共振子、51, 52, 53, 54, 55, 56 シャント端子、60 インピーダンス要素、70 シリコン基板、81, 82, 83 分岐回路、100 電子機器、200 RFIC、300 CMOS回路、311 電極、312 圧電膜、313 低音速膜、314 高音速膜、315 支持基板、D ドレイン端子、G ゲート端子、S ソース端子、Tin 入力端子、Tout 出力端子、Vdd ドレイン側電源。

## 請求の範囲

- [請求項1] アンテナからの所定の周波数帯の受信信号を増幅するための低雑音増幅器であって、
- 入力端子と、
  - 出力端子と、
  - 電界効果トランジスタと、
- 前記入力端子または前記出力端子と、前記電界効果トランジスタと、を結ぶ回路から分岐された分岐回路と、を備え、前記分岐回路は、弾性波共振子と接続される、低雑音増幅器。
- [請求項2] 前記弾性波共振子は、デュプレクサの外部にある、請求項1に記載の低雑音増幅器。
- [請求項3] 前記低雑音増幅器は、第1の整合用線路と、第2の整合用線路とを、さらに備え、
- 前記電界効果トランジスタは、ゲート端子とソース端子とを含み、
  - 前記第1の整合用線路は、前記ゲート端子および前記分岐回路に接続され、
  - 前記第2の整合用線路は、一方端が前記ソース端子に接続され、他方端が接地され、
  - 前記第1の整合用線路と前記第2の整合用線路との長さの合計が、送信信号の位相または妨害波の位相の絶対値50度に相当する長さ以下、または、 $50/360\lambda$ 以下である、請求項1に記載の低雑音増幅器。
- [請求項4] 前記低雑音増幅器は、第1の整合用線路と、第2の整合用線路とを、さらに備え、
- 前記電界効果トランジスタは、ドレイン端子とソース端子とを含み、
  - 前記第1の整合用線路は、前記ドレイン端子および前記分岐回路に接続され、

前記第2の整合用線路は、一方端が前記ソース端子に接続され、他方端が接地され、

前記第1の整合用線路と前記第2の整合用線路との長さの合計が、送信信号の位相または妨害波の位相の絶対値50度に相当する長さ以下、または、 $50/360\lambda$ 以下である、請求項1に記載の低雑音増幅器。

[請求項5] 前記低雑音増幅器は、CMOS回路とともにシリコン基板上に形成されている、請求項3または請求項4のいずれか1項に記載の低雑音増幅器。

[請求項6] 前記分岐回路は、前記弾性波共振子と直列に接続された第1の可変容量素子を含む、請求項3から請求項5のいずれか1項に記載の低雑音増幅器。

[請求項7] 前記分岐回路は、前記第1の可変容量素子と並列に接続された第2の可変容量素子をさらに含む、請求項6に記載の低雑音増幅器。

[請求項8] 前記弾性波共振子は、  
支持基板と、  
前記支持基板上に積層された高音速膜と、  
前記高音速膜上に積層された低音速膜と、  
前記低音速膜上に積層された圧電膜と、  
前記圧電膜上に形成されたIDT (Interdigital Transducer) 電極とを含み、

前記高音速膜を伝搬するバルク波の音速は、前記圧電膜を伝搬する表面弾性波の音速よりも高く、

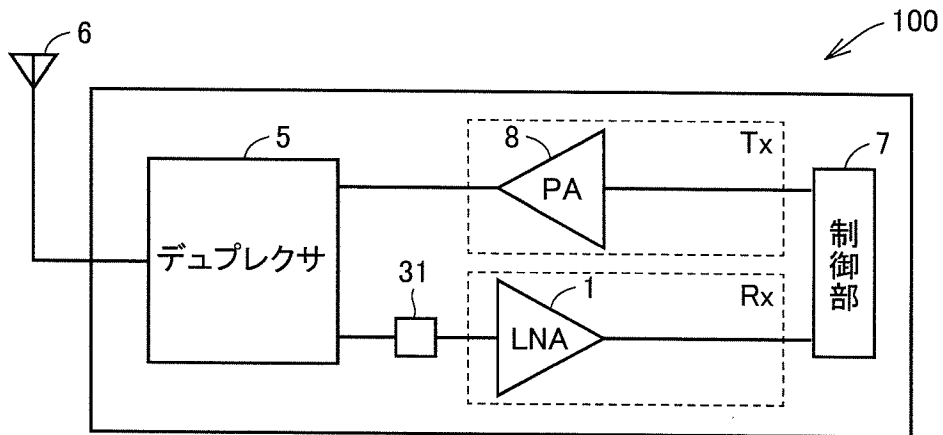
前記低音速膜を伝搬するバルク波の音速は、前記圧電膜を伝搬するバルク波の音速よりも低い、請求項1から請求項7のいずれか1項に記載の低雑音増幅器。

[請求項9] デュプレクサと、  
前記デュプレクサを通過した信号をフィルタする弾性波共振子と、

前記弾性波共振子と接続された、請求項 1 から請求項 8 のいずれか  
1 項に記載の前記低雑音増幅器と、を備える、電子機器。

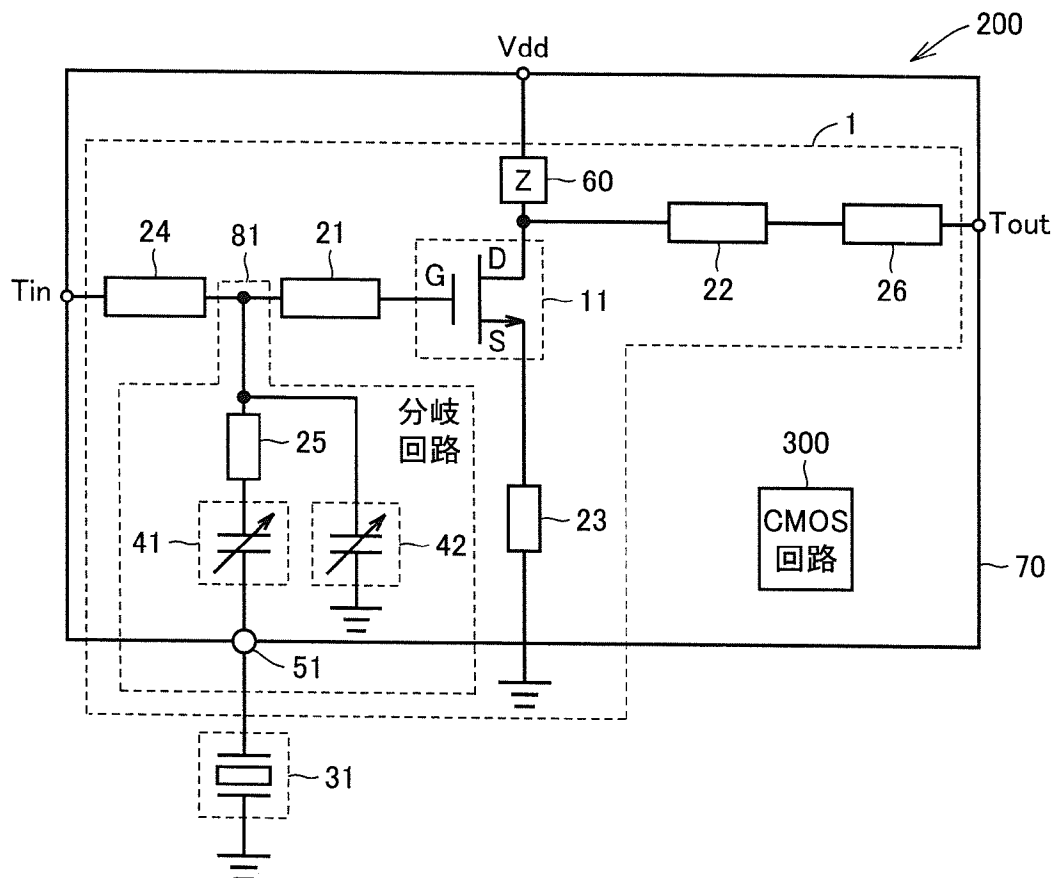
[図1]

FIG. 1



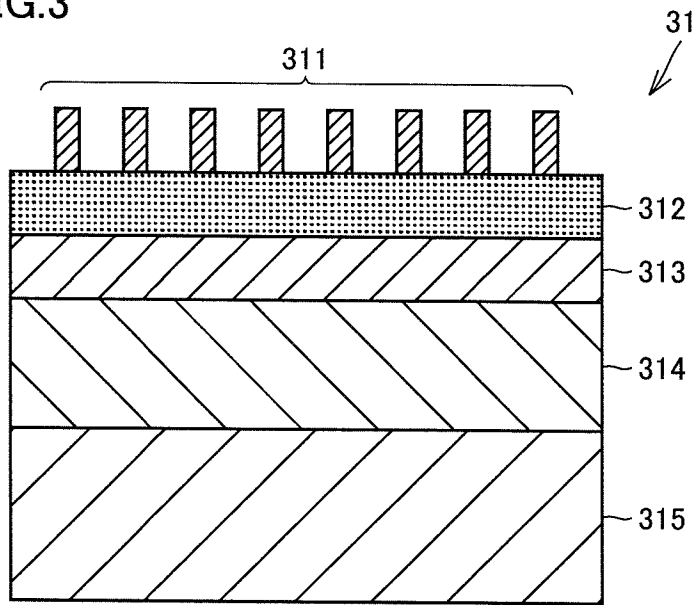
[図2]

FIG. 2



[図3]

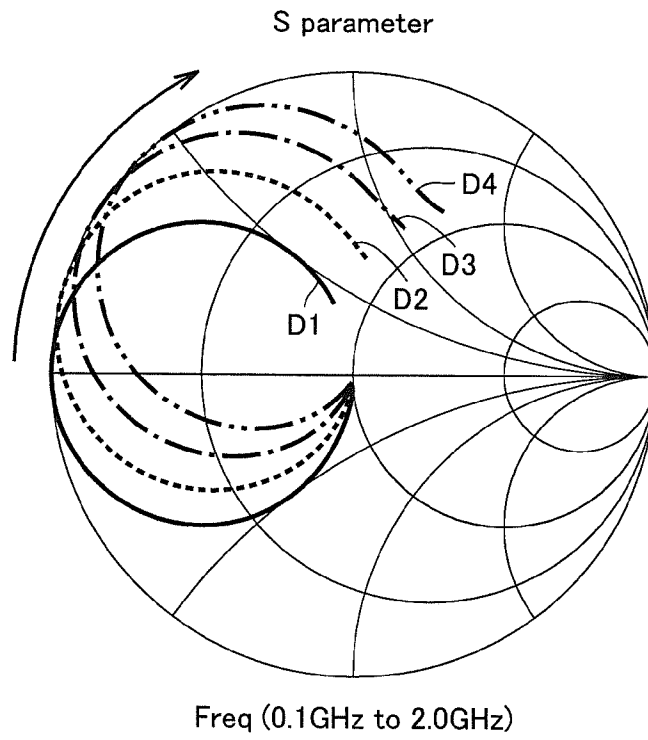
FIG.3



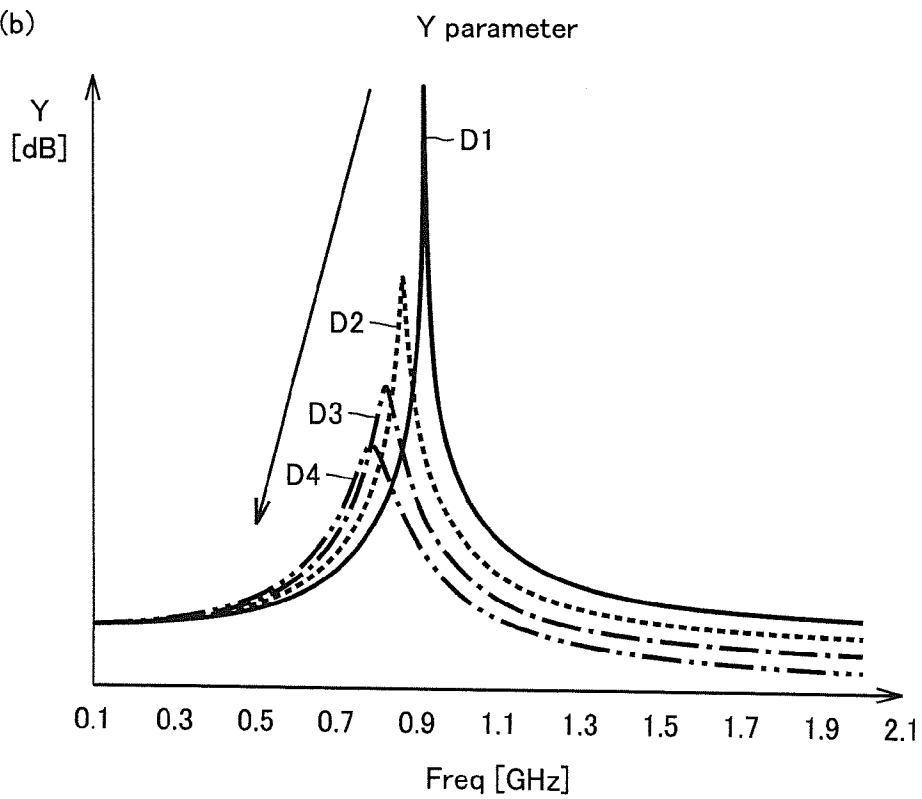
[図4]

FIG.4

(a)



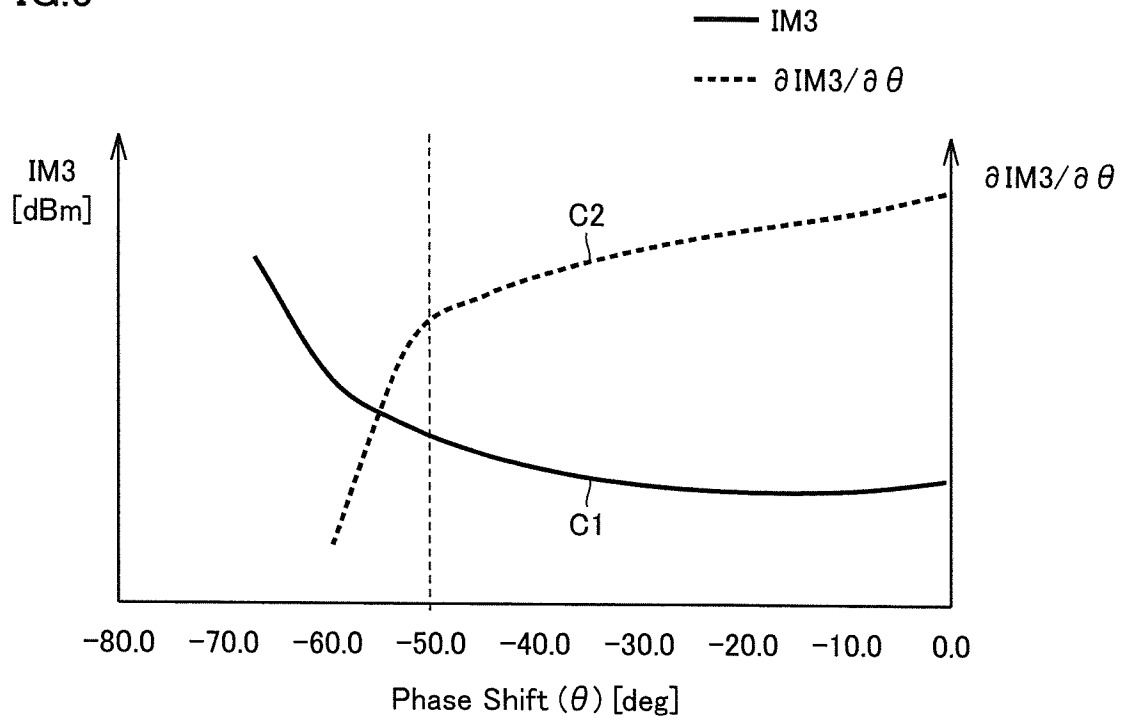
(b)





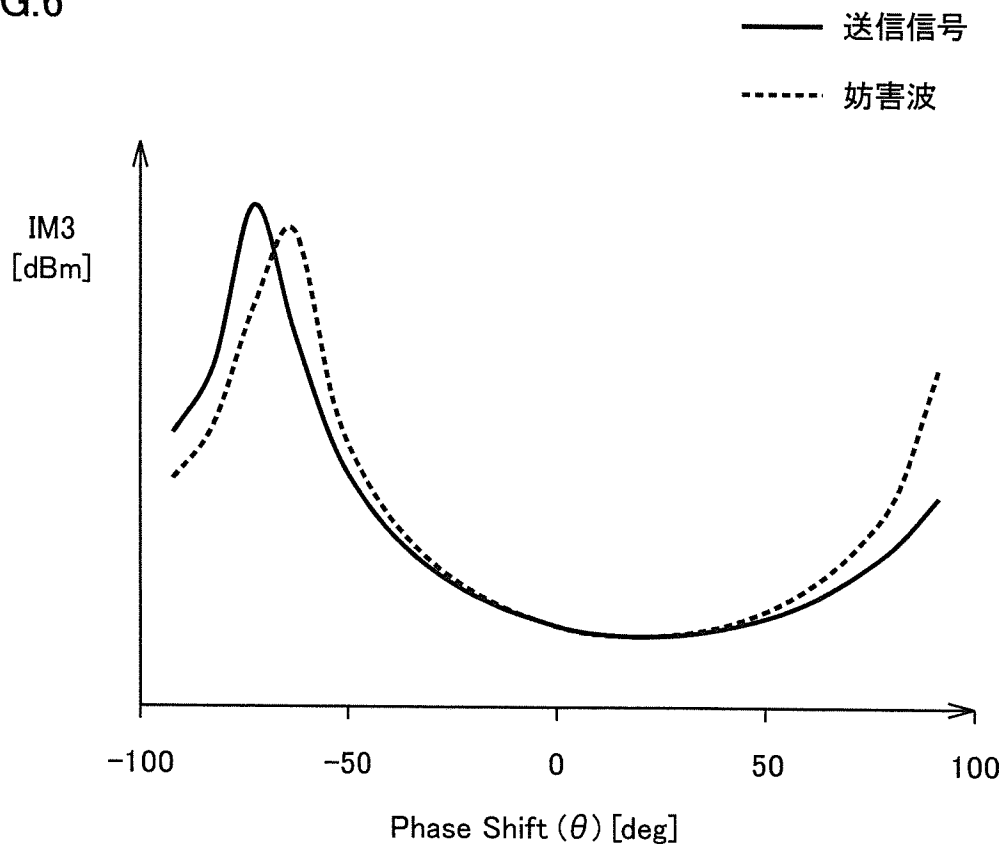
[図5]

FIG.5



[図6]

FIG.6



[図7]

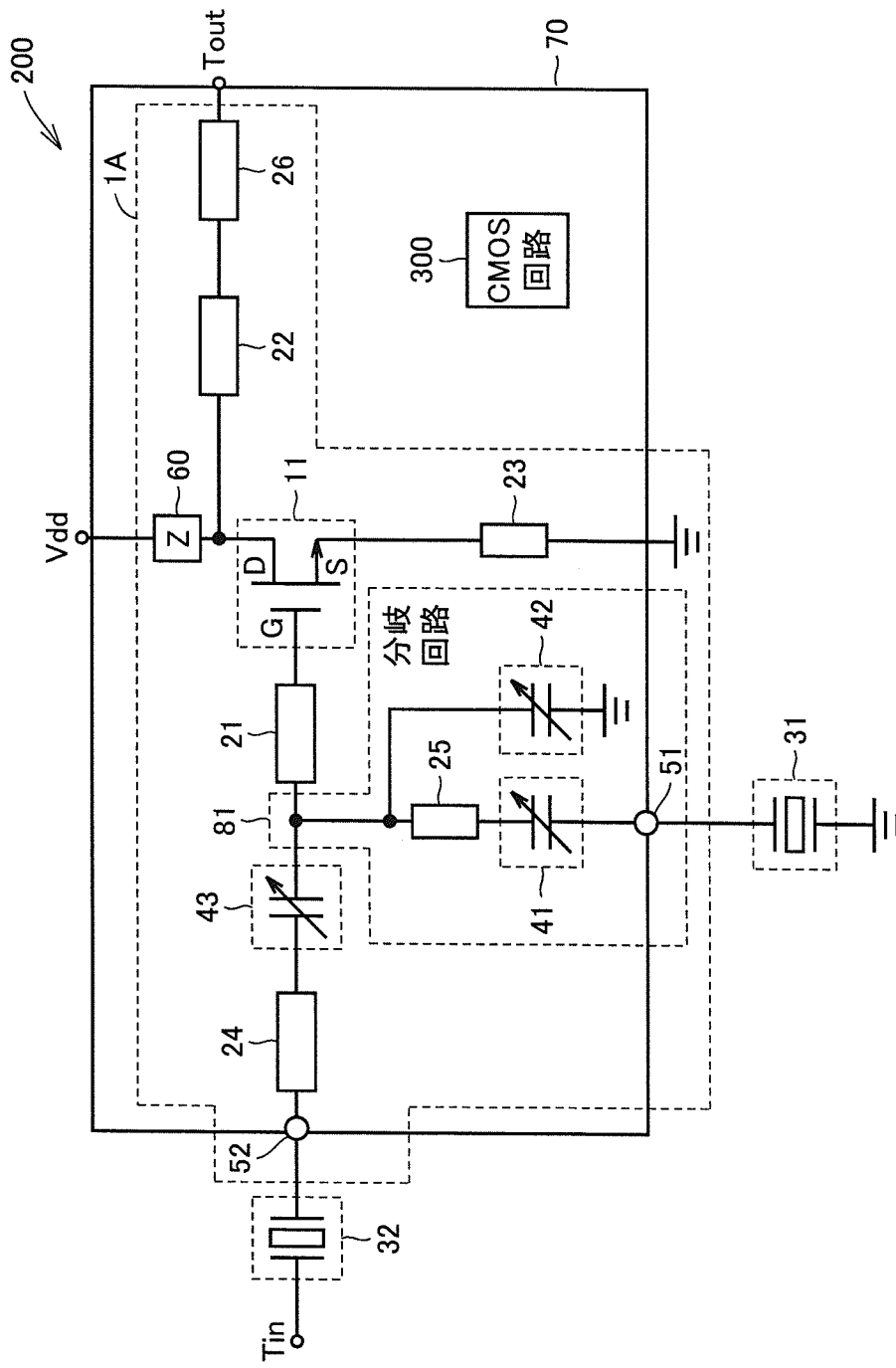


FIG.7

[図8]

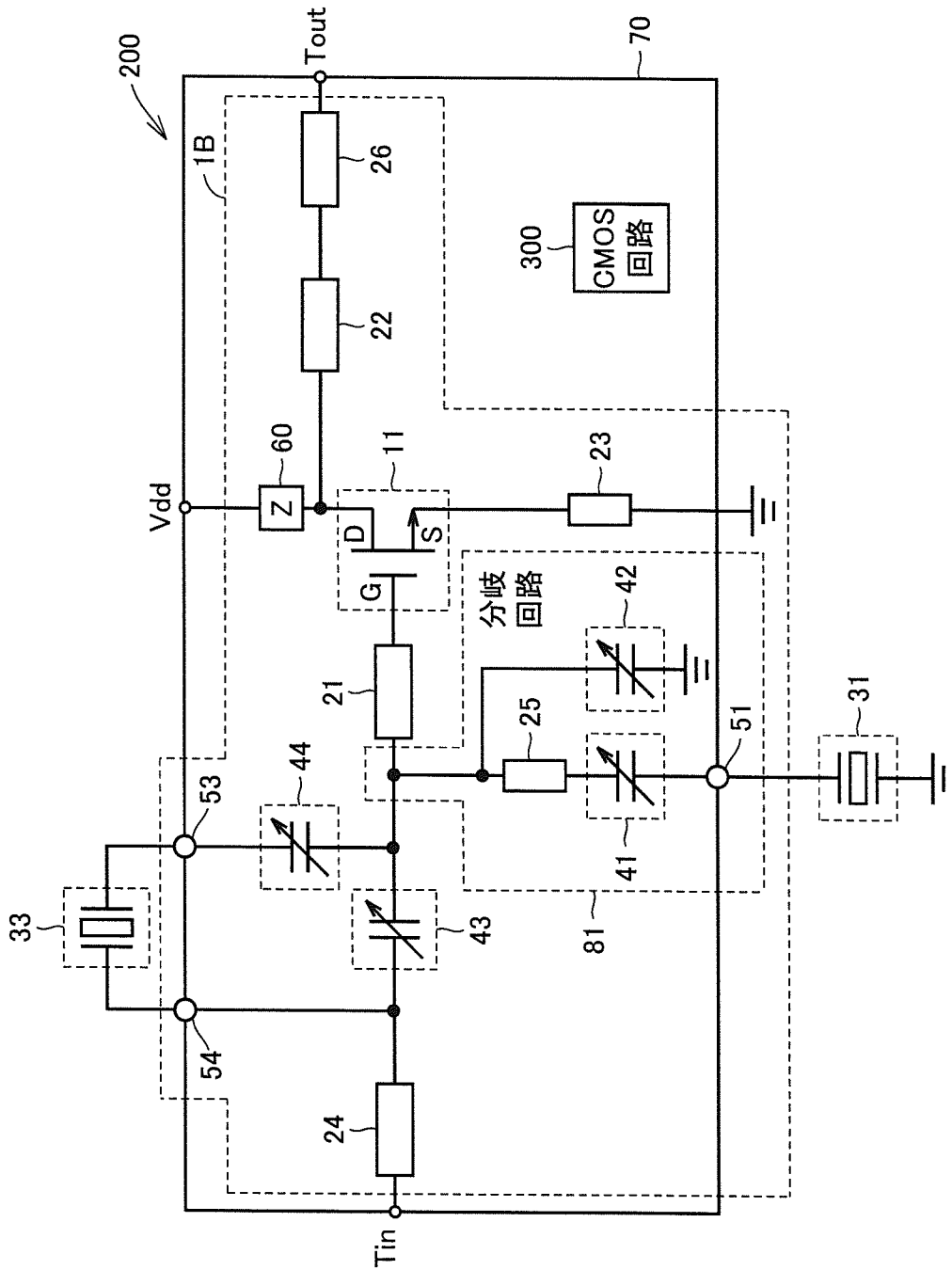


FIG.8

[図9]

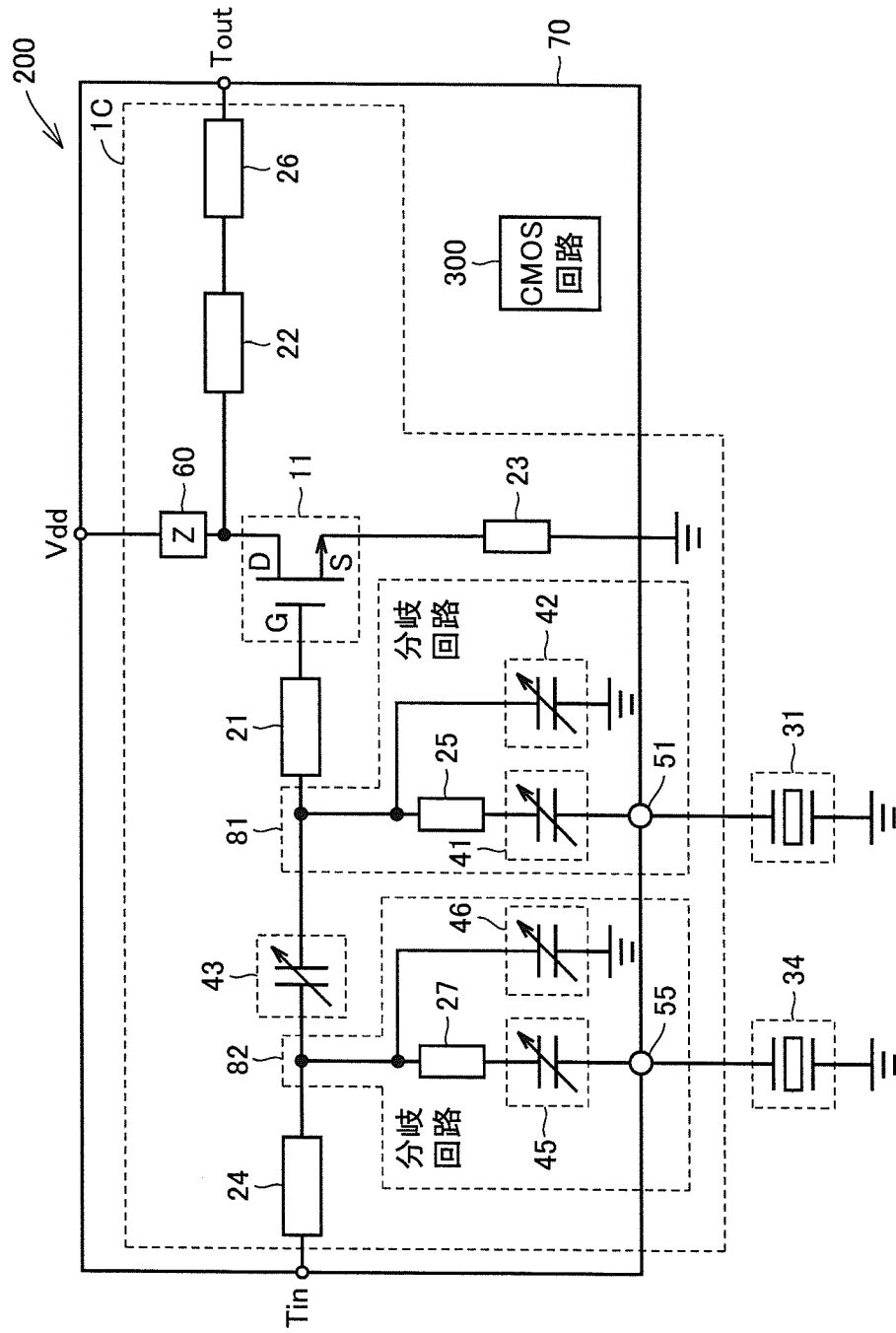
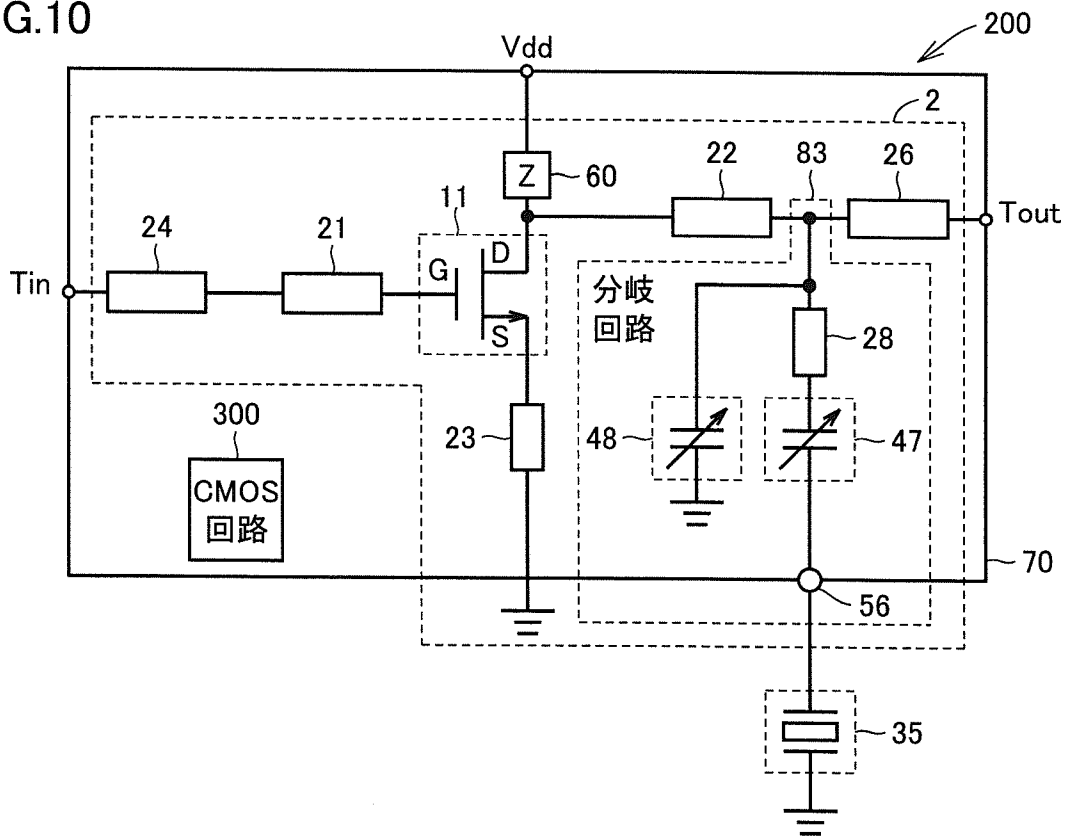


FIG.9

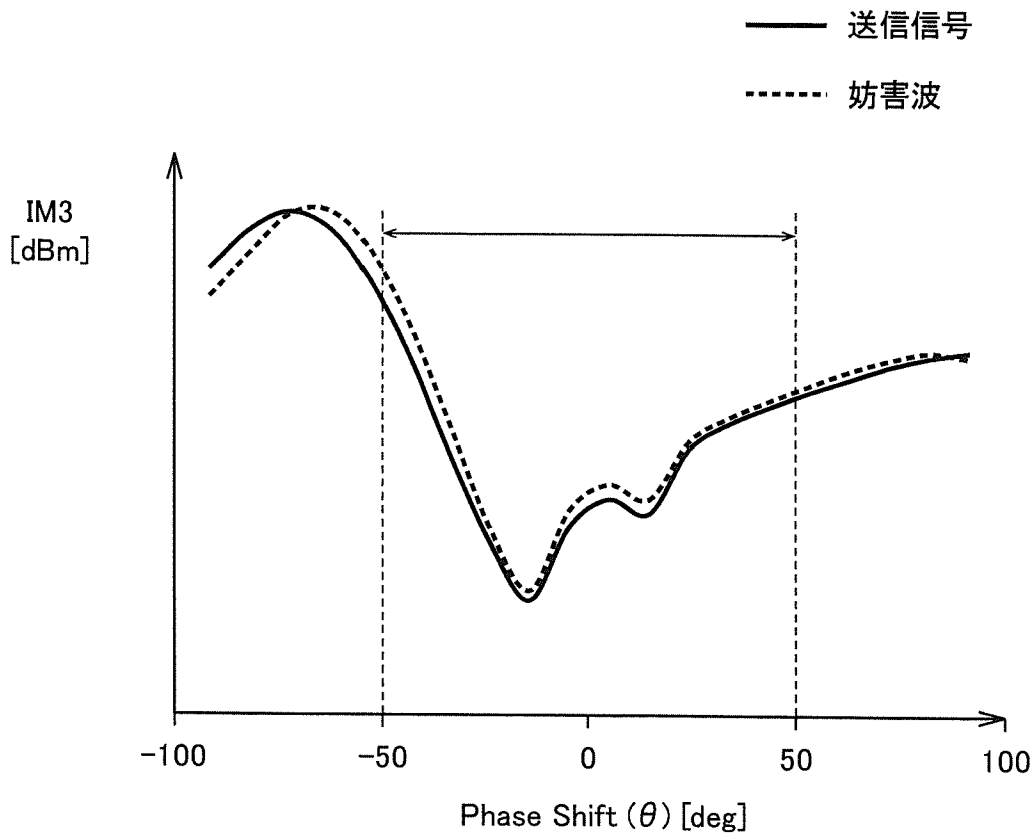
[図10]

FIG.10



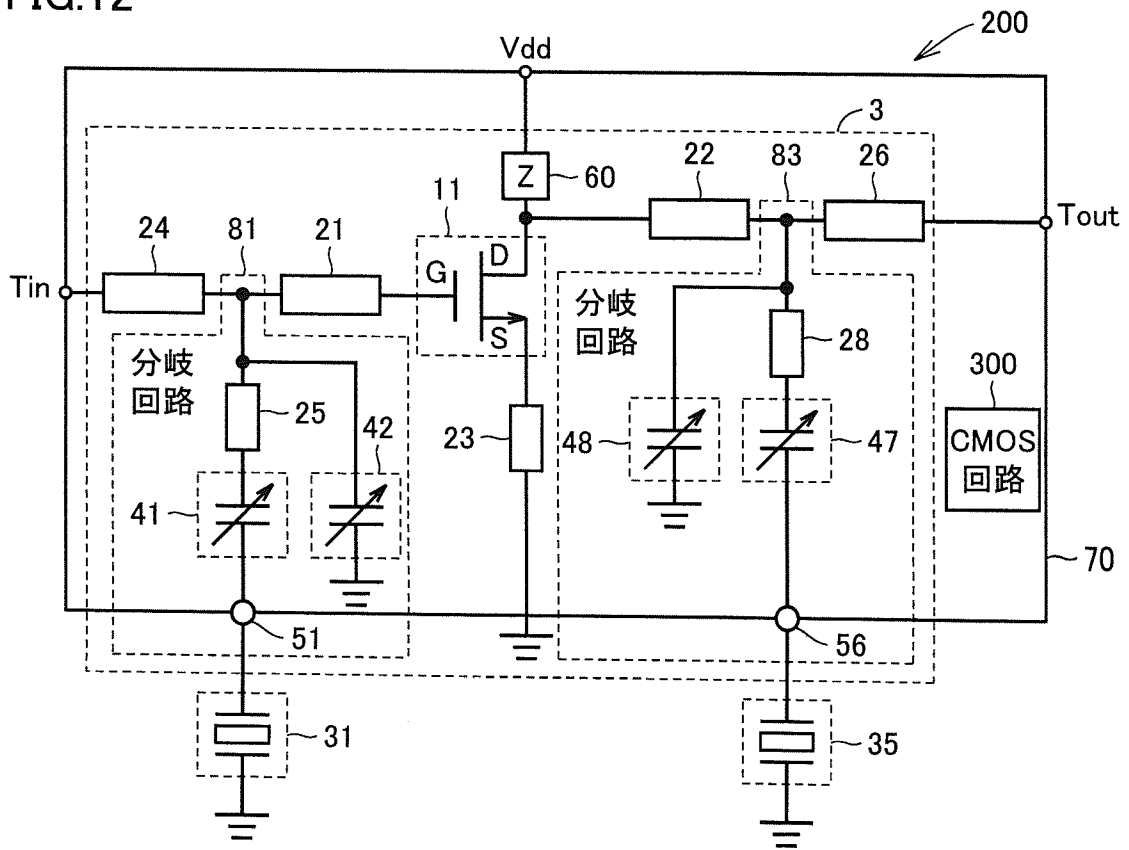
[図11]

FIG.11



[図12]

FIG. 12





**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2016/059650

**A. CLASSIFICATION OF SUBJECT MATTER**  
H03F1/26(2006.01)i, H03F3/191(2006.01)i, H03F3/60(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H03F1/26, H03F3/191, H03F3/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-234063 A (Fujitsu Ltd.), 27 August 1999 (27.08.1999), paragraphs [0031] to [0036]; fig. 2 (Family: none)	1-2, 8-9 3-7
Y A	JP 2012-134637 A (Murata Mfg. Co., Ltd.), 12 July 2012 (12.07.2012), paragraph [0036]; fig. 1 to 2 (Family: none)	1-2, 8-9 3-7
Y	JP 2015-73331 A (Murata Mfg. Co., Ltd.), 16 April 2015 (16.04.2015), paragraphs [0035] to [0052]; fig. 1 & US 2013/0285768 A1 paragraphs [0065] to [0088]; fig. 1 & WO 2012/086639 A1	8-9

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 31 May 2016 (31.05.16)	Date of mailing of the international search report 07 June 2016 (07.06.16)
---	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2016/059650

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-136408 A (Maspro Denkoh Corp.), 18 May 2001 (18.05.2001), paragraph [0021]; fig. 8 & US 6973670 B1 column 21, lines 24 to 35	6-7
A	JP 2015-27018 A (Murata Mfg. Co., Ltd.), 05 February 2015 (05.02.2015), paragraphs [0068] to [0069] (Family: none)	6-7
A	US 6426780 B1 (LIMBERG Allen LeRoy), 30 July 2002 (30.07.2002), column 9, line 22 to column 10, line 40; fig. 2 (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））  
 Int.Cl. H03F1/26(2006.01)i, H03F3/191(2006.01)i, H03F3/60(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料（国際特許分類（IPC））  
 Int.Cl. H03F1/26, H03F3/191, H03F3/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 11-234063 A（富士通株式会社）1999.08.27, 段落[0031]-[0036], 図2（ファミリーなし）	1-2, 8-9 3-7
Y A	JP 2012-134637 A（株式会社村田製作所）2012.07.12, 段落[0036], 図1-2（ファミリーなし）	1-2, 8-9 3-7
Y	JP 2015-73331 A（株式会社村田製作所）2015.04.16, 段落[0035]-[0052], 図1 & US 2013/0285768 A1, 段落[0065]-[0088], FIG1 & WO 2012/086639 A1	8-9

☑ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 31.05.2016	国際調査報告の発送日 07.06.2016
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 緒方 寿彦 電話番号 03-3581-1101 内線 3576
	5W 8321

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-136408 A (マスプロ電気株式会社) 2001. 05. 18, 段落[0021], 図 8 & US 6973670 B1, col. 21, l. 24-35	6-7
A	JP 2015-27018 A (株式会社村田製作所) 2015. 02. 05, 段落[0068]-[0069] (ファミリーなし)	6-7
A	US 6426780 B1 (LIMBERG Allen LeRoy) 2002. 07. 30, col. 9, l. 22-col. 10, l. 40, FIG. 2 (ファミリーなし)	1-9