

# 公告本

92067

申請日期:	92.7.4	案號:	92118317
類別:	H01L 21/06		

(以上各欄由本局填註)

## 發明專利說明書 I225679

一、發明名稱	中文	製作半導體介電層之方法
	英文	Method for Forming Dielectric Layers of a Semiconductor
二、發明人	姓名 (中文)	1. 楊宇浩
	姓名 (英文)	1. Yu-Hao YANG
	國籍	1. 中華民國
	住、居所	1. 新竹縣寶山鄉雙園路151之1號
三、申請人	姓名 (名稱) (中文)	1. 矽統科技股份有限公司
	姓名 (名稱) (英文)	1. Silicon Integrated Systems Corp.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 300新竹科學園區研新一路16號
	代表人姓名 (中文)	1. 宣明智
代表人姓名 (英文)	1. Ming-Chih HSUAN	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

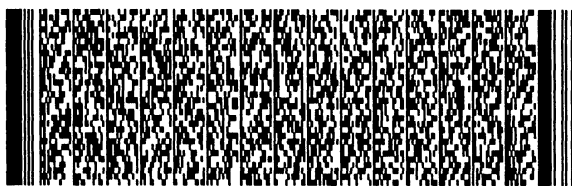
### 一、【發明所屬之技術領域】

本發明係為一種半導體製造流程，尤其為一種半導體內金屬導體間介電層的製造流程。

### 二、【先前技術】

當完成晶圓上金屬氧化半導體 (Metal-Oxide Semiconductor 簡稱 MOS) 元件的主體製作後，接下來便是進行 MOS 元件上方的多重金屬導體層與內連線的製作，隨著製程技術的演進，元件尺寸規格也日益縮小，因此也使得金屬導體間的間隙愈來愈小而在金屬導體間產生高深寬比 (high aspect ratio) 的間隙，導致沉積介電層於金屬間的間隙時會因為難以沉積完全而形成孔洞於其中，進而破壞元件電性造成晶圓的報廢。

為了解決上述沉積不完全的問題，美國專利號 6,239,018 與美國專利號 6,218,284 提出了利用高密度電漿化學氣相沉積 (high density plasma chemical vapor deposition 簡稱 HDPCVD) 的製程來沉積金屬導體間的介電層 (如二氧化矽)，美國專利號 6,117,345 中亦詳述了 HDPCVD 製程，主要就是利用 HDPCVD 製程同時兼具化學氣相沉積與非等向蝕刻作用的特性，如第一 A-D 圖所示，首先提供一已完成半導體主動元件製作的基板 10，基板 10 上方已形成一金屬導體層 12，接著以高密度電漿化學氣相沉積方式形成一第一介電層 14 於金屬導體層 12 上方，其中由於



### 五、發明說明 (2)

高密度電漿化學氣相沉積中非等向蝕刻作用的特性，第一介電層 14 在金屬導體層 12 上方的輪廓將如第一 B 圖所示呈現鋸齒形狀，接下來再形成一第二介電層 16 於第一介電層 14 上方，然後第二介電層經過平坦化 (如化學機械研磨製程) 後整體晶圓結構將如第一 D 圖所示。

由於以高密度電漿化學氣相沉積方式製作的第一介電層 14 輪廓呈現高低起伏的外觀，加上金屬導體層 12 間的疏密分布，覆蓋於第一介電層 14 上的第二介電層 16 也將呈現高低起伏的外觀，因此為使往後金屬層製作順利進行，必須加上一道平坦化的製程 (如化學機械研磨製程) 以將第二介電層 16 平坦化，如此一來便增加了製程的步驟而拉長了半導體製作的時間，因此便有一種不需經過平坦化製程而能得到平坦的金屬間介電層的需求。

隨著半導體內金屬導體間の間隙深寬比 (aspect ratio) 日益提高，在進行高密度電漿化學氣相沉積時必須提高蝕刻對沉積的速率比值以形成不具孔洞的金屬導體間介電層，往往因此造成介電層製作時間延長，甚至仍然無法製作出不含孔洞的金屬導體間之介電層，因此便有一種不需要延長介電層製作時間而且能夠形成不具孔洞之金屬導體間介電層的需求。

### 三、【發明內容】



#### 五、發明說明 (3)

本發明之一主要目的係提供一製作平坦的金屬導體間介電層的方法，並且省去先前技術中平坦化製程以減少半導體製作時間與成本。

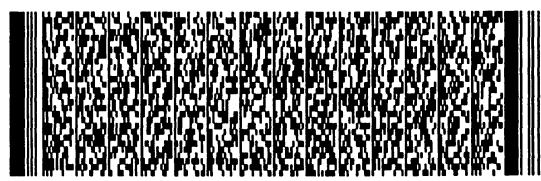
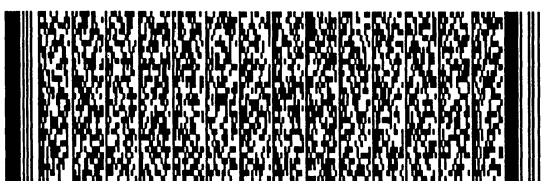
本發明之另一目的為提供一製作不具孔洞之半導體內金屬間介電層的方法，以取代先前技術中耗時的高密度電漿化學氣相沉積的製程。

本發明係利用一具複數個微孔之薄膜，將此薄膜緊密覆蓋於一已完成金屬導體層製作的基板上，再噴灑液體介電材料於基板上，待液體介電材質通過薄膜而填滿金屬導體間之隙後，移除具複數個微孔之薄膜，然後烘烤基板去除液體介電材料內的溶劑以形成一第一介電層於金屬導體間，接下來再以化學氣相沉積方式形成一第二介電層於第一介電層上方，而完成半導體金屬間介電層的製作。

#### 四、【實施方式】

本發明的一些實施例會詳細描述如下。然而，除了詳細描述外，本發明還可以廣泛地在其他的實施例施行。亦即，本發明的範圍不受在該提出之實施例的限制，而應以後面提出之申請專利範圍為準。

本發明之一較佳實施例如第二A圖所示，一基板20上已完成了一金屬導體層22的製作，其中基板內包含了所欲

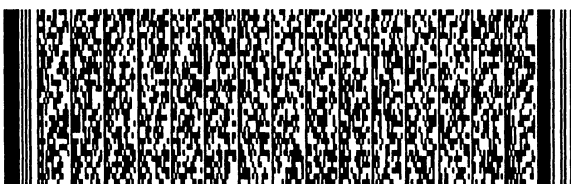


## 五、發明說明 (4)

製作的半導體主動元件(圖上未示),接下來便是要進行金屬導體層 22 間介電層的製作以隔離金屬導體層 22 內部之金屬導線以及隔離金屬導體層 22 層與下一層金屬導體層。

在製作金屬導體層 22 間介電層之前,如第二 B 圖所示,在反應室內將一具複數個微孔之薄膜 24 緊緊地覆蓋於基板 20 上方,或是將基板 20 緊貼於一具複數個微孔之薄膜 24 下方,其中由於金屬導體層 22 彼此的厚度在製作過程中有些許差異存在,因此具複數個微孔之薄膜 24 係為一軟性材質而能夠緊密地貼合於基板 20 之金屬導體層 22 上方,此一具複數個微孔之薄膜 24 係為一不與介電層製作過程中使用的化學物質發生反應的濾網,在本實施例中具複數個微孔之薄膜 24 可為一不織布纖維濾網、一陶瓷濾網或為一不鏽鋼金屬網。

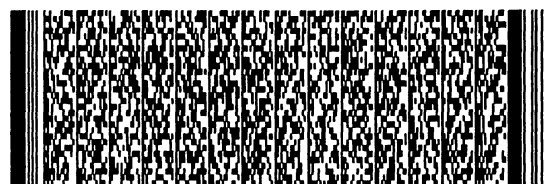
接下來再由複數個噴嘴 28 噴灑液體介電材料 26 於具複數個微孔之薄膜 24 上方,在此液體介電材料 26 係由溶劑與介電材質混合而成,液體介電材料 26 隨著製程需求不同,可為矽酸鹽類 (Silicate)、矽氧烷類 (Siloxane)、無機的旋塗式玻璃 HSQ (Hydrogenated Silsesquioxane)、芳香族聚醚 (Aromatic Polyether)、二乙烯矽氧烷 (Divinylsiloxane) 與雙甲基苯環丁烷 (bis-Benzocyclobutene) 的共聚高分子 (co-polymer) 或簡稱 DVS-BCB、或者為二氧化矽凝膠。



## 五、發明說明 (5)

如第二 C圖所示，由複數個噴嘴 28 噴灑於具複數個微孔之薄膜 24 上的液體介電材料 26 通過具複數個微孔之薄膜 24 後，液體介電材料 26 將填入金屬導體層 22 間間隙中，其中具複數個微孔之薄膜 24 的孔徑隨製程要求的不同而有所調整，當靜置基板 20 一段時間而液體介電材料 26 填滿金屬導體層 22 間間隙後，再將緊貼於基板 20 上方的具複數個微孔之薄膜 24 移除或是將基板 20 從具複數個微孔之薄膜 24 下方移開，再如第二 D圖所示，烘烤基板 20 將金屬導體層 22 間液體介電材料 26 內的溶劑以蒸發方式驅離，而固化液體介電材料 26 為金屬導體層 22 間的第一介電層 262，如第二 E圖所示，接著再以化學氣相沉積方式形成一第二介電層 29 覆蓋於已形成金屬導體層 22 間之第一介電層 262 之金屬導體層 22 層上方，以完成半導體金屬間介電層的製作在此由於填入金屬導體層 22 內間隙的液體介電材料 26 固化後之第一介電層 262 的厚度近似於金屬導體層 22 的厚度，因此完成第二介電層 29 沉積後，第二介電層表面將形成一平坦的表面，而不一定需要再進行如先前技術中的化學機械研磨 (Chemical Mechanical Polish 簡稱 CMP) 製程以將第二介電層 29 表面平坦化。

如第三 A圖與第三 B圖所示，本發明與先前技術形成金屬導體 32 間介電層的差異主要在於介電層形成時成長的方向，以第三 A圖而言，先前技術中以化學氣相沉積的第一



## 五、發明說明 (6)

沉積介電層 341至第二沉積介電層 342至第三沉積介電層 343填入基板 30上金屬導體 32內間隙的方向，包含了橫向與縱向的填入方式，往往會因為橫向的填入速率在金屬導體 32上方大於金屬導體 32下方，或是因為金屬導體 32內間隙的寬度小於金屬導體 32內間隙的高度，造成介電層內孔洞 38(void)的產生，以本發明而言，如第三 B圖所示，第一沉積介電層 361至第二沉積介電層 362至第三沉積介電層 363填入基板 30上金屬導體 32內間隙的方向，僅包含了縱向的填入方式，因此在完成金屬導體 32間的介電層填充後將不會產生孔洞 38於介電層內，而產生一電性穩定的介電層。

以上所述僅為本發明之較佳實施例，並非用以限定本發明之申請專利範圍。在不脫離本發明之實質內容的範疇內仍可予以變化而加以實施，此等變化應仍屬本發明之範圍。因此，本發明之範疇係由下列申請專利範圍所界定，舉例而言，在上述實施例中提到的金屬導體層 22可能是所欲製作半導體元件的第一層金屬層，而基板 20代表已製作完成半導體主動元件的矽基板；除此之外，上述提到的金屬導體層 22亦可能是所欲製作的半導體元件內其它層的金屬導體層，而基板 20代表鄰近金屬導體層間的一層介電層。





## 圖式簡單說明

## 五、【圖示簡單說明】

第一 A-D圖所示為先前技術中以高密度電漿化學氣相沉積方式製作半導體金屬內介電層之過程；

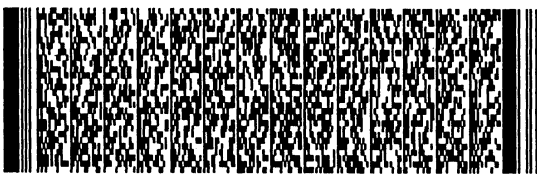
第二 A-E圖所示為本發明中利用具複數個微孔之薄膜製作半導體金屬內介電層之過程；

第三 A圖所示為先前技術中以化學氣相沉積方式製作半導體金屬內介電層時介電層成長方向示意圖；以及

第三 B圖所示為本發明中以具複數個微孔之薄膜過濾液體介電材料方式製作半導體金屬內介電層時介電層成長方向示意圖。

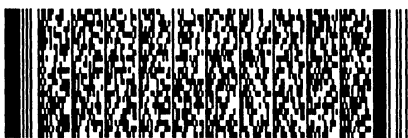
## 符號說明：

- 10 基板
- 12 金屬導體
- 14 第一介電層
- 16 第二介電層
- 20 基板
- 22 金屬導體
- 24 具複數個微孔之薄膜
- 27 液體介電材料
- 262 第一介電層



圖式簡單說明

- 28 噴嘴
- 29 第二介電層
- 30 基板
- 32 金屬導體
- 341 第一沉積介電層
- 342 第二沉積介電層
- 343 第三沉積介電層
- 361 第一沉積介電層
- 362 第二沉積介電層
- 363 第三沉積介電層
- 38 孔洞



## 四、中文發明摘要 (發明之名稱：製作半導體介電層之方法)

本發明係為一種製作半導體介電層的方法，首先提供一已完成金屬導體層製作的基板，將一具複數個微孔之薄膜覆蓋於基板上，接著噴灑一液體介電材料於該具複數個微孔之薄膜上，靜置基板一段時間，等液體介電材料填滿金屬導體間之隙後，移除該基板上之該具複數個微孔之薄膜，然後再烘烤基板以固化金屬導體層內之液體介電材料，固化後的介電材料之厚度將近似於金屬導體層之厚度，最後再形成一覆蓋介電層於該基板上。

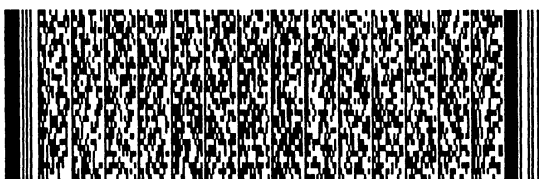
代表圖示：第二 A~二 E圖

代表圖式元件符號：

20 基板

## 英文發明摘要 (發明之名稱：Method for Forming Dielectric Layers of a Semiconductor)

A method for forming a dielectric layer of a semiconductor is described. At first, providing a substrate with a metal-conductive layer having been formed thereon. Next covering the substrate with a membrane having a plurality of micro-holes. Afterward spraying a fluid dielectric on the membrane having a plurality of micro-holes. After waiting a period of time for the gaps among the metal conductors being filled with the fluid dielectric, removing the membrane having a



四、中文發明摘要 (發明之名稱：製作半導體介電層之方法)

- 22 金屬導體
- 24 具複數個微孔之薄膜
- 26 液體介電材料
- 262 第一介電層
- 28 噴嘴
- 29 第二介電層

英文發明摘要 (發明之名稱：Method for Forming Dielectric Layers of a Semiconductor)

plurality of micro-holes from the substrate. Further baking the substrate to cure the fluid dielectric inside metal-conductive layer. The thickness of the dielectric after curing is approximately equal to the thickness of the metal-conductive layer. At last forming a cap dielectric layer on the substrate.



## 六、申請專利範圍

## 1. 一種製作半導體介電層的方法，包含：

提供一基板，該基板已完成一導體層的製作；

覆蓋一具複數個微孔之薄膜於該基板上；

噴灑一液體介電材料於該具複數個微孔之薄膜上；

靜置該基板一段時間，等該液體介電材料填滿該導體層內之間隙後，移除該基板上之該具複數個微孔之薄膜；  
以及

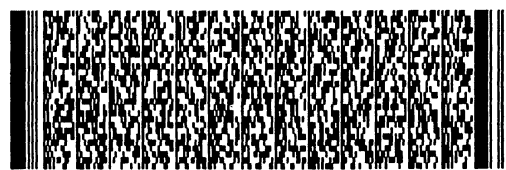
烘烤該基板以固化該導體層內之該液體介電材料。

2. 如申請專利範圍第 1 項之製作半導體介電層的方法，更包含形成一覆蓋介電層於已填入且固化後之該液體介電材料之該導體層上。

3. 如申請專利範圍第 2 項之製作半導體介電層的方法，其中上述之覆蓋介電層係以化學氣相沉積方式形成。

4. 如申請專利範圍第 1 項之製作半導體介電層的方法，其中上述之具複數個微孔之薄膜之材質係選自下列之一：不織布纖維濾網、陶瓷過濾網以及不銹鋼金屬網。

5. 如申請專利範圍第 1 項之製作半導體介電層的方法，其中上述之液體介電材料係選自下列之一：矽酸鹽類、矽氧烷類、無機的旋塗式玻璃 HSQ、芳香族聚醚、二乙烯矽氧烷與雙甲基苯環丁烷的共聚高分子以及二氧化矽凝膠。



## 六、申請專利範圍

6. 一種製作半導體介電層的方法，包含：

提供一基板，該基板已完成金屬導體層的製作；

將該基板表面緊臨於一具複數個微孔之薄膜；

噴灑一液體介電材料於該具複數個微孔之薄膜上；

靜置該基板一段時間後於該具複數個微孔之薄膜下方  
移除該基板；

烘烤該基板以固化該金屬導體層內之該液體介電材  
料，固化後的介電材料之厚度近似於金屬導體層之厚度；  
以及

形成一介電層於該基板上。

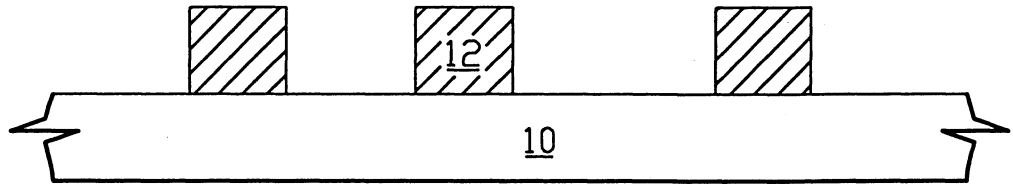
7. 如申請專利範圍第 6 項之製作半導體介電層的方法，其  
中上述之具複數個微孔之薄膜之材質係選自下列之一：不  
織布纖維濾網、陶瓷過濾網以及不銹鋼金屬網。

8. 如申請專利範圍第 6 項之製作半導體介電層的方法，其  
中上述之液體介電材料係選自下列之一：矽酸鹽類、矽氧  
烷類、無機的旋塗式玻璃 HSQ、芳香族聚醚、二乙烯矽氧  
烷與雙甲基苯環丁烷的共聚高分子以及二氧化矽凝膠。

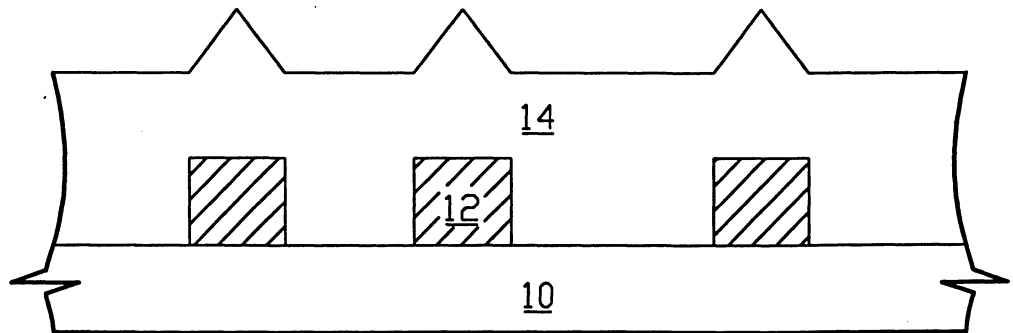
9. 如申請專利範圍第 6 項之製作半導體介電層的方法，其  
中上述之介電層係以化學氣相沉積方式形成。



圖式

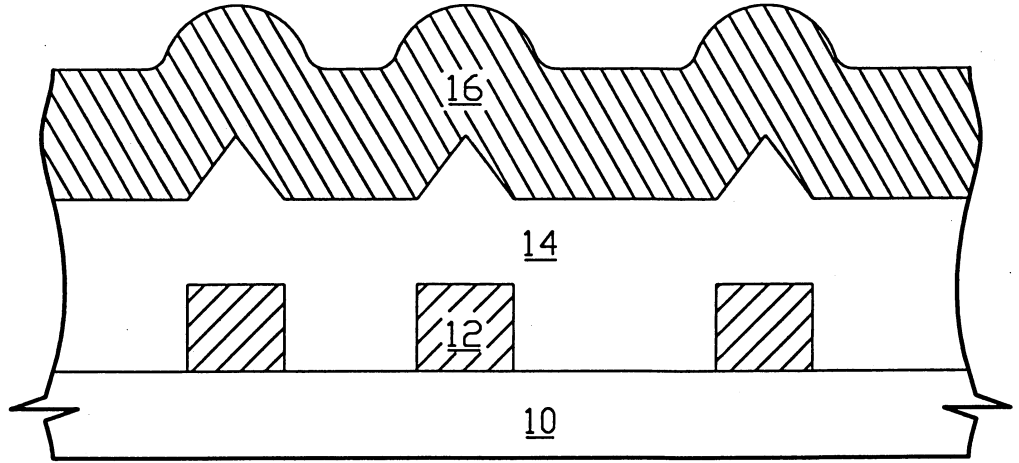


第一A圖

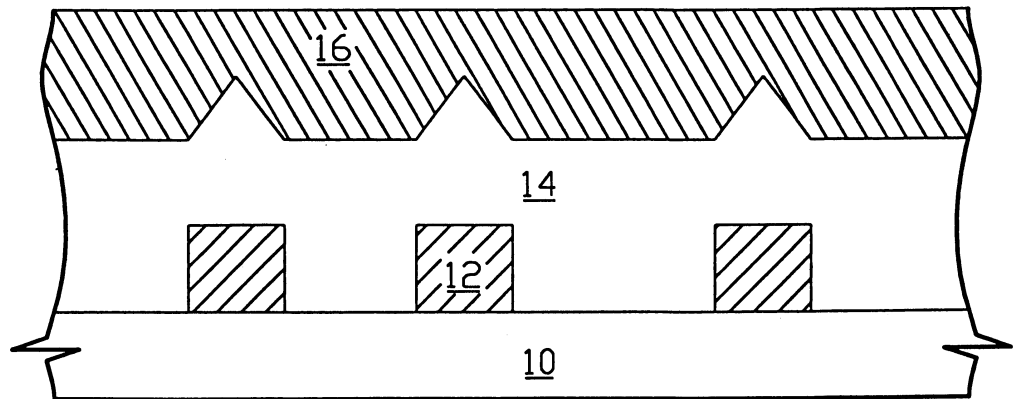


第一B圖

圖式



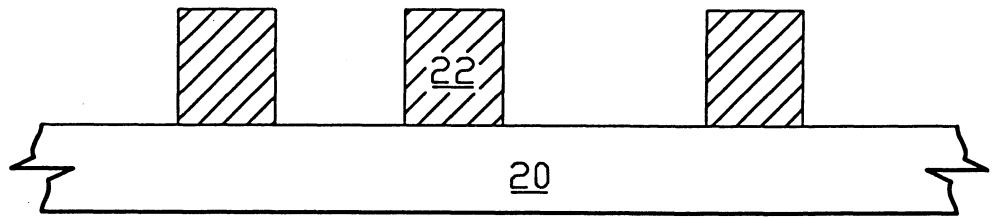
第一C圖



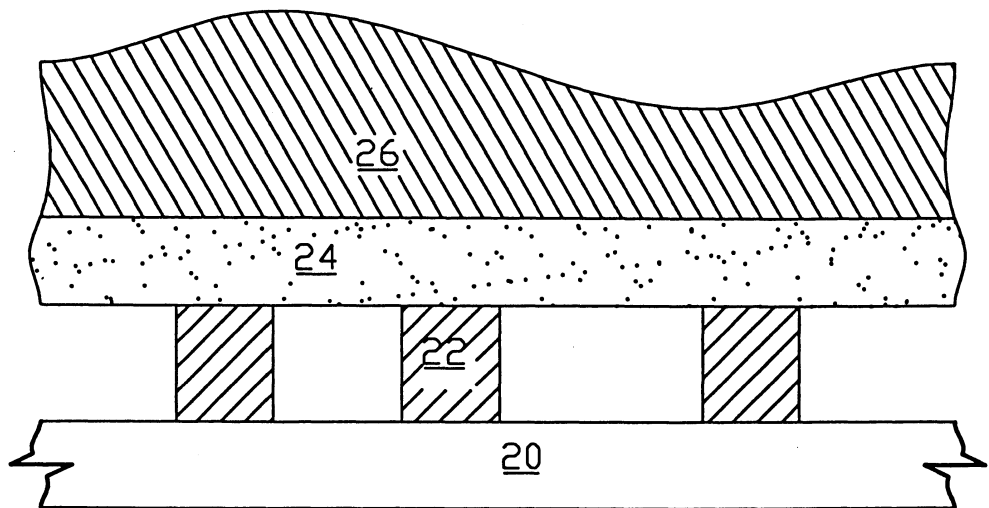
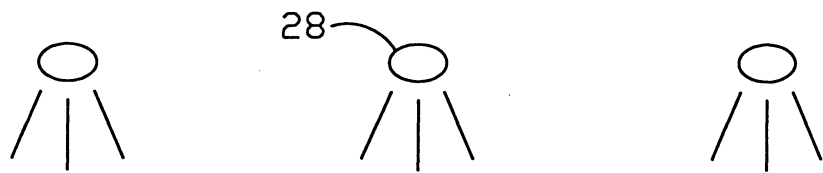
第一D圖



圖式

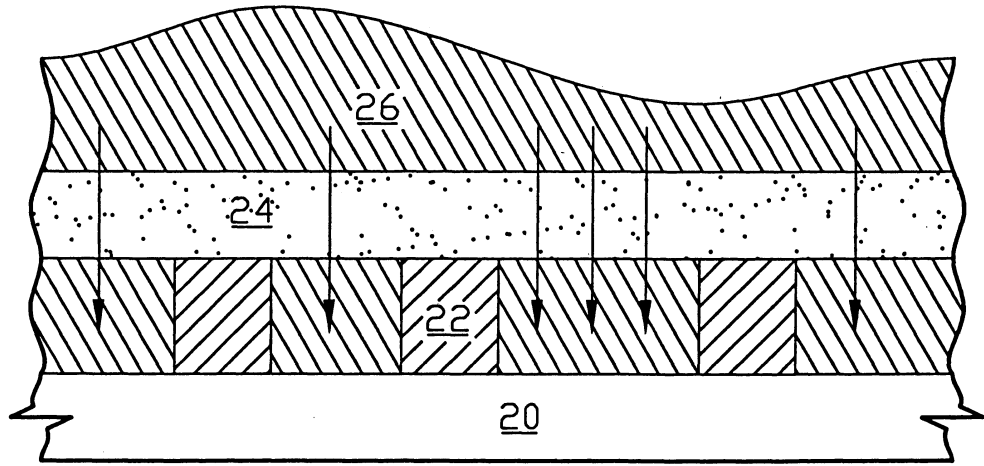


第二A圖

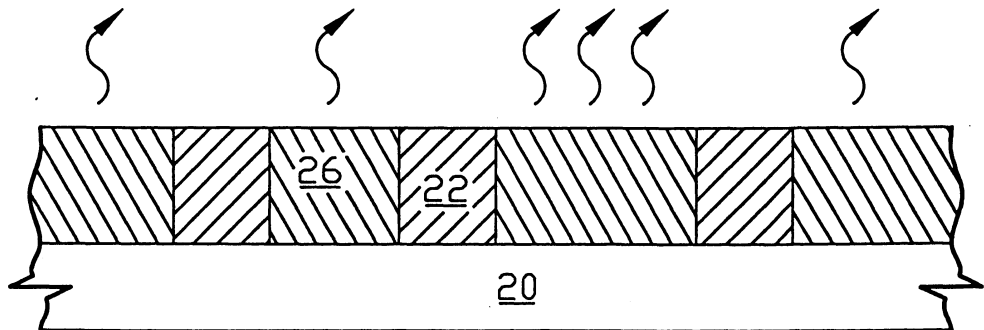


第二B圖

圖式

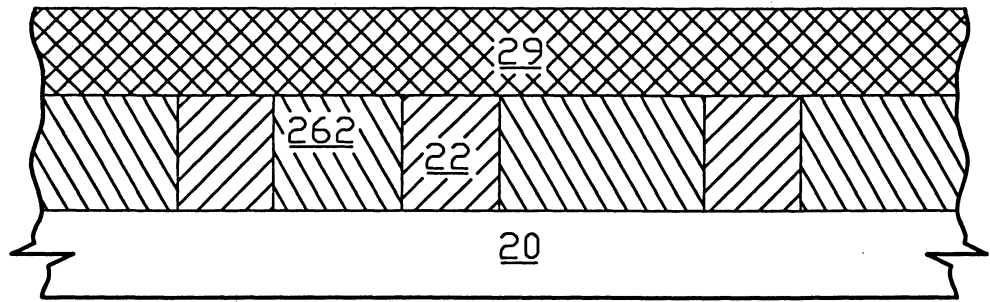


第二C圖

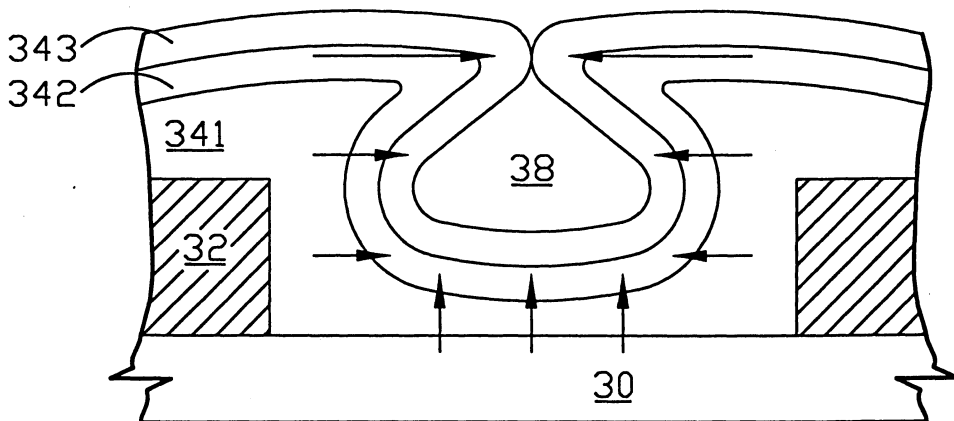


第二D圖

圖式

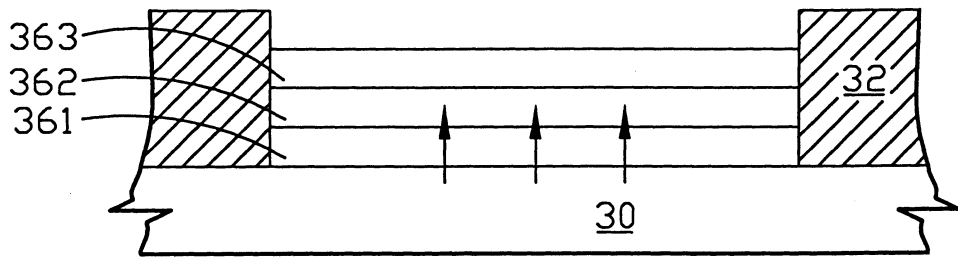


第二E圖



第三A圖

圖式



第三B圖