

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-140747  
(P2020-140747A)

(43) 公開日 令和2年9月3日(2020.9.3)

|                                      |                     |             |
|--------------------------------------|---------------------|-------------|
| (51) Int.Cl.                         | F I                 | テーマコード (参考) |
| G 1 1 C 16/34 (2006.01)              | G 1 1 C 16/34 1 1 6 | 5 B 2 2 5   |
| G 1 1 C 11/56 (2006.01)              | G 1 1 C 11/56 2 1 0 |             |
| G 1 1 C 16/10 (2006.01)              | G 1 1 C 16/10 1 4 0 |             |
| G 1 1 C 16/08 (2006.01)              | G 1 1 C 16/10 1 5 0 |             |
|                                      | G 1 1 C 16/08 1 2 3 |             |
| 審査請求 未請求 請求項の数 4 O L (全 28 頁) 最終頁に続く |                     |             |

(21) 出願番号 特願2019-33584 (P2019-33584)  
(22) 出願日 平成31年2月27日 (2019.2.27)

(71) 出願人 318010018  
キオクシア株式会社  
東京都港区芝浦三丁目1番21号  
(74) 代理人 110001612  
きさらぎ国際特許業務法人  
(72) 発明者 志村 安広  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内  
(72) 発明者 上野 広貴  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内  
(72) 発明者 四方 剛  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

最終頁に続く

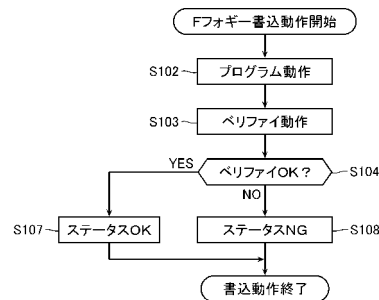
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 微細化の容易な半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、第1、第2メモリトランジスタと、これらのゲート電極に接続された第1、第2ワード線と、を備える。また、半導体記憶装置は、第1メモリトランジスタに対する第1書込動作、第2メモリトランジスタに対する第1書込動作、第1メモリトランジスタに対する第2書込動作、第2メモリトランジスタに対する第2書込動作、がこの順番で実行される様に構成される。また、第1書込動作においては、第1ワード線又は第2ワード線に複数のプログラム電圧が入力されるプログラム動作が1回のみ実行され、第1ワード線又は第2ワード線に一又は複数のベリファイパルスが入力されるベリファイ動作がプログラム動作の実行後に1回のみ実行される。

【選択図】 図22A



## 【特許請求の範囲】

## 【請求項 1】

複数のしきい値電圧を有する第 1 メモリトランジスタ及び第 2 メモリトランジスタを含むメモリストリングと、

前記第 1 メモリトランジスタのゲート電極に接続された第 1 ワード線と、

前記第 2 メモリトランジスタのゲート電極に接続された第 2 ワード線と、

前記第 1 メモリトランジスタ及び前記第 2 メモリトランジスタにプログラム動作とベリファイ動作とを含む書込動作と、読出動作とを行うコントローラと

を備え、

前記第 1 メモリトランジスタを第 1 のしきい値電圧にプログラム動作のみを用いて書き込む第 1 書込動作と、

前記第 2 メモリトランジスタを第 2 のしきい値電圧にプログラム動作のみを用いて書き込む第 1 書込動作と、

前記第 1 メモリトランジスタを前記第 1 のしきい値電圧よりも高い第 3 のしきい値電圧にプログラム動作とベリファイ動作とを用いて書き込む第 2 書込動作と、

前記第 2 メモリトランジスタを前記第 2 のしきい値電圧よりも高い第 4 のしきい値電圧にプログラム動作とベリファイ動作とを用いて書き込む第 2 書込動作と、

がこの順番で実行されるように前記コントローラが制御する半導体記憶装置。

## 【請求項 2】

前記第 1 書込動作の終了後、前記ベリファイ動作が実行され、前記第 1 書込動作が正常に終了したか否かを示す情報が出力される

請求項 1 記載の半導体記憶装置。

## 【請求項 3】

前記第 1 メモリトランジスタ及び前記第 2 メモリトランジスタには、 $k$  ( $k$  は 2 以上の整数) ビットのデータがそれぞれ記録され、

前記  $k$  ビットのデータに対応する  $2^k$  のステートのうち、所定のしきい値電圧より小さい全てのステート、及び、前記所定のしきい値電圧より大きい全てのステートの、一方には前記  $k$  ビットのうちの所定のビットの“0”が割り当てられ、他方には前記所定のビットの“1”が割り当てられ、

前記第 1 のしきい値電圧及び前記第 2 のしきい値電圧は、前記所定のしきい値電圧であり、

前記第 2 メモリトランジスタに対する前記第 1 書込動作の実行後、前記第 1 メモリトランジスタに対する前記第 2 書込動作の実行前に、前記第 1 メモリトランジスタの前記所定のビットを読み出す読出動作が行われる請求項 1 又は 2 記載の半導体記憶装置。

## 【請求項 4】

前記第 1 書込動作において前記第 1 ワード線又は前記第 2 ワード線に供給されるプログラム電圧の数は、 $2^k - 1$  よりも少ない

請求項 3 記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本実施形態は、半導体記憶装置に関する。

## 【背景技術】

## 【0002】

複数のメモリトランジスタを含むメモリストリングを備える半導体記憶装置が知られている。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2015 - 176309 号公報

10

20

30

40

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

微細化の容易な半導体記憶装置を提供する。

## 【課題を解決するための手段】

## 【0005】

一の実施形態に係る半導体記憶装置は、複数のしきい値電圧を有する第1メモリトランジスタ及び第2メモリトランジスタを含むメモリストリングと、第1メモリトランジスタのゲート電極に接続された第1ワード線と、第2メモリトランジスタのゲート電極に接続された第2ワード線と、第1メモリトランジスタ及び第2メモリトランジスタにプログラム動作とベリファイ動作とを含む書込動作と、読出動作とを行うコントローラと、を備える。この半導体記憶装置においては、第1メモリトランジスタを第1のしきい値電圧にプログラム動作のみを用いて書き込む第1書込動作と、第2メモリトランジスタを第2のしきい値電圧にプログラム動作のみを用いて書き込む第1書込動作と、第1メモリトランジスタを第1のしきい値電圧よりも高い第3のしきい値電圧にプログラム動作とベリファイ動作とを用いて書き込む第2書込動作と、第2メモリトランジスタを第2のしきい値電圧よりも高い第4のしきい値電圧にプログラム動作とベリファイ動作とを用いて書き込む第2書込動作と、がこの順番で実行される様にコントローラが制御する。第1書込動作においては、第1ワード線又は第2ワード線に、お互いに異なる大きさの複数のプログラム電圧が供給されるプログラム動作が1回のみ実行され、第1ワード線又は第2ワード線に一又は複数のベリファイ電圧が供給されるベリファイ動作が、プログラム動作の実行後に1回のみ実行される。

10

20

## 【図面の簡単な説明】

## 【0006】

【図1】メモリシステム10の構成を示す模式的なブロック図である。

【図2】メモリダイMDの構成を示す模式的なブロック図である。

【図3】メモリセルアレイMCAの構成を示す模式的な回路図である。

【図4】センスアンプモジュールSAMの構成を示す模式的なブロック図である。

【図5】センスアンプSAの構成を示す模式的な回路図である。

【図6】メモリダイMDの構成を示す模式的な平面図である。

30

【図7】メモリセルアレイMCAの構成を示す模式的な平面図である。

【図8】メモリセルアレイMCAの構成を示す模式的な断面図である。

【図9】メモリセルMCの構成を示す模式的な断面図である。

【図10】メモリセルMCに記録されるデータについて説明するための模式的な図である。

【図11】読出動作について説明するための模式的な断面図である。

【図12】書込動作について説明するための模式的なフローチャートである。

【図13】書込動作について説明するための模式的な断面図である。

【図14】フルシーケンス書込について説明するための模式的なヒストグラムである。

【図15】フルシーケンス書込における書込動作の順番について説明するための模式的な断面図である。

40

【図16】NWIについて説明するための模式的なヒストグラムである。

【図17】フォギーファイン書込について説明するための模式的なヒストグラムである。

【図18】フォギーファイン書込について説明するための模式的なヒストグラムである。

【図19】フォギーファイン書込における書込動作の順番について説明するための模式的な断面図である。

【図20】2ステージ書込について説明するための模式的なヒストグラムである。

【図21】2ステージ書込について説明するための模式的なヒストグラムである。

【図22A】ファストフォギーファイン書込について説明するための模式的なフローチャートである。

50

【図 2 2 B】ファストフォギーファイン書込について説明するための模式的な波形図である。

【図 2 2 C】ファストフォギーファイン書込について説明するための模式的な波形図である。

【図 2 3】発明者らによる実験の結果を示すヒストグラムである。

【図 2 4】発明者らによる実験の結果を示すヒストグラムである。

【図 2 5】発明者らによる実験の結果を示すヒストグラムである。

【図 2 6】発明者らによる実験の結果を示すヒストグラムである。

【図 2 7】ファストフォギーファイン書込について説明するための模式的なヒストグラムである。

10

【図 2 8】ファストフォギーファイン書込について説明するための模式的なヒストグラムである。

【図 2 9】ファストフォギーファイン書込について説明するための模式的なヒストグラムである。

【図 3 0】ファストフォギーファイン書込について説明するための模式的なヒストグラムである。

【図 3 1】ファストフォギーファイン書込について説明するための模式的なヒストグラムである。

【図 3 2】ファストフォギーファイン書込について説明するための模式的なヒストグラムである。

20

【図 3 3】ファストフォギーファイン書込について説明するための模式的なヒストグラムである。

【図 3 4】ファストフォギーファイン書込について説明するための模式的なヒストグラムである。

【図 3 5】ファストフォギーファイン書込における書込動作の順番について説明するための模式的な断面図である。

【図 3 6】1 - 2 - 4 - 8 コードを示す模式的な図である。

【発明を実施するための形態】

【0007】

次に、実施形態に係る半導体記憶装置を、図面を参照して詳細に説明する。尚、以下の実施形態はあくまでも一例であり、本発明を限定する意図で示されるものではない。

30

【0008】

また、本明細書において「半導体記憶装置」と言った場合には、メモリダイを意味する事もあるし、メモリチップ、メモリカード、SSD等の、コントロールダイを含むメモリシステムを意味する事もある。更に、スマートフォン、タブレット端末、パーソナルコンピュータ等の、ホストコンピュータを含む構成を意味する事もある。

【0009】

また、本明細書において、第1の構成が第2の構成に「電氣的に接続されている」と言った場合、第1の構成は第2の構成に直接接続されていても良いし、第1の構成が第2の構成に配線、半導体部材又はトランジスタ等を介して接続されていても良い。例えば、3つのトランジスタを直列に接続した場合には、2つ目のトランジスタがOFF状態であったとしても、1つ目のトランジスタは3つ目のトランジスタに「電氣的に接続」されている。

40

【0010】

また、本明細書において、第1の構成が第2の構成及び第3の構成の「間に接続されている」と言った場合、第1の構成、第2の構成及び第3の構成が直列に接続され、且つ、第1の構成が第2の構成及び第3の構成の電流経路に設けられていることを意味する場合がある。

【0011】

また、本明細書において、回路等が2つの配線等を「導通させる」と言った場合には、

50

例えば、この回路等がトランジスタ等を含んでおり、このトランジスタ等が2つの配線間の電流経路に設けられており、このトランジスタ等がON状態となることを意味する事がある。

【0012】

[メモリシステム10]

図1は、第1実施形態に係るメモリシステム10の構成を示す模式的なブロック図である。

【0013】

メモリシステム10は、ホストコンピュータ20から送信された信号に応じて、ユーザデータの読み出し、書き込み、消去等を行う。メモリシステム10は、例えば、メモリチップ、メモリカード、SSD又はその他のユーザデータを記憶可能なシステムである。メモリシステム10は、ユーザデータを記憶する複数のメモリダイMDと、これら複数のメモリダイMD及びホストコンピュータ20に接続されるコントロールダイCDと、を備える。コントロールダイCDは、例えば、プロセッサ、RAM、ROM、ECC回路等を備え、論理アドレスと物理アドレスの変換、ビット誤り検出/訂正、ウェアレベリング等の処理を行う。

10

【0014】

図2は、第1実施形態に係るメモリダイMDの構成を示す模式的なブロック図である。

図3～図5は、メモリダイMDの一部の構成を示す模式的な回路図である。

【0015】

図2に示す通り、メモリダイMDは、データを記憶するメモリセルアレイMCAと、メモリセルアレイMCAに接続された周辺回路PCと、を備える。

20

【0016】

[メモリセルアレイMCA]

メモリセルアレイMCAは、複数のメモリブロックMBを備える。これら複数のメモリブロックMBは、図3に示す様に、それぞれ、複数のサブブロックSBを備える。これら複数のサブブロックSBは、それぞれ、複数のメモリストリングMSを備える。これら複数のメモリストリングMSの一端は、それぞれ、ビット線BLを介して周辺回路PCに接続される。また、これら複数のメモリストリングMSの他端は、それぞれ、共通のソース線SLを介して周辺回路PCに接続される。

30

【0017】

メモリストリングMSは、ビット線BL及びソース線SLの間に直列に接続されたドレイン選択トランジスタSTD、複数のメモリセルMC、及び、ソース選択トランジスタSTSを備える。以下、ドレイン選択トランジスタSTD、及び、ソース選択トランジスタSTSを、単に選択トランジスタ(STD、STS)と呼ぶ事がある。

【0018】

本実施形態に係るメモリセルMCは、チャネル領域として機能する半導体層、電荷蓄積膜を含むゲート絶縁膜、及び、ゲート電極を備える電界効果型のトランジスタ(メモリトランジスタ)である。メモリセルMCのしきい値電圧は、電荷蓄積膜中の電荷量に応じて変化する。メモリセルMCは、1ビット又は複数ビットのデータを記憶する。尚、1のメモリストリングMSに対応する複数のメモリセルMCのゲート電極には、それぞれ、ワード線WLが接続される。これらワード線WLは、それぞれ、1のメモリブロックMB中の全てのメモリストリングMSに共通に接続される。

40

【0019】

選択トランジスタ(STD、STS)は、チャネル領域として機能する半導体層、ゲート絶縁膜及びゲート電極を備える電界効果型のトランジスタである。選択トランジスタ(STD、STS)のゲート電極には、それぞれ、選択ゲート線(SGD、SGS)が接続される。ドレイン選択線SGDは、サブブロックSBに対応して設けられ、1のサブブロックSB中の全てのメモリストリングMSに共通に接続される。ソース選択線SGSは、1のメモリブロックMB中の全てのメモリストリングMSに共通に接続される。

50

## 【 0 0 2 0 】

## [ 周辺回路 P C ]

コントローラとしての周辺回路 P C は、図 2 に示す通り、ロウデコーダ R D と、センスアンプモジュール S A M と、電圧生成回路 V G と、シーケンサ S Q C と、を備える。また、周辺回路 P C は、アドレスレジスタ A D R と、コマンドレジスタ C M R と、ステータスレジスタ S T R と、を備える。また、周辺回路 P C は、入出力制御回路 I / O と、論理回路 C T R と、を備える。

## 【 0 0 2 1 】

ロウデコーダ R D は、例えば、デコード回路及びスイッチ回路を備える。デコード回路は、アドレスレジスタ A D R に保持されたロウアドレス R A をデコードする。スイッチ回路は、デコード回路の出力信号に応じて、ロウアドレス R A に対応するワード線 W L 及び選択ゲート線 ( S G D 、 S G S ) を、対応する電圧供給線と導通させる。

10

## 【 0 0 2 2 】

センスアンプモジュール S A M は、図 4 に示す通り、複数のビット線 B L に対応する複数のセンスアンプユニット S A U を備える。センスアンプユニット S A U は、ビット線 B L に接続されたセンスアンプ S A と、データラッチ S D L , A D L , B D L , C D L , D D L , X D L と、論理回路 O P と、これらの構成に接続された配線 L B U S と、を備える。

## 【 0 0 2 3 】

センスアンプ S A は、図 5 に示す通り、ビット線 B L に流れる電流に応じて配線 L B U S の電荷を放電するセンストランジスタ 3 1 を備える。センストランジスタ 3 1 のソース電極は、ノード N 0 に接続される。ドレイン電極は、スイッチトランジスタ 3 2 を介して配線 L B U S に接続される。ゲート電極は、センスノード S E N 、放電トランジスタ 3 3 、ノード C O M 及びクランプトランジスタ 3 4 を介してビット線 B L に接続される。センスノード S E N は充電トランジスタ 3 5 及び充電トランジスタ 3 6 を介してノード N 1 に接続され、キャパシタ 3 7 を介して内部制御信号 C L K に接続される。ノード C O M は、充電トランジスタ 3 8 及び充電トランジスタ 3 6 を介してノード N 1 に接続され、放電トランジスタ 3 9 を介してノード N 2 に接続される。

20

## 【 0 0 2 4 】

センストランジスタ 3 1 、スイッチトランジスタ 3 2 、放電トランジスタ 3 3 、クランプトランジスタ 3 4 、充電トランジスタ 3 5 、充電トランジスタ 3 8 、充電トランジスタ 3 6 及び放電トランジスタ 3 9 は、例えば、N M O S トランジスタである。充電トランジスタ 3 6 は、例えば、P M O S トランジスタである。

30

## 【 0 0 2 5 】

データラッチ S D L は、ノード L A T 及び I N V と、これらノード L A T 及び I N V に並列に接続されたインバータ 4 1 及び 4 2 と、ノード L A T 及び配線 L B U S に接続されたスイッチトランジスタ 4 3 と、ノード I N V 及び配線 L B U に接続されたスイッチトランジスタ 4 4 と、を備える。スイッチトランジスタ 4 3 及び 4 4 は、例えば、N M O S トランジスタである。

## 【 0 0 2 6 】

データラッチ A D L , B D L , C D L , D D L ( 図 4 ) には、例えば、データラッチ S D L に含まれるデータが適宜転送される。論理回路 O P は、例えば、データラッチ A D L , B D L , C D L , D D L 中のデータに対して A N D , O R 等の論理演算を行い、メモリセル M C に割り当てられていたユーザデータを算出する。

40

## 【 0 0 2 7 】

データラッチ X D L は、配線 L B U S 及びバス D B を構成する配線 d b に接続されている。データラッチ X D L には、例えば、メモリセル M C に書き込まれるユーザデータ又はメモリセル M C から読み出されたユーザデータが格納される。

## 【 0 0 2 8 】

また、センスアンプモジュール S A M は、図示しないデコード回路及びスイッチ回路を

50

備える。デコード回路は、アドレスレジスタ ADR (図 2) に保持されたカラムアドレス CA をデコードする。スイッチ回路は、デコード回路の出力信号に応じて、カラムアドレス CA に対応するデータラッチ XDL をバス DB と導通させる。

**【0029】**

電圧生成回路 VG (図 2) は、例えば、電源端子及び接地端子に接続されたチャージポンプ回路等の昇圧回路、降圧回路、及び、図示しない複数の電圧供給線を備える。電圧生成回路 VG は、シーケンサ SQC からの内部制御信号に従い、メモリセルアレイ MCA に対する読出動作、書込動作及び消去動作に際してビット線 BL、ソース線 SL、ワード線 WL 及び選択ゲート線 (SGD、SGS) に供給される複数通りの動作電圧を生成し、複数の電圧供給線から同時に出力する。

10

**【0030】**

シーケンサ SQC は、コマンドレジスタ CMR に保持されたコマンドデータ CMD を順次デコードし、ロウデコーダ RD、センスアンプモジュール SAM、及び、電圧生成回路 VG に内部制御信号を出力する。また、シーケンサ SQR は、適宜自身の状態を示すステータスデータをステータスレジスタ STR に出力する。例えば、書込動作又は消去動作の実行に際して、書込動作又は消去動作が正常に終了したか否かを示す情報をステータスデータとして出力する。

**【0031】**

入出力制御回路 I/O は、データ入出力端子 I/O0 ~ I/O7 と、これらデータ入出力端子 I/O0 ~ I/O7 に接続されたシフトレジスタと、このシフトレジスタに接続された FIFO バッファと、を備える。入出力制御回路 I/O は、論理回路 CTR からの内部制御信号に応じて、データ入出力端子 I/O0 ~ I/O7 から入力されたデータを、センスアンプモジュール SAM 内のデータラッチ XDL、アドレスレジスタ ADR 又はコマンドレジスタ CMR に出力する。また、データラッチ XDL 又はステータスレジスタ STR から入力されたデータを、データ入出力端子 I/O0 ~ I/O7 に出力する。

20

**【0032】**

論理回路 CTR は、外部制御端子 /CEN, CLE, ALE, /WE, /RE を介してコントロールダイ CD から外部制御信号を受信し、これに応じて入出力制御回路 I/O に内部制御信号を出力する。

**【0033】**

次に、図 6 ~ 図 9 を参照して、本実施形態に係る半導体記憶装置の構成例について説明する。図 6 は、本実施形態に係る半導体記憶装置の模式的な平面図である。図 7 は、図 6 の A で示した部分の模式的な拡大図である。図 8 は、図 7 に示す構造を B - B' 線で切断し、矢印の方向に見た模式的な断面図である。図 9 は、図 8 の模式的な拡大図である。尚、図 6 ~ 図 9 は模式的な構成を示すものであり、具体的な構成は適宜変更可能である。また、図 6 ~ 図 9 においては、一部の構成が省略されている。

30

**【0034】**

図 6 に示す通り、本実施形態に係る半導体記憶装置は、半導体基板 100 を備える。図示の例において、半導体基板 100 には X 方向に並ぶ 2 つのメモリセルアレイ MCA が設けられている。また、メモリセルアレイ MCA の X 方向の両端部に沿って Y 方向に延伸する領域にはロウデコーダ RD が設けられている。また、メモリセルアレイ MCA の Y 方向の端部に沿って X 方向に延伸する領域にはセンスアンプモジュール SAM が設けられている。センスアンプモジュール SAM が設けられた領域の X 方向の両端部近傍の領域には、ドライバ回路 DRV が設けられている。また、これらの領域の外側の領域には、電圧生成回路 VG、シーケンサ SQC、入出力制御回路 I/O 及び論理回路 CTR が設けられている。

40

**【0035】**

メモリセルアレイ MCA は、Y 方向に並ぶ複数のメモリブロック MB を備える。本実施形態においては、複数のメモリブロック MB に含まれるメモリセル MC に、多値のデータが記録される。しかしながら、一部のメモリブロック MB に含まれるメモリセル MC には

50

2 値のデータが記録される。この様なメモリセル MC は、バッファ S L C B として利用される。

【 0 0 3 6 】

メモリブロック MB は、図 7 に示す様に、Y 方向に並ぶ 2 つのブロック構造 B S を備える。また、Y 方向において隣り合う 2 つのブロック構造 B S の間には、X 方向に延伸するブロック間絶縁層 S T が設けられる。2 つのメモリブロック MB に含まれるワード線 W L は、ブロック間絶縁層 S T を介して電氣的に絶縁されている。

【 0 0 3 7 】

ブロック構造 B S は、Y 方向に並ぶ 2 つのサブブロック S B と、これら 2 つのサブブロック S B の間に設けられたサブブロック間絶縁層 S H E と、を備える。

10

【 0 0 3 8 】

サブブロック S B は、図 8 に例示する様に、半導体基板 1 0 0 の上方に設けられた複数の導電層 1 1 0 と、複数の半導体層 1 2 0 と、複数の導電層 1 1 0 及び複数の半導体層 1 2 0 の間にそれぞれ設けられた複数のゲート絶縁膜 1 3 0 と、を備える。

【 0 0 3 9 】

半導体基板 1 0 0 は、例えば、P 型の不純物を含む単結晶シリコン ( S i ) 等の半導体基板である。半導体基板 1 0 0 の表面の一部には、リン ( P ) 等の N 型の不純物を含む N 型ウェルが設けられている。また、N 型ウェルの表面の一部には、ホウ素 ( B ) 等の P 型の不純物を含む P 型ウェルが設けられている。

20

【 0 0 4 0 】

導電層 1 1 0 は、X 方向に延伸する略板状の導電層であり、Z 方向に複数並んでいる。導電層 1 1 0 は、例えば、窒化チタン ( T i N ) 及びタングステン ( W ) の積層膜等を含んでいても良いし、リン又はホウ素等の不純物を含む多結晶シリコン等を含んでいても良い。また、導電層 1 1 0 の間には、酸化シリコン ( S i O <sub>2</sub> ) 等の絶縁層 1 1 1 が設けられている。

【 0 0 4 1 】

複数の導電層 1 1 0 のうち、最下層に位置する一又は複数の導電層 1 1 0 は、ソース選択線 S G S ( 図 3 ) 及びこれに接続された複数のソース選択トランジスタ S T S のゲート電極として機能する。また、これよりも上方に位置する複数の導電層 1 1 0 は、ワード線 W L ( 図 3 ) 及びこれに接続された複数のメモリセル MC ( 図 3 ) のゲート電極として機能する。また、これよりも上方に位置する一又は複数の導電層 1 1 0 は、ドレイン選択線 S G D 及びこれに接続された複数のドレイン選択トランジスタ S T D ( 図 3 ) のゲート電極として機能する。

30

【 0 0 4 2 】

半導体層 1 2 0 は、図 7 に例示する様に、X 方向及び Y 方向に複数配設される。半導体層 1 2 0 は、例えば、ノンドープの多結晶シリコン ( S i ) 等の半導体膜である。半導体層 1 2 0 は、例えば図 8 に例示する様に、略円筒状の形状を有し、中心部分には酸化シリコン等の絶縁膜 1 2 1 が設けられている。また、半導体層 1 2 0 の外周面は、それぞれ導電層 1 1 0 によって囲われている。半導体層 1 2 0 の下端部は、ノンドープの単結晶シリコン等の半導体層 1 2 2 を介して半導体基板 1 0 0 の P 型ウェルに接続される。半導体層 1 2 2 は、酸化シリコン等の絶縁層 1 2 3 を介して導電層 1 1 0 に対向する。半導体層 1 2 0 の上端部は、リン ( P ) 等の N 型の不純物を含む半導体層 1 2 4、コンタクト C h 及び C b を介してビット線 B L に接続される。半導体層 1 2 0 は、それぞれ、1 つのメモリストリング M S ( 図 3 ) に含まれる複数のメモリセル MC 及びドレイン選択トランジスタ S T D のチャンネル領域として機能する。半導体層 1 2 2 は、ソース選択トランジスタ S T S の一部のチャンネル領域として機能する。

40

【 0 0 4 3 】

ゲート絶縁膜 1 3 0 は、例えば図 9 に示す通り、半導体層 1 2 0 及び導電層 1 1 0 の間に積層されたトンネル絶縁膜 1 3 1、電荷蓄積膜 1 3 2、及び、ブロック絶縁膜 1 3 3 を備える。トンネル絶縁膜 1 3 1 及びブロック絶縁膜 1 3 3 は、例えば、酸化シリコン等の

50



絶縁膜である。電荷蓄積膜 132 は、例えば、窒化シリコン (SiN) 等の電荷を蓄積可能な膜である。トンネル絶縁膜 131、電荷蓄積膜 132、及び、ブロック絶縁膜 133 は略円筒状の形状を有し、半導体層 120 の外周面に沿って Z 方向に延伸する。

【0044】

尚、図 9 には、ゲート絶縁膜 130 が窒化シリコン等の電荷蓄積膜 132 を備える例を示したが、ゲート絶縁膜 130 は、例えば、N 型又は P 型の不純物を含む多結晶シリコン等のフローティングゲートを備えていても良い。

【0045】

[メモリセル MC のしきい値電圧]

次に、図 10 を参照して、メモリセル MC のしきい値電圧について説明する。図 10 (a) は、メモリセル MC のしきい値電圧について説明するための模式的なヒストグラムである。横軸はワード線 WL の電圧を示しており、縦軸はメモリセル MC の数を示している。図 10 (b) は、メモリセル MC のしきい値電圧及びメモリセル MC に記録されるデータの一例である。図 10 (c) は、メモリセル MC のしきい値電圧及びメモリセル MC に記録されるデータの他の例である。

10

【0046】

上述の通り、メモリセルアレイ MCA は、複数のメモリセル MC を備える。これら複数のメモリセル MC に書込動作が行われた場合、これらメモリセル MC のしきい値電圧は複数通りのステートに制御される。図 10 (a) には、8 通りのステートに制御されたメモリセル MC のしきい値電圧の分布を示している。例えば、A ステートに制御されたメモリセル MC のしきい値電圧は、図 10 (a) の読出電圧  $V_{CGAR}$  及びベリファイ電圧  $V_{VFYA}$  より大きく、読出電圧  $V_{CGBR}$  及びベリファイ電圧  $V_{VFYB}$  より小さい。また、全てのメモリセル MC のしきい値電圧は、図 10 (a) の読出パス電圧  $V_{READ}$  より小さい。

20

【0047】

本実施形態においては、メモリセル MC を 8 通りのステートに調整することにより、各メモリセル MC に 3 ビットのデータを記録する。

【0048】

例えば、Er ステートは、最も低いしきい値電圧 (消去状態のメモリセル MC のしきい値電圧) に対応している。Er ステートに対応するメモリセル MC には、例えば、データ “111” が割り当てられる。

30

【0049】

また、A ステートは、上記 Er ステートに対応するしきい値電圧よりも高いしきい値電圧に対応している。A ステートに対応するメモリセル MC には、例えば、データ “101” が割り当てられる。

【0050】

また、B ステートは、上記 A ステートに対応するしきい値電圧よりも高いしきい値電圧に対応している。B ステートに対応するメモリセル MC には、例えば、データ “001” が割り当てられる。

【0051】

以下同様に、図中の C ステート ~ G ステートは、B ステート ~ F ステートに対応するしきい値電圧よりも高いしきい値電圧に対応している。これらの分布に対応するメモリセル MC には、例えば、データ “011”, “010”, “110”, “100”, “000” が割り当てられる。

40

【0052】

尚、図 10 (b) に例示した様な割り当ての場合、下位ビットのデータは 1 つの読出電圧  $V_{CGDR}$  によって判別可能であり、中位ビットのデータは 3 つの読出電圧  $V_{CGAR}$ ,  $V_{CGCR}$ ,  $V_{CGFR}$  によって判別可能であり、上位ビットのデータは 3 つの読出電圧  $V_{CGBR}$ ,  $V_{CGER}$ ,  $V_{CGGR}$  によって判別可能である。この様なデータの割り当てを、1-3-3 コードと呼ぶ場合がある。

50

## 【0053】

尚、メモリセルMCに記録するデータのビット数、ステートの数、各ステートに対するデータの割り当て等は、適宜変更可能である。

## 【0054】

例えば、図10(c)に例示した様な割り当ての場合、下位ビットのデータは1つの読出電圧 $V_{CGDR}$ によって判別可能であり、中位ビットのデータは2つの読出電圧 $V_{CGBR}$ 、 $V_{CGFR}$ によって判別可能であり、上位ビットのデータは3つの読出電圧 $V_{CGAR}$ 、 $V_{CGCR}$ 、 $V_{CGER}$ 、 $V_{CGGR}$ によって判別可能である。この様なデータの割り当てを、1-2-4コードと呼ぶ場合がある。

## 【0055】

## [読出動作]

次に、図10及び図11を参照して、本実施形態に係る半導体記憶装置の読出動作について説明する。図11は、読出動作について説明するための模式的な断面図である。尚、以下の説明においては、図10(b)の1-3-3コードに従ってデータが割り当てられる例について説明する。

## 【0056】

下位ビットの読み出しに際しては、例えば図11に示す様に、選択ページPに含まれる複数の選択メモリセルMCを、選択的にビット線BL及びソース線SLと導通させる。例えば、選択ページPに対応するドレイン選択線SGD及びソース選択線SGSにON電圧 $V_{ON}$ を供給して、選択トランジスタ(STD、STS)をON状態とする。また、それ以外のドレイン選択線SGD及びソース選択線SGSにOFF電圧 $V_{OFF}$ を供給して、選択トランジスタ(STD、STS)をOFF状態とする。また、非選択ページに対応する非選択ワード線WLに読出パス電圧 $V_{READ}$ を供給して、非選択ワード線WLに接続された全てのメモリセルMCをON状態とする。

## 【0057】

また、図11に示す様に、選択ページPに対応する選択ワード線WLに読出電圧 $V_{CGDR}$ を供給する。これにより、図10(a)のErステート~Cステートに対応するメモリセルMCはON状態となり、Dステート~Gステートに対応するメモリセルMCはOFF状態となる。

## 【0058】

また、センスアンプSAによって、選択メモリセルMCのON状態/OFF状態を検出する。例えば、図5の配線LBUSを充電し、ノードSTLを“H”状態として、データラッチSDLに“H”を保持させる。また、ノードHLL、BLX及びBLCを“H”状態とし、ビット線BL及びセンスノードSENの充電を開始する。また、ノードHLLを“H”状態から“L”状態に切り替え、ノードXXLを“L”状態から“H”状態に切り替えて、センスノードSENの電荷をビット線BLに放出する。ここで、ON状態のメモリセルMCに対応するビット線BLに接続されたセンスノードSENの電圧は比較的大きく減少する。一方、OFF状態のメモリセルMCに対応するビット線BLに接続されたセンスノードSENの電圧はあまり大きく減少しない。従って、所定のタイミングでノードSTBを“H”状態として配線LBUSの電荷を放出又は維持し、ノードSTLを再度“H”状態とすることにより、ON状態及びOFF状態の選択メモリセルMCに対応するデータラッチSDLには、それぞれ、“L”及び“H”がラッチされる。

## 【0059】

その後、データラッチSDLにラッチされたデータを出力する。例えば、データラッチSDLにラッチされたデータを、配線LBUS、データラッチXDL、バスDB及び入出力制御回路I/Oを介して、コントロールダイCDに転送する。コントロールダイCDはこのデータに対して、ビット誤り検出/訂正等を行った上で、ホストコンピュータ20に転送する。

## 【0060】

中位ビットの読み出しに際しては、例えば、選択メモリセルMCを、選択的にビット線

10

20

30

40

50

B L及びソース線S Lと導通させる。次に、例えば、選択ワード線W Lに読出電圧 $V_{CGAR}$ を供給し、選択メモリセルM CのON状態/OFF状態を検出し、データラッチS D LのデータをデータラッチA D Lに転送する。同様に、選択ワード線W Lに読出電圧 $V_{CGCR}$ を供給し、選択メモリセルM CのON状態/OFF状態を検出し、データラッチS D LのデータをデータラッチB D Lに転送する。同様に、選択ワード線W Lに読出電圧 $V_{CGFR}$ を供給し、選択メモリセルM CのON状態/OFF状態を検出し、データラッチS D LのデータをデータラッチC D Lに転送する。次に、論理回路O Pによって排他的論理和等の演算処理を行い、選択メモリセルM Cの中位ビットのデータを算出する。その後、算出されたデータを出力する。

【0061】

10

上位ビットの読み出しに際しては、例えば、選択メモリセルM Cを、選択的にビット線B L及びソース線S Lと導通させる。次に、例えば、選択ワード線W Lに読出電圧 $V_{CGBR}$ を供給し、選択メモリセルM CのON状態/OFF状態を検出し、データラッチS D LのデータをデータラッチA D Lに転送する。同様に、選択ワード線W Lに読出電圧 $V_{CGER}$ を供給し、選択メモリセルM CのON状態/OFF状態を検出し、データラッチS D LのデータをデータラッチB D Lに転送する。同様に、選択ワード線W Lに読出電圧 $V_{CGGR}$ を供給し、選択メモリセルM CのON状態/OFF状態を検出し、データラッチS D LのデータをデータラッチC D Lに転送する。次に、論理回路O Pによって排他的論理和等の演算処理を行い、選択メモリセルM Cの上位ビットのデータを算出する。その後、算出されたデータを出力する。

20

【0062】

[書込動作]

次に、図12及び図13を参照して、半導体記憶装置の書込動作について説明する。図12は、書込動作について説明するための模式的なフローチャートである。図13は、書込動作について説明するための模式的な断面図である。

【0063】

ステップS101では、ループ回数nを1に設定する。ループ回数nは、レジスタ等に記録される。

【0064】

ステップS102では、プログラム動作を行う。

30

【0065】

プログラム動作に際しては、例えば、しきい値電圧の調整を行うメモリセルM Cに接続されたビット線B Lと、しきい値電圧の調整を行わないメモリセルM Cに接続されたビット線B Lと、に異なる電圧を供給する。例えば、前者に対応するデータラッチS D L(図5)のノードL A Tを“H”とし、後者に対応するデータラッチS D LのノードL A Tを“L”とする。また、ノードB L X, B L Hを“H”とする。前者に対応するビット線B Lには、例えば、ノードN 0を介して接地電圧を供給する。後者に対応するビット線B Lには、例えば、ノードN 1を介して所定のプログラム禁止電圧を供給する。

【0066】

また、図13に示す様に、しきい値電圧の調整を行うメモリセルM Cを、選択的にビット線B Lと導通させる。例えば、選択ページPに対応するドレイン選択線S G DにON電圧 $V_{ON}$ を供給し、それ以外のドレイン選択線S G DにOFF電圧 $V_{OFF}$ を供給する。ON電圧 $V_{ON}$ は、例えば、図11のON電圧 $V_{ON}$ より小さくても良い。これにより、接地電圧が供給されたビット線B Lに対応するドレイン選択トランジスタS T DはON状態となり、プログラム禁止電圧が供給されたビット線B Lに対応するドレイン選択トランジスタS T DはOFF状態となる。また、非選択ページに対応する非選択ワード線W Lに書込パス電圧 $V_{PASS}$ を供給する。書込パス電圧 $V_{PASS}$ は、例えば、図11の読出パス電圧 $V_{READ}$ より大きくても良い。

40

【0067】

また、図13に示す様に、選択ワード線W Lにプログラム電圧 $V_{PGM}$ を供給する。プ

50

プログラム電圧  $V_{PGM}$  は、書込パス電圧  $V_{PASS}$  よりも大きい。これにより、所望のメモリセル  $MC$  の電荷蓄積膜 132 (図9) に電子が蓄積され、メモリセル  $MC$  のしきい値電圧が増大する。

【0068】

尚、1回のプログラム動作においては、選択ワード線  $WL$  に、お互いに異なる大きさの複数のプログラム電圧  $V_{PGM}$  を順次供給しても良い。例えば、選択ページ  $P$  に  $A$  ステート～ $G$  ステートに対応する複数のメモリセル  $MC$  が含まれている場合等には、1回のプログラム動作において、ビット線  $BL$  の電圧調整によるメモリセル  $MC$  の選択、選択ワード線  $WL$  へのプログラム電圧  $V_{PGM}$  の供給、及び、プログラム電圧  $V_{PGM}$  の調整を、複数回繰り返し行っても良い。

10

【0069】

ステップ  $S103$  (図12) では、ベリファイ動作を行う。ベリファイ動作に際しては、例えば読出動作と同様に、選択メモリセル  $MC$  を、選択的にビット線  $BL$  及びソース線  $SL$  と導通させる。次に、例えば、選択ワード線  $WL$  にベリファイ電圧  $V_{VFYA}$ ,  $V_{VFYB}$ ,  $V_{VFYC}$ ,  $V_{VFYD}$ ,  $V_{VFYE}$ ,  $V_{VFYF}$  又は  $V_{VFYG}$  (図10(a)) を供給し、選択メモリセル  $MC$  の  $ON$  状態/ $OFF$  状態を検出し、データラッチ  $SDL$  のデータをデータラッチ  $XDL$  に転送する。

【0070】

尚、1回のベリファイ動作においては、選択ワード線  $WL$  に、お互いに異なる大きさの複数のベリファイ電圧を順次供給しても良い。例えば、選択ページ  $P$  に  $A$  ステート～ $G$  ステートに対応する複数のメモリセル  $MC$  が含まれている場合等には、1回のベリファイ動作において、ビット線  $BL$  の電圧調整によるメモリセル  $MC$  の選択、選択ワード線  $WL$  へのベリファイ電圧の供給、及び、ベリファイ電圧の選択を、複数回繰り返し行っても良い。

20

【0071】

ステップ  $S104$  では、ベリファイ動作の結果を判定する。例えば、データラッチ  $XDL$  に保持されたデータに“ $L$ ”が含まれている場合等にはベリファイ  $NG$  と判定し、ステップ  $S105$  に進む。一方、データラッチ  $XDL$  に保持されたデータが全て“ $H$ ”である場合等にはベリファイ  $OK$  と判定し、ステップ  $S107$  に進む。

【0072】

ステップ  $S105$  では、ループ回数  $n$  が所定の回数  $N$  に達したか否かを判定する。達していなかった場合にはステップ  $S106$  に進む。達していた場合にはステップ  $S108$  に進む。

30

【0073】

ステップ  $S106$  では、ループ回数  $n$  に1を加算して、ステップ  $S102$  に進む。

【0074】

ステップ  $S107$  では、ステータスレジスタ  $STR$  (図2) に、書込動作が正常に終了した旨のステータスデータを格納し、コントロールダイ  $CD$  (図1) に出力し、書込動作を終了する。

【0075】

ステップ  $S108$  では、ステータスレジスタ  $STR$  (図2) に、書込動作が正常に終了しなかった旨のステータスデータを格納し、コントロールダイ  $CD$  (図1) に出力し、書込動作を終了する。このように書込動作にはプログラム動作とベリファイ動作が含まれる。

40

【0076】

[書込シーケンス]

以上、半導体記憶装置の書込動作について説明した。以下においては、メモリブロック  $MB$  における書込動作の実行順序として、いくつかの方法を例示する。尚、以下においては、この様な方法を「書込シーケンス」等と呼ぶこととする。

【0077】

50

### [フルシーケンス書込]

図14は、書込シーケンスのうちの一つを説明するための模式的なヒストグラムである。以下、図14に示す書込シーケンスを、「フルシーケンス書込」と呼ぶ。

#### 【0078】

図中の点線は、消去状態のページにおけるメモリセルMCのしきい値電圧の分布を示している。消去状態のページにおいては、全てのメモリセルMCがErステートに制御されている。

#### 【0079】

図中の実線は、フルシーケンス書込実行後のページにおけるメモリセルMCのしきい値電圧の分布を示している。フルシーケンス書込の実行後においては、メモリセルMCが、8通りのステートに制御される。

10

#### 【0080】

図15は、フルシーケンス書込において書込動作が実行される順番を示す模式的な図である。図15中に示した番号は、書込動作が実行される順番を示している。

#### 【0081】

図15の例では、1番目～4番目の書込動作として、最下層のワード線WLに対応するページに書込動作を実行する。次に、5番目～8番目の書込動作として、2層目のワード線WLに対応するページに書込動作を実行する。以下同様に、9番目～20番目の書込動作として、3層目～最上層のワード線WLに対応するページに書込動作を実行する。

#### 【0082】

このような方法では、例えば図15の5番目の書込動作を実行すると、例えば図16に示す様に、1番目の書込動作が実行されたページに含まれるメモリセルMCのしきい値電圧の分布が広がってしまう場合がある。これは、5番目の書込動作において生じるフリンジ電界により、電荷蓄積膜132のワード線WL間に相当する部分(図9のAで示した部分)に電子が注入されてしまうためと考えられる。以下、このような現象を、NWI(Neighboring Word Line Interference)と呼ぶ。

20

#### 【0083】

メモリセルMCのしきい値電圧の分布が広がってしまうと、例えばAステートに制御されたメモリセルMCのしきい値電圧が読出電圧 $V_{CGBR}$ よりも大きくなってしまい、Bステートとして読み出されてしまう等、ビット誤りが増大してしまう場合がある。ビット誤り率が一定以上の大きさとなった場合、コントロールダイCD(図1)におけるビット誤り検出/訂正が困難な状況となり、データを正常に読み出すことが出来なくなってしまう場合がある。

30

#### 【0084】

また、NWIは、ワード線間の距離が減少するほど、より顕著に表れる。しかしながら、半導体記憶装置の高集積化に伴い、Z方向に隣接するワード線WL間の距離は減少する傾向がある。

#### 【0085】

### [フォギーファイン書込]

図17及び図18は、他の書込シーケンスを説明するための模式的なヒストグラムである。以下、図17及び図18に示す書込シーケンスを、「フォギーファイン書込」と呼ぶ。

40

#### 【0086】

フォギーファイン書込では、NWIの影響を抑制すべく、メモリセルMCのしきい値電圧の制御を、「フォギー書込動作」及び「ファイン書込動作」の2段階に分けて実行する。フォギー書込動作では、図17に示す様に、メモリセルMCのしきい値電圧が最終的な狙いのしきい値電圧の大きさよりも小さくなる様な制御を行う。例えば、ベリファイ動作(図12のステップS103)において選択メモリセルMCに供給される電圧を、通常のベリファイ電圧よりも低く設定する。ファイン書込動作では、図18に示す様に、メモリセルMCのしきい値電圧をより正確に制御する。

50

## 【0087】

尚、図17においては、フォギー書込実行後のEr状態～G状態に対応するメモリセルMCのしきい値分布を、それぞれ、FogEr～FogGと示している。同様に、ファイン書込実行後のEr状態～G状態に対応するメモリセルMCのしきい値分布を、それぞれ、FineEr～FineGと示している。

## 【0088】

以下、フォギー書込動作のベリファイ動作におけるベリファイ電圧 $V_{VFYA} \sim V_{VFG}$ を、フォギーベリファイ電圧 $V_{FOGVA} \sim V_{FOGVG}$ 等と表記する場合がある。また、ファイン書込動作のベリファイ動作におけるベリファイ電圧 $V_{VFYA} \sim V_{VFYG}$ を、ファインベリファイ電圧 $V_{FINVA} \sim V_{FINVG}$ 等と表記する場合がある。フォギーベリファイ電圧 $V_{FOGVA} \sim V_{FOGVG}$ は、それぞれ、ファインベリファイ電圧 $V_{FINVA} \sim V_{FINVG}$ よりも小さい。また、ファインベリファイ電圧 $V_{FINVA} \sim V_{FINVG}$ は、それぞれ、フルシーケンス書込等において用いられるベリファイ電圧 $V_{VFYA} \sim V_{VFYG}$ と同程度の大きさを有する。

10

## 【0089】

図19は、フォギー書込動作及びファイン書込動作が実行される順番を示す模式的な図である。図19中に示した番号は、書込動作が実行される順番を示している。

## 【0090】

図19の例では、1番目～4番目の書込動作として、最下層のワード線WLに対応するページにフォギー書込動作を実行する。次に、5番目～12番目の書込動作として、2層目のワード線WLに対応するページへのフォギー書込動作と、1層目のワード線WLに対応するページへのファイン書込動作と、を交互に実行する。同様に、13番目～36番目の書込動作として、3層目～最上層のワード線WLに対応するページへのフォギー書込動作と、2層目～最上層の1つ下のワード線WLに対応するページへのファイン書込動作と、を交互に実行する。その後、37番目～40番目の書込動作として、最上層のワード線WLに対応するページへのファイン書込動作を実行する。

20

## 【0091】

このような方法では、例えば5番目のフォギー書込動作が実行されると、1番目のフォギー書込動作が実行されたページに対して、NWIの影響が生じる。しかしながら、1番目のフォギー書込動作では、メモリセルMCのしきい値電圧が最終的な大きさよりも低めの大きさに制御されている。従って、NWIの影響が生じても、最終的なしきい値電圧が許容範囲を大きく超えることを抑制可能である。従って、5番目のフォギー書込動作が終了した後で6番目のファイン書込動作を実行することにより、5番目のフォギー書込動作によるNWIの影響を大幅に抑制可能である。

30

## 【0092】

また、このような方法では、例えば14番目のファイン書込が実行されると、6番目のファイン書込動作が実行されたページに対して、NWIの影響が生じる。しかしながら、14番目のファイン書込動作が実行されるページに対しては、既にフォギー書込動作が行われている。従って、14番目のファイン書込動作に際してワード線WLに供給されるプログラム電圧 $V_{PGM}$ の大きさ又は印加時間は、フルシーケンス書込における書込動作と比較して小さい。従って、6番目のファイン書込動作が実行されたページに対するNWIの影響を、フルシーケンス書込の場合と比較して大幅に抑制可能である。

40

## 【0093】

以上の通り、フォギーファイン書込によれば、フルシーケンス書込と比較して、NWIの影響を大幅に抑制可能である。

## 【0094】

しかしながら、フォギーファイン書込ではフルシーケンス書込と比較してステップ数が多く、処理の高速化が難しい場合がある。

## 【0095】

また、フルシーケンス書込では、下位ビット、中位ビット及び上位ビットに対応するデ

50

ータを取得すれば書込動作が実行可能となり、書込動作の実行後は読出動作が実行可能となる。一方、フォギーファイン書込では、ファイン書込動作を実行するまで読出動作が実行可能とならない。図19の例では、5番目の書込動作に対応するフォギー書込動作が実行されるまでファイン書込動作が実行可能とならない。従って、それまでに入力されたデータは、全てバッファメモリSLCB(図6)等書き込んでおく必要がある。従って、バッファメモリSLCB等の面積の増大を招いてしまう場合がある。

【0096】

[2ステージ書込]

図20及び図21は、他の書込シーケンスを説明するための模式的なヒストグラムである。以下、図20及び図21に示す書込シーケンスを、「2ステージ書込」と呼ぶ。

10

【0097】

2ステージ書込では、NWIの影響を抑制すべく、メモリセルMCのしきい値電圧の制御を、「1stステージ書込動作」及び「2ndステージ書込動作」の2段階に分けて実行する。1stステージ書込動作では、図20に示す様に、下位ステート(図10のErステート~Cステート)に対応するメモリセルMCをLステートとし、上位ステート(図10のDステート~Gステート)に対応するメモリセルMCをMステートとする。例えば、ベリファイ動作(図12のステップS103)において選択メモリセルMCに供給される電圧を、ベリファイ電圧 $V_{VFYD}$ よりも小さい所定のベリファイ電圧 $V_{VFYM}$ に設定し、上位ステートに対応するメモリセルMCに書込動作を実行する。2ndステージ書込動作では、図21に示す様に、メモリセルMCのしきい値電圧をより正確に制御する。2ndステージ書込動作におけるベリファイ電圧 $V_{VFYA} \sim V_{VFYG}$ は、それぞれ、フルシーケンス書込等において用いられるベリファイ電圧 $V_{VFYA} \sim V_{VFYG}$ と同程度の大きさを有する。

20

【0098】

2ステージ書込は、例えば、図19に示す様に、フォギーファイン書込と同様の順番で実行される。

【0099】

2ステージ書込によれば、フォギーファイン書込と比較して、大幅な高速化が可能である。これは、フォギー書込動作ではメモリセルMCのしきい値電圧を8通りに制御しているのに対し、1stステージ書込動作ではメモリセルMCのしきい値電圧を2通りにしか制御しないためである。

30

【0100】

しかしながら、1stステージ書込動作においては、上位ステートに対応するメモリセルMCのしきい値電圧が読出電圧 $V_{CGER}$ (図10)よりも小さくなる様に制御される。上位ステートに対応するメモリセルMCには、Dステートに対応するものも含まれているためである。従って、2ndステージ書込動作においては、Gステートに対応するメモリセルMCのしきい値電圧を、読出電圧 $V_{CGER}$ 以下の大きさからベリファイ電圧 $V_{VFYG}$ 以上の大きさまで制御する必要がある。このため、2ndステージ書込動作においてワード線WLに供給されるプログラム電圧 $V_{PGM}$ の大きさ又は印加時間は、ファイン書込動作と比較して大きくなってしまふ。従って、例えば図19の14番目の書込動作として2ndステージ書込動作を実行すると、6番目の書込動作として2ndステージ書込動作が実行されたメモリセルMCにおいて、NWIの影響が比較的大きく生じてしまう場合がある。

40

【0101】

[ファストフォギーファイン書込]

図22Aは、他の書込シーケンスを説明するための模式的なフローチャートである。以下において説明する書込シーケンスを、「ファストフォギーファイン書込」と呼ぶ。

【0102】

ファストフォギーファイン書込では、NWIの影響を抑制すべく、メモリセルMCのしきい値電圧の制御を、「ファストフォギー書込動作」及び「ファイン書込動作」の2段階

50

に分けて実行する。

【0103】

ファストフォギー書き込動作では、ベリファイ動作を含まずに、1回のプログラム動作で書き込み対象のメモリセルMCが狙いのしきい電圧値を有するように書き込みを完了させる。換言すれば、ファストフォギー書き込動作では、書き込み対象のメモリセルMCに対する書き込みを、プログラム動作のみを用いて行う。尚、ベリファイ動作は、書き込み対象のメモリセルMCが狙いのしきい電圧値に書き込まれたあと、確認として一回のみ行う場合がある。この様なベリファイ動作は、書き込み対象のメモリセルMCに対する書き込みに用いられている訳では無い。

【0104】

ファストフォギー書き込動作では、図12を参照して説明した書き込動作と異なり、図22Aに示す様に、ベリファイNGであった場合であっても、プログラム動作を1回のみ、ベリファイ動作を1回以下のみしか実行しない。従って、ループ回数nの設定及び判定に関するステップS101, S105, S106を有しておらず、ベリファイNGの場合にはステップS108に進む。たとえば、ベリファイNGの場合は、追加で書き込むことは行わず、そのメモリセルMCを不良セルとする。

【0105】

また、ファストフォギー書き込動作では、例えば図17に示す様に、メモリセルMCの狙いのしきい値電圧を最終的な狙いのしきい値電圧の大きさよりも低めの大きさに制御する。例えば、フォギー書き込みにおける狙いのしきい値電圧に書けるようにプログラム電圧を調整する。以下、ある選択メモリセルMCにCステートのフォギー書き込みを行う順番について例示する。

【0106】

ファストフォギー書き込動作のステップS102では、例えば、図22Bに示す様に、Aステートに対応するプログラム電圧 $V_{FOGPA}$ ~Gステートに対応するプログラム電圧 $V_{FOGPG}$ までが順次選択ワード線WLに供給される。Cステートに対応するメモリセルMCには、まず、Aステートのフォギー書き込みを行うためのプログラム電圧 $V_{FOGPA}$ を供給してAステートのフォギー書き込みを行い、次にBステートのフォギー書き込みを行うためのプログラム電圧 $V_{FOGPA}$ を供給してBステートのフォギー書き込みを行う。最後にCステートのフォギー書き込みを行うためのプログラム電圧 $V_{FOGPC}$ を供給してCステートのフォギー書き込みを行う。これにより、選択メモリセルMCにCステートのフォギー書き込みが行われる。この場合、ある選択メモリセルMCにはAステートからCステートまでが上書きされていく。尚、プログラム電圧 $V_{FOGPD}$ ~ $V_{FOGPG}$ が供給されるタイミングにおいて、Cステートに対応するメモリセルMCに接続されたビット線BLにはプログラム禁止電圧が供給される。

【0107】

尚、選択ワード線WLにプログラム電圧 $V_{FOGPA}$ 、 $V_{FOGPB}$ が供給されている間、Cステートに対応するメモリセルMCに接続されたビット線BLにはプログラム禁止電圧が供給されても良い。この場合、ある選択メモリセルMCにはプログラム電圧 $V_{FOGPC}$ により一回でCステートのフォギー書き込みが行われる。

【0108】

Aステート~Gステートに対応するその他のメモリセルMCについても、同様の方法によってフォギー書き込みを行う。この間、ベリファイ動作によるしきい値電圧の確認は行わなくてもよい。ベリファイ動作によるしきい値電圧の確認は、すべてのフォギー書き込みの終了後に一回行ってもよい。

【0109】

尚、ファストフォギー書き込動作によって書き込まれたメモリセルMCには、ファイン書き込動作が行われる。例えば、図22Cに例示する様に、プログラム動作(図12のステップS102)及びベリファイ動作(図12のステップS103)を交互に実行し、Aステートに対応するメモリセルMCのしきい値電圧を、最終的な狙いのしきい値電圧まで調整

10

20

30

40

50



する。次に、プログラム動作及びベリファイ動作を交互に実行し、B状態に対応するメモリセルMCのしきい値電圧を、最終的な狙いのしきい値電圧まで調整する。以下同様に、C状態～G状態に対応するメモリセルMCのしきい値電圧を、最終的な狙いのしきい値電圧まで調整する。ファストフォギー書込動作に用いられるプログラム電圧 $V_{FOGPA} \sim V_{FOGPG}$ は、それぞれ、ファイン書込動作に用いられるプログラム電圧 $V_{FINPA} \sim V_{FINPG}$ よりも小さい。尚、図22CのPGは、ループ回数 $n$ (図12)の増大に伴うプログラム電圧 $V_{FOGPA}$ の増加量を示している。

【0110】

また、ファストフォギーファイン書込は、例えば、図19に示す様な順番で実行可能である。

【0111】

[書込シーケンスの比較]

発明者らは、上述した4つの書込シーケンスの比較のために、実験を行った。実験では、上述した4つの書込シーケンスを実行し、実行開始から終了までに要した時間、及び、実行後のしきい値分布を比較した。また、実験では、2種類のサンプルを使用した。2つ目のサンプルとしては、1つ目のサンプルよりも、ワード線WLのZ方向の厚みが小さいものを使用した。

【0112】

実行開始から終了までに要した時間を比較した結果、フルシーケンス書込が最も短く、フォギーファイン書込が最も長かった。2ステージ書込とファストフォギーファイン書込は同程度であった。

【0113】

図23～図26は、しきい値分布の比較結果を示すヒストグラムである。図23及び図24は、1つ目のサンプルに対応しており、図23は高温で行った実験の結果を、図24は低温で行った実験の結果を示している。図25及び図26は、2つ目のサンプルに対応しており、図25は高温で行った実験の結果を、図26は低温で行った実験の結果を示している。

【0114】

図23～図26に示す通り、フルシーケンス書込においてはNWIの影響が最も大きく表れており、特に2つ目のサンプルではこの様な影響が顕著に表れていた。一方、ファストフォギーファイン書込においてはNWIの影響が最も小さかった。特に2つ目のサンプルでは、フルシーケンス書込及び2ステージ書込と比較して、NWIの影響が極めて小さくなった。

【0115】

以上の結果から、ファストフォギーファイン書込によれば、比較的高速な処理によって、NWIの影響を大幅に削減可能であることが分かった。また、この様な効果は、半導体記憶装置の微細化に伴い、より顕著に表れることが分かった。以上より、ファストフォギーファイン書込によれば、微細化の容易な半導体記憶装置を実現可能である。

【0116】

[プログラム電圧の省略]

ファストフォギーファイン書込では、ファストフォギー書込動作における一又は複数のプログラム電圧の供給を省略することにより、更なる高速化を実現可能である。

【0117】

例えば、A状態に対応するプログラム電圧の供給を省略しても良いし、図27及び図28に示す様に、A状態及びB状態に対応するプログラム電圧の供給を省略しても良いし、図29及び図30に示す様に、A状態～C状態に対応するプログラム電圧の供給を省略しても良い。

【0118】

これにより、ファストフォギーファイン書込の更なる高速化を実現可能である。また、ファイン書込動作における下位状態のプログラム動作においては、選択ワード線WL

10

20

30

40

50

に比較的小さいプログラム電圧しか供給されない。従って、このようなプログラム電圧の供給を省略しても、NWIを好適に抑制可能であると考えられる。

【0119】

また、例えば、下位ステート（Aステート～Cステート）に対応するプログラム電圧の供給を省略して上位ステート（Dステート～Gステート）に対応するプログラム電圧の供給を行う場合、図29に示す通り、ファストフォギー書込動作が行われた時点で、下位ステートに対応するしきい値分布FogErと、Dステートに対応するしきい値分布FogDとの間に、一定の電圧差が生じる。従って、例えば、図10(a)を参照して説明した1-3-3コードや、図10(b)を参照して説明した1-2-4コード等による割り当てを行うことにより、ファストフォギー書込動作が行われた時点で読出動作を実行可能にすることが出来る。この様な読出動作においては、例えば、選択ワード線WLに、しきい値分布FogErとDステートに対応するしきい値分布FogDとの間の電圧 $V_{SLC}$ が供給される。これにより、バッファメモリSLCBに下位ビットのデータを記録する必要が無くなる。従って、メモリセルアレイMCAにおけるバッファメモリSLCBの面積を削減可能である。

10

【0120】

尚、この様な方法では、ファストフォギー書込動作が実行されたメモリセルMCが、バッファメモリの一部として機能する。従って、ファイン書込動作の実行に際しては、中位ビット及び上位ビットのデータがバッファメモリSLCBから読み出され、下位ビットのデータが選択ページから読み出されることとなる。この様な読み出しは、上述の読出動作とほぼ同様に行われる。ただし、この様な読み出しによって読み出された下位ビット、中位ビット及び上位ビットのデータは、コントロールダイCD等に出力されなくても良い。ファイン書込動作は、この様な読み出しの後に実行される。

20

【0121】

また、ファストフォギーファイン書込においては、複数のステートに対応するメモリセルMCに同時にプログラム電圧を供給することにより、更なる高速化を実現可能である。

【0122】

例えば、複数の下位ステートに対応するメモリセルMCに、同一の大きさのプログラム電圧を供給しても良い。図31及び図32に示す例では、Aステート～Cステートに対応するメモリセルMCに、同一の大きさのプログラム電圧を供給している。これにより、ファストフォギーファイン書込の更なる高速化を実現可能である。また、NWIを好適に抑制可能であると考えられる。また、バッファメモリSLCBの面積を削減可能である。

30

【0123】

また、例えば、ビット線BLの電圧を複数通りの電圧に制御することにより、複数のステートに対応するメモリセルMCに、異なる大きさのプログラム電圧を同時に供給しても良い。図33及び図34に示す例では、Aステート及びBステートのプログラム電圧が同時に供給され、Cステート及びDステートのプログラム電圧が同時に供給され、Eステート及びFステートのプログラム電圧が同時に供給される。

【0124】

尚、ビット線BLの電圧は、種々の方法によって調整可能である。例えば、ビット線BLの充電等に際して所定のステートのビット線BLに対応するデータラッチSDLのデータを“H”から“L”又は“L”から“H”に切り替えても良いし、センスアンプSAのノードN0及びノードN1の少なくとも一方を2種類の電圧供給線に接続しても良い。

40

【0125】

[その他の実施形態]

以上、実施形態に係る半導体記憶装置について説明した。しかしながら、以上の説明はあくまでも例示であり、上述した構成や方法等は適宜調整可能である。

【0126】

例えば、ファストフォギーファイン書込等の書込シーケンスは、図19に例示した様な順序で実行可能である。しかしながら、例えば図35に例示する様に、最下層のワード線

50

WLに対応するページにファストフォギー書込動作等を実行し、2層目のワード線WLに対応するページにファストフォギー書込動作等を実行し、最下層のワード線WLに対応するページにファイン書込動作等を実行し、3層目のワード線WLに対応するページにファストフォギー書込動作等を実行し、2層目のワード線WLに対応するページにファイン書込動作等を実行し、以下同様に、ワード線WLごとに交互にファストフォギー書込動作及びファイン書込動作を交互に行っても良い。

【0127】

また、以上の説明は、例えば図10(a)に示す様に、メモリセルMCのしきい値電圧を8通りのステートに制御して、各メモリセルMCに3ビットのデータを記録する例について説明した。しかしながら、2ビット以上の複数ビットのデータであれば、メモリセルMCに記録するデータの数は適宜変更可能である。尚、例えばメモリセルMCにk(kは2以上の整数)ビットのデータを記録する場合、メモリセルMCは、 $2^k$ のステートに制御される。

10

【0128】

例えば、図36(a)に示す様に、各メモリセルMCのしきい値電圧を16通りのステートに制御して、各メモリセルMCに4ビットのデータを記憶させても良い。また、このような場合であっても、例えば図36(b)に示す様に、1ビット目のデータが1つの読出電圧によって判別可能であり、2ビット目のデータが2つの読出電圧によって判別可能であり、3ビット目のデータが4つの読出電圧によって判別可能であり、4ビット目のデータが8つの読出電圧によって判別可能である様な割り当てを行っても良い。この様なデータの割り当て方法を、1-2-4-8コードと呼ぶ場合がある。このような場合であっても、例えば図29~図32に例示した様な方法と組み合わせることにより、バッファメモリSLCBの面積を削減可能である。

20

【0129】

また、上述の1-3-3コード(図10(b))、1-2-4コード(図10(c))、1-2-4-8コード(図36(b))等は、いずれも、下位ビットデータが1の読出電圧によって判別可能となる様な割り当てを有していた。しかしながら、例えば、3-1-3コードや3-3-1コード等、下位ビット以外のデータが1の読出電圧によって判別可能となるような割り当てを行うことも可能である。

30

【0130】

[その他]

本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

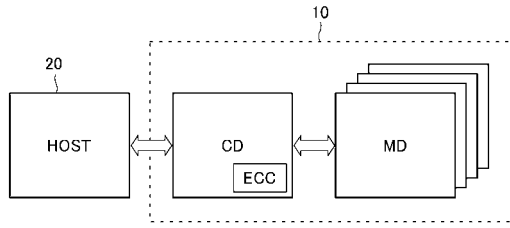
【符号の説明】

【0131】

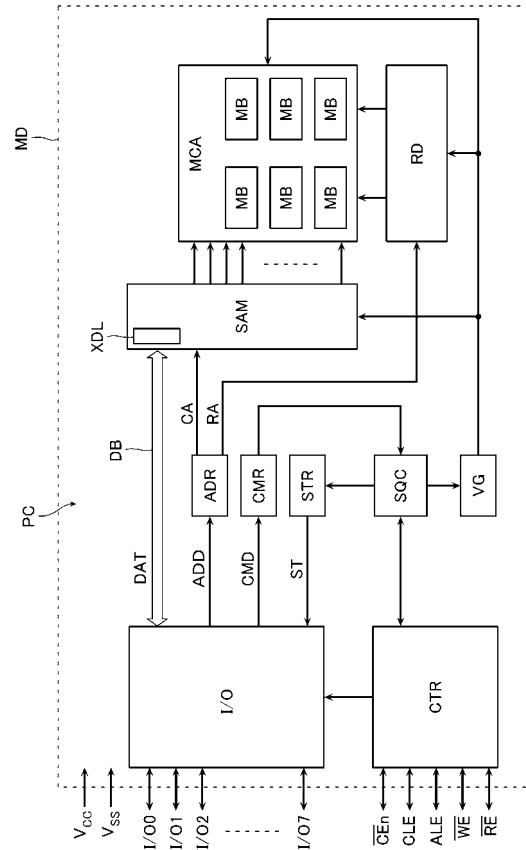
MC...メモリセル(メモリトランジスタ)、WL...ワード線、 $V_{PGM}$ ...プログラム電圧、 $V_{VFY}$ ...ベリファイ電圧。

40

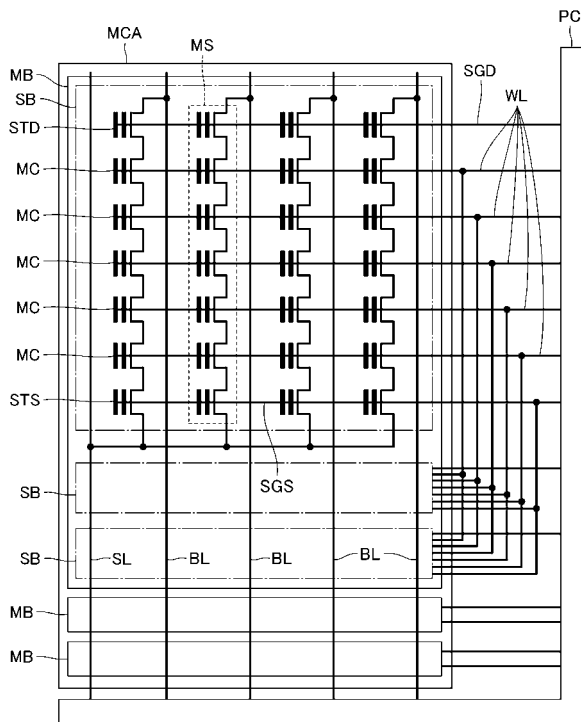
【 図 1 】



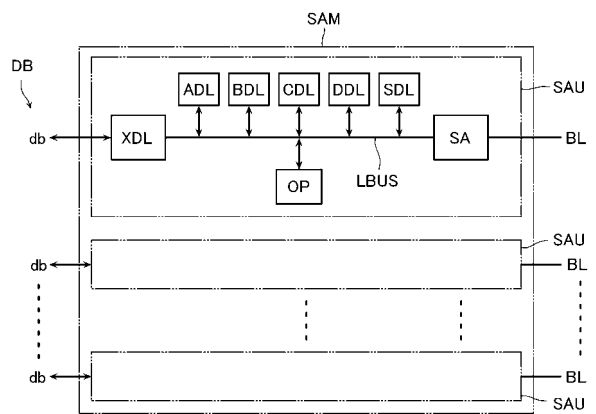
【 図 2 】



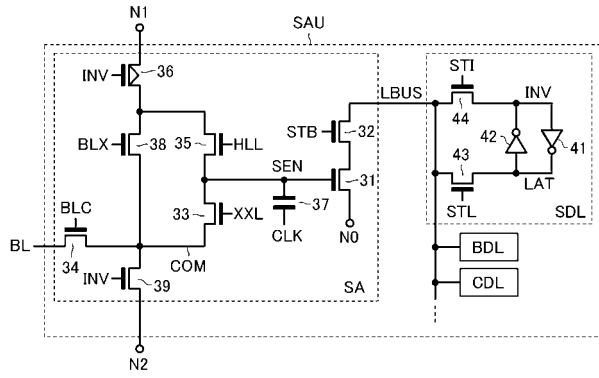
【 図 3 】



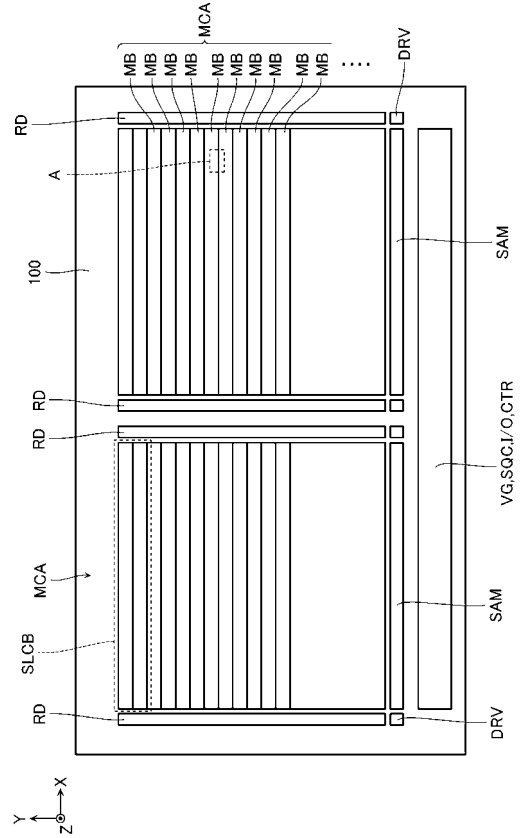
【 図 4 】



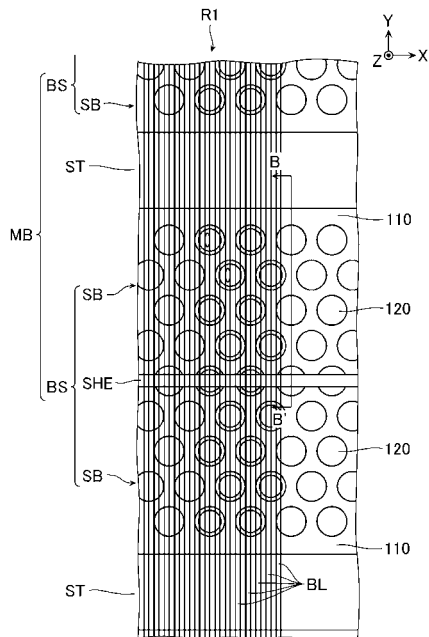
【 図 5 】



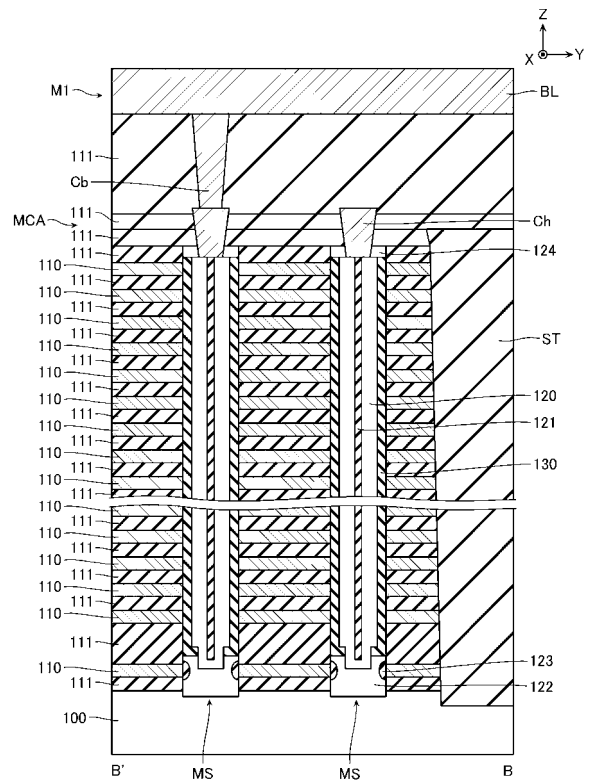
【 図 6 】



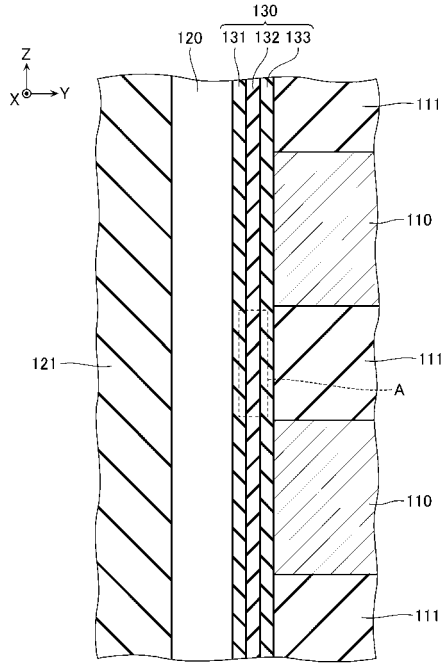
【 図 7 】



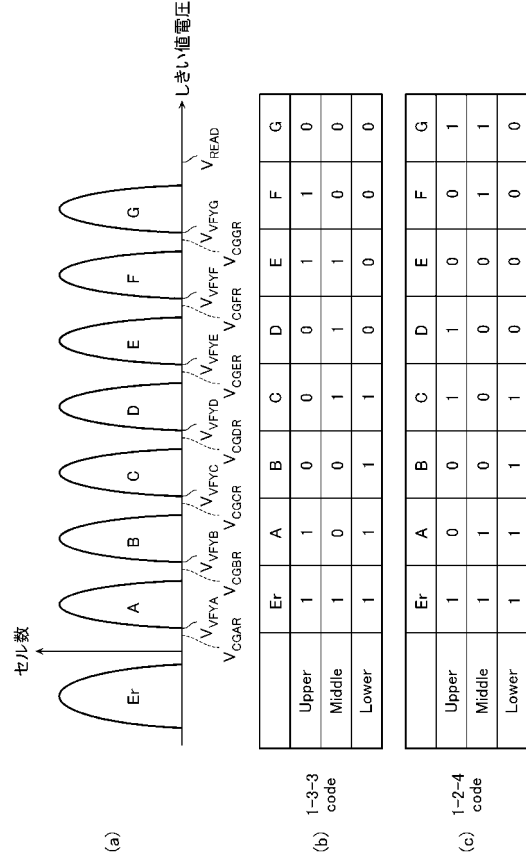
【 図 8 】



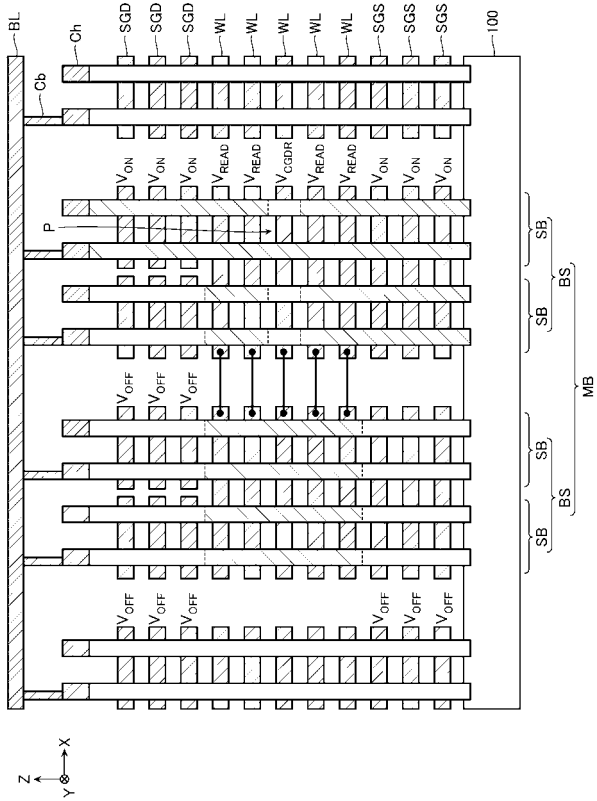
【図9】



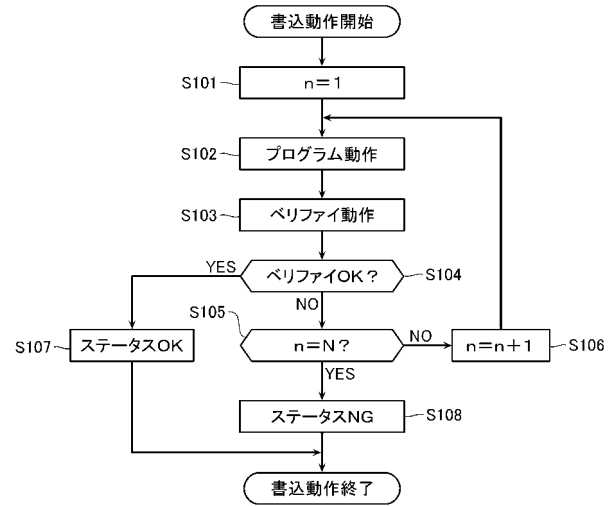
【図10】



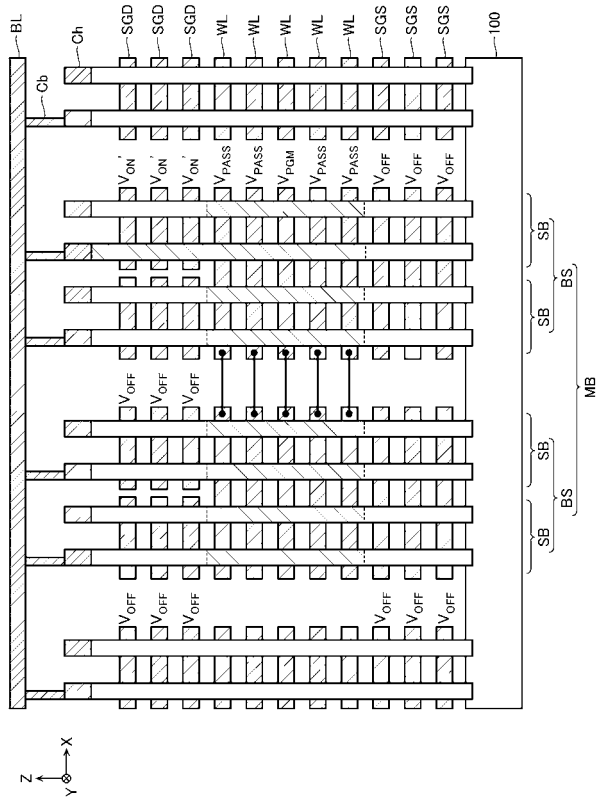
【図11】



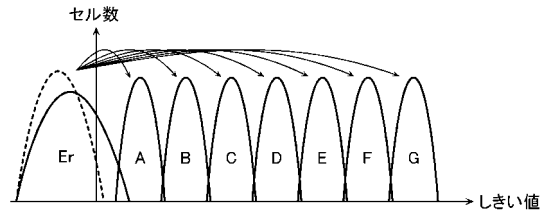
【図12】



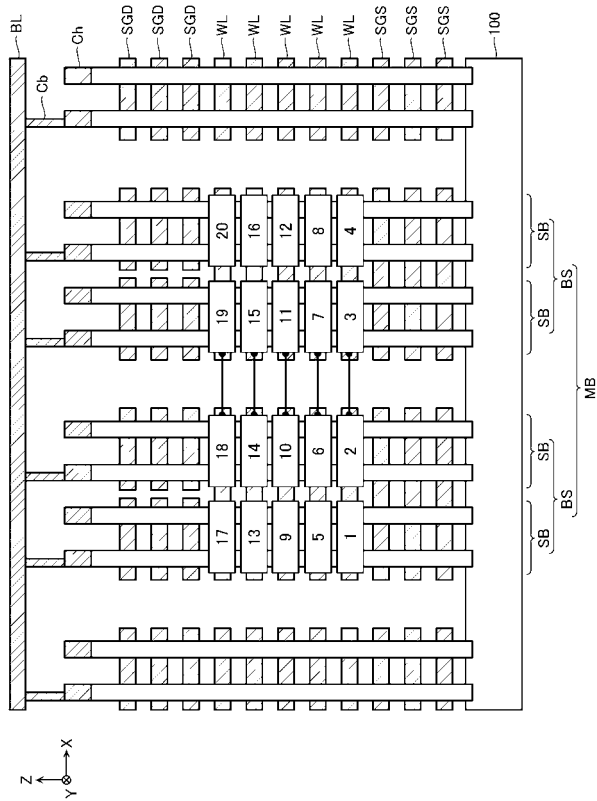
【図 1 3】



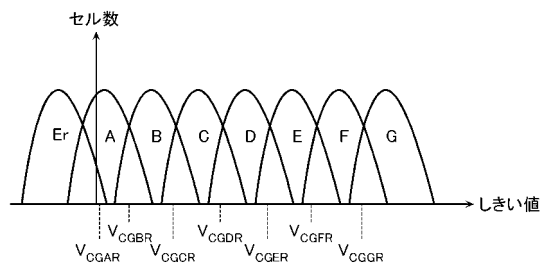
【図 1 4】



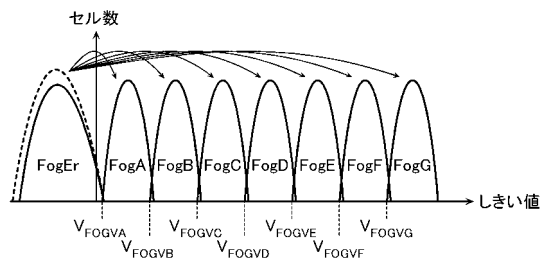
【図 1 5】



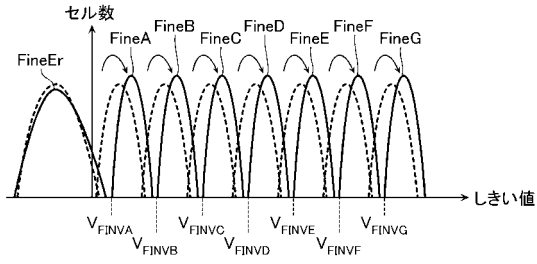
【図 1 6】



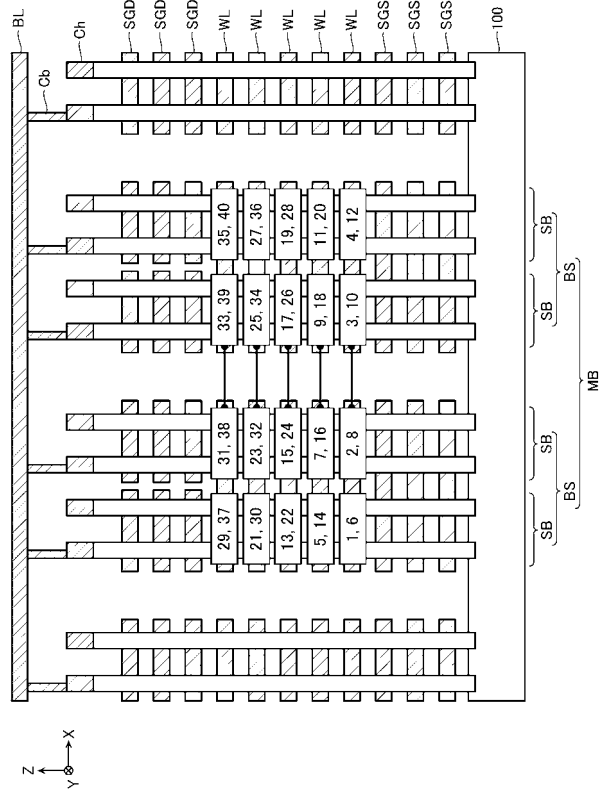
【図 1 7】



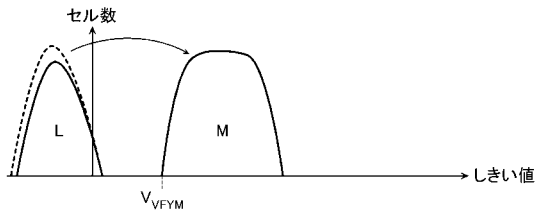
【 図 1 8 】



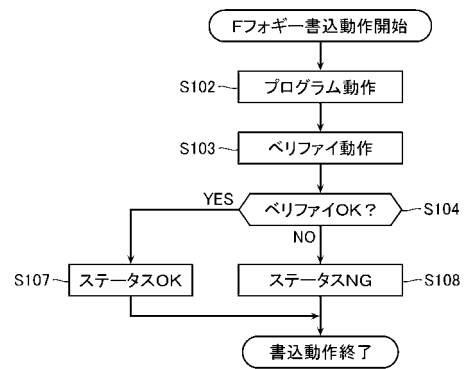
【 図 1 9 】



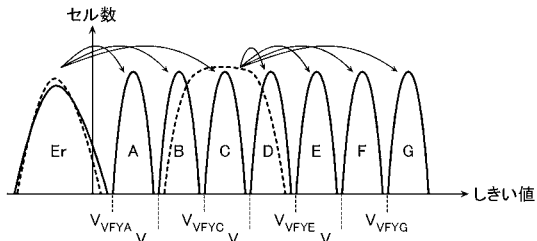
【 図 2 0 】



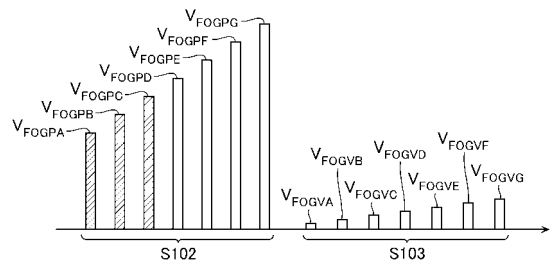
【 図 2 2 A 】



【 図 2 1 】

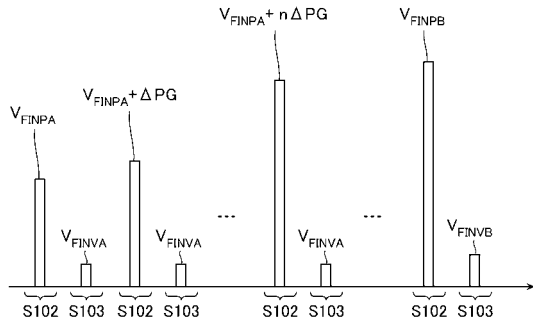


【 図 2 2 B 】

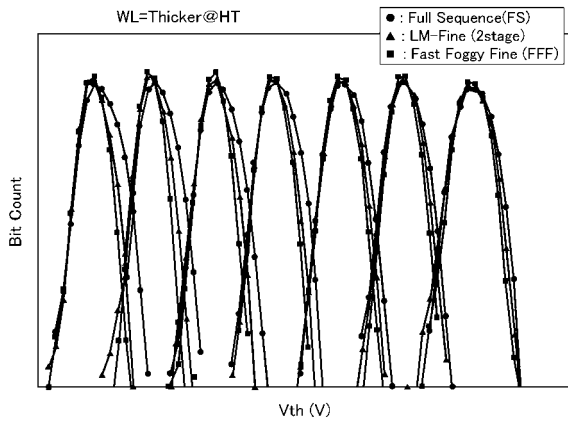




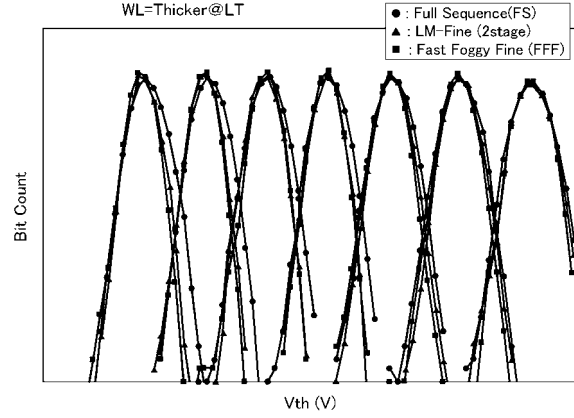
【 図 2 2 C 】



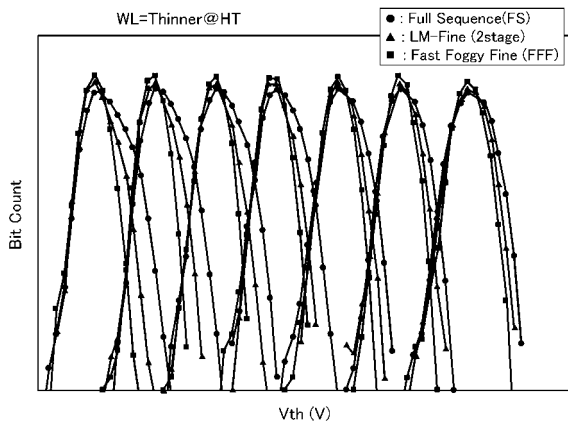
【 図 2 3 】



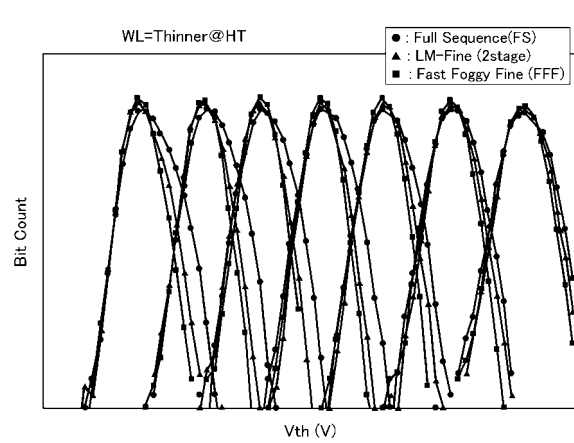
【 図 2 4 】



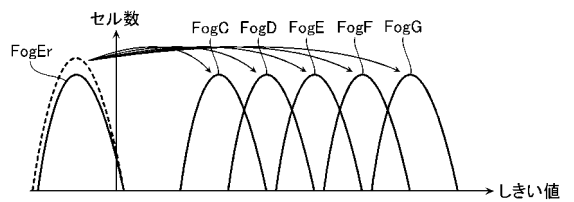
【 図 2 5 】



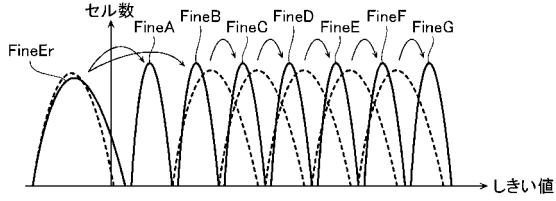
【 図 2 6 】



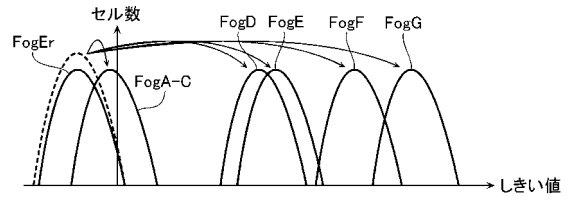
【 図 2 7 】



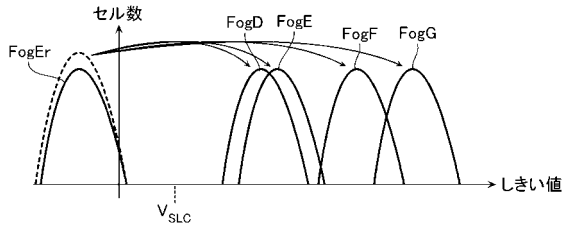
【図 2 8】



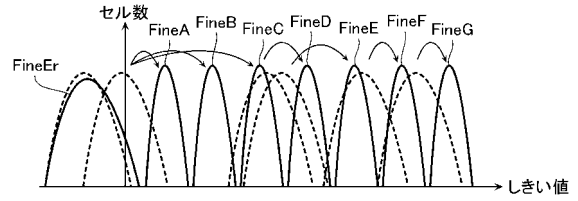
【図 3 1】



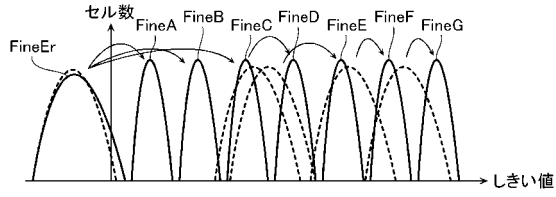
【図 2 9】



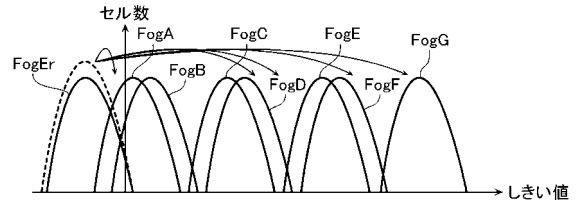
【図 3 2】



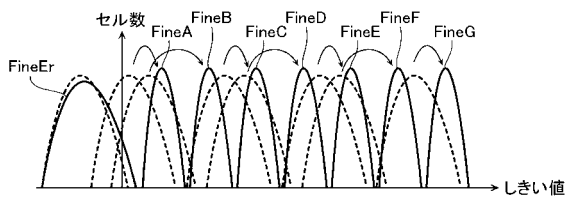
【図 3 0】



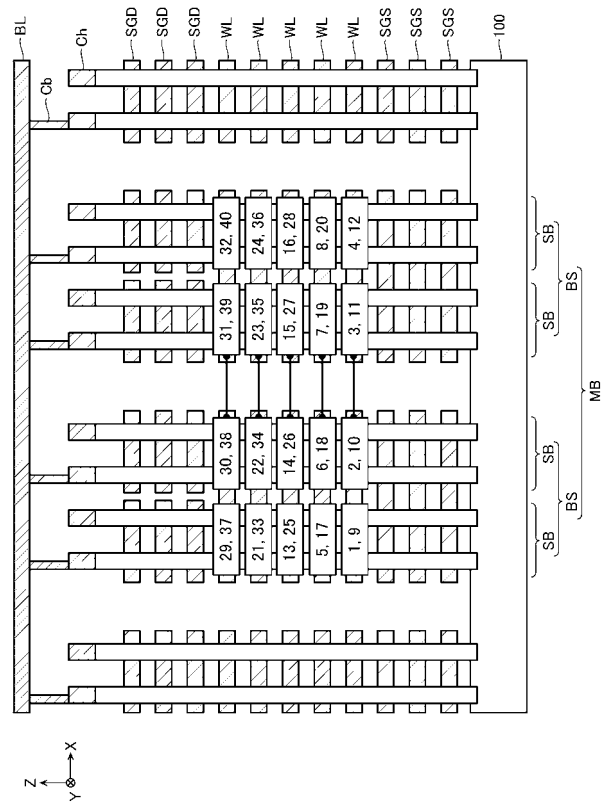
【図 3 3】



【図 3 4】



【図 3 5】





---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 1 1 C 16/08 1 3 0

Fターム(参考) 5B225 BA02 BA19 CA19 DA09 DB08 DB09 DB22 DB28 DB29 DB30  
DB37 DD05 DD08 DE20 EA05 EA07 EB10 EE04 EE12 EE15  
EE18 EE19 EH04 FA01 FA07