

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-116220
(P2016-116220A)

(43) 公開日 平成28年6月23日(2016.6.23)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0185 (2006.01)	H03K 19/00	101D 5F110
G11C 11/405 (2006.01)	G11C 11/34	352B 5J056
G11C 11/407 (2006.01)	G11C 11/34	354D 5M024
H01L 29/786 (2006.01)	H01L 29/78	613B
	H01L 29/78	618B

審査請求 未請求 請求項の数 4 O L (全 40 頁)

(21) 出願番号 特願2015-237444 (P2015-237444)
 (22) 出願日 平成27年12月4日 (2015.12.4)
 (31) 優先権主張番号 特願2014-254394 (P2014-254394)
 (32) 優先日 平成26年12月16日 (2014.12.16)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 井上 広樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 松崎 隆徳
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 長塚 修平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 石津 貴彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置、及び電子機器

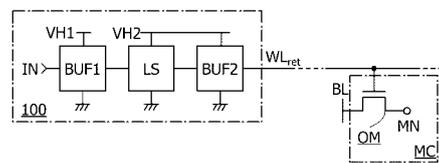
(57) 【要約】

【課題】電源電圧の立ち上げ直後の、意図しないハイレベルの信号の出力を抑制する半導体装置を提供する。

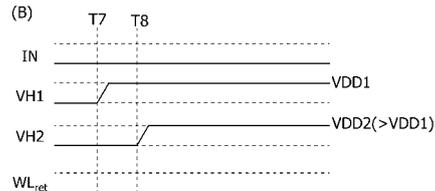
【解決手段】半導体装置は、第1のバッファ回路と、レベルシフト回路と、第2のバッファ回路と、を有する。第1のバッファ回路に第1の電位、レベルシフト回路及び第2のバッファ回路に第2の電位を与えて、元の状態に復帰する。第1の電位は、第2の電位よりも先に与える。先に第1のバッファ回路に第1の電位を与えて、レベルシフト回路及び第2のバッファ回路の動作を制御できる状態とすることで、第2のバッファ回路に接続される配線への意図しないハイレベルの信号の出力を抑制する。

【選択図】 図1

(A)



(B)



【特許請求の範囲】**【請求項 1】**

第 1 のバッファ回路と、レベルシフト回路と、第 2 のバッファ回路と、第 1 乃至第 3 の配線と、を有する半導体装置であって、

前記第 1 の配線は、第 1 の電位を与える機能を有し、

前記第 2 の配線は、前記第 1 の電位よりも大きい、第 2 の電位を与える機能を有し、

前記第 3 の配線は、前記第 1 の電位及び前記第 2 の電位よりも小さい、第 3 の電位を与える機能を有し、

前記第 1 のバッファ回路は、前記第 1 の配線及び前記第 3 の配線に電氣的に接続され、

前記レベルシフト回路及び前記第 2 のバッファ回路はそれぞれ、前記第 2 の配線及び前記第 3 の配線に電氣的に接続され、

第 1 のバッファ回路への電源電圧の供給は、前記第 1 の配線に与える電位を前記第 3 の電位から前記第 1 の電位に切り替えて行われ、

前記レベルシフト回路、及び前記第 2 のバッファ回路への電源電圧の供給は、前記第 2 の配線に与える電位を前記第 3 の電位から前記第 2 の電位に切り替えて行われ、

前記第 2 の配線における前記第 3 の電位から前記第 2 の電位への電位の切り替えは、前記第 1 の配線における前記第 3 の電位から前記第 1 の電位への電位の切り替えよりも、後に行われる、半導体装置。

【請求項 2】

請求項 1 において、メモリセルを有し、

前記メモリセルは、トランジスタを有し、

前記メモリセルは、前記トランジスタを非導通状態として、前記トランジスタに接続されたノードに、データに応じた電荷を保持する機能を有し、

前記第 2 のバッファ回路は、前記トランジスタのゲートに電氣的に接続される、半導体装置。

【請求項 3】

請求項 2 において、

前記トランジスタは、チャンネル形成領域に酸化物半導体を有する、半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一に記載の半導体装置と、

表示部と、を有する電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の一態様は、半導体装置、及び電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、撮像装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げるができる。

【0003】

なお、本明細書等において、半導体装置は、半導体特性を利用することで機能しうる素子、回路、又は装置等を指す。一例としては、トランジスタ、ダイオード等の半導体素子は半導体装置である。また別の一例としては、半導体素子を有する回路は、半導体装置である。また別の一例としては、半導体素子を有する回路を備えた装置は、半導体装置である。

【背景技術】**【0004】**

10

20

30

40

50

酸化物半導体 (Oxide Semiconductor: OS) を半導体層に用いたトランジスタ (以下、OSトランジスタ) を用いてデータの保持を可能にした半導体装置、あるいはシリコン (Si) を半導体層に用いたトランジスタ (以下、Siトランジスタ) とOSトランジスタとを組み合わせることでデータの保持を可能にした半導体装置、が注目されている (特許文献 1、2 参照)。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2012 - 39059 号公報

【特許文献 2】特開 2012 - 256820 号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

OSトランジスタのオン又はオフを制御するためには、振幅の大きい信号が必要となる。そのため、OSトランジスタのゲートに与える信号は、昇圧して出力される。昇圧するための回路には複数の電源電圧が必要となる。半導体装置では、電源電圧の供給がなくてもデータの保持が可能のため、複数の電源電圧の供給を停止することができる。

【0007】

しかしながら、再度複数の電源電圧を供給する場合、OSトランジスタのゲートに意図しないハイレベルの電位を与えてしまうと、保持したデータを消失してしまう虞がある。

20

【0008】

本発明の一態様は、新規な半導体装置、新規な電子機器等を提供することを課題の一とする。

【0009】

または、本発明の一態様では、半導体装置の誤動作によるデータの消失を防ぐことができる、新規な構成の半導体装置等を提供することを課題の一とする。または、本発明の一態様では、低消費電力化を図ることのできる、新規な構成の半導体装置等を提供することを課題の一とする。または、本発明の一態様は、複数の電源電圧が与えられて信号を昇圧する回路から意図しないハイレベルの電位が出力されることを抑制できる、新規な構成の半導体装置等を提供することを課題の一とする。

30

【0010】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び/又は他の課題のうち、少なくとも一つの課題を解決するものである。

【課題を解決するための手段】

【0011】

本発明の一態様は、第 1 のバッファ回路と、レベルシフト回路と、第 2 のバッファ回路と、第 1 乃至第 3 の配線と、を有する半導体装置であって、第 1 の配線は、第 1 の電位を与える機能を有し、第 2 の配線は、第 1 の電位よりも大きい、第 2 の電位を与える機能を有し、第 3 の配線は、第 1 の電位及び第 2 の電位よりも小さい、第 3 の電位を与える機能を有し、第 1 のバッファ回路は、第 1 の配線及び第 3 の配線に電氣的に接続され、レベルシフト回路及び第 2 のバッファ回路のそれぞれは、第 2 の配線及び第 3 の配線に電氣的に接続され、第 1 のバッファ回路への電源電圧の供給は、第 1 の配線に与える電位を第 3 の電位から第 1 の電位に切り替えて行われ、レベルシフト回路、及び第 2 のバッファ回路への電源電圧の供給は、第 2 の配線に与える電位を第 3 の電位から第 2 の電位に切り替えて行われ、第 2 の配線における第 3 の電位から第 2 の電位への電位の切り替えは、第 1 の配線における第 3 の電位から第 1 の電位への電位の切り替えよりも、後に行われる、半導体装

40

50

置である。

【0012】

本発明の一態様において、メモリセルを有し、メモリセルは、トランジスタを有し、メモリセルは、トランジスタを非導通状態として、トランジスタに接続されたノードに、データに応じた電荷を保持する機能を有し、第2のバッファ回路は、第2のトランジスタのゲートに電氣的に接続される、半導体装置が好ましい。

【0013】

本発明の一態様において、トランジスタは、チャンネル形成領域に酸化物半導体を有する、半導体装置が好ましい。

【0014】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】

【0015】

本発明の一態様は、新規な半導体装置、新規な電子機器等を提供することができる。

【0016】

または、本発明の一態様では、半導体装置の誤動作によるデータの消失を防ぐことができる、新規な構成の半導体装置等を提供することができる。または、本発明の一態様は、低消費電力化を図ることのできる、新規な構成の半導体装置等を提供することができる。または、本発明の一態様は、複数の電源電圧が与えられて信号を昇圧する回路から意図しないハイレベルの電位が出力されることを抑制できる、新規な構成の半導体装置等を提供することができる。

【0017】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び/又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【0018】

【図1】本発明の一態様を説明するためのブロック図及びタイミングチャート。

【図2】本発明の一態様を説明するための回路図及びタイミングチャート。

【図3】本発明の一態様を説明するための回路図。

【図4】本発明の一態様を説明するための回路図。

【図5】本発明の一態様を説明するための回路図。

【図6】本発明の一態様を説明するための回路図。

【図7】本発明の一態様を説明するための回路図。

【図8】本発明の一態様を説明するための回路図。

【図9】本発明の一態様を説明するためのブロック図。

【図10】本発明の一態様を説明するための回路図。

【図11】本発明の一態様を説明するためのグラフ。

【図12】本発明の一態様を説明するための模式図。

【図13】本発明の一態様を説明するためのレイアウト図。

【図14】本発明の一態様を説明するための断面模式図。

【図15】本発明の一態様を説明するための断面模式図。

【図16】本発明の一態様を説明するためのブロック図。

【図17】本発明の一態様を説明するための回路図。

【図18】本発明の一態様を説明するための回路図。

10

20

30

40

50

【図 19】本発明の一態様を説明するための回路図。

【図 20】本発明の一態様を説明するための回路図。

【図 21】本発明の一態様を説明するための回路図。

【図 22】本発明の一態様を説明するための回路図。

【図 23】本発明の一態様を説明するための回路図。

【図 24】本発明の一態様を説明するためのブロック図。

【図 25】本発明の一態様を説明するためのフローチャート及び斜視図。

【図 26】本発明の一態様を適用可能な電子機器の図。

【図 27】本発明の一態様を説明するための回路図。

【図 28】本発明の一態様を説明するための回路図。

10

【発明を実施するための形態】

【0019】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0020】

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

20

【0021】

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0022】

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置について説明する。特に本実施の形態では、メモリセルに信号を出力する出力回路を有する半導体装置の構成について説明する。

30

【0023】

図 1 (A) では、出力回路 100、及びメモリセル MC を図示する。メモリセル MC は、トランジスタ OM を有する。トランジスタ OM は、配線 BL 及びノード MN に接続される。出力回路 100 は、信号が端子 IN に入力され、トランジスタ OM のゲートに接続された配線 WL_{ret} に出力する。

【0024】

なおトランジスタ OM は、スイッチとしての機能を有する。トランジスタ OM は、オフ時においてソースとドレインとの間を流れる電流（オフ電流）が低いトランジスタが用いられることが好適である。オフ電流が少ないトランジスタとしては、チャンネル形成領域に酸化半導体を有するトランジスタ（OS トランジスタ）であることが好ましい。OS トランジスタは、オフ電流が低い、Si トランジスタと重ねて作製できる等の利点がある。OS トランジスタについては、後の実施の形態で詳述する。

40

【0025】

メモリセル MC では、トランジスタ OM のオン又はオフを制御して、配線 BL に与えたデータに応じた電圧（データ電圧）のノード MN への書きこみ及び保持を行う。トランジスタ OM が n チャンネル型の場合、トランジスタ OM のゲートである、配線 WL_{ret} にハイレベルの電位を印加してトランジスタをオンにし、データ電圧の書き込みを行う。また、

50

配線 $W L_{r e t}$ にローレベルの電位を印加し続けて、トランジスタをオフにし、データ電圧の保持を行う。

【0026】

出力回路100は、配線 $W L_{r e t}$ に信号を出力する回路である。出力回路100は、配線 $W L_{r e t}$ に与えるローレベルの電位をグラウンド電位とすることで、出力回路の動作を積極的に停止させても、トランジスタOMをオフにし続けることができる。あるいは無線デバイスのように、継続的に電源電圧の供給が望めない場合、出力回路100の動作を間欠的に停止させても、トランジスタOMをオフにし続けることができる。そのため、メモリセルMCに保持したデータ電圧は、出力回路100への電源電圧の供給を停止しても、保持される。

10

【0027】

出力回路100は、トランジスタをオンにしてデータ電圧を書きこむため、振幅の大きい信号が必要である。出力回路100は、複数の回路に異なる電源電圧が与えられ、振幅の大きい信号を得る。一例として、出力回路100は、バッファ回路BUF1、レベルシフト回路LS、及びバッファ回路BUF2を有する。

【0028】

バッファ回路BUF1は、配線 $V H 1$ に接続され、バッファ回路BUF1への電源電圧の供給が制御される。レベルシフト回路LS、及びバッファ回路BUF2は、配線 $V H 2$ に接続され、レベルシフト回路LS、及びバッファ回路BUF2への電源電圧の供給が制御される。電源電圧の供給時、配線 $V H 1$ に電圧 $V D D 1$ を与え、配線 $V H 2$ に電圧 $V D D 2$ を与える。電源電圧の停止時、配線 $V H 1$ 、 $V H 2$ を共にグラウンド電圧とする。

20

【0029】

電源電圧の供給と停止を交互に行う場合、出力回路100内の各ノードの電位が安定しない。特に電圧の昇降が行われる配線 $V H 2$ の影響を受けるノードでは、電位の変動によって瞬間的に意図しない電位の変動が起こり、配線 $W L_{r e t}$ へのハイレベルの信号が出力される。そのため、トランジスタOMのオフ状態が不安定になり、メモリセルMCのデータ電圧が消失することもある。

【0030】

本発明の一態様では、電源電圧の供給を再開する際、配線 $V H 1$ を電圧 $V D D 1$ 、配線 $V H 2$ を電圧 $V D D 2$ とするタイミングを異ならせる。図1(B)に示すタイミングチャートを用いて、動作を説明する。

30

【0031】

図1(B)に示すタイミングチャートでは、端子INの信号がローレベルとして説明する。時刻T7よりも以前の初期状態で、配線 $V H 1$ 、 $V H 2$ の電圧がローレベルである。

【0032】

時刻T7で配線 $V H 1$ を電圧 $V D D 1$ とする。配線 $V H 1$ の電圧が上昇することで、バッファ回路BUF1の出力が確定する。

【0033】

バッファ回路BUF1の出力が確定することで、レベルシフト回路LSの動作が安定になる。つまり、レベルシフト回路LSは、端子INの信号に応じた電圧の出力が安定して行える状態となる。また時刻T7で配線 $V H 2$ の電圧は、グラウンド電圧とする。そのため、バッファ回路BUF2から配線 $W L_{r e t}$ に出力される信号は、ローレベルを保持させることができる。

40

【0034】

次いで、時刻T8で配線 $V H 2$ を電圧 $V D D 2$ とする。時刻T7の段階でレベルシフト回路LSには、バッファ回路BUF1の出力が与えられており、安定した動作を行うことができる。ここでは、端子INにローレベルの電位が与えられており、バッファ回路BUF1は、レベルシフト回路LSからローレベルの電位を出力するよう動作させる。そのため、レベルシフト回路LSの出力は、配線 $V H 2$ の電位が上昇しても、その影響を受けることがない。レベルシフト回路LSから出力されるローレベルの電位が与えられるバッファ

50

回路 B U F 2 では、配線 W L _{r e t} にローレベルの電位を出力することができる。

【 0 0 3 5 】

そのため、信号のレベルシフトのための電源電圧の供給を再開する際、配線 W L _{r e t} をローレベルに維持し続けることができる。従って、配線 W L _{r e t} に意図しないハイレベルの電位が出力されることによる、データの消失を防ぐことができる。

【 0 0 3 6 】

また、図 2 (A) には、図 1 (A) の出力回路 1 0 0 の回路図の一例を示す。図 2 (A) でバッファ回路 B U F 1 は、インバータ回路 1 1、1 2 を有する。図 2 (A) でレベルシフト回路 L S は、トランジスタ M 1 乃至 M 6 を有する。図 2 (A) でバッファ回路 B U F 2 は、インバータ回路 1 3、1 4 を有する。各回路には、図 2 (A) に示すように、配線 V H 1、V H 2 より電源電圧の供給が行われる。

10

【 0 0 3 7 】

図 2 (A) に示す出力回路 1 0 0 は、端子 I N にローレベルの信号を与えることで、配線 W L _{r e t} にローレベルの信号を出力できる機能を有する。レベルシフト回路 L S は、ノード O U T、ノード O U T B を有する。レベルシフト回路 L S では、バッファ回路 B U F 1 から出力される信号によって、ノード O U T の電位をローレベルとし、その後で配線 V H 2 を電圧 V D D 2 とすることで、配線 W L _{r e t} への安定したローレベルの信号を出力することができる。

【 0 0 3 8 】

図 2 (B) には、図 2 (A) に示す出力回路 1 0 0 の動作を説明するタイミングチャートを示す。

20

【 0 0 3 9 】

図 2 (B) に示すタイミングチャートでは、端子 I N の信号がローレベルとして説明する。時刻 T 9 よりも以前の初期状態で、配線 V H 1、V H 2 の電圧がローレベルである。このとき、ノード O U T、O U T B は、電氣的に浮遊状態である。また、配線 W L _{r e t} は、電氣的に浮遊状態である。なお配線 W L _{r e t} は、バッファ回路 B U F 2 を流れるリーク電流等によって最終的にはローレベルの電位となって、浮遊状態となる。そのため図 2 (B) では、配線 W L _{r e t} をローレベルの電位として図示している。

【 0 0 4 0 】

時刻 T 9 で配線 V H 1 を電圧 V D D 1 とする。配線 V H 1 の電圧が上昇することで、インバータ回路 1 1、1 2 の出力が確定する。トランジスタ M 2、M 3 のゲートには、ローレベルの電位、トランジスタ M 5、M 6 のゲートには、ハイレベルの電位が与えられる。そのため、トランジスタ M 2、M 6 がオン、トランジスタ M 3、M 5 がオフになる。従って、ノード O U T は、グラウンド電圧であるローレベルとなる。

30

【 0 0 4 1 】

次いで、時刻 T 1 0 で配線 V H 2 を電圧 V D D 2 とする。トランジスタ M 1 は、時刻 T 9 の段階でノード O U T がローレベルであり、配線 V H 2 の電位上昇と共にオンになる。そして、ノード O U T B がハイレベルとなる。トランジスタ M 4 は、オフになる。

【 0 0 4 2 】

配線 V H 1 を電圧 V D D 1 にするタイミングを、配線 V H 2 を電圧 V D D 2 とするタイミングよりも先に行うことで、ノード O U T の電圧の状態を、配線 V H 2 を電圧 V D D 2 とするタイミングよりも先に確定させることができる。そのため、レベルシフト回路 L S の出力は、配線 V H 2 の電位が上昇しても、その影響を受けることがない。レベルシフト回路 L S から出力されるローレベルの電位が与えられるバッファ回路 B U F 2 では、配線 W L _{r e t} にローレベルの電位を出力することができる。

40

【 0 0 4 3 】

そのため、信号のレベルシフトのための電源電圧の供給を再開する際、配線 W L _{r e t} の電位をローレベルに維持し続けることができる。従って、配線 W L _{r e t} に意図しないハイレベルの電位が出力されることによる、データの消失を防ぐことができる。

【 0 0 4 4 】

50

なお図 2 A に示す回路図では、ノード OUT、OUT B の電圧を保持するための容量素子がない構成を説明したが、容量素子を有していてもよい。図 3 には、図 2 (A) の回路図において容量素子 C 1、C 2 を有する回路図を示す。容量素子 C 1 は、一方の電極にノード OUT B が、他方の電極に配線 V H 2 が接続される。容量素子 C 2 は、一方の電極にノード OUT が、他方の電極にグラウンド電圧を与えられる配線が接続される。

【 0 0 4 5 】

図 3 に示す回路図の構成とすることで、図 2 (B) の時刻 T 1 0 の直後、電氣的に浮遊状態にあるノード OUT B を、容量素子 C 1 での容量結合によって配線 V H 2 の電圧が上昇するとともに昇圧させることができる。

【 0 0 4 6 】

なおトランジスタ M 1 乃至 M 6 は、チャンネル形成領域にシリコンを有するトランジスタ (S i トランジスタ) であることが好ましい。 S i トランジスタは、不純物等の添加により、同一プロセスで作製される際の閾値電圧のばらつきを小さくすることができる。また、容量素子 C 1、C 2 は、トランジスタ M 1 乃至 M 6 上に重ねて設けることが好ましい。このような構成とすることで、容量素子 C 1、C 2 を追加したことに伴うレイアウト面積の増大を抑制することができる。

【 0 0 4 7 】

なおトランジスタ M 1 乃至 M 6 と重ねる容量素子 C 1、C 2 は、メモリセル M C の O S トランジスタと同層に設けることが好ましい。該構成とする場合、容量素子の一方の電極を O S トランジスタのゲート電極と同層に、容量素子の他方の電極をソース電極及びドレイン電極と同層に、設けることが好ましい。このような構成とすることで、容量素子を構成する電極間にある絶縁層を、O S トランジスタのゲート絶縁層と同じ層を用いることができる。ゲート絶縁層は、層間絶縁層より薄いため、単位面積当たりの容量値を大きくすることができる。

【 0 0 4 8 】

なお本実施の形態において、ノード OUT をローレベルとすることで、配線 W L _{r e t} がローレベルとなるのは、バッファ回路 B U F 2 がインバータ回路を偶数段 (図 2 (A) では 2 段) 有するためである。バッファ回路 B U F 2 が有するインバータ回路が奇数段であれば、配線 W L _{r e t} がローレベルとなるのは、ノード OUT がハイレベルのときである。従って、バッファ回路 B U F 2 のインバータ回路の段数によって容量素子 C 1、C 2 の配置を変更すればよい。

【 0 0 4 9 】

また、上記説明した本発明の一態様による効果を確認するため、計算機によるシミュレーションを行った。図 1 1 (A) 乃至 (C) には、図 2 (A) に示す回路図において、配線 V H 1、V H 2 をグラウンド電圧から昇圧させるタイミングを異ならせた際の、配線 W L _{r e t} の電圧の変化を示すグラフを示す。

【 0 0 5 0 】

図 1 1 (A) は、配線 V H 1、V H 2 をグラウンド電圧から同じタイミングで昇圧させた場合の配線 W L _{r e t} (配線 W W L で図示) の電圧の変化を示している。図 1 1 (B) は、配線 V H 2 を配線 V H 1 よりも早いタイミングでグラウンド電圧から昇圧させた場合の配線 W L _{r e t} (配線 W W L で図示) の電圧の変化を示している。図 1 1 (C) は、配線 V H 1 を配線 V H 2 よりも早いタイミングでグラウンド電圧から昇圧させた場合の配線 W L _{r e t} (配線 W W L で図示) の電圧の変化を示している。なお図 1 1 (A) 乃至 (C) において、「 V 1 」は配線 V H 1 の電圧を表し、「 V 2 」は配線 V H 2 の電圧を表している。

【 0 0 5 1 】

図 1 1 (A) 乃至 (C) をみてもわかるように、配線 V H 1、V H 2 をグラウンド電圧から同じタイミングで昇圧させた場合、あるいは、配線 V H 2 を配線 V H 1 よりも早いタイミングでグラウンド電圧から昇圧させた場合、に W W L の電圧の変化が確認できた。一方で、配線 V H 1 を配線 V H 2 よりも早いタイミングでグラウンド電圧から昇圧させた場合

10

20

30

40

50

、W W L の電圧はグラウンド電圧である 0 V で一定であった。従って、配線 V H 1 を配線 V H 2 よりも早いタイミングでグラウンド電圧から昇圧させた場合、配線 W L _{r e t} の電位をローレベルに維持し続ける効果が確認できた。

【 0 0 5 2 】

(実施の形態 2)

本実施の形態では、実施の形態 1 で説明した出力回路の変形例、メモリセル M C の一例、メモリセル M C を備えた半導体装置の一例、及びメモリセル M C の変形例について説明する。

【 0 0 5 3 】

< 出力回路の変形例について >

図 4 乃至図 8、図 2 8 には、図 1 で説明した出力回路が取り得る回路構成の変形例を示す。

【 0 0 5 4 】

図 4 は、図 3 で示した回路図の構成において、容量素子 C 1、C 2 の位置を異ならせ、且つバッファ回路 B U F 2 が有するインバータ回路を一段とする構成である。図 4 に示す回路図で容量素子 C 1 は、配線 V H 2 とノード O U T の間に設けられる。図 4 に示す回路図で容量素子 C 2 は、グラウンド線とノード O U T B の間に設けられる。

【 0 0 5 5 】

図 4 の構成とすることで、配線 V H 2 を電圧 V D D 2 とするタイミングで、ノード O U T の電位をハイレベルの電位に持ち上げることができる。容量素子 C 1 で生じる容量結合でノード O U T と配線 V H 2 の電位が上がるのと同時に、トランジスタ M 1 をより確実にオフにすることができる。ノード O U T がハイレベルに確定することで、インバータ回路 1 3 を介して配線 W L _{r e t} に出力される信号は、ローレベルを維持することができる。

【 0 0 5 6 】

また図 5 は、図 2 で説明した回路図の構成において、トランジスタ M 2、M 5 を省略した構成について示したものである。図 5 のようにトランジスタ数を削減しても、ノード O U T、O U T B の電位を誤動作のないように作用させることができる。従って、配線 W L _{r e t} にハイレベルの電位が出力されることによる、データの消失を防ぐことができるとともに、半導体装置の素子数の削減を図ることができる。

【 0 0 5 7 】

また図 6 のように、図 5 で示すトランジスタ M 2、M 5 を省略する構成は、図 4 で説明した回路図の構成に適用することも有効である。すなわち、容量素子 C 1、C 2 の位置を異ならせ、且つバッファ回路 B U F 2 が有するインバータ回路を一段とする構成においても、トランジスタを省略することができる。従って、配線 W L _{r e t} にハイレベルの電位が出力されることによる、データの消失を防ぐことができるとともに、半導体装置の素子数の削減を図ることができる。

【 0 0 5 8 】

なお図 5 に示す構成でトランジスタ M 4、M 6 のチャネル幅を、トランジスタ M 1、M 3 のチャネル幅よりも大きくすることで、トランジスタ M 4、M 6 をバッファとして機能させることが可能である。この結果、バッファ回路 B U F 2 を、図 7 に示すように省略することも可能である。図 7 に、バッファ回路 B U F 2 を省略した出力回路の回路図を示す。配線 W L _{r e t} にハイレベルの電位が出力されることによる、データの消失を防ぐことができるとともに、半導体装置の素子数の削減を図ることができる。

【 0 0 5 9 】

なお図 2 8 に示す構成のように、トランジスタ M 7 を追加する構成としてもよい。トランジスタ M 7 は、配線 W L _{r e t} がローレベルの際、オンになるよう制御信号 E N によって制御される。該構成とすることで、より確実に配線 W L _{r e t} をローレベルとすることができる。

【 0 0 6 0 】

< メモリセル M C の一例について >

10

20

30

40

50

次いで、図 8 (A) 乃至 (F) には、図 1 で説明したメモリセル M C が取り得る回路構成の一例を示す。図 8 (A) 乃至 (F) に示すメモリセルの回路図では、配線 S L あるいは配線 B L からデータ電圧を書きこみ、配線 W W L 及び配線 R W L の電圧を制御することで、データ電圧の書き込みあるいは読み出しを制御することができる。

【 0 0 6 1 】

図 8 (A) に示すメモリセル M C __ A は、トランジスタ 1 5 と、トランジスタ O M と、容量素子 1 7 と、を有する。トランジスタ 1 5 は、p チャネルトランジスタである。トランジスタ O M をオフにすることで、ノード F N にデータ電圧に応じた電荷を保持することができる。図 8 (A) の構成を、図 1 のメモリセル M C に適用可能である。

【 0 0 6 2 】

図 8 (B) に示すメモリセル M C __ B は、トランジスタ 1 5 __ A と、トランジスタ O M と、容量素子 1 7 と、を有する。トランジスタ 1 5 __ A は、n チャネルトランジスタである。トランジスタ O M をオフにすることで、ノード F N にデータ電圧に応じた電荷を保持することができる。図 8 (B) の構成を、図 1 のメモリセル M C に適用可能である。

【 0 0 6 3 】

図 8 (C) に示すメモリセル M C __ C は、トランジスタ 1 5 と、トランジスタ O M __ B と、容量素子 1 7 と、を有する。トランジスタ O M __ B はバックゲートを有し、配線 B G L によりバックゲートを制御可能な構成としている。当該構成により、トランジスタ O M __ B の閾値電圧を制御可能な構成とすることができる。トランジスタ O M __ B をオフにすることで、ノード F N にデータ電圧に応じた電荷を保持することができる。図 8 (C) の構成を、図 1 のメモリセル M C に適用可能である。

【 0 0 6 4 】

図 8 (D) に示すメモリセル M C __ D は、トランジスタ 1 5 __ A と、トランジスタ O M と、容量素子 1 7 と、トランジスタ 1 8 __ A を有する。トランジスタ 1 8 __ A は、トランジスタ 1 5 __ A と同じ n チャネルトランジスタである。トランジスタ O M をオフにすることで、ノード F N にデータ電圧に応じた電荷を保持することができる。図 8 (D) の構成を、図 1 のメモリセル M C に適用可能である。なお図 2 7 (A) に示す回路図のように、トランジスタ 1 8 __ A の配置を変更してもよい。

【 0 0 6 5 】

図 8 (E) に示すメモリセル M C __ E は、トランジスタ 1 5 と、トランジスタ O M と、容量素子 1 7 と、トランジスタ 1 8 __ B を有する。トランジスタ 1 8 __ B は、トランジスタ 1 5 と同じ p チャネルトランジスタである。トランジスタ O M をオフにすることで、ノード F N にデータ電圧に応じた電荷を保持することができる。図 8 (E) の構成を、図 1 のメモリセル M C に適用可能である。なお図 2 7 (B) に示すメモリセル M C __ K の回路図のように、トランジスタ 1 8 __ B の配置を変更してもよい。

【 0 0 6 6 】

図 8 (F) に示すメモリセル M C __ F は、トランジスタ 1 5 と、トランジスタ O M と、容量素子 1 7 と、を有する。トランジスタ 1 5 は、配線 B L __ A に接続され、トランジスタ O M は、配線 B L __ B に接続される。図 8 (F) の構成では、例えば、配線 R B L をデータ電圧の読み出し用、配線 W B L をデータ電圧の書き込み用とすることができる。トランジスタ O M をオフにすることで、ノード F N にデータ電圧に応じた電荷を保持することができる。図 8 (F) の構成を、図 1 のメモリセル M C に適用可能である。なお図 2 7 (C) に示すメモリセル M C __ L の回路図のように、トランジスタ 1 8 __ B を追加してもよい。

【 0 0 6 7 】

<メモリセル M C を含むブロック図の一例について >

図 9 は、図 1 で説明したメモリセル M C に、図 8 (A) のメモリセル M C __ A を適用した場合の、半導体装置の構成例を示すブロック図である。

【 0 0 6 8 】

図 9 に示す半導体装置 2 0 0 は、メモリセル M C が複数設けられたメモリセルアレイ 2 0

10

20

30

40

50

1、出力回路100、行選択ドライバ202、及び列選択ドライバ203、を有する。なお半導体装置200は、 m 行 n 列のマトリクス状に設けられたメモリセルMCを有する。また図9では、配線WWL、配線RWL、配線BL、配線SLとして、 $(m-1)$ 行目の配線WWL $[m-1]$ 、配線RWL $[m-1]$ 、 m 行目の配線WWL $[m]$ 、配線RWL $[m]$ 、 $(n-1)$ 列目の配線BL $[n-1]$ 、 n 列目の配線BL $[n]$ 、 $(n-1)$ 列目の配線SL $[n-1]$ 、及び n 列目の配線SL $[n]$ を示している。

【0069】

図9に示すメモリセルアレイ201は、メモリセルMCが、マトリクス状に設けられている。なおメモリセルMCが有する各構成の説明は、図8(A)と同様である。

【0070】

なお図9に示すメモリセルアレイ201では、書き込みワード信号を出力する行選択ドライバ202と、配線WWL $[m-1]$ 、配線WWL $[m]$ のそれぞれの間、出力回路100を有する構成としている。該構成を採用することにより、出力回路100より出力される信号が、メモリセルMCが有するトランジスタOMのゲートに与えることができる。

【0071】

行選択ドライバ202は、各行におけるメモリセルMCを選択するための信号を出力する回路である。列選択ドライバ203は、メモリセルMCへのデータ電圧の書き込み、メモリセルMCからのデータ電圧の読み出し、を行うための信号を出力する回路である。行選択ドライバ202及び列選択ドライバ203はデコーダ等の回路を有し、各行、各列に信号あるいはデータ電圧を出力することができる。

【0072】

<メモリセルMCのその他の変形例について>

図10(A)乃至(C)には、図1で説明したメモリセルMCが取り得る、図8(A)乃至(F)とは異なる回路構成の一例を示す。

【0073】

図10(A)に示すメモリセルMC__Gは、トランジスタOMと、容量素子19と、を有する。メモリセルMC__Gは、配線WWLの電圧を制御して、配線BLからノードFNへのデータ電圧の書き込み、ノードFNから配線BLへのデータ電圧の読み出しを制御する。トランジスタOMをオフにすることで、ノードFNにデータ電圧に応じた電荷を保持することができる。図10(A)の構成を、図1のメモリセルMCに適用可能である。

【0074】

図10(B)に示すメモリセルMC__Hは、SRAM、トランジスタOM1、トランジスタOM2、容量素子19__1、及び容量素子19__2、を有する。SRAMは、トランジスタSW1、SW2、インバータ回路INV1、INV2を有する。メモリセルMC__Hは、配線WWLの電圧を制御して、SRAMのノードQ、QBのデータ電圧のノードFN1、FN2へのバックアップ、及びノードQ、QBへのノードFN1、FN2からのデータ電圧のリカバリーを制御する。トランジスタOM1、OM2をオフにすることで、ノードFN1、FN2にデータ電圧に応じた電荷を保持することができる。図10(B)の構成を、図1のメモリセルMCに適用可能である。

【0075】

図10(C)に示すメモリセルMC__Iは、SRAM、トランジスタOM3、インバータ回路INV3、容量素子19__3、及びトランジスタSW3、を有する。メモリセルMC__Iは、配線WWL、配線RENの電圧を制御して、SRAMのノードQ又はQBのデータ電圧のノードFN3へのバックアップ、及びノードQ又はQBへのノードFN3からのデータ電圧のリカバリーを制御する。トランジスタOM3をオフにすることで、ノードFN3にデータ電圧に応じた電荷を保持することができる。図10(C)の構成を、図1のメモリセルMCに適用可能である。

【0076】

以上説明したように、本発明の一態様は、様々な変形例を採用して動作させることができる。

10

20

30

40

50

【0077】

(実施の形態3)

本実施の形態では、上記実施の形態で説明したOSトランジスタについて説明する。

【0078】

<オフ電流特性について>

OSトランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にするこゝでオフ電流を低くすることができる。こゝで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $8 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^9 / \text{cm}^3$ 以上であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

10

【0079】

真性または実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いため、閾値電圧がマイナスとなる電気特性になることが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが少ないため、電気特性の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に低くすることが可能となる。

【0080】

なおオフ電流を低くしたOSトランジスタでは、室温(25 程度)にてチャネル幅 $1 \mu\text{m}$ あたりの規格化されたオフ電流が $1 \times 10^{-18} \text{A}$ 以下、好ましくは $1 \times 10^{-21} \text{A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{A}$ 以下、又は85 にて $1 \times 10^{-15} \text{A}$ 以下、好ましくは $1 \times 10^{-18} \text{A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{A}$ 以下とすることができる。

20

【0081】

<オフ電流>

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態(非導通状態、遮断状態、ともいう)にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

30

【0082】

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従ってトランジスタのオフ電流が I 以下となる V_{gs} が存在するときに、トランジスタのオフ電流が I 以下である、と言う場合がある。トランジスタのオフ電流は、 V_{gs} が所定の値であるときのオフ電流、 V_{gs} が所定の範囲内の値であるときのオフ電流、または、 V_{gs} が十分に低減されたオフ電流が得られる値であるときのオフ電流を指す場合がある。

40

【0083】

一例として、しきい値電圧 V_{th} が 0.5V であり、 V_{gs} が 0.5V であるときのドレイン電流が $1 \times 10^{-9} \text{A}$ であり、 V_{gs} が 0.1V におけるドレイン電流が $1 \times 10^{-13} \text{A}$ であり、 V_{gs} が -0.5V におけるドレイン電流が $1 \times 10^{-19} \text{A}$ であり、 V_{gs} が -0.8V におけるドレイン電流が $1 \times 10^{-22} \text{A}$ であるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が -0.5V において、または、 V_{gs} が -0.5V 乃至 -0.8V の範囲において、 $1 \times 10^{-19} \text{A}$ 以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19} \text{A}$ 以下である、と言う場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22} \text{A}$ 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22} \text{A}$ 以下である、と言う場合がある。

50

【0084】

本明細書では、チャンネル幅 W を有するトランジスタのオフ電流を、チャンネル幅 W あたりの値で表す場合がある。また、所定のチャンネル幅（例えば $1\ \mu\text{m}$ ）あたりの電流値で表す場合がある。後者の場合、オフ電流の単位は、電流/長さ（例えば、 $\text{A}/\mu\text{m}$ ）で表される場合がある。

【0085】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、 60 、 85 、 95 、または 125 におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5 乃至 35 のいずれか一の温度）におけるオフ電流、を表す場合がある。室温、 60 、 85 、 95 、 125 、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5 乃至 35 のいずれか一の温度）、におけるトランジスタのオフ電流が I 以下となる V_{gs} が存在するときに、トランジスタのオフ電流が I 以下である、と言う場合がある。

10

【0086】

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} の絶対値が 0.1V 、 0.8V 、 1V 、 1.2V 、 1.8V 、 2.5V 、 3V 、 3.3V 、 10V 、 12V 、 16V 、または 20V におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。 V_{ds} が所定の値であるときに、トランジスタのオフ電流が I 以下となる V_{gs} が存在する場合、トランジスタのオフ電流が I 以下である、と言うことがある。ここで、所定の値とは、例えば、 0.1V 、 0.8V 、 1V 、 1.2V 、 1.8V 、 2.5V 、 3V 、 3.3V 、 10V 、 12V 、 16V 、 20V 、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} の値、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} の値である。

20

【0087】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

30

【0088】

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

【0089】

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

【0090】

< 酸化物半導体の組成 >

なおOSトランジスタの半導体層に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特に In 及び Zn を含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

40

【0091】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0092】

50

トランジスタの半導体層に用いる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

10

【0093】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、In:Ga:Zn=4:2:3、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0094】

<酸化物半導体中の不純物>

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

20

【0095】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

30

【0096】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化又はi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上であることをいう。

【0097】

<酸化物半導体の構造>

酸化物半導体の構造について説明する。

40

【0098】

なお本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0099】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す

50

。

【0100】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

【0101】

なお、非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

10

【0102】

まずは、CAAC-OS膜について説明する。

【0103】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0104】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS膜の明視野像および回折パターンの複合解析像 (高分解能TEM像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

20

【0105】

試料面と略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0106】

一方、試料面と略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

30

【0107】

CAAC-OS膜に対し、X線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0108】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

40

【0109】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径

50

(または分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0110】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0111】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損の少ない)ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

10

【0112】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

20

【0113】

次に、微結晶酸化物半導体膜について説明する。

【0114】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

30

【0115】

nc-OS膜は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

40

【0116】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。その

50

ため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0117】

次に、非晶質酸化物半導体膜について説明する。

【0118】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0119】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

10

【0120】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0121】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)膜と呼ぶ。

20

【0122】

a-like OS膜は、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

【0123】

なお、a-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応する。

30

【0124】

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、a-like OS膜の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、nc-OS膜の密度およびCAAC-OS膜の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

40

【0125】

上記について、具体例を用いて説明する。例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶InGaZnO₄の密度は6.357g/cm³となる。よって、例えば、In:Ga:Zn=1:1:1

50

【原子数比】を満たす酸化物半導体膜において、a-like OS膜の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 【原子数比】を満たす酸化物半導体膜において、nc-OS膜の密度およびCAAC-OS膜の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0126】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせるにより、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて算出することが好ましい。

10

【0127】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、a-like OS膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0128】

以上説明したようにOSTランジスタは、極めて優れたオフ電流特性を実現できる。

【0129】

(実施の形態4)

本実施の形態では、上記実施の形態で説明した、出力回路の模式図、層毎のレイアウトを表す模式図、レイアウト図、レイアウト図に対応する断面模式図の一例について、図12乃至15を参照して説明する。

20

【0130】

図12では、出力回路のレベルシフト回路LSの回路に対応する模式図である。図12では、Siトランジスタを有する層301、配線層302、容量素子を有する層303を示している。層301と、層303とは、開口部に設けられた導電層、及び配線層302を介して接続されている。図12に示すように、層301、配線層302及び層303は、重ねて設けることができる。そのため、半導体装置の誤動作によるデータの消失を防ぐために容量素子を追加しても、レイアウト面積の増大を招くことがないといった利点がある。

【0131】

図13(A)乃至(D)では、図12に示したレイアウトを層ごとに示したものである。図13(A)は容量素子C1、C2を有する層での導電層、及び開口部の配置を示している。図13(B)は、図13(A)に示す層の下層にある、配線層の導電層、及び開口部の配置を示している。図13(C)は、図13(B)に示す層の下層にある、配線層の導電層、及び開口部の配置を示している。図13(D)は、図13(C)に示す層の下層にある、トランジスタM1乃至M6を構成する導電層及び半導体層、配線VH2、グラウンド線に相当する導電層、並びに開口部の配置を示している。また図13(D)は、端子IN、INB、ノードOUT、OUTBを示している。

30

【0132】

図14は、図13(A)乃至(D)の一点鎖線X1-X2における断面模式図を示している。図15は、図13(A)乃至(D)の一点鎖線Y1-Y2における断面模式図を示している。

40

【0133】

図14、図15では、基板21、不純物領域23、不純物領域24、絶縁層25、絶縁層27、導電層29、絶縁層31、絶縁層33、絶縁層35、絶縁層37、導電層39、導電層41、導電層43、絶縁層45、導電層47を示している。

【0134】

基板21は、例えば単結晶シリコン基板(p型の半導体基板、またはn型の半導体基板を含む)、炭化シリコンや窒化ガリウムを材料とした化合物半導体基板、またはSOI(Silicon On Insulator)基板、ガラス基板などを用いることができる。

50

【 0 1 3 5 】

不純物領域 2 3 及び不純物領域 2 4 は、半導体層に形成される領域である。半導体層は、非晶質半導体、微結晶半導体、多結晶半導体等を用いることができる。例えば、非晶質シリコンや、微結晶ゲルマニウム等を用いることができる。また、炭化シリコン、ガリウム砒素、酸化物半導体、窒化物半導体などの化合物半導体や、有機半導体等を用いることができる。なお図 1 4、図 1 5 では、トランジスタ M 3 と M 4 を図示しており、これらはトランジスタの極性が異なる。この場合は、不純物領域 2 3 及び不純物領域 2 4 で、導入する不純物を異ならせ、nチャネル型、pチャネル型のトランジスタを作り分ける。

【 0 1 3 6 】

導電層 2 9、導電層 3 9、導電層 4 1、導電層 4 3、及び導電層 4 7 は、アルミニウム、銅、チタン、タンタル、タングステン等の金属材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。形成方法は、蒸着法、PE-CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。

10

【 0 1 3 7 】

絶縁層 2 5、絶縁層 2 7、絶縁層 3 1、絶縁層 3 3、絶縁層 3 5、絶縁層 3 7、及び絶縁層 4 5 は、無機絶縁層または有機絶縁層を、単層又は多層で形成することが好ましい。無機絶縁層としては、窒化シリコン膜、酸化窒化シリコン膜、又は窒化酸化シリコン膜等を、単層又は多層で形成することが好ましい。有機絶縁層としては、ポリイミド又はアクリル等を、単層又は多層で形成することが好ましい。また、各絶縁層の作製方法に特に限定はないが、例えば、スパッタリング法、MBE法、PE-CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。

20

【 0 1 3 8 】

なお導電層 4 3 は、容量素子 C 1、C 2 と O S トランジスタとを同層に作製する場合、O S トランジスタのゲート電極と同層の導電層であることが好ましい。併せて導電層 4 7 は、容量素子 C 1、C 2 と O S トランジスタとを同層に作製する場合、O S トランジスタのソース電極又はドレイン電極と同層の導電層であることが好ましい。このような構成とすることで、導電層 4 3 と導電層 4 7 との間にある絶縁層 4 5 に、O S トランジスタのゲート絶縁層と同じ絶縁層を適用することができる。ゲート絶縁層は層間絶縁層と比べて薄いため、より大きな容量値が得られる容量素子 C 1、C 2 とすることができる。

30

【 0 1 3 9 】

(実施の形態 5)

図 1 6 は、上記実施形態で説明した出力回路より信号が出力されるメモリセルを搭載した無線センサのブロック図である。

【 0 1 4 0 】

無線センサ 9 0 0 は、一例として、アンテナ 9 0 1 と、回路部 9 0 2、センサ 9 0 3 と、を有する。回路部 9 0 2 はアンテナ 9 0 1 で受信した信号を処理する機能、受信した信号に基づいて応答データを生成する機能、アンテナ 9 0 1 から応答データを送信する機能等を有する。回路部 9 0 2 は、例えば、入力/出力部 (I N / O U T) 9 1 0、アナログ部 9 2 0、メモリ部 9 3 0、論理部 9 4 0、および A / D コンバータ 9 5 0 を有する。

40

【 0 1 4 1 】

< 入力 / 出力部 >

入力 / 出力部 9 1 0 は、整流回路 9 1 1、リミット回路 9 1 2、復調回路 9 1 3 および変調回路 9 1 4 を有する。図 1 7 (A) は、整流回路 9 1 1 およびリミット回路 9 1 2 の構成例を示す回路図である。図 1 7 (B) は、復調回路 9 1 3 および変調回路 9 1 4 の構成例を示す回路図である。

【 0 1 4 2 】

整流回路 9 1 1 は、アンテナ 9 0 1 からの入力信号 (搬送波 A N T) を整流して、電圧 V I N を生成する回路である。電圧 V I N は、アナログ部 9 2 0 の各回路に出力される。

【 0 1 4 3 】

50

リミット回路 9 1 2 は、電圧 V_{IN} が大電圧になるのを防止するための保護回路である。

【 0 1 4 4 】

復調回路 9 1 3 は、アンテナ 9 0 1 で受信した搬送波 A_{NT} を復調するための回路である。復調回路 9 1 3 は、復調された信号 $DEMOD_OUT$ を生成し、アナログ部 9 2 0 に出力する。

【 0 1 4 5 】

変調回路 9 1 4 は、論理部 9 4 0 から出力された応答データ (デジタル信号) MOD_OUT を変調し、搬送波 A_{NT} を用いて送信するための回路である。変調方式の一例としては、 ASK ($A_{mplitude\ Shift\ Keying}$) 方式を用いればよい。

【 0 1 4 6 】

< アナログ部 >

アナログ部 9 2 0 は、電源回路 9 2 1、発振回路 9 2 2、電圧検出回路 9 2 3、リセット回路 9 2 4、及びバッファ回路 9 2 5 を有する。

【 0 1 4 7 】

図 1 8 (A) は、電源回路 9 2 1 の構成例を示すブロック図である。電源回路 9 2 1 は、メモリ部 9 3 0、論理部 9 4 0、および A/D コンバータ 9 5 0 の動作電圧を生成する回路である。ここでは、電源回路 9 2 1 は、電圧 V_{IN} から、2 つの動作電圧 (V_{DD} 、 V_{DD_ADC}) を生成する。電源回路 9 2 1 は、電圧 V_{IN} から、バイアス電圧 B_{IAS} および参照電圧 R_{EF} を生成する電圧生成回路 9 6 1、および電圧 B_{IAS} 、参照電圧 R_{EF} 及び電圧 V_{IN} から動作電圧を生成する電圧生成回路 9 6 2、9 6 3 を有する。

【 0 1 4 8 】

図 1 8 (B) は、電圧生成回路 9 6 1 の構成の一例を示す回路図である。図 1 8 (C) は、電圧生成回路 9 6 2、9 6 3 の構成の一例を示す回路図である。

【 0 1 4 9 】

発振回路 9 2 2 は、電源回路 9 2 1 で生成された電圧 V_{DD} から、基準クロック信号 ($ORIGIN_CLK$) を生成する回路である。図 1 9 (A) に発振回路 9 2 2 の構成の一例を示し、図 1 9 (B) に、発振回路 9 2 2 のバイアス電圧 (B_{IASP} 、 B_{IASN}) を生成する電圧生成回路 9 7 1 の構成の一例を示す。

【 0 1 5 0 】

図 2 0 は、電圧検出回路 9 2 3 の構成の一例を示す回路図である。電圧検出回路 9 2 3 は、電圧 V_{IN} が規定値よりも高いか低いかを検出し、検出結果に対応するデジタル信号を生成する機能を有する回路である。このデジタル信号は、論理部 9 4 0 を動作させるトリガー信号として使用される。電圧検出回路 9 2 3 のコンパレータに入力される電圧 B_{IAS} 、 R_{EF} は、電源回路 9 2 1 の電圧生成回路 9 6 1 から入力される。図 2 0 の例では、電圧検出回路 9 2 3 は、コンパレータを有する。コンパレータは、信号 V_{IN_SENSE} を生成し、出力する。

【 0 1 5 1 】

リセット回路 9 2 4 は、電源回路 9 2 1 で生成される電圧を監視し、論理部 9 4 0 をリセットするリセット信号を生成する機能を有する回路である。図 2 1 は、リセット回路 9 2 4 の構成の一例を示す回路図である。この例では、リセット回路 9 2 4 は、電圧 V_{DD} の立ち上がりを検出し、リセット信号 INI_RESET を生成する。

【 0 1 5 2 】

バッファ回路 9 2 5 は、復調回路 9 1 3 で復調された、信号 $DEMOD_OUT$ を論理部 9 4 0 に伝送するための回路である。図 2 2 は、バッファ回路 9 2 5 の構成の一例を示す回路図である。バッファ回路 9 2 5 において、信号 $DEMOD_OUT$ は、2 段目のインバータを介して信号 $DEMOD_SIG0$ となり、論理部 9 4 0 に入力される。

【 0 1 5 3 】

< メモリ部 >

メモリ部 9 3 0 は、メモリセルの他、チャージポンプ回路 9 3 1 を有する。メモリセルの構成は、上記実施の形態 1 を参照すればよい。

10

20

30

40

50

【 0 1 5 4 】

チャージポンプ回路 9 3 1 は、動作電圧 V D D を昇圧し、メモリ部 9 3 0 を動作するのに必要な電圧を生成するための回路である。図 2 3 は、チャージポンプ回路 9 3 1 の構成の一例を示す回路図である。チャージポンプ回路 9 3 1 において、動作電圧 V D D は昇圧された電圧 V_{MEM} となり、メモリ回路に入力される。

【 0 1 5 5 】

メモリ部 9 3 0 に与える電圧をチャージポンプ回路 9 3 1 で生成することで、無線センサ 9 0 0 の消費電力を小さくすることができる。メモリ部 9 3 0 は他の回路より高い電圧 (2 . 5 乃至 4 V) を用いて動作する。電源回路 9 2 1 で予め高い電圧を生成してメモリ部 9 3 0 に与える構成もあるが、この構成では電源回路 9 2 1、発振回路 9 2 2、又は電圧検出回路で消費される電力が大きくなり、効率が悪い。一方で図 1 6 に示す構成では、電源回路 9 2 1 で低い電圧 (1 . 2 V) で生成し、メモリ部 9 3 0 の直前にあるチャージポンプ回路 9 3 1 で降圧あるいは昇圧させて用いる。そのため、無線センサ 9 0 0 で消費される電力が小さくて済むため、効率がよい。

10

【 0 1 5 6 】

上記実施の形態 1 で説明した出力回路は、メモリセルを駆動するための駆動回路内に用いられる。出力回路は、電源回路 9 2 1 から配線 V H 1 へ、チャージポンプ回路 9 3 1 から配線 V H 2 に、それぞれ電圧の供給を受ける。無線センサ 9 0 0 では、無線信号によって電圧を生成する。そのため、無線信号の供給が途絶えると、配線 V H 1、V H 2 に供給される電圧が共にグラウンド電圧となる。無線センサでは、再び無線信号が供給され、電圧が生成されることになる。上記出力回路を有することで、配線 V H 1、V H 2 に電圧が供給されても、意図しないハイレベルの電位が出力されることを抑制でき、メモリセルのデータの消失を防ぐことができる。

20

【 0 1 5 7 】

< 論理部 >

図 2 4 は、論理部 9 4 0 の構成の一例を示すブロック図である。論理部 9 4 0 は、CRC 回路 9 8 1、デコーダ回路 9 8 2、コントローラ 9 8 3、出力信号生成回路 9 8 4、セクタ回路 9 8 5、CRC レジスタ 9 8 6、およびクロック生成回路 9 8 7、を有する。

【 0 1 5 8 】

デコーダ回路 9 8 2 は、信号 D E M O D _ S I G 0 の復号を行う回路である。復号化された信号は、コントローラ 9 8 3、CRC 回路 9 8 1 に入力される。

30

【 0 1 5 9 】

CRC 回路 9 8 1 は、デコーダ回路 9 8 2 からの入力信号から、CRC (巡回冗長性検査) 符号を算出する回路である。CRC 回路 9 8 1 で算出された CRC 符号は、コントローラ 9 8 3 に出力される。

【 0 1 6 0 】

コントローラ 9 8 3 は、論理部 9 4 0 全体の制御を行う回路である。

【 0 1 6 1 】

CRC レジスタ 9 8 6 は、CRC 符号を記憶する CRC 領域として機能するレジスタである。

40

【 0 1 6 2 】

クロック生成回路 9 8 7 は、信号 O R I G I N _ C L K から論理部 9 4 0 で使用されるクロック信号を生成する機能を有する。

【 0 1 6 3 】

メモリ部 9 3 0 および CRC レジスタ 9 8 6 へのアクセスは、セクタ回路 9 8 5 を介して行われる。コントローラ 9 8 3 および出力信号生成回路 9 8 4 は、セクタ回路 9 8 5 にアクセス要求信号 (A c c _ R q) を出力する。セクタ回路 9 8 5 は、アクセス要求信号に従い、メモリ部 9 3 0 または CRC レジスタ 9 8 6 に対して、メモリデータ (M e m _ D) の書き込み、読み出しを行う。

【 0 1 6 4 】

50

< A / Dコンバータ >

A / Dコンバータ950は、センサ903から出力されるアナログ電圧のセンサ信号SENSORをデジタル信号に変換して出力する機能を有する。

【0165】

A / Dコンバータ950は、アナログ値であるセンサ信号SENSORの電位を、デジタル値に変換して外部に出力する機能を有する。A / Dコンバータ950は、フラッシュ型のA / Dコンバータの他、逐次比較型、マルチスロープ型、デルタシグマ型のA / Dコンバータを用いることができる。

【0166】

以上説明した無線センサは、メモリ部930に保持したデータを消失することなく、無線信号の受信による間欠的な動作を行うことができる。

10

【0167】

(実施の形態6)

上記実施の形態で開示された、導電層や半導体層はスパッタ法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法を使っても良い。

【0168】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

20

【0169】

熱CVD法は、チャンパー内を大気圧または減圧下とし、原料ガスと酸化剤を同時にチャンパー内に送り、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0170】

また、ALD法は、チャンパー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンパーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ (高速バルブとも呼ぶ) を切り替えて2種類以上の原料ガスを順番にチャンパーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後不活性ガス (アルゴン、或いは窒素など) などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の単原子層を成膜し、後から導入される第2の原料ガスと反応して、第2の単原子層が第1の単原子層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

30

40

【0171】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された導電膜や半導体膜を形成することができ、例えば、 InGaZnO_x ($x > 0$) 膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジメチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム (化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 (化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

【0172】

50

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、WF₆ガスとB₂H₆ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、WF₆ガスとH₂ガスを順次繰り返し導入してタングステン膜を形成する。なお、B₂H₆ガスに代えてSiH₄ガスを用いてもよい。

【0173】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばInGaZnO_x (X > 0)膜を成膜する場合には、In(CH₃)₃ガスとO₃ガスを順次繰り返し導入してInO₂層を形成し、その後、Ga(CH₃)₃ガスとO₃ガスを順次繰り返し導入してGaO層を形成し、更にその後Zn(CH₃)₂ガスとO₃ガスを順次繰り返し導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてInGaO₂層やInZnO₂層、GaInO層、ZnInO層、GaZnO層などの混合化合物層を形成しても良い。なお、O₃ガスに変えてAr等の不活性ガスでバブリングして得られたH₂Oガスを用いても良いが、Hを含まないO₃ガスを用いる方が好ましい。また、In(CH₃)₃ガスにかえて、In(C₂H₅)₃ガスを用いても良い。また、Ga(CH₃)₃ガスにかえて、Ga(C₂H₅)₃ガスを用いても良い。また、Zn(CH₃)₂ガスを用いても良い。

10

【0174】

(実施の形態7)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図25、図26を用いて説明する。

20

【0175】

図25(A)では上述の実施の形態で説明した半導体装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又はIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

【0176】

上記実施の形態4の図12乃至15に示すようなトランジスタで構成される半導体装置は、組み立て工程(後工程)を経て完成する。さらに、プリント基板に脱着可能な部品や半導体装置が複数合わさることで電子部品が完成する。

30

【0177】

後工程については、図25(A)に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成(ステップS1)した後、基板の裏面を研削する(ステップS2)。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

【0178】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う(ステップS3)。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

40

【0179】

次いでリードフレームのリードとチップ上の電極とを、金属の細線(ワイヤー)で電氣的に接続する、ワイヤーボンディングを行う(ステップS4)。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【0180】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される(ステップS5)。モールド工程を行うことで電子部品の内部が樹脂で充填され、

50

機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができ、また水分や埃による特性の劣化を低減することができる。

【0181】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップS6）。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際にはんだ付けをより確実に行うことができる。

【0182】

次いでパッケージの表面に印字処理（マーキング）を施す（ステップS7）。そして最終的な検査工程（ステップS8）を経て電子部品が完成する（ステップS9）。

【0183】

以上説明した電子部品は、上述の実施の形態で説明した半導体装置を含む構成とすることができる。そのため、誤動作が少なく、低消費電力化が図られた電子部品を実現することができる。

10

【0184】

また、完成した電子部品の斜視模式図を図25（B）に示す。図25（B）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図25（B）に示す電子部品700は、リード701及び回路部703を示している。図25（B）に示す電子部品700は、例えばプリント基板702に実装される。このような電子部品700が複数組み合わせられて、それぞれがプリント基板702上で電気的に接続されることで電子機器の内部に搭載することができる。完成した回路基板704は、電子機器等の内部に設けられる。

20

【0185】

次いで、コンピュータ、携帯情報端末（携帯電話、携帯型ゲーム機、音響再生装置なども含む）、電子ペーパー、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、デジタルビデオカメラなどの電子機器に、上述の電子部品を適用する場合について説明する。

【0186】

図26（A）は、携帯型の情報端末であり、筐体801、筐体802、第1の表示部803a、第2の表示部803bなどによって構成されている。筐体801と筐体802の少なくとも一部には、先の実施の形態に示す半導体装置が設けられている。そのため、誤動作が少なく、低消費電力化が図られた携帯型の情報端末が実現される。

30

【0187】

なお、第1の表示部803aはタッチ入力機能を有するパネルとなっており、例えば図26（A）の左図のように、第1の表示部803aに表示される選択ボタン804により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図26（A）の右図のように第1の表示部803aにはキーボード805が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

【0188】

また、図26（A）に示す携帯型の情報端末は、図26（A）の右図のように、第1の表示部803a及び第2の表示部803bのうち、一方を取り外すことができる。第2の表示部803bもタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図ることができ、一方の手で筐体802を持ち、他方の手で操作することができるため便利である。

40

【0189】

図26（A）に示す携帯型の情報端末は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子（

50

イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。

【0190】

また、図26(A)に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0191】

更に、図26(A)に示す筐体802にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

【0192】

図26(B)は、電子ペーパーを実装した電子書籍端末810であり、筐体811と筐体812の2つの筐体で構成されている。筐体811及び筐体812には、それぞれ表示部813及び表示部814が設けられている。筐体811と筐体812は、軸部815により接続されており、該軸部815を軸として開閉動作を行うことができる。また、筐体811は、電源816、操作キー817、スピーカー818などを備えている。筐体811、筐体812の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、誤動作が少なく、低消費電力化が図られた電子書籍端末が実現される。

10

【0193】

図26(C)は、テレビジョン装置であり、筐体821、表示部822、スタンド823などで構成されている。テレビジョン装置820の操作は、筐体821が備えるスイッチや、リモコン操作機824により行うことができる。筐体821及びリモコン操作機824には、先の実施の形態に示す半導体装置が設けられている。そのため、誤動作が少なく、低消費電力化が図られたテレビジョン装置が実現される。

20

【0194】

図26(D)は、スマートフォンであり、本体830には、表示部831と、スピーカー832と、マイク833と、操作ボタン834等が設けられている。本体830内には、先の実施の形態に示す半導体装置が設けられている。そのため誤動作が少なく、低消費電力化が図られたスマートフォンが実現される。

【0195】

図26(E)は、デジタルカメラであり、本体841、表示部842、操作スイッチ843などによって構成されている。本体841内には、先の実施の形態に示す半導体装置が設けられている。そのため、誤動作が少なく、低消費電力化が図られたデジタルカメラが実現される。

30

【0196】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が設けられている。このため、誤動作が少なく、低消費電力化が図られた電子機器が実現される。

【0197】

(本明細書等の記載に関する付記)

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

【0198】

40

<実施の形態で述べた本発明の一態様に関する付記>

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

【0199】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

【0200】

50

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0201】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0202】

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態および他の実施の形態では、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタOMなどのトランジスタのチャンネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。よって、場合によっては、または、状況に応じて、トランジスタOMなどのトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。例えば、本発明の一態様として、メモリセルに適用した場合の例を示したが、本発明の一態様は、これに限定されない。例えば、場合によっては、または、状況に応じて、本発明の一態様は、別の機能を有する回路に適用してもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様は、メモリセルに適用しなくてもよい。

【0203】

< 図面を説明する記載に関する付記 >

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

【0204】

また、「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

【0205】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【0206】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期す

10

20

30

40

50

ために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0207】

また、図面において、上面図（平面図、レイアウト図ともいう）や斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

【0208】

< 言い換え可能な記載に関する付記 >

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

10

【0209】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

20

【0210】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0211】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

30

【0212】

< 語句の定義に関する付記 >

以下では、上記実施の形態中で言及しなかった語句の定義について説明する。

【0213】

<< スイッチについて >>

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

40

【0214】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0215】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

【0216】

50

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

【0217】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

10

【0218】

<<チャンネル長について>>

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

【0219】

なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0220】

<<チャンネル幅について>>

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

【0221】

なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

30

【0222】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

40

【0223】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0224】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel W

50

i d t h) 」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0225】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

10

【0226】

<<接続について>>

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電氣信号の授受を可能とするものをいう。

【0227】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合には、以下のように表現することが出来る。

20

【0228】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

30

【0229】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、

40

50

前記第 2 の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の接続経路によって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の接続経路は、前記第 2 の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の電氣的パスによって、Z 1 を介して、X と電氣的に接続され、前記第 1 の電氣的パスは、第 2 の電氣的パスを有しておらず、前記第 2 の電氣的パスは、トランジスタのソース（又は第 1 の端子など）からトランジスタのドレイン（又は第 2 の端子など）への電氣的パスであり、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の電氣的パスによって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の電氣的パスは、第 4 の電氣的パスを有しておらず、前記第 4 の電氣的パスは、トランジスタのドレイン（又は第 2 の端子など）からトランジスタのソース（又は第 1 の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。

10

【 0 2 3 0 】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【符号の説明】

【 0 2 3 1 】

B U F 1 バッファ回路
 B U F 2 バッファ回路
 C 1 容量素子
 C 2 容量素子
 D E M O D _ S I G 0 信号
 F N 1 ノード
 F N 3 ノード
 I N V 1 インバータ回路
 I N V 3 インバータ回路
 M 1 トランジスタ
 M 2 トランジスタ
 M 3 トランジスタ
 M 4 トランジスタ
 M 5 トランジスタ
 M 6 トランジスタ
 O M トランジスタ
 O M _ B トランジスタ
 O M 1 トランジスタ
 O M 2 トランジスタ
 O M 3 トランジスタ
 S W 1 トランジスタ
 S W 3 トランジスタ
 W L _ r _ e _ t 配線
 B L _ A 配線
 B L _ B 配線
 M N ノード
 O U T ノード
 O U T B ノード
 F N ノード

30

40

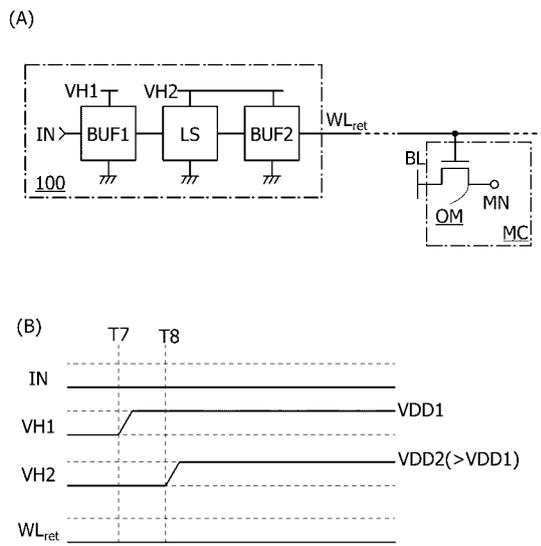
50

B L	配線	
S L	配線	
W W L	配線	
T 1	時刻	
T 7	時刻	
T 8	時刻	
T 9	時刻	
T 1 0	時刻	
V H 1	配線	
V H 2	配線	10
1 1	インバータ回路	
1 2	インバータ回路	
1 3	インバータ回路	
1 4	インバータ回路	
1 5	トランジスタ	
1 5 _ A	トランジスタ	
1 7	容量素子	
1 8 _ A	トランジスタ	
1 8 _ B	トランジスタ	
1 9	容量素子	20
1 9 _ 1	容量素子	
1 9 _ 2	容量素子	
1 9 _ 3	容量素子	
2 1	基板	
2 3	不純物領域	
2 4	不純物領域	
2 5	絶縁層	
2 7	絶縁層	
2 9	導電層	
3 1	絶縁層	30
3 3	絶縁層	
3 5	絶縁層	
3 7	絶縁層	
3 9	導電層	
4 1	導電層	
4 3	導電層	
4 5	絶縁層	
4 7	導電層	
1 0 0	出力回路	
2 0 0	半導体装置	40
2 0 1	メモリセルアレイ	
2 0 2	行選択ドライバ	
2 0 3	列選択ドライバ	
3 0 1	層	
3 0 2	配線層	
3 0 3	層	
7 0 0	電子部品	
7 0 1	リード	
7 0 2	プリント基板	
7 0 3	回路部	50

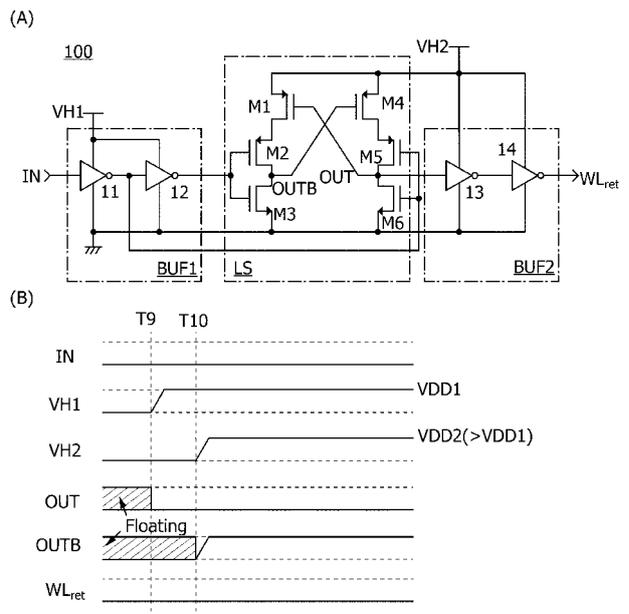
7 0 4	回路基板	
8 0 1	筐体	
8 0 2	筐体	
8 0 3 a	表示部	
8 0 3 b	表示部	
8 0 4	選択ボタン	
8 0 5	キーボード	
8 1 0	電子書籍端末	
8 1 1	筐体	
8 1 2	筐体	10
8 1 3	表示部	
8 1 4	表示部	
8 1 5	軸部	
8 1 6	電源	
8 1 7	操作キー	
8 1 8	スピーカー	
8 2 0	テレビジョン装置	
8 2 1	筐体	
8 2 2	表示部	
8 2 3	スタンド	20
8 2 4	リモコン操作機	
8 3 0	本体	
8 3 1	表示部	
8 3 2	スピーカー	
8 3 3	マイク	
8 3 4	操作ボタン	
8 4 1	本体	
8 4 2	表示部	
8 4 3	操作スイッチ	
9 0 0	無線センサ	30
9 0 1	アンテナ	
9 0 2	回路部	
9 0 3	センサ	
9 1 0	入力/出力部	
9 1 1	整流回路	
9 1 2	リミット回路	
9 1 3	復調回路	
9 1 4	変調回路	
9 2 0	アナログ部	
9 2 1	電源回路	40
9 2 2	発振回路	
9 2 3	電圧検出回路	
9 2 4	リセット回路	
9 2 5	バッファ回路	
9 3 0	メモリ部	
9 3 1	チャージポンプ回路	
9 4 0	論理部	
9 5 0	A/Dコンバータ	
9 6 1	電圧生成回路	
9 6 2	電圧生成回路	50

- 9 7 1 電圧生成回路
- 9 8 1 C R C 回路
- 9 8 2 デコーダ回路
- 9 8 3 コントローラ
- 9 8 4 出力信号生成回路
- 9 8 5 セレクタ回路
- 9 8 6 C R C レジスタ
- 9 8 7 クロック生成回路

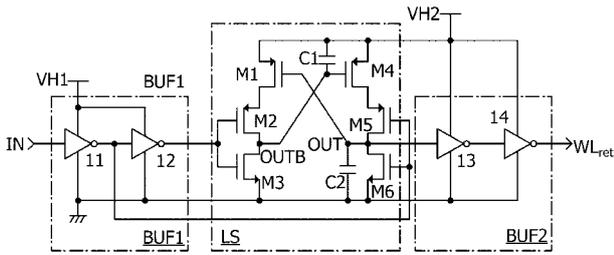
【 図 1 】



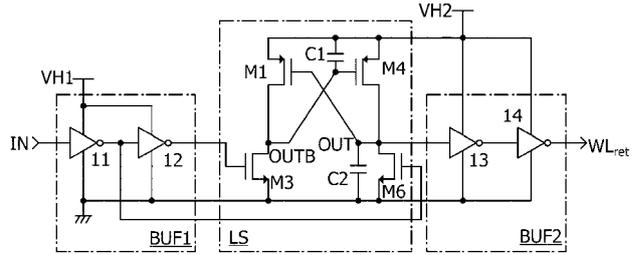
【 図 2 】



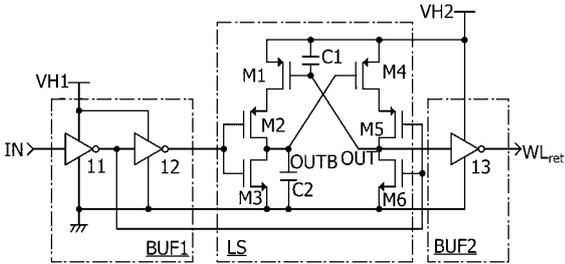
【 図 3 】



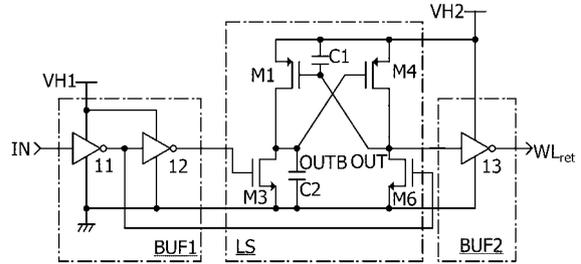
【 図 5 】



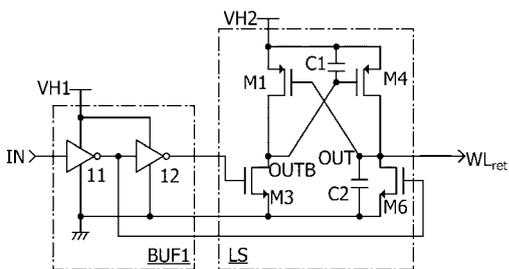
【 図 4 】



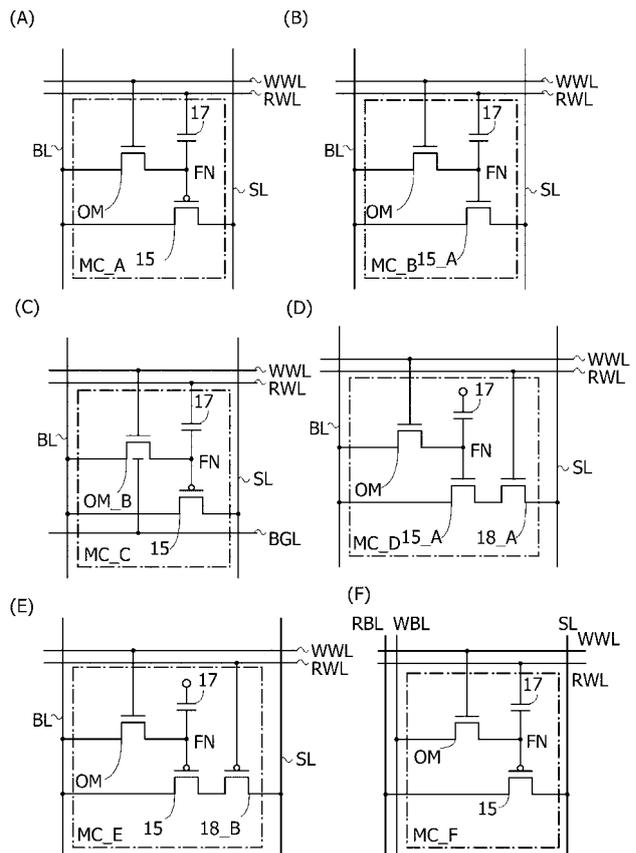
【 図 6 】



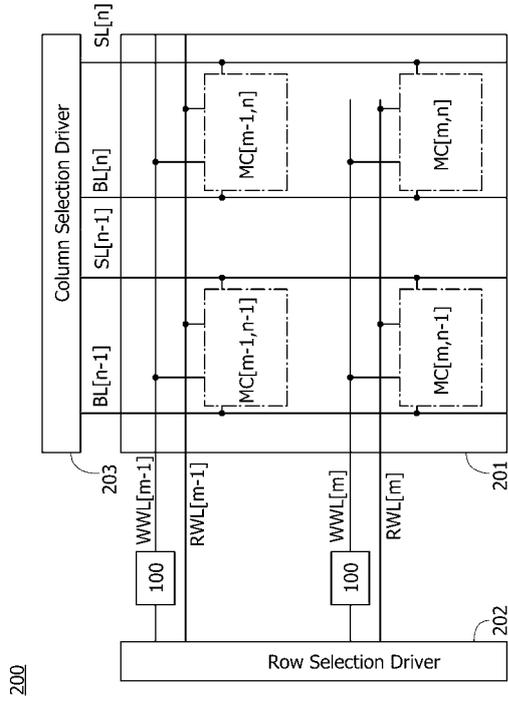
【 図 7 】



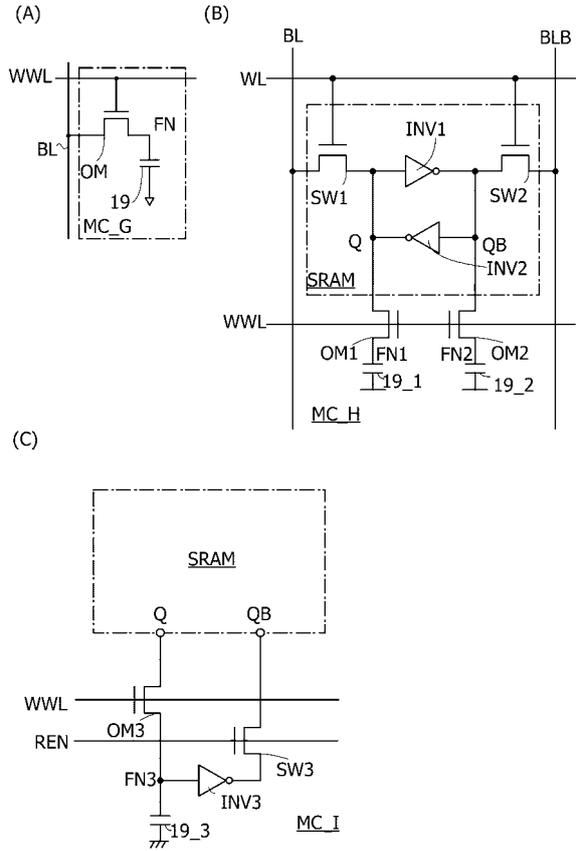
【 図 8 】



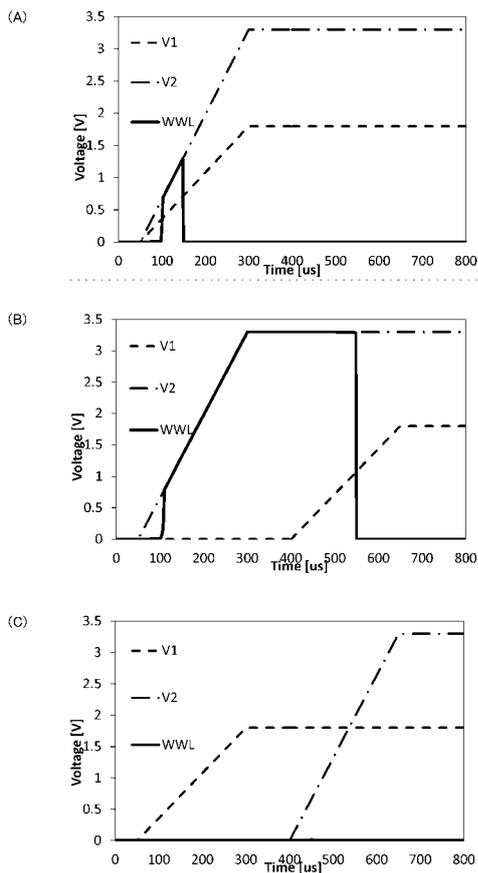
【 図 9 】



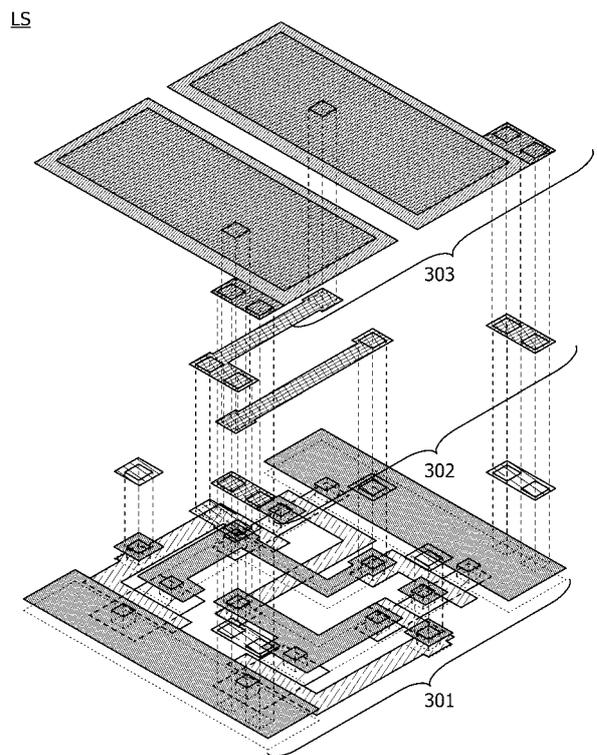
【 図 1 0 】



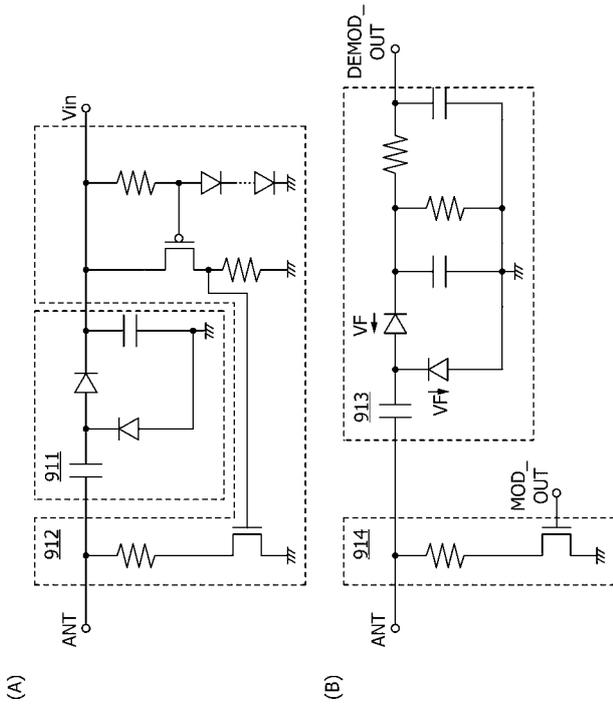
【 図 1 1 】



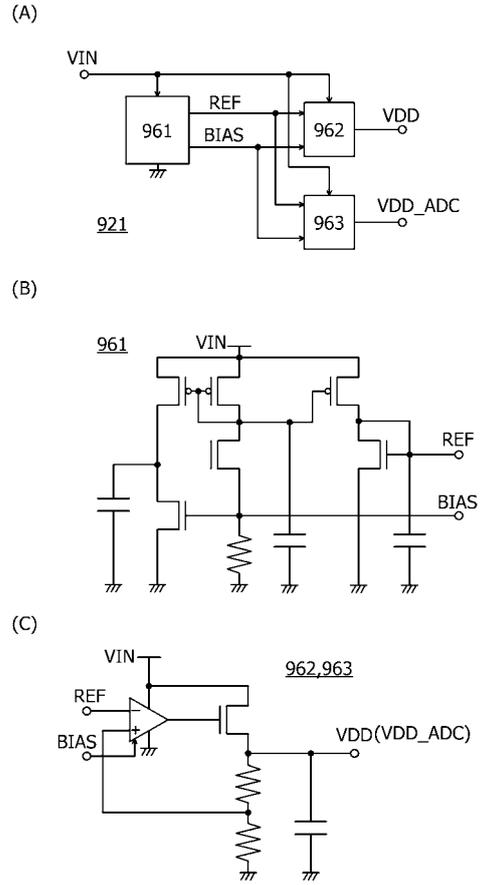
【 図 1 2 】



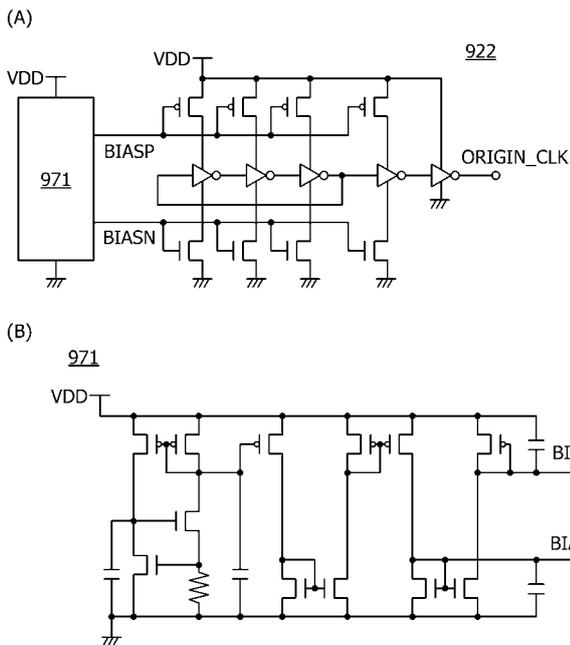
【 図 1 7 】



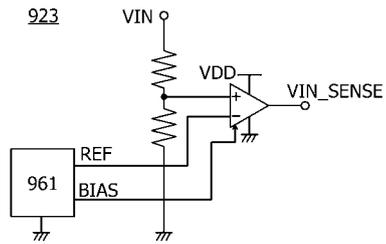
【 図 1 8 】



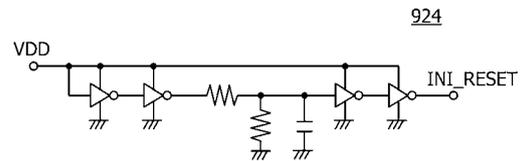
【 図 1 9 】



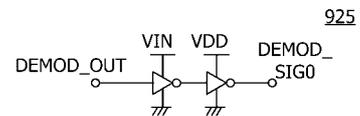
【 図 2 0 】



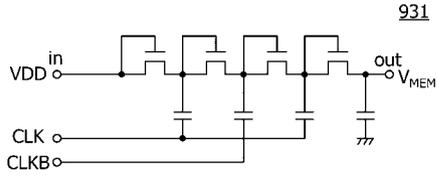
【 図 2 1 】



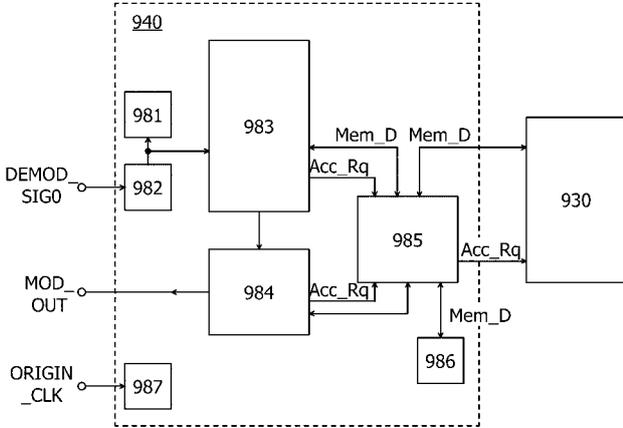
【 図 2 2 】



【 図 2 3 】

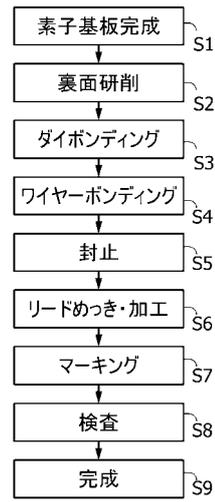


【 図 2 4 】

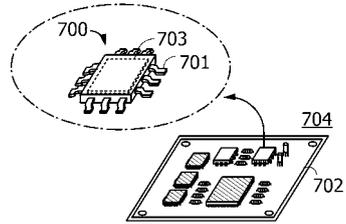


【 図 2 5 】

(A)

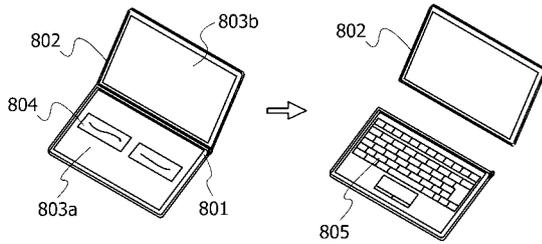


(B)

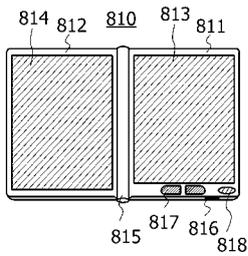


【 図 2 6 】

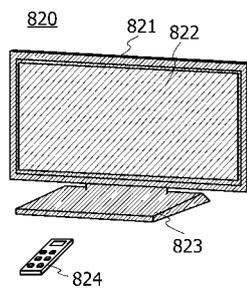
(A)



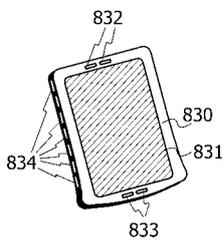
(B)



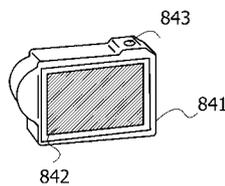
(C)



(D)

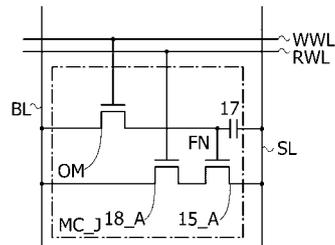


(E)

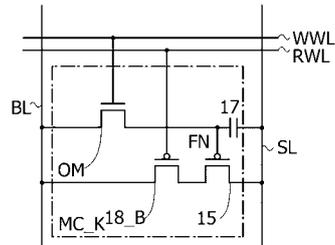


【 図 2 7 】

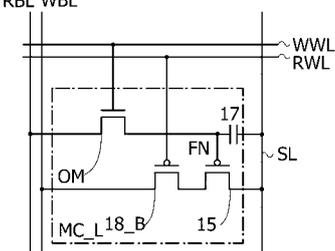
(A)



(B)



(C)



フロントページの続き

(72)発明者 大貫 達也

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

Fターム(参考) 5F110 AA09 BB04 BB05 CC02 DD01 DD02 DD05 EE02 EE03 EE04
EE09 EE42 EE43 EE44 EE45 FF27 FF28 FF29 GG01 GG02
GG03 GG04 GG05 GG06 GG12 GG13 GG14 GG15 GG16 GG17
GG19 GG35 GG42 GG43 GG44 GG58 HK02 HK03 HK04 HK09
HK32 HK33 HK35 HL02 HL03 HL04 HL08 HL22 HL23 HL24
NN03 NN22 NN24 NN27 NN33 NN34 NN35 NN72 NN74 QQ08
5J056 AA11 BB00 BB17 CC14 CC21 DD29 DD51 GG09 KK01 KK02
5M024 AA36 AA37 BB02 BB08 CC02 CC03 CC26 FF03 PP01 PP03
PP04 PP05 PP10