



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월31일
(11) 등록번호 10-1108816
(24) 등록일자 2012년01월16일

(51) Int. Cl.

H05K 3/46 (2006.01)

(21) 출원번호 10-2010-0030788
(22) 출원일자 2010년04월05일
심사청구일자 2010년04월05일
(65) 공개번호 10-2011-0111619
(43) 공개일자 2011년10월12일

(56) 선행기술조사문헌

KR1020070109264 A*
JP2009049369 A*
JP2001094224 A
JP2009038094 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자

김홍규

충청북도 청주시 흥덕구 신월로 43, 301동 704호
(개신동, 청주개신3주공아파트)

(74) 대리인

김창달

전체 청구항 수 : 총 12 항

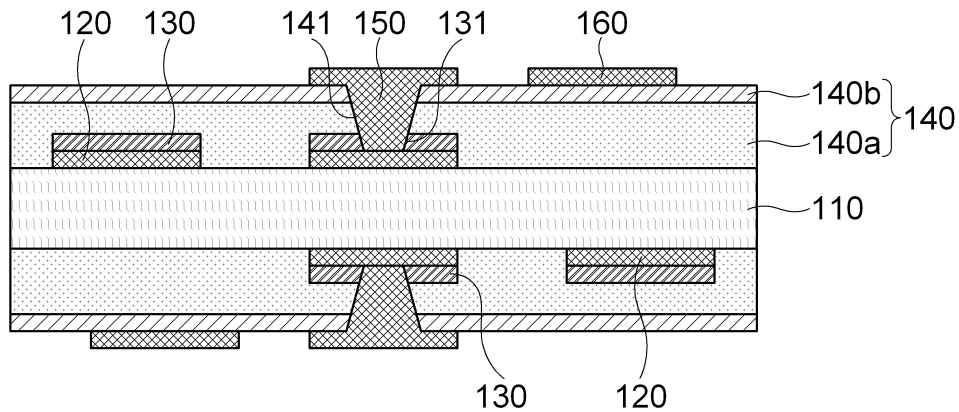
심사관 : 김중희

(54) 다층 인쇄회로기판 및 이의 제조방법

(57) 요약

본 발명은 다층 인쇄회로기판 및 이의 제조방법에 관한 것으로, 비아홀 형성후의 습식공정에서 회로배선층을 보호하기 위한 금속패턴을 구비함으로써, 비아 내부에서의 보이드 발생을 방지하여 전기적 접속 불량 및 장기적인 신뢰성을 개선할 수 있는 다층 인쇄회로기판 및 이의 제조 방법에 관한 것이다.

대표도 - 도1



특허청구의 범위

청구항 1

코아층;

상기 코아층의 양면에 각각 배치된 제 1 회로층;

상기 제 1 회로층상에 배치되고, 상기 제 1 회로층의 일부를 노출하는 개구를 갖는 금속패턴;

상기 개구와 대응된 비아홀을 구비하며 상기 금속패턴을 포함하는 상기 코아층 상면에 배치된 절연층;

상기 비아홀 및 상기 개구에 형성된 비아; 및

상기 비아를 통해 상기 제 1 회로층과 전기적으로 접속하며, 상기 절연층상에 배치된 제 2 회로층;

을 포함하며,

상기 절연층은 프리프레그와 상기 프리프레그상에 배치된 절연수지막을 포함하는 다층 인쇄회로기판.

청구항 2

제 1 항에 있어서,

상기 금속패턴은 상기 제 1 회로층과 다른 식각 선택비를 갖는 다층 인쇄회로기판.

청구항 3

제 1 항에 있어서,

상기 금속패턴은 상기 제 1 회로층에 비해 상기 절연층과 강한 접착력을 갖는 다층 인쇄회로기판.

청구항 4

제 1 항에 있어서,

상기 금속패턴은 니켈, 니켈 합금, 알루미늄 및 알루미늄 합금 중 어느 하나로 이루어진 다층 인쇄회로기판.

청구항 5

삭제

청구항 6

코아층의 양면에 각각 제 1 회로층 및 상기 제 1 회로층상에 배치된 금속패턴을 형성하는 단계;

상기 금속패턴을 포함한 상기 코아층상에 표면에 금속박을 구비한 절연층을 적층하는 단계;

상기 절연층에 상기 금속패턴을 노출하는 비아홀을 형성하는 단계;

상기 금속박을 제거하는 단계;

상기 금속패턴에 상기 비아홀과 대응된 개구를 형성하는 단계; 및

상기 비아홀 및 상기 개구에 배치된 비아와, 상기 비아를 통해 상기 제 1 회로층과 전기적으로 접속하며 상기 절연층상에 배치된 제 2 회로층을 형성하는 단계;

를 포함하는 다층 인쇄회로기판의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 금속패턴은 상기 제 1 회로층과 다른 식각 선택비를 갖는 다층 인쇄회로기판의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 금속패턴은 상기 제 1 회로층에 비해 상기 절연층과 강한 접착력을 갖는 다층 인쇄회로기판의 제조 방법.

청구항 9

제 6 항에 있어서,

상기 금속 패턴은 니켈, 니켈 합금, 알루미늄 및 알루미늄 합금 중 어느 하나로 이루어진 다층 인쇄회로기판의 제조 방법.

청구항 10

제 6 항에 있어서,

상기 절연층은 프리프레그와 상기 프리프레그상에 배치된 절연수지막을 포함하는 다층 인쇄회로기판의 제조 방법.

청구항 11

제 6 항에 있어서,

상기 금속막은 구리로 형성된 다층 인쇄회로기판의 제조 방법.

청구항 12

제 6 항에 있어서,

상기 코아층의 양면에 각각 제 1 회로층 및 상기 제 1 회로층상에 배치된 금속패턴을 형성하는 단계는,

코아층 및 코아층의 양면에 구리층 및 구리층과 다른 식각선택비를 갖는 금속층을 포함하는 동박 적층판을 제공하는 단계; 및

상기 구리층 및 금속층을 식각하여 상기 금속패턴 및 제 1 회로층을 형성하는 다층 인쇄회로기판의 제조방법.

청구항 13

제 6 항에 있어서,

상기 코아층의 양면에 각각 제 1 회로층 및 상기 제 1 회로층상에 배치된 금속패턴을 형성하는 단계는,

코아층 및 코아층의 양면에 배치된 구리층을 포함하는 동박 적층판을 제공하는 단계;

상기 구리층을 식각하여 제 1 회로층을 형성하는 단계; 및

상기 비아홀 형성영역과 대응된 영역의 제 1 회로층상에 선택적으로 상기 금속패턴을 형성하는 다층 인쇄회로기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 다층 인쇄회로기판 및 이의 제조 방법에 관한 것으로, 비아홀 형성후의 습식공정에서 회로배선층을 보호하기 위한 금속패턴을 구비하는 다층인쇄회로기판 및 이의 제조방법에 관한 것이다.

배경기술

[0002] 최근 전자기기의 휴대화와 더불어 고기능화와 인터넷, 동영상 및 고용량의 데이터 송수신등으로 인해, 인쇄회로기판의 설계가 더욱 복잡해지고 고밀도 및 소형화 회로에 대한 요구가 점점 증가되고 있어, 다층 인쇄회로기판에 대한 관심이 더욱 증가하고 있다.

[0003] 다층 인쇄회로기판은 경박단소화 및 고밀도화 추세에 따라 프리프레그를 절연체로 사용하는 세미 애디티브 공법에 의해 널리 제조되고 있다.

[0004] 세미 애디티브 공법은 먼저, 내층회로기판을 형성한다. 이후, 내층회로기판상에 프리프레그를 적층한다. 이때, 프리프레그와 회로층간의 밀착력을 향상시키기 위해, 프리프레그 상에 절연층을 더 형성한다. 프리프레그 및 절연층에 내층회로의 일부를 노출하는 비아홀을 형성한다. 이후, 절연층상에 무전해 도금층을 형성한 후, 무전해 도금층상에 일정한 패턴의 도금 레지스트 패턴을 형성한다. 이후, 도금레지스트 패턴을 이용한 전기도금을 통해, 비아와 외층 회로층을 형성할 수 있다.

[0005] 여기서, 절연층은 용이한 공정을 위해 절연시트의 형태로 프리프레그상에 적층될 수 있다. 절연시트는 금속박과 금속박상에 형성된 절연막을 포함할 수 있다. 금속박은 절연막을 형성하기 위한 기재층의 역할과 더불어 절연막의 표면을 보호하는 역할을 할 수 있다.

[0006] 여기서, 금속박은 절연층에 비아홀을 형성한 후 습식식각법에 의해 제거될 수 있다. 이때, 습식식각공정에서 비아홀에 의해 노출된 내층회로의 표면을 식각하여, 내층회로에 틈(crevice)이 형성될 수 있다.

[0007] 이와 같은 내층회로에 형성된 틈은 비아를 형성하기 위한 도금공정에서 비아의 내부에 보이드 발생을 유도할 수 있어, 결국 다층 인쇄회로기판의 전기적 접속 불량 및 장기적인 신뢰성을 저하시킬 수 있다.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명은 다층 인쇄회로기판 및 이의 제조 방법에서 발생될 수 있는 문제점을 해결하기 위하여 창안된 것으로서, 구체적으로 비아홀 형성후의 습식공정에서 회로배선층을 보호하기 위한 금속패턴을 구비함으로써, 비아 내부에서의 보이드 발생을 방지하여 전기적 접속 불량 및 장기적인 신뢰성을 개선할 수 있는 다층 인쇄회로기판 및 이의 제조 방법을 제공함에 그 목적이 있다.

과제의 해결 수단

[0009] 본 발명의 목적은 다층 인쇄회로기판을 제공하는 것이다. 상기 다층 인쇄회로기판은 코아층; 상기 코아층의 양면에 각각 배치된 제 1 회로층; 상기 제 1 회로층상에 배치되고, 상기 제 1 회로층의 일부를 노출하는 개구를 갖는 금속패턴; 상기 개구와 대응된 비아홀을 구비하며 상기 금속패턴을 포함하는 상기 코아층 상면에 배치된 제 2 절연층; 상기 비아홀 및 상기 개구에 형성된 비아; 및 상기 비아를 통해 상기 제 1 회로층과 전기적으로

접속하며, 상기 제 2 절연층상에 배치된 제 2 회로층;을 포함할 수 있다.

[0010] 여기서, 상기 금속패턴은 상기 제 1 회로층과 다른 식각 선택비를 가질 수 있다.

[0011] 또한, 상기 금속패턴은 상기 제 1 회로층에 비해 상기 제 2 절연층과 강한 접착력을 가질 수 있다.

[0012] 또한, 상기 금속 패턴은 니켈, 니켈 합금, 알루미늄 및 알루미늄 합금 중 어느 하나로 이루어질 수 있다.

[0013] 또한, 상기 제 2 절연층은 프리프레그와 상기 프리프레그상에 배치된 절연수지막을 포함할 수 있다.

[0014] 본 발명의 다른 목적은 다층 인쇄회로기판의 제조방법을 제공하는 것이다. 상기 제조방법은 코아층의 양면에 각각 제 1 회로층 및 상기 제 1 회로층상에 배치된 금속패턴을 형성하는 단계; 상기 금속패턴을 포함한 상기 코아층상에 표면에 금속박을 구비한 절연층을 적층하는 단계; 상기 절연층에 상기 금속패턴을 노출하는 비아홀을 형성하는 단계; 상기 금속박을 제거하는 단계; 상기 금속패턴에 상기 비아홀과 대응된 개구를 형성하는 단계; 및 상기 비아홀 및 상기 개구에 배치된 비아와, 상기 비아를 통해 상기 제 1 회로층과 전기적으로 접속하며 상기 절연층상에 배치된 제 2 회로층을 형성하는 단계;를 포함할 수 있다.

[0015] 여기서, 상기 금속패턴은 상기 제 1 회로층과 다른 식각 선택비를 가질 수 있다.

[0016] 또한, 상기 금속패턴은 상기 제 1 회로층에 비해 상기 절연층과 강한 접착력을 가질 수 있다.

[0017] 또한, 상기 금속 패턴은 니켈, 니켈 합금, 알루미늄 및 알루미늄 합금 중 어느 하나로 이루어질 수 있다.

[0018] 또한, 상기 절연층은 프리프레그와 상기 프리프레그상에 배치된 절연수지막을 포함할 수 있다.

[0019] 또한, 상기 금속박은 구리로 형성될 수 있다.

[0020] 또한, 상기 코아층의 양면에 각각 제 1 회로층 및 상기 제 1 회로층상에 배치된 금속패턴을 형성하는 단계는,

[0021] 코아층 및 코아층의 양면에 구리층 및 구리층과 다른 식각선택비를 갖는 금속층을 포함하는 동박 적층판을 제공하는 단계; 및 상기 구리층 및 금속층을 식각하여 상기 금속패턴 및 제 1 회로층을 형성하는 단계를 포함할 수 있다.

[0022] 또한, 상기 코아층의 양면에 각각 제 1 회로층 및 상기 제 1 회로층상에 배치된 금속패턴을 형성하는 단계는,

[0023] 코아층 및 코아층의 양면에 배치된 구리층을 포함하는 동박 적층판을 제공하는 단계; 상기 구리층을 식각하여 제 1 회로층을 형성하는 단계; 및 상기 비아홀 형성영역과 대응된 영역의 제 1 회로층상에 선택적으로 상기 금속패턴을 형성하는 단계를 포함할 수 있다.

발명의 효과

[0024] 본 발명의 다층 인쇄회로기판은 비아홀 형성후의 습식공정에서 회로배선층을 보호하기 위한 금속패턴을 구비함으로써, 비아 내부에서의 보이드 발생을 방지하여 전기적 접속 불량 및 장기적인 신뢰성을 개선할 수 있다.

[0025] 또한, 본 발명의 다층 인쇄회로기판에 구비된 금속패턴은 회로배선층에 비해 절연층의 프리프레그와 강한 접착력을 갖는 재질로 이루어짐에 따라, 다층 인쇄회로기판의 신뢰성을 더욱 개선할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 제 1 실시예에 따른 다층 인쇄회로기판의 단면도이다.

도 2 내지 도 9는 본 발명의 제 2 실시예에 따른 다층 인쇄회로기판의 제조 공정을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 발명의 실시예들은 다층 인쇄회로기판의 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서,

본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성요소들을 나타낸다.

- [0028] 도 1은 본 발명의 제 1 실시예에 따른 다층 인쇄회로기판의 단면도이다.
- [0029] 도 1을 참조하면, 본 발명의 제 1 실시예에 따른 다층 인쇄회로기판은 코아층(110), 제 1 회로층(120), 금속패턴(130), 절연층(140), 비아(150), 및 제 2 회로층(160)을 포함할 수 있다.
- [0030] 여기서, 제 1 회로층(120)은 코아층(110)의 양면에 각각 배치될 수 있다. 코아층(110)은 절연수지로 이루어질 수 있다. 코아층(110)은 에폭시계 수지, 페놀계 수지, 폴리이미드계 수지 및 FR4(내열성 글래스포 에폭시 수지) 중 적어도 어느 하나를 포함할 수 있다. 그러나, 본 발명의 실시예에서, 코아층의 재질에 대해서 한정하는 바는 아니다.
- [0031] 도면에 도시된 바는 없지만, 코아층(110)은 양면에 각각 배치된 제 1 회로층(120)을 서로 전기적으로 연결하기 위한 코아 비아를 더 구비할 수 있다.
- [0032] 금속패턴(130)은 제 1 회로층(120)상에 배치될 수 있다. 금속패턴(130)은 제 1 회로층(120)의 전면에 배치된 것으로 도시하였으나, 이에 한정되는 것은 아니며, 금속패턴은 비아홀(141)의 형성 영역의 주변에 선택적으로 배치될 수 있다.
- [0033] 여기서, 금속패턴(130)은 제 1 회로층(120)과 서로 다른 식각 선택비를 갖는 금속으로 이루어질 수 있다. 이로써, 금속패턴(130)은 다층인쇄회로기판의 제조공정에서 사용되는 에칭액에 노출될 수 있는 제 1 회로층(120)을 보호하는 역할을 할 수 있다. 여기서, 금속패턴(130)이 제 1 회로층(120)을 보호하는 역할을 수행하는 것에 대해서는 후술 될 제조공정에 대한 설명에서 확실하게 이해할 수 있을 것이다.
- [0034] 이에 더하여, 금속패턴(130)은 제 1 회로층(120)에 비해 절연층(140), 특히 절연층(140)을 이루는 프리프레그(140a)와 강한 접착력을 갖는 재질로 이루어질 수 있다. 예컨대, 제 1 회로층(120)이 구리로 형성될 경우, 금속패턴(130)은 니켈, 니켈 합금, 알루미늄 및 알루미늄 합금 중 어느 하나로 이루어질 수 있다.
- [0035] 이에 따라, 금속패턴(130)은 비아홀(141)에 의해 노출된 제 1 회로층(120)을 보호하는 역할을 하며, 이와 동시에 제 1 회로층(120)과 절연층(140)간의 접합력을 개선하는 역할을 할 수 있다.
- [0036] 금속패턴(130)은 비아홀(141)과 대응된 개구(131)를 가질 수 있다. 여기서, 개구(131)를 통해 제 1 회로층(120)과 비아(150)는 서로 전기적으로 접속될 수 있다.
- [0037] 절연층(140)은 금속패턴(130)을 포함하는 코아층(110) 상면에 배치될 수 있다. 또한, 절연층(140)은 금속패턴(130)의 개구(131)와 대응된 비아홀(141)을 구비할 수 있다. 절연층(140)은 코아층(110) 상면에 배치된 프리프레그(140a)와 프리프레그(140a)상에 배치된 절연수지막(140b)을 포함할 수 있다. 여기서, 프리프레그(140a)는 유리섬유를 함침하고 있는 절연수지로 이루어질 수 있다. 또한, 절연수지막(140b)은 프리프레그(140a)와 제 2 회로층(160)간의 밀착력을 증대시키는 역할을 할 수 있다. 여기서, 절연수지막(140b)을 형성하는 재질의 예로서는, 에폭시계 수지, 페놀계 수지, 폴리이미드계 수지 및 FR4(내열성 글래스포 에폭시 수지) 중 어느 하나 또는 둘 이상을 포함할 수 있다. 그러나, 본 발명의 실시예에서, 절연수지막(140b)의 재질에 대해서 한정하는 바는 아니다.
- [0038] 비아(150)는 절연층(140)을 관통하며 배치되어, 회로층의 층간 접속을 수행하는 역할을 할 수 있다. 즉, 비아(150)는 비아홀(141) 및 개구(131)에 배치되어 있을 수 있다. 이로써, 비아(150)는 비아홀(141) 및 개구(131)에 의해 노출된 제 1 회로층(120)과 후술될 제 2 회로층(160)을 서로 전기적으로 접속시킬 수 있다.
- [0039] 또한, 비아(150)는 제 1 회로층(120)의 상면 뿐만 아니라 금속패턴(130)의 개구를 이루는 벽면에도 배치되므로, 비아(150)를 통한 전기적 접속 면적이 증대될 수 있다.
- [0040] 제 2 회로층(160)은 절연층(140)상에 배치될 수 있다. 이때, 제 2 회로층(160)은 비아(150)를 통해 제 1 회로층(120)과 전기적으로 접속될 수 있다.
- [0041] 이에 더하여, 본 발명의 실시예에서 다층 인쇄회로기판은 2층의 구조로 한정하여 도시 및 설명하였으나, 이에 한정되는 것은 아니다, 즉, 다층 인쇄회로기판은 2층 이상의 복수층의 구조, 즉 절연층과 회로층이 교대로 배치 되도록 적층될 수 있다. 이때, 적층된 회로층상에 각각 추가 금속패턴이 구비되어, 비아홀 형성후에 수행되는 습식공정에서 적층된 회로층에 틈이 형성되는 것을 방지할 수 있다.

- [0042] 또한, 다층 인쇄회로기판은 최상층에 외부회로부와 전기적으로 접속하기 위한 패드 전극 및 패드 전극의 일부를 노출하는 솔더 레지스트가 더 배치되어 있을 수 있다.
- [0043] 따라서, 본 발명의 실시예에서와 같이, 다층 인쇄회로기판은 에칭액으로부터 회로배선층을 보호하기 위한 금속 패턴을 구비함으로써, 비아 내부에서의 보이드 발생을 방지하여 전기적 접속 불량 및 장기적인 신뢰성을 개선할 수 있다.
- [0044] 또한, 상기 금속패턴은 회로배선층에 비해 절연층의 프리프레그와 우수한 접합력을 갖는 재질로 이루어짐에 따라, 다층 인쇄회로기판의 신뢰성을 더욱 개선할 수 있다.
- [0045] 또한, 상기 금속패턴은 비아홀과 대응된 개구를 구비하며, 상기 개구 내부에도 비아가 형성됨으로써, 비아를 통한 전기적 접속 면적을 증대시킬 수 있다.
- [0046] 도 2 내지 도 9를 참조하면, 본 발명의 제 2 실시예에 따른 다층 인쇄회로기판의 제조 공정을 설명하기 위해 도 시한 단면도들이다.
- [0047] 도 2를 참조하면, 다층 인쇄회로기판을 제조하기 위해, 동박적층판을 제공한다. 여기서, 동박 적층판은 코아층(110)과 코아층(110)의 양면에 각각 배치된 구리층(122)을 포함할 수 있다. 이때, 구리층(122) 상에 구리와 다른 식각 선택비를 갖는 금속층(132)이 형성되어 있을 수 있다. 이에 더하여, 금속층(132)은 구리층(122)에 비해 후술될 프리프레그(140a)와 우수한 접착력을 갖는 재질로 이루어질 수 있다. 여기서, 금속층(132)을 형성하는 재질의 예로서는 니켈, 니켈 합금, 알루미늄 및 알루미늄 합금 중 어느 하나로 이루어질 수 있다.
- [0048] 도 3을 참조하면, 코아층(110)에 양면에 각각 제 1 회로층(120) 및 제1 회로층(120)상에 배치된 금속패턴(130)을 형성한다.
- [0049] 여기서, 제 1 회로층(120)과 금속패턴(130)을 형성하기 위해, 먼저 금속층(132) 상에 레지스트 패턴을 형성한 후, 레지스트 패턴을 식각 마스크로 사용하여 금속층(132)을 식각하여 금속패턴(130)을 형성한다. 이후, 레지스트 패턴을 식각마스크로 사용하여 구리층(122)을 식각하여 제 1 회로층(120)을 형성할 수 있다. 여기서, 금속층(132)과 구리층(122)은 서로 다른 식각 선택비를 가짐에 따라, 금속패턴(130)을 형성할 때 이용한 레지스트 패턴을 제거하고 금속패턴(130)을 식각마스크로 사용하여 제 1 회로층(120)을 형성할 수도 있다.
- [0050] 이에 더하여, 제 1 회로층(120) 및 금속패턴(130)을 형성하는 공정 이전에, 코아층(110), 구리층(122) 및 금속층(132)을 관통하는 관통홀을 형성한 후, 관통홀에 도전성 페이스트를 충전하여, 코아층(110)의 양면에 각각 배치된 제 1 회로층(120)을 서로 전기적으로 접속시키는 코아 비아(도면에는 도시되지 않음)를 더 형성할 수 있다.
- [0051] 도 4를 참조하면, 금속패턴(130)을 포함한 코아층(110)상에 프리프레그(140a)와 절연수지막(140b)을 제공한다. 여기서, 절연수지막(140b)상에 표면을 보호하기 위한 금속박(140c)이 부착되어 있다. 또한, 금속박(140c)은 구리로 이루어질 수 있다. 또한, 절연수지막(140b)은 프리프레그(140a)와 후속공정에서 형성되는 제 2 회로층(160)간의 밀착력을 증대시키는 역할을 할 수 있다.
- [0052] 도 5를 참조하면, 금속패턴(130)을 포함한 코아층(110)상에 배치된 프리프레그(140a), 표면에 금속박(140c)이 형성된 절연수지막(140b)을 열압착함으로써, 금속패턴(130)을 포함한 코아층(110)상에 절연층(140)이 적층될 수 있다. 이때, 제 1 회로층(120)과 프리프레그(140a)는 금속패턴(130)에 의해 접합력이 향상될 수 있다.
- [0053] 도 6을 참조하면, 절연층(140)에 제 1 회로층(120)의 일부를 노출하기 위한 비아홀(141)을 형성할 수 있다. 비아홀(141)은 레이저 드릴법, 기계적 드릴법 또는 포토리소그래피 공정을 통한 에칭 공정을 통해 형성할 수 있다.
- [0054] 도 7을 참조하면, 절연수지막(140b)상에 배치된 금속박(140c)을 제거한다. 금속박(140c)은 습식식각법에 의해 제거될 수 있다. 여기서, 금속박(140c)과 제 1 회로층(120)은 서로 동일한 재질로 이루어짐에 따라, 습식공정에서 제 1 회로층(120)의 표면도 식각되어 틈(crevice)이 형성될 수 있다. 그러나, 제 1 회로층(120)상에 제 1 회로층(120), 즉 구리와 다른 식각선택비를 갖는 금속패턴(130)이 구비됨에 따라, 금속패턴(130)이 습식공정에서 제 1 회로층(120)의 표면을 보호함으로써, 제 1 회로층(120)에 틈이 형성되는 것을 방지할 수 있다.
- [0055] 도 8을 참조하면, 금속패턴(130)에 제 1 회로층(120)을 노출하기 위한 개구(131)를 형성한다. 이때, 금속패턴(130)의 개구(131)는 에칭공정에 의해 제거될 수 있다. 이때, 개구(131)는 비아홀(141)과 대응되도록 형성된다.

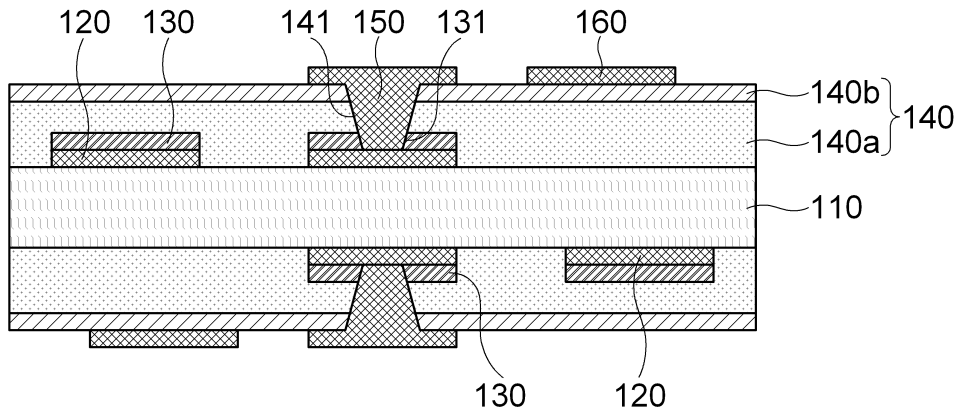
- [0056] 도 9를 참조하면, 절연층(140)상에 제 2 회로층(160)을 형성한다. 여기서, 제 2 회로층(160)은 도금공정을 통해 형성될 수 있다. 또한, 제 2 회로층(160)을 형성하는 공정에서 비아홀에 배치되는 비아(150)가 동시에 형성될 수 있다. 이때, 비아(150)는 비아홀(141)뿐만 아니라, 금속패턴(130)의 개구(131)에도 형성되어, 제 1 및 제 2 회로층(120, 160)을 서로 전기적으로 접속시킬 수 있다.
- [0057] 본 발명의 실시예에서, 금속패턴은 동박적층판상에 배치된 금속층을 패터닝하여 형성하는 것으로 설명하였으나, 이에 한정되는 것은 아니다. 예컨대, 코아층상에 제 1 회로층을 형성한 후, 비아홀의 형성영역과 대응된 영역의 제 1 회로층상에 선택적으로 금속패턴을 형성할 수도 있다. 이때, 금속패턴은 증착공정 또는 인쇄법을 통해 형성할 수 있다.
- [0058] 이에 더하여, 본 발명의 실시예에서 다층 인쇄회로기판은 2층의 구조로 한정하여 도시 및 설명하였으나, 이에 한정되는 것은 아니다. 즉, 다층 인쇄회로기판은 절연층과 회로층이 교대로 배치되도록 적층하는 빌드업 공정을 더 수행하여, 2층 이상의 복수층의 구조로 형성할 수 있다. 이때, 적층된 회로층상에 각각 추가 금속패턴을 형성하여, 비아홀 형성후의 습식식각 공정에서 적층되는 회로층에 틈이 형성되는 것을 방지하며, 층간 접합력을 증대시킬 수 있다.
- [0059] 또한, 다층 인쇄회로기판은 최상층에 외부회로부와 전기적으로 접속하기 위한 패드 전극 및 패드 전극의 일부를 노출하는 솔더 레지스트를 더 형성할 수 있다.
- [0060] 따라서, 본 발명의 실시예에서와 같이, 다층 인쇄회로기판은 회로배선층을 보호하기 위한 금속패턴을 구비함으로써, 습식공정에서 회로배선층에 틈이 형성되는 것을 방지할 수 있다.
- [0061] 또한, 상기 금속패턴은 회로배선층에 비해 절연층의 프리프레그와 우수한 접합력을 갖는 재질로 이루어짐에 따라, 다층 인쇄회로기판의 접합 신뢰성을 향상시킬 수 있다.

부호의 설명

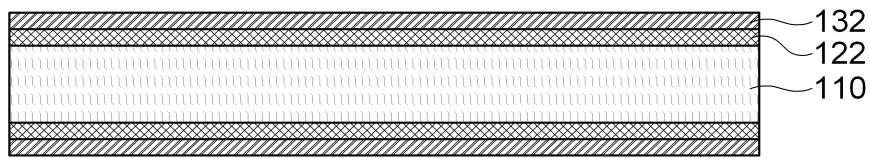
- [0062] 110 : 코아층
- 120 : 제 1 회로층
- 130 : 금속패턴
- 131 : 개구
- 140 : 절연층
- 141 : 비아홀
- 150 : 비아
- 160 : 제 2 회로층

도면

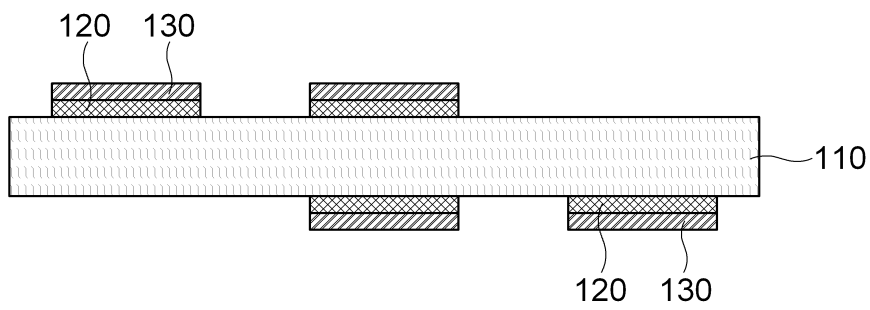
도면1



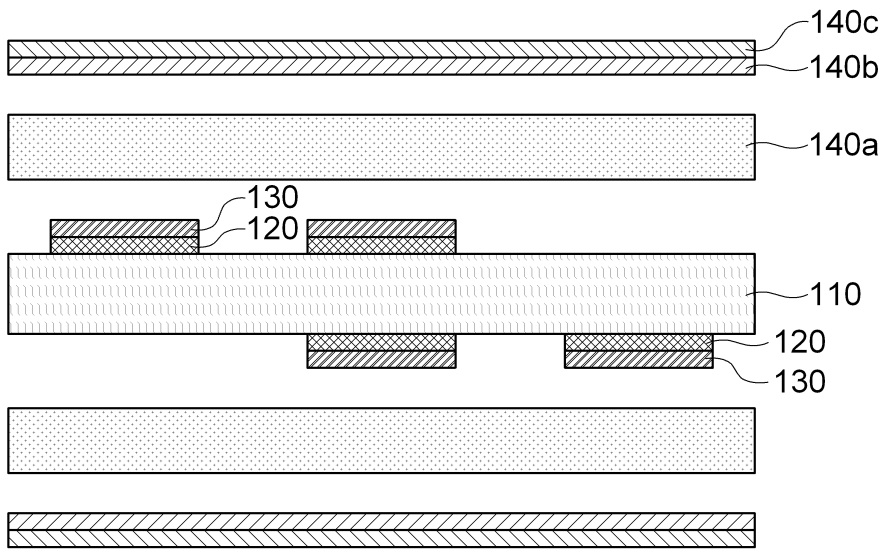
도면2



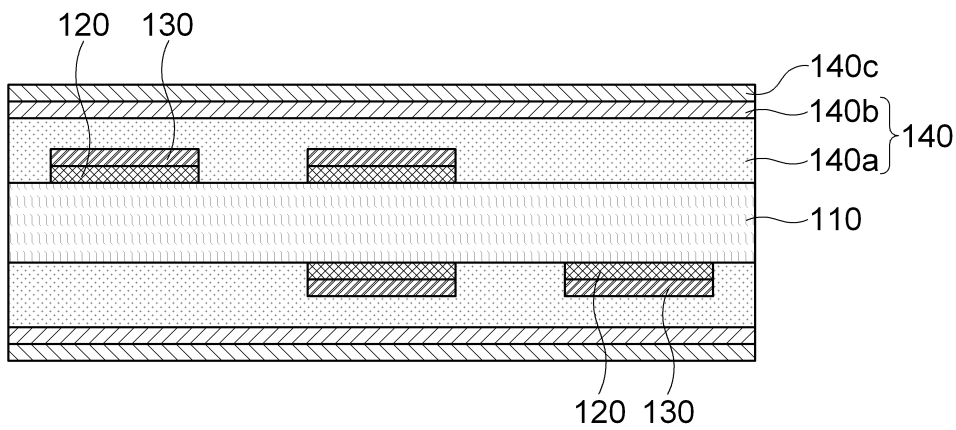
도면3



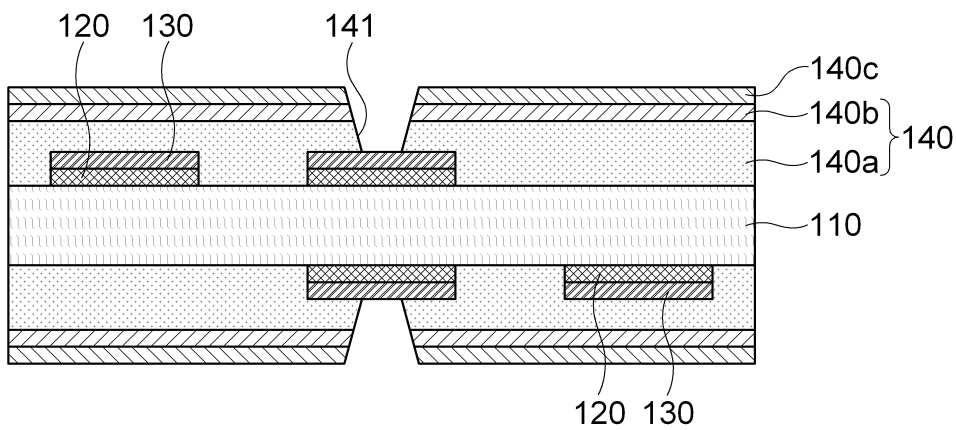
도면4



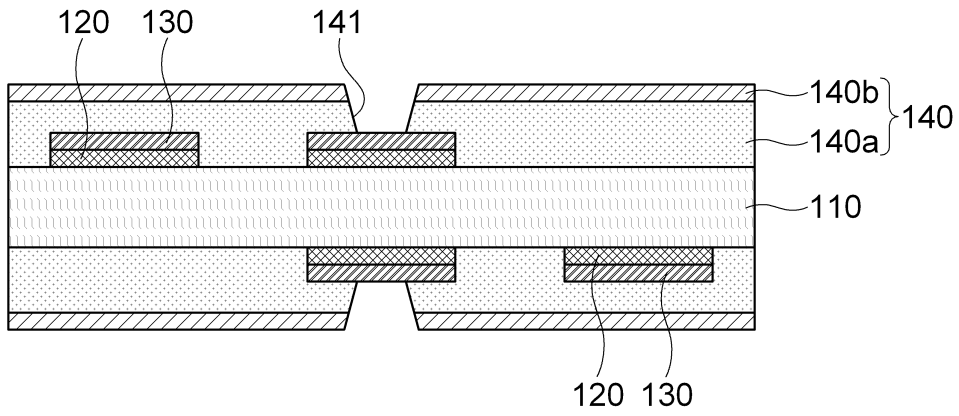
도면5



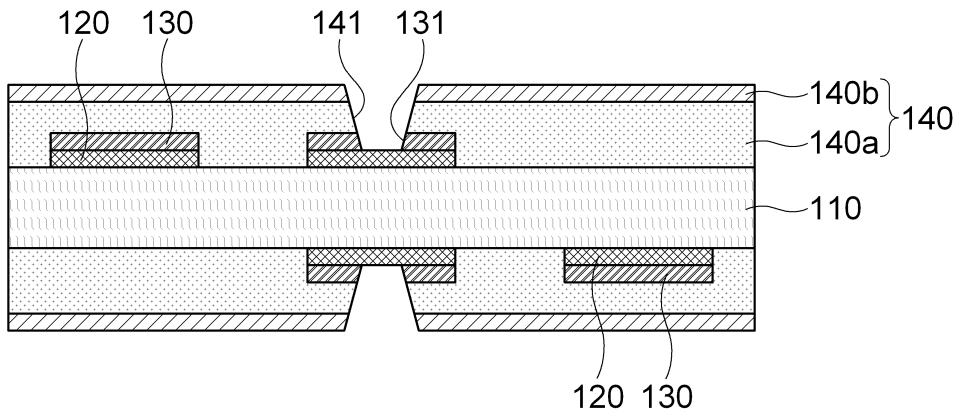
도면6



도면7



도면8



도면9

