

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-134026

(P2004-134026A)

(43) 公開日 平成16年4月30日(2004.4.30)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G 1 1 C 11/401	G 1 1 C 11/34 3 6 2 A	5 M 0 2 4
G 1 1 C 11/403	G 1 1 C 11/34 3 5 2 Z	
	G 1 1 C 11/34 3 6 3 M	

審査請求 未請求 請求項の数 30 O L (全 32 頁)

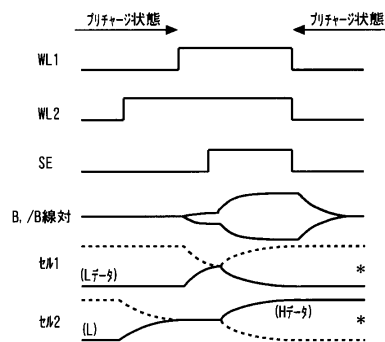
(21) 出願番号	特願2002-299025 (P2002-299025)	(71) 出願人	302062931 NECエレクトロニクス株式会社
(22) 出願日	平成14年10月11日 (2002.10.11)	(74) 代理人	100080816 弁理士 加藤 朝道
		(72) 発明者	高橋 弘行 東京都港区芝五丁目7番1号 日本電気株式会社内
		Fターム(参考)	5M024 AA40 AA50 BB02 BB07 BB08 BB14 BB15 BB20 BB22 BB27 BB30 BB35 BB36 BB37 BB39 BB40 CC20 CC22 CC82 DD62 EE05 EE09 EE22 EE23 EE30 KK13 PP01 PP02 PP03 PP07 PP10

(54) 【発明の名称】 半導体記憶装置及びその制御方法

(57) 【要約】 (修正有)

【課題】 パーシャルモード移行時におけるツインセルのデータのコピー時間の短縮化を図り、リフレッシュ動作によるアクセスタイムの増大を抑制する半導体記憶装置及びその制御方法の提供。

【解決手段】 第1、第2ワード線と第1、第2ビット線の交差部に接続の第1、第2セルとを備え、ノーマルモードにおいて、第1及び第2ワード線は別のアドレスとされ、パーシャル(ツインセル)モードでは第1及び第2ワード線は同一のアドレスとされ、前記2つのセルで1ビットデータを相補に記憶し、パーシャルモードに設定されたときに、第1セルのデータを第2セルへ格納するにあたり、リフレッシュタイム生成のトリガ信号に基づきビット線対のプリチャージ期間に、第2ワード線WL2を活性化し、続いて、トリガ信号を遅延させた信号に基づき、第1ワード線WL1、センスアンプを活性化して、第1セルデータの第1、第2セルへの書き戻しを行う。



【選択図】 図2

【特許請求の範囲】

【請求項 1】

複数のメモリセルを有するセルアレイを有し、
 前記セルアレイが、
 第 1 及び第 2 のビット線よりなり 1 つのセンスアンプに共通に接続されるビット線対と、
 第 1 のワード線にゲートが接続され、前記第 1 のビット線に、ドレインとソースのうちの
 一方が接続されている第 1 のメモリセルトランジスタと、前記第 1 のメモリセルトランジ
 スタのドレインとソースのうちの他方に接続されてなる第 1 の容量素子と、を含む第 1 の
 メモリセルと、
 第 2 のワード線にゲートが接続され、前記第 2 のビット線に、ドレインとソースのうちの
 一方が接続されている第 2 のメモリセルトランジスタと、前記第 2 のメモリセルトランジ
 スタのドレインとソースのうちの他方に接続されてなる第 2 の容量素子と、を含む第 2 の
 メモリセルと、
 を少なくとも備え、
 ノーマルモードにおいて、前記第 1 及び第 2 のワード線は、互いに別のアドレスとされ、
 前記第 1 及び第 2 のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、
 パーシャルモードにおいては、前記第 1 及び第 2 のワード線は、同一のアドレスとされ、
 前記第 1 及び第 2 のメモリセルは、2 つのセルで 1 ビットデータを相補に記憶保持するツ
 インセルをなし、
 モードの切り替えを制御する制御信号に基づき、前記ノーマルモードから前記パーシャル
 モードに切り替えられた場合に、ツインセルをなす前記第 1 及び第 2 のメモリセルのうち
 、コピー元の前記第 1 のメモリセルのセルデータをコピー先の前記第 2 のメモリセルに格
 納するにあたり、
 セルフリフレッシュ動作の間隔を規定するリフレッシュタイマにより生成されるトリガ信
 号に基づき、前記第 1 及び第 2 のビット線よりなる前記ビット線対のプリチャージ期間に
 、前記第 2 のワード線が活性化され、前記第 2 のメモリセルにプリチャージ電圧が書き込
 まれ、
 つづいて、前記ビット線対のプリチャージが終了し、前記第 1 のワード線が活性化され、
 そののち、前記センスアンプが活性化され、前記センスアンプが前記ビット線対の差電圧
 を増幅し、前記第 1 のメモリセルのセルデータの前記第 1 及び第 2 のメモリセルへの書き
 戻しが行われる、構成とされてなる、ことを特徴とする半導体記憶装置。

【請求項 2】

複数のメモリセルを有するセルアレイを有し、
 前記セルアレイが、
 第 1 及び第 2 のビット線よりなり 1 つのセンスアンプに共通に接続されるビット線対と、
 第 1 のワード線にゲートが接続され、前記第 1 のビット線に、ドレインとソースのうちの
 一方が接続されている第 1 のメモリセルトランジスタと、前記第 1 のメモリセルトランジ
 スタのドレインとソースのうちの他方に接続されてなる第 1 の容量素子と、を含む第 1 の
 メモリセルと、
 第 2 のワード線にゲートが接続され、前記第 2 のビット線に、ドレインとソースのうちの
 一方が接続されている第 2 のメモリセルトランジスタと、前記第 2 のメモリセルトランジ
 スタのドレインとソースのうちの他方に接続されてなる第 2 の容量素子と、を含む第 2 の
 メモリセルと、
 を少なくとも備え、
 ノーマルモードにおいて、前記第 1 及び第 2 のワード線は、互いに別のアドレスとされ、
 前記第 1 及び第 2 のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、
 パーシャルモードにおいては、前記第 1 及び第 2 のワード線は、同一のアドレスとされ、
 前記第 1 及び第 2 のメモリセルは、2 つのセルで 1 ビットデータを相補に記憶保持するツ
 インセルをなし、
 モードの切り替えを制御する制御信号に基づき、前記ノーマルモードから前記パーシャル

モードに切り替えられた場合に、ツインセルをなす前記第1及び第2のメモリセルのうち、コピー元の前記第1のメモリセルのセルデータをコピー先の前記第2のメモリセルに格納するにあたり、

セルフリフレッシュ動作の間隔を規定するリフレッシュタイマにより生成されるトリガ信号に基づき、前記第1及び第2のビット線よりなる前記ビット線対のプリチャージ終了後に、前記第1のワード線が活性化され、つづいて前記センスアンプが活性化され、活性化された前記センスアンプは、前記ビット線対に現れた前記第1のメモリセルのセルデータを増幅し、

つづいて、前記第1のワード線及び前記センスアンプが活性化された状態で、前記第2のワード線が活性化され、前記第1のメモリセルのセルデータの前記第2のメモリセルへの書き戻しが行われ、

10

前記パーシャルモードへ入ってから、前記セルアレイ中においてリフレッシュ動作による、ツインセルをなす2つのメモリセル間でのセルデータのコピーが少なくとも1巡するまでの間は、ツインセルを構成する2つのメモリセルに接続される2つのワード線のうち、コピーの元となる前記第1のメモリセルに接続される前記第1のワード線が活性化される期間は、前記ノーマルモード時におけるワード線の活性化期間と同一とされ、セルデータのコピー先の前記第2のメモリセルに接続される前記第2のワード線が活性化される期間は、前記ノーマルモード時におけるワード線の活性化期間よりも短期間とされる、ことを特徴とする半導体記憶装置。

【請求項3】

20

複数のメモリセルを有するセルアレイを有し、

前記セルアレイが、

第1及び第2のビット線よりなり1つのセンスアンプに共通に接続されるビット線対と、第1のワード線にゲートが接続され、前記第1のビット線に、ドレインとソースのうちの一方が接続されている第1のメモリセルトランジスタと、前記第1のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第1の容量素子と、を含む第1のメモリセルと、

第2のワード線にゲートが接続され、前記第2のビット線に、ドレインとソースのうちの一方が接続されている第2のメモリセルトランジスタと、前記第2のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第2の容量素子と、を含む第2のメモリセルと、

30

を少なくとも備え、

ノーマルモードにおいて、前記第1及び第2のワード線は、互いに別のアドレスとされ、前記第1及び第2のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、パーシャルモードにおいては、前記第1及び第2のワード線は、同一のアドレスとされ、前記第1及び第2のメモリセルは、2つのセルで1ビットデータを相補に記憶保持するツインセルをなし、

モードの切り替えを制御する制御信号に基づき、前記ノーマルモードから前記パーシャルモードに切り替えられた場合に、ツインセルをなす前記第1及び第2のメモリセルのうちコピー元の前記第1のメモリセルのセルデータをコピー先の前記第2のメモリセルに格納するにあたり、

40

セルフリフレッシュ動作の間隔を規定するリフレッシュタイマにより生成されるトリガ信号に基づき、前記第1及び第2のビット線よりなる前記ビット線対のプリチャージ期間に、まず、前記第2のワード線が活性化され、前記第2のメモリセルにプリチャージ電圧が書き込まれ、

つづいて、次サイクルのトリガ信号に基づき、前記ビット線対のプリチャージが終了し、前記第1及び第2のワード線が活性化され、さらに、前記センスアンプが活性化され、前記センスアンプは、前記ビット線対に現れた前記第1のメモリセルのデータを増幅し、前記第1のメモリセルのデータの前記第1及び第2のメモリセルへの書き戻しが行われる、構成とされてなる、ことを特徴とする半導体記憶装置。

50

【請求項 4】

複数のメモリセルを有するセルアレイを有し、
前記セルアレイが、
第 1 及び第 2 のビット線よりなり 1 つのセンスアンプに共通に接続されるビット線対と、
第 1 のワード線にゲートが接続され、前記第 1 のビット線に、ドレインとソースのうちの
一方が接続されている第 1 のメモリセルトランジスタと、前記第 1 のメモリセルトランジ
スタのドレインとソースのうちの他方に接続されてなる第 1 の容量素子と、を含む第 1 の
メモリセルと、
第 2 のワード線にゲートが接続され、前記第 2 のビット線に、ドレインとソースのうちの
一方が接続されている第 2 のメモリセルトランジスタと、前記第 2 のメモリセルトランジ
スタのドレインとソースのうちの他方に接続されてなる第 2 の容量素子と、を含む第 2 の
メモリセルと、
を少なくとも備え、
ノーマルモードにおいて、前記第 1 及び第 2 のワード線は、互いに別のアドレスとされ、
前記第 1 及び第 2 のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、
パーシャルモードにおいては、前記第 1 及び第 2 のワード線は、同一のアドレスとされ、
前記第 1 及び第 2 のメモリセルは、2 つのセルで 1 ビットデータを相補に記憶保持するツ
インセルをなし、
モードの切り替えを制御する制御信号に基づき、前記ノーマルモードから前記パーシャル
モードに切り替えられた場合に、ツインセルをなす前記第 1 及び第 2 のメモリセルのうち
、コピー元の前記第 1 のメモリセルのセルデータをコピー先の前記第 2 のメモリセルに格
納するにあたり、
セルフリフレッシュ動作の間隔を制御するリフレッシュタイマにより生成されるトリガ信
号に基づき、前記第 1 のワード線が活性化され、つづいて前記センスアンプが活性化され
、
前記第 1 のワード線及び前記センスアンプが活性化状態とされている期間に、前記第 2 の
ワード線が活性化され、前記第 1 のメモリセルのセルデータの前記第 1 及び第 2 のメモリ
セルへの書き戻しを行う構成とされ、
セルデータのコピーにあたり、コピー元の前記第 1 のメモリセルに接続する前記第 1 のワ
ード線は、前記ノーマルモード時におけるワード線の活性化の期間よりも長期間、活性化
状態とされ、
コピー先の前記第 2 のメモリセルに接続する前記第 2 のワード線は、前記ノーマルモード
時と同一期間、活性化状態とされ、
前記トリガ信号が出力され前記第 1 のワード線が活性化されたのち、前記第 2 のワード線
が活性化する前のタイミングで、リード/ライト・アクセスが発生した場合には、前記第
1 のワード線を前記ノーマルモード時における活性化の期間と同一の期間だけ活性化した
のち非活性化し、且つ、前記第 2 のワード線の活性化を中止して、リード/ライト動作を
行うように制御する手段を備えている、ことを特徴とする半導体記憶装置。

【請求項 5】

前記第 1 のワード線が活性化されており、且つ前記第 2 のワード線が活性化されたのち、
リード/ライト・アクセスが発生した場合には、前記第 1 のワード線を、前記ノーマルモ
ード時における活性化の期間よりも、長期間活性化し、前記第 1 のワード線を活性化した
あとに活性化される前記第 2 のワード線を、前記ノーマルモード時における活性化の期間
と同一の期間、活性化し、前記センスアンプの前記第 1 のメモリセルのセルデータの読み
出しによる、前記第 1 のメモリセルのセルデータの前記第 2 のメモリセルへのコピーを行
ったのち、リード/ライト動作が行われるように制御する手段を備えている、ことを特徴
とする請求項 4 記載の半導体記憶装置。

【請求項 6】

前記トリガ信号を遅延させる遅延回路を備え、
前記遅延回路で遅延させたトリガ信号に基づきワンショットパルスを生成する第 1 のパル

ス生成回路と、

前記リフレッシュタイマからのトリガ信号に基づきワンショットパルスを生成する第2の
パルス生成回路と、

を備え、

前記第1のパルス生成回路の出力信号は、前記第1のワード線を駆動する第1のワード
ドライバに入力され、

前記第1のパルス生成回路の出力信号と前記第2のパルス生成回路の出力信号を入力とし
一方を選択する選択回路を備え、

前記選択回路の出力信号は、前記第2のワード線を駆動する第2のワードドライバに入力
され、

前記選択回路では、前記パーシャルモードへ入ってから、ツインセルをなす前記第1のメ
モリセルのセルデータの前記第2のメモリセルへのコピーを行うためのリフレッシュ動作
を、前記セルアレイ中のメモリセルについて少なくとも1巡するまでの間(「リフレッシ
ュ1周期」という)、前記第2のパルス生成回路の出力信号を前記第2のワードドライバ
に供給し、前記リフレッシュ1周期以降、前記第1のパルス生成回路の出力信号を選択し
て前記第2のワードドライバに供給する、ことを特徴とする請求項1記載の半導体記憶装
置。

10

【請求項7】

前記トリガ信号の周期は、前記パーシャルモードへ入ってから、ツインセルをなす前記第
1のメモリセルのセルデータの前記第2のメモリセルへのコピーを行うためのリフレッシ
ュ動作を、前記セルアレイ中のメモリセルについて少なくとも1巡するまでの間(「リフ
レッシュ1周期」という)は、前記ノーマルモード時における前記トリガ信号の周期と同
一とされ、

20

前記パーシャルモードにおいて、前記リフレッシュ1周期以降、前記トリガ信号の周期は
、前記ノーマルモード時における前記トリガ信号の周期よりも、長周期とされる、こと
を特徴とする請求項1、3乃至5のいずれか一に記載の半導体記憶装置。

【請求項8】

前記トリガ信号の周期は、前記パーシャルモードへ入ってから、ツインセルをなす前記第
1のメモリセルのセルデータの前記第2のメモリセルへのコピーを行うためのリフレッシ
ュ動作を、前記セルアレイ中のメモリセルについて予め定められた所定回数分巡回するま
での間、前記ノーマルモード時における前記トリガ信号の周期よりも短い又は同一の周
期とされ、

30

前記パーシャルモードにおいて、前記リフレッシュ動作を前記予め定められた所定回数分
巡回した以降、前記トリガ信号の周期は、前記ノーマルモード時における前記トリガ信
号の周期よりも、長周期とされる、ことを特徴とする請求項2に記載の半導体記憶装置。

【請求項9】

前記ビット線対のプリチャージ期間に、前記ビット線対は、高位側電源電圧と低位側電源
電圧の中間電圧にプリチャージされる、ことを特徴とする請求項1乃至5のいずれか一に
記載の半導体記憶装置。

【請求項10】

前記パーシャルモードにおいて、前記トリガ信号が長周期であるとき、ツインセルをなす
前記第1及び第2のメモリセルに接続される前記第1及び第2のワード線を同時に活性化
するように制御する手段を備えていることを特徴とする請求項7又は8記載の半導体記憶
装置。

40

【請求項11】

前記リフレッシュタイマにより生成されるトリガ信号を分周する分周回路を備え、

前記ノーマルモードと前記パーシャルモードのモードの切り替えを制御する制御信号と、
チップセレクト信号との論理演算をとる論理ゲートと、

前記論理ゲートの出力信号に基づき、

前記制御信号がパーシャルモードを示している場合であって、前記チップセレクト信号が

50

非活性化状態であるときは、リフレッシュ周期を規定する前記トリガ信号の周期を、前記ノーマルモード時と同じ周期とし、
その後、前記トリガ信号の周期を、前記ノーマルモード時よりも長周期に切り替え、
前記チップセレクト信号が活性化状態であるときには、前記トリガ信号の周期を、前記ノーマルモード時と同一周期とする、リフレッシュ周期判定回路と、
前記リフレッシュ周期判定回路の判定結果に基づき、前記ノーマルモード時と同一周期の場合、前記リフレッシュタイマからの出力信号を選択し、前記ノーマルモード時よりも長周期の場合、前記分周回路からの分周信号を選択して、トリガ信号として出力する選択回路と、
を備えている、ことを特徴とする請求項 3 記載の半導体記憶装置。

10

【請求項 1 2】

前記選択回路から出力されるトリガ信号と、前記リフレッシュ周期判定回路の出力信号と、前記論理ゲートの出力信号とに基づき、前記セルアレイの前記ビット線対のプリチャージと前記センスアンプの活性化を制御する制御信号を生成する回路と、
半導体記憶装置外部から供給されるアドレスの変化の検出、又は、前記トリガ信号に基づき、前記セルアレイの活性化を制御するワンショットパルス(「コア活性化パルス」)を生成するパルス生成器と、
前記コア活性化パルスと、前記プリチャージとセンスアンプの活性化を制御する制御信号との所定の第 1 の論理演算結果の出力を、前記ビット線対をプリチャージする回路に供給する第 1 の論理ゲートと、
前記コア活性化パルスと、前記プリチャージとセンスアンプの活性化を制御する信号との所定の第 2 の論理演算結果の出力をセンスアンプ活性化信号として前記センスアンプに供給する第 2 の論理ゲートと、
を備えている、ことを特徴とする請求項 1 1 記載の半導体記憶装置。

20

【請求項 1 3】

前記選択回路から出力されるトリガ信号に基づき、リフレッシュアドレス信号を生成するリフレッシュアドレス発生器と、
前記リフレッシュアドレス発生器から出力されるリフレッシュアドレス信号の所定ビット信号と、前記リフレッシュ周期切替判定回路の出力信号と、前記論理ゲートの出力信号とに基づき、前記所定ビット信号と、前記所定ビット信号の反転信号とを生成する第 1 の制御回路と、
少なくとも、前記所定ビット信号、及び前記所定ビット信号の反転信号と、前記第 1 のワード線に対応するアドレス信号と、に基づき、前記第 1 及び第 2 のワード線の活性化を制御する第 2 の制御回路と、
を備えている、ことを特徴とする請求項 1 1 又は 1 2 記載の半導体記憶装置。

30

【請求項 1 4】

複数のメモリセルを有するセルアレイを有し、
前記セルアレイが、
第 1 及び第 2 のビット線よりなり 1 つのセンスアンプに共通に接続されるビット線対と、
第 1 のワード線にゲートが接続され、前記第 1 のビット線に、ドレインとソースのうちの一方が接続されている第 1 のメモリセルトランジスタと、前記第 1 のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第 1 の容量素子と、を含む第 1 のメモリセルと、
第 2 のワード線にゲートが接続され、前記第 2 のビット線に、ドレインとソースのうちの一方が接続されている第 2 のメモリセルトランジスタと、前記第 2 のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第 2 の容量素子と、を含む第 2 のメモリセルと、
を少なくとも備え、
ノーマルモードにおいて、前記第 1 及び第 2 のワード線は、互いに別のアドレスとされ、前記第 1 及び第 2 のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、

40

50

パーシャルモードにおいては、前記第 1 及び第 2 のワード線は、同一のアドレスとされ、前記第 1 及び第 2 のメモリセルは、2 つのセルで 1 ビットデータを相補に記憶保持するツインセルをなす半導体記憶装置の制御方法であって、前記ノーマルモードから前記パーシャルモードに切り替えられた場合に、ツインセルをなす前記第 1 及び第 2 のメモリセルのうち、コピー元の前記第 1 のメモリセルのセルデータをコピー先の前記第 2 のメモリセルに格納するにあたり、セルフリフレッシュ動作の周期を規定するリフレッシュタイマにより生成されるトリガ信号に基づき、前記第 1 及び第 2 のビット線よりなる前記ビット線対のプリチャージ期間に、前記第 2 のワード線を活性化するステップと、つづいて、前記ビット線のプリチャージを終了し、前記第 1 のワード線を活性化し、そののち、前記センスアンプを活性化して、前記ビット線対の差電圧を増幅し、前記第 1 のメモリセルのセルデータの前記第 1 及び第 2 のメモリセルへの書き戻しを行うステップと、を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項 15】

複数のメモリセルを有するセルアレイを有し、前記セルアレイが、第 1 及び第 2 のビット線よりなり 1 つのセンスアンプに共通に接続されるビット線対と、第 1 のワード線にゲートが接続され、前記第 1 のビット線に、ドレインとソースのうちの一方が接続されている第 1 のメモリセルトランジスタと、前記第 1 のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第 1 の容量素子と、を含む第 1 のメモリセルと、第 2 のワード線にゲートが接続され、前記第 2 のビット線に、ドレインとソースのうちの一方が接続されている第 2 のメモリセルトランジスタと、前記第 2 のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第 2 の容量素子と、を含む第 2 のメモリセルと、を少なくとも備え、ノーマルモードにおいて、前記第 1 及び第 2 のワード線は、互いに別のアドレスとされ、前記第 1 及び第 2 のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、パーシャルモードにおいては、前記第 1 及び第 2 のワード線は、同一のアドレスとされ、前記第 1 及び第 2 のメモリセルは、2 つのセルで 1 ビットデータを相補に記憶保持するツインセルをなす半導体記憶装置の制御方法であって、前記ノーマルモードから前記パーシャルモードに切り替えられた場合に、ツインセルをなす前記第 1 及び第 2 のメモリセルのうち、コピー元の前記第 1 のメモリセルのセルデータをコピー先の前記第 2 のメモリセルに格納するにあたり、セルフリフレッシュ動作の間隔を規定するリフレッシュタイマにより生成されるトリガ信号に基づき、前記第 1 及び第 2 のビット線よりなる前記ビット線対のプリチャージ終了後に、前記第 1 のワード線を活性化し、つづいて前記センスアンプを活性化し、活性化された前記センスアンプでは、前記ビット線対に現れた前記第 1 のメモリセルのセルデータを増幅するステップと、つづいて、前記第 1 のワード線及び前記センスアンプが活性化された状態で、前記第 2 のワード線を活性化し、前記第 1 のメモリセルのセルデータの前記第 2 のメモリセルへの書き戻しを行うステップと、を有し、前記パーシャルモードへ入ってから、前記セルアレイ中においてリフレッシュ動作による、ツインセルをなす 2 つのメモリセル間でのセルデータのコピーが少なくとも 1 巡するまでの間は、ツインセルを構成する 2 つのメモリセルに接続される 2 つのワード線のうち、コピーの元となる前記第 1 のメモリセルに接続される前記第 1 のワード線が活性化される期間は、ノーマルモード時におけるワード線の活性化期間と同一とされ、セルデータのコピー先の前記第 2 のメモリセルに接続される前記第 2 のワード線が活性化される期間は、前記ノーマルモード時におけるワード線の活性化期間よりも短期間とされる、ことを特徴

とする半導体記憶装置の制御方法。

【請求項 16】

複数のメモリセルを有するセルアレイを有し、

前記セルアレイが、

第 1 及び第 2 のビット線よりなり 1 つのセンスアンプに共通に接続されるビット線対と、
第 1 のワード線にゲートが接続され、前記第 1 のビット線に、ドレインとソースのうちの
一方が接続されている第 1 のメモリセルトランジスタと、前記第 1 のメモリセルトランジ
スタのドレインとソースのうちの他方に接続されてなる第 1 の容量素子と、を含む第 1 の
メモリセルと、

第 2 のワード線にゲートが接続され、前記第 2 のビット線に、ドレインとソースのうちの
一方が接続されている第 2 のメモリセルトランジスタと、前記第 2 のメモリセルトランジ
スタのドレインとソースのうちの他方に接続されてなる第 2 の容量素子と、を含む第 2 の
メモリセルと、

を少なくとも備え、

ノーマルモードにおいて、前記第 1 及び第 2 のワード線は、互いに別のアドレスとされ、
前記第 1 及び第 2 のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、
パーシャルモードにおいては、前記第 1 及び第 2 のワード線は、同一のアドレスとされ、
前記第 1 及び第 2 のメモリセルは、2 つのセルで 1 ビットデータを相補に記憶保持するツ
インセルをなす半導体記憶装置の制御方法であって、

前記ノーマルモードから前記パーシャルモードに切り替えられた場合に、ツインセルをな
す前記第 1 及び第 2 のメモリセルのうちコピー元の前記第 1 のメモリセルのセルデータを
コピー先の前記第 2 のメモリセルに格納するにあたり、

セルフリフレッシュ動作の間隔を規定するリフレッシュタイマにより生成されるトリガ信
号に基づき、前記第 1 及び第 2 のビット線よりなる前記ビット線対のプリチャージ期間に
、まず、前記第 2 のワード線を活性化して、前記第 2 のメモリセルにプリチャージ電圧を
書き込むステップと、

つづいて、次サイクルのトリガ信号に基づき、前記ビット線対のプリチャージを終了し、
前記第 1 及び第 2 のワード線を活性化し、さらに、前記センスアンプを活性化し、前記セ
ンスアンプは、前記ビット線対に現れた前記第 1 のメモリセルのデータを増幅し、前記第
1 のメモリセルのセルデータの、前記第 1 及び第 2 のメモリセルへの書き戻しを行うステ
ップと、

を含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項 17】

複数のメモリセルを有するセルアレイを有し、

前記セルアレイが、

第 1 及び第 2 のビット線よりなり 1 つのセンスアンプに共通に接続されるビット線対と、
第 1 のワード線にゲートが接続され、前記第 1 のビット線に、ドレインとソースのうちの
一方が接続されている第 1 のメモリセルトランジスタと、前記第 1 のメモリセルトランジ
スタのドレインとソースのうちの他方に接続されてなる第 1 の容量素子と、を含む第 1 の
メモリセルと、

第 2 のワード線にゲートが接続され、前記第 2 のビット線に、ドレインとソースのうちの
一方が接続されている第 2 のメモリセルトランジスタと、前記第 2 のメモリセルトランジ
スタのドレインとソースのうちの他方に接続されてなる第 2 の容量素子と、を含む第 2 の
メモリセルと、

を少なくとも備え、

ノーマルモードにおいて、前記第 1 及び第 2 のワード線は、互いに別のアドレスとされ、
前記第 1 及び第 2 のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、
パーシャルモードにおいては、前記第 1 及び第 2 のワード線は、同一のアドレスとされ、
前記第 1 及び第 2 のメモリセルは、2 つのセルで 1 ビットデータを相補に記憶保持するツ
インセルをなす半導体記憶装置の制御方法であって、

前記ノーマルモードから前記パーシャルモードに切り替えられた場合に、ツインセルをなす前記第1及び第2のメモリセルのうち、コピー元の前記第1のメモリセルのセルデータをコピー先の前記第2のメモリセルに格納するにあたり、セルフリフレッシュ動作の間隔を制御するリフレッシュタイマにより生成されるトリガ信号に基づき、前記第1のワード線を活性化し、つづいて前記センスアンプを活性化するステップと、

前記第1のワード線が活性化状態とされている期間に、前記第2のワード線を活性化し、前記第1のメモリセルのセルデータの前記第1及び第2のメモリセルへの書き戻しを行うステップと、

を有し、

セルデータのコピーにあたり、コピー元の前記第1のメモリセルに接続する前記第1のワード線は、前記ノーマルモード時におけるワード線の活性化期間よりも長期間、活性化状態とされ、コピー先の前記第2のメモリセルに接続する前記第2のワード線は、前記ノーマルモード時におけるワード線の活性化期間と同一期間、活性化状態とされ、

前記トリガ信号が出力され、前記第1のワード線が活性化されたのち、前記第2のワード線が活性化する前のタイミングで、リード/ライト・アクセスが発生した場合には、前記第1のワード線を、前記ノーマルモード時における活性化の期間と同一の期間だけ、活性化し、前記第2のワード線の活性化を中止して、リード/ライト動作を行うように制御するステップを含む、ことを特徴とする半導体記憶装置の制御方法。

【請求項18】

前記第1のワード線が活性化されており、且つ前記第2のワード線が活性化されたのち、リード/ライト・アクセスが発生した場合には、前記第1のワード線を、前記ノーマルモード時における活性化の期間よりも、長期間活性化し、前記第1のワード線を活性化したあとに活性化される前記第2のワード線を、前記ノーマルモード時における活性化の期間と同一の期間、活性化するステップと、

前記センスアンプの前記第1のメモリセルのセルデータの読み出しによる、前記第1のメモリセルのセルデータの前記第2のメモリセルへのコピーを行ったのち、リード/ライト動作を行うように制御するステップと、を含む、ことを特徴とする請求項17記載の半導体記憶装置の制御方法。

【請求項19】

前記トリガ信号の周期は、前記パーシャルモードへ入ってから、ツインセルをなす前記第1のメモリセルのセルデータの前記第2のメモリセルへのコピーを行うためのリフレッシュ動作を、前記セルアレイ中のメモリセルについて少なくとも1巡するまでの間（「リフレッシュ1周期」という）は、前記ノーマルモード時における前記トリガ信号の周期と同一とされ、

前記パーシャルモードにおいて、前記リフレッシュ1周期以降、前記トリガ信号の周期は、前記ノーマルモード時における前記トリガ信号の周期よりも長周期とされる、ことを特徴とする請求項14、16乃至18のいずれか一に記載の半導体記憶装置の制御方法。

【請求項20】

前記トリガ信号の周期は、前記パーシャルモードへ入ってから、ツインセルをなす前記第1のメモリセルのセルデータの前記第2のメモリセルへのコピーを行うためのリフレッシュ動作を、前記セルアレイ中のメモリセルについて予め定められた所定回数分巡回するまでの間、前記ノーマルモード時における前記トリガ信号の周期よりも短い又は同一の周期とされ、

前記パーシャルモードにおいて、前記リフレッシュ動作を前記予め定められた所定回数分巡回した以降、前記トリガ信号の周期は、前記ノーマルモード時における前記トリガ信号の周期よりも、長周期とされる、ことを特徴とする請求項15に記載の半導体記憶装置の制御方法。

【請求項21】

前記ビット線対のプリチャージ期間に、前記ビット線対は、高位側電源電圧と低位側電源

10

20

30

40

50

電圧の中間電圧にプリチャージされる、ことを特徴とする請求項 14 乃至 18 のいずれかに記載の半導体記憶装置の制御方法。

【請求項 22】

前記パースシャルモードにおいて、前記トリガ信号が長周期であるとき、ツインセルをなす前記第 1 及び第 2 のメモリセルに接続される前記第 1 及び第 2 のワード線を同一のタイミングで活性化するように制御する、ことを特徴とする請求項 14 乃至 18 のいずれかに記載の半導体記憶装置の制御方法。

【請求項 23】

1 つのセンスアンプに共通に接続される 2 本のビット線（「ビット線対」という）にそれぞれ接続される 2 つのメモリセルで 1 ビットのデータを相補に記憶保持する半導体記憶装置であって、

10

前記 2 つのメモリセルのうち一方のメモリセルのセルデータを他方のメモリセルのセルデータへコピーするにあたり、コピー先の前記他方のメモリセルのセルデータをリセットする手段と、

前記他方のメモリセルをリセットしたあと、前記一方のメモリセルに接続するワード線を活性化し、前記ビット線対に出力される前記一方のメモリセルのデータを前記センスアンプで増幅し、前記センスアンプから前記ビット線対を介して前記他方のメモリセルに、前記一方のメモリセルのセルデータを格納する手段と、

を含む、ことを特徴とする、半導体記憶装置。

【請求項 24】

20

前記他方のメモリセルのセルデータをリセットする手段が、

前記ビット線対を、高位側電源電圧と低位側電源電圧の中間電圧のプリチャージ電圧でプリチャージする期間に、前記他方のメモリセルに接続するワード線を活性化し、前記他方のメモリセルに中間電圧を書き込む、ことを特徴とする、請求項 23 記載の半導体記憶装置。

【請求項 25】

前記 2 つのメモリセルが、2 つのワード線にそれぞれ接続されており、

ノーマルモードでは、前記 2 つのワード線は別のアドレスとされ、

前記 2 つのメモリセルで 1 ビットデータを相補で記憶保持するツインセルモードの場合に、前記 2 つのメモリセルのうち一方のメモリセルのセルデータを他方のメモリセルのセルデータへコピーした後に、前記 2 つのワード線が同一のアドレスとされ、前記 2 つのワード線を同一タイミングで活性化するように制御する手段を備えている、ことを特徴とする、請求項 23 記載の半導体記憶装置。

30

【請求項 26】

前記メモリセルのリフレッシュ動作を指示するトリガ信号に基づき、前記 2 つのメモリセルのうち一方のメモリセルのセルデータの他方のメモリセルへのコピーを行うように制御する手段を備えている、ことを特徴とする、請求項 23 記載の半導体記憶装置。

【請求項 27】

1 つのセンスアンプに共通に接続される 2 つのビット線（「ビット線対」という）にそれぞれ接続される 2 つのメモリセルで 1 ビットのデータを相補に記憶保持する半導体記憶装置の制御方法であって、

40

前記 2 つのメモリセルのうち一方のメモリセルのセルデータを他方のメモリセルのセルデータへコピーするにあたり、前記他方のメモリセルのセルデータをリセットするステップと、

前記他方のメモリセルをリセットしたあと、前記一方のメモリセルに接続するワード線を活性化し、前記ビット線対に出力される前記一方のメモリセルのデータを前記センスアンプで増幅し、前記センスアンプから前記ビット線を介して前記他方のメモリセルに、前記一方のメモリセルのセルデータを格納するステップと、

を含むことを特徴とする、半導体記憶装置の制御方法。

【請求項 28】

50

前記他方のメモリセルのセルデータをリセットするステップが、
前記ビット線対を、高位側電源電圧と低位側電源電圧の中間電圧のプリチャージ電圧でプリチャージする期間に、前記他方のメモリセルに接続するワード線を活性化することで、前記他方のメモリセルに中間電圧を書き込むステップを含む、ことを特徴とする、請求項 27 記載の半導体記憶装置の制御方法。

【請求項 29】

前記 2 つのメモリセルが、2 つのワード線にそれぞれ接続されており、
ノーマルモードでは、前記 2 つのワード線は別のアドレスとされ、
前記 2 つのメモリセルで 1 ビットデータを相補で記憶保持するツインセルモードの場合に、前記 2 つのメモリセルのうち一方のメモリセルのセルデータを他方のメモリセルのセルデータへコピーした後、前記 2 つのワード線は同一のアドレスとされ、同一のタイミングで活性化される、ことを特徴とする、請求項 27 記載の半導体記憶装置の制御方法。 10

【請求項 30】

前記 2 つのメモリセルのうち一方のメモリセルのデータを他方のメモリセルにコピーする動作が、ダイナミック型のメモリセルのリフレッシュ動作を指示するトリガ信号に基づき行われる、ことを特徴とする、請求項 27 記載の半導体記憶装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置とその制御方法に関し、特に、2 つのメモリセルで 1 ビットデータを格納するモードを有する半導体記憶装置のリフレッシュ制御に関する。 20

【0002】

【従来の技術】

従来のツインセル DRAM (ダイナミックランダムアクセスメモリ) について説明する。
図 14 は、従来のツインセル DRAM を説明するための図である。図 14 を参照すると、セルアレイ 11 は、1 つのセンスアンプ (SA) 12 に共通に接続されている第 1 及び第 2 のビット線 B、/B よりなるビット線対を有し、第 1 のワード線 WL1 と第 1 のビット線 B に接続された第 1 のメモリセル MC1 と、第 2 のワード線 WL2 と第 2 のビット線 /B に接続されている第 2 のメモリセル MC2 とを備えている。1 ビット・1 セルのノーマルモード (通常動作) 時には、第 1 及び第 2 のワードドライバ WD1、WD2 でそれぞれ駆動される第 1 及び第 2 のワード線 WL1、WL2 は別のアドレスとされ、第 1、第 2 のメモリセルには別々のデータが書き込まれ、また別々に読み出しが行われる。一方、低消費電力を図るスタンバイ時等のパーシャルモード (「ツインセルモード」ともいう) においては、第 1 及び第 2 のワード線 WL1、WL2 は、同一のアドレスとされ、第 1 及び第 2 のワードドライバ WD1、WD2 によって同一のタイミングで高電圧で駆動される。ノーマルモードからパーシャルモードに切り替わった時点で、例えば第 1 のメモリセル MC1 のデータを、第 2 のメモリセル MC2 へコピーして保存することで、1 ビット情報を、2 つのメモリセルで相補で記憶する。かかる構成により、ダイナミック型セルのホールド特性が向上し、周期的に行われるリフレッシュ動作の間隔が、1 ビット / 1 セルの場合と比べて特段に長期化可能とされ、その結果、リフレッシュ動作による消費電流が低減され、スタンバイ時の消費電流の低減を図ることができる。 30 40

【0003】

近時、半導体記憶装置として、DRAM に採用されているものと同じメモリセルを使用しながら、外部から見たときに SRAM (スタティック・ランダム・アクセス・メモリ) と同じ仕様を持った「擬似 SRAM」と呼ばれるものが知られており、SRAM と DRAM の長所をそれぞれとりいれた半導体記憶装置として携帯機器等に好適とされる。擬似 SRAM は、DRAM のように、行アドレス、列アドレスに分けて別々に与える必要はなく、そのため RAS、CAS のようなタイミング信号も必要としない。擬似 SRAM では汎用 SRAM と同様アドレスを一度に与えるだけでよく、クロック同期型半導体記憶装置のクロックに相当するチップイネーブル信号をトリガにしてアドレスを内部に取りこんで読み 50

出し（リード）／書き込み（ライト）を行っている。さらに、外部からリフレッシュ制御をしなくても済むようにして、汎用 S R A M と全く同じ仕様で動作させるようにした、非同期の疑似 S R A M において、リフレッシュによって通常のアクセスが影響されたり書き込みの連続によってリフレッシュができなくなったりするという問題を生じることが知られている。この問題を解消することを目的の 1 つとして、入力アドレス信号にตอบสนองして生成されるアドレス変化検出信号にตอบสนองしてリフレッシュアドレス信号に対応するメモリセルのリフレッシュを行ってから、入力アドレス信号に対応するメモリセルにアクセスする構成とした半導体記憶装置を、本願発明者らはすでに提案している（例えば特許文献 1 参照）。疑似 S R A M では、ノーマル動作のすきまに、リフレッシュ時間を設定されており、リフレッシュ動作に必要なパルス幅を広げることができない。これは、アクセスタイム、サイクル特性の悪化を招くためである。そして、上記特許文献 1 に記載されているような、リフレッシュしてからリード／ライト動作を行う非同期型 S R A M 互換の D R A M においても、リフレッシュ動作を広げることが、そのままアクセスタイムの悪化となるため、好ましくない。また、携帯端末、ネットワークのスイッチング機能、ルーチング機能等に組み込まれる高速・同期型 S R A M のセルアレイを D R A M で構成した場合においても、性能仕様の点から、リフレッシュ動作の時間を広げることが難しい。

10

20

30

40

50

【 0 0 0 4 】

ところで、図 1 4 に示すツインセル D R A M において、ノーマルモードからパーシャルモードに切り替わったとき、図 1 5 (A) に示すように、第 1 及び第 2 のワード線 W L 1、W L 2 を同時に選択すると、第 1 のメモリセルのデータを第 2 のメモリセルへ保存する場合、2 つのメモリセルのデータが衝突し、データが破壊されることがある。すなわち、図 1 4 を参照すると、パーシャルモードでは、ツインセルをなす第 1 のメモリセル M C 1 と第 2 のメモリセル M C 2 で 1 ビットデータを相補で保持する。ノーマルモード時に、第 1 及び第 2 のメモリセルがともに H I G H データを記憶している場合、パーシャルモードに入った時点で、第 1 のメモリセル M C 1 のセルデータを読み出して第 2 のメモリセル M C 2 に書き込む場合、第 1 及び第 2 のワード線 W L 1、W L 2 を同時に選択すると、第 1 及び第 2 のメモリセルはともに H I G H 電圧で相補のビット線対 B、/ B を駆動するため、ビット線対 B、/ B の差電圧がひらかず、ビット線対の差電圧をセンスアンプ 1 2 で差動増幅して、第 1、第 2 のメモリセルに書き戻すと、第 1、第 2 のメモリセルのデータが壊れる。

【 0 0 0 5 】

また図 1 5 (B) に示すように、第 1 のワード線 W L 1 を選択し（パルス幅 t_0 はノーマルモード時とワード線のパルス幅と同一）、センスアンプ 1 2 による読み出しによる第 1 のメモリセル M C 1 のリストア（書き戻し）を行ったあと、第 2 のワード線 W L 2 を選択して第 2 のメモリセル M C 2 への第 1 のメモリセル M C 1 のセルデータの書き込みを行う構成とした場合、リフレッシュ期間が延びる。すなわち、リード／ライト（R E A D / W R I T E）アクセスは、リフレッシュ動作が終了するまで待ち状態とされる。上記した疑似 S R A M 等のように S R A M インタフェース準拠のメモリにおいて、外部コントローラとの間でリフレッシュ制御信号のやり取りを行う外部端子を具備していない場合、リフレッシュ動作を終了した後に、R E A D / W R I T E 動作を行うように、あらかじめタイミング設計を行っておく必要があり、結果として、アクセスタイムが増大する。

【 0 0 0 6 】

なお、ノーマルモード時に、1 ビット / 1 セルでデータを保持している状態から 1 ビット / 2 セルで情報を保持するツインセルモードに移行し、ツインセルモードにおいて、2 本のサブワード線を同時に選択状態にして、対をなすビット線とともに、メモリセルの記憶データを読み出してセンス動作を実行する半導体記憶装置が知られている（たとえば特許文献 2）。上記特許文献 2（第 1 0 図）には、例えば本願添付図面図 1 6 に示すように、サブワード線 S W L L < 0 > を選択状態に駆動（活性化）し、サブワード線 S W L L < 0 > に接続されるセルのデータが対応ビット線上に読み出され（図 1 6 では H I G H レベルデータが読み出されている）、他方のビット線にはメモリセルは接続されていないため、

読み出し電圧 $V_2 = 0$ であり、プリチャージ電圧レベルを維持している。ついでセンスアンプ活性化信号 SON 、 $ZSOP$ (図14のセンスイネーブル信号 SE に対応) を活性化し、1つのメモリセルに格納されたデータをセンスアンプにより検知して増幅し、ラッチする。このセンス動作が完了し、ビット線電位がアレイ電源電圧 V_{CCS} 及び接地電圧レベルに駆動されたのち、対をなすサブワード線 $SWLR < 1 >$ を選択状態に駆動する。このサブワード線 $SWLR < 1 >$ に接続するメモリセルは、センスアンプにより増幅されラッチされたデータが格納される。すなわち、サブワード線 $SWLL < 0 >$ 、 $SWLR < 1 >$ に接続されるセル1、セル2には、相補なデータが格納される。所定時間経過後、サブワード線 $SWLL < 0 >$ 、 $SWLR < 1 >$ を非選択状態に駆動し、ついでセンスアンプ活性化信号 SON 、 $ZSOP$ を非活性化し、これにより、セル1のデータをセル2に移動させ、ツインセルモードの単位セルへのデータの書き込みが完了する。このセルデータの書き込みは、図15(B)に示した方法と同様である。

10

【0007】

また1ビット/1セル、1ビット/2セルモードを有する半導体記憶装置として例えば2セルが同一ビット線に接続される構成も知られている(例えば特許文献3)。さらに、ツインセルモードの2つのセルのデータが相補の関係をなし、2つのセルが同一のワード線に接続され、1ビット/1データへの切替が行われない半導体記憶装置も知られている(例えば特許文献4)。

【0008】

また、後述される本発明の実施例で説明されるダイナミック型のメモリセルに中間電圧を書き込む構成に関して、ビット線対を $1/2 V_{BLH}$ にプリチャージし、ダミーワード線を活性化させることで、通常メモリセルと同じ構造、容量のダミーセルに $1/2 V_{BLH}$ を書き込む方式を採用する構成が知られている(例えば特許文献5)。

20

【0009】

【特許文献1】

特開2002-74944号公報(第8頁、第1図参照)

【特許文献2】

特開2002-170386号公報(第20頁、第10図参照)

【特許文献3】

特開2000-057763号公報(第4頁、第4図参照)

30

【特許文献4】

特開2001-143463号公報(第3、第4頁、第1図参照)

【特許文献5】

特開2001-307479号公報(第4頁、第10図参照)

【0010】

【発明が解決しようとする課題】

したがって、本発明の目的は、パーシャルモード移行時におけるツインセルのデータのコピー時間の短縮化を図り、リフレッシュ動作によるアクセスタイムの増大を抑止する半導体記憶装置及びその制御方法を提供することにある。

【0011】

40

また本発明の他の目的は、パーシャルモード移行時におけるツインセルのデータを正しく書き込むことを可能とした半導体記憶装置及びその制御方法を提供することにある。さらに本発明は、通常モードから待機モードに移り、パーシャルモードへの移行中に急に読み出し/書き込み要求があった場合にも、所定のアクセス時間内での読み出し/書き込みを可能とした半導体記憶装置及びその制御方法を提供することもその目的としている。

【0012】

【課題を解決するための手段】

前記目的を達成する本発明の1つのアспект(側面)に係る半導体記憶装置は、1つのセンスアンプに共通に接続される2つのビット線(「ビット線対」という)にそれぞれ接続される2つのメモリセルで1ビットのデータを相補に記憶保持する半導体記憶装置にお

50

いて、前記2つのメモリセルのうち一方のメモリセルのセルデータを他方のメモリセルのセルデータへコピーするにあたり、前記他方のメモリセルのセルデータをリセットし、前記他方のメモリセルをリセットしたあと、前記一方のメモリセルに接続するワード線を活性化し、前記ビット線対に出力される前記一方のメモリセルのデータを前記センスアンプで増幅し、前記センスアンプから前記ビット線を介して前記他方のメモリセルに、前記一方のメモリセルのセルデータを格納する。本発明においては、前記ビット線対を、高位側と低位側の電源電圧の中間電圧値のプリチャージ電圧でプリチャージする期間に、前記他方のメモリセルに接続するワード線を活性化し、前記他方のメモリセルに中間電圧値を書き込むことで、前記他方のメモリセルのセルデータをリセットする。本発明においては、前記2つのメモリセルが、2つのワード線にそれぞれ接続されており、ノーマルモードでは、前記2つのワード線は別のアドレスとされ、前記2つのメモリセルで1ビットデータを相補で記憶保持するツインセルモードの場合に、前記2つのメモリセルのうち一方のメモリセルのセルデータを他方のメモリセルのセルデータへコピーした後に、前記2つのワード線が同一のアドレスとされ、同一タイミングで活性化するように制御する。本発明においては、前記メモリセルのリフレッシュ動作を指示するトリガ信号に基づき、前記2つのメモリセルのうち1方のメモリセルのセルデータの他方のメモリセルへのコピーが行われる。

10

【0013】

本発明の他のアспект(側面)に係る半導体記憶装置は、複数のメモリセルを有するセルアレイを有し、前記セルアレイが、第1及び第2のビット線よりなり1つのセンスアンプに共通に接続されるビット線対と、第1のワード線にゲートが接続され、前記第1のビット線に、ドレインとソースのうちの一方が接続されている第1のメモリセルトランジスタと、前記第1のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第1の容量素子と、を含む第1のメモリセルと、第2のワード線にゲートが接続され、前記第2のビット線に、ドレインとソースのうちの一方が接続されている第2のメモリセルトランジスタと、前記第2のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第2の容量素子と、を含む第2のメモリセルと、を少なくとも備え、ノーマルモードにおいて、前記第1及び第2のワード線は、互いに別のアドレスとされ、前記第1及び第2のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、パーシャルモードにおいては、前記第1及び第2のワード線は、同一のアドレスとされ、前記第1及び第2のメモリセルは、2つのセルで1ビットデータを相補に記憶保持するツインセルをなし、モードの切り替えを制御する制御信号に基づき、前記ノーマルモードから前記パーシャルモードに切り替えられた場合に、ツインセルをなす前記第1及び第2のメモリセルのうち、コピー元の前記第1のメモリセルのセルデータをコピー先の前記第2のメモリセルに格納するにあたり、セルフリフレッシュ動作の間隔を規定するリフレッシュタイマにより生成されるトリガ信号に基づき、前記第1及び第2のビット線よりなる前記ビット線対のプリチャージ期間に、前記第2のワード線が活性化され、前記第2のメモリセルにプリチャージ電圧が書き込まれ、つづいて、前記ビット線対のプリチャージが終了し、前記第1のワード線が活性化され、そののち、前記センスアンプが活性化され、前記センスアンプが前記ビット線対の差電圧を増幅し、前記第1のメモリセルのセルデータの

の前記第1及び第2のメモリセルへの書き戻しが行われる、構成とされている。本発明において、前記パーシャルモードへ入ってから、ツインセルをなす前記第1のメモリセルのセルデータの前記第2のメモリセルへのコピーを行うためのリフレッシュ動作を、前記セルアレイ中のメモリセルについて少なくとも1巡するまでの間(「リフレッシュ1周期」という)は、前記ノーマルモード時における前記トリガ信号の周期と同一とされ、前記パーシャルモードにおいて、前記リフレッシュ1周期以降、前記トリガ信号の周期は、前記ノーマルモード時における前記トリガ信号の周期よりも、長周期とされる。以下の説明からも明らかとされるように、上記目的は、本願特許請求の範囲の各請求項によっても同様にして達成される。

20

30

40

【0014】

50

【発明の実施の形態】

本発明の好ましい実施の形態について以下に説明する。本発明に係る半導体記憶装置は、その好ましい一実施の形態において、図3を参照すると、複数のメモリセルを有するセルアレイ(11)が、少なくとも、第1及び第2のビット線(B、/B)よりなりセンスアンプ(SA)に共通に接続されるビット線対と、第1のワード線(WL1)にゲートが接続され、第1のビット線(B)にそれぞれ、ドレインとソースのうちの一方が接続されているメモリセルトランジスタ(NM1)と、メモリセルトランジスタ(MC1)のドレインとソースのうちの他方に接続されてなる容量素子(C1)と、を含む第1のメモリセル(MC1)と、第2のワード線(WL2)にゲートが接続され、第2のビット線(/B)にドレインとソースのうちの一方が接続されているメモリセルトランジスタ(NM2)と、メモリセルトランジスタ(NM2)のドレインとソースのうちの他方に接続されてなる容量素子(C2)と、を含む第2のメモリセル(MC2)と、を備えている。ノーマルモードにおいて、第1及び第2のワード線(WL1、WL2)は、別のアドレスとされ、第1及び第2のメモリセル(MC1、MC2)には、別々のデータが書き込まれ、及び別々に読み出しが行われ、パーシャルモード(ツインセルモード)においては、第1及び第2のワード線(WL1、WL2)は、同一のアドレスとされ、前記第1及び第2のメモリセルで1ビットデータを相補に記憶する構成とされている。

10

【0015】

本実施形態において、ノーマルモードからパーシャルモードに切り替えられたときに、ツインセルをなす2つのメモリセルのうち第1のメモリセル(MC1)のセルデータを第2のメモリセル(MC2)へ格納するにあたり、セルフリフレッシュ動作の間隔を制御するリフレッシュタイマ(図3の23)によって生成されるトリガ信号に基づき、第1及び第2のビット線(B、/B)よりなるビット線対のプリチャージ期間に、第2のワード線(WL2)を活性化し、つづいてプリチャージを終了し、前記トリガ信号を遅延させた信号に基づき、第1のワード線(WL1)を活性化し、そののち、センスアンプ(SA)を活性化して、ビット線対の差電圧を増幅し、センスアンプ(SA)よりビット線対を介して、第1のメモリセル(MC1)のセルデータの第1及び第2のメモリセル(MC1、MC2)への書き戻しを行う構成とされている。

20

【0016】

本実施の形態においては、トリガ信号を遅延させる遅延回路(図3の27)を備え、遅延回路で遅延させたトリガ信号に基づきワンショットパルスを生成する第1のパルス生成回路(28)と、リフレッシュタイマ(23)からのトリガ信号に基づきワンショットパルスを生成する第2のパルス生成回路(29)と、を備え、第1のパルス生成回路(28)の出力信号は、第1のワード線WL1を駆動する第1のワードドライバWD1に入力され、第1のパルス生成回路(28)の出力信号と第2のパルス生成回路(29)の出力信号を入力とし一方を選択する選択回路(26)を備え、選択回路(26)の出力信号は、前記第2のワード線を駆動する第2のワードドライバ(WD2)に入力される。選択回路(26)では、パーシャルモードへ入ってから、ツインセルをなす前記第1のメモリセルのセルデータの前記第2のメモリセルへのコピーを行うためのリフレッシュ動作を、前記セルアレイ中のメモリセルについて少なくとも1巡するまでの間(「リフレッシュ1周期」という)、第2のパルス生成回路(29)の出力信号を前記第2のワードドライバ(WD2)に供給し、リフレッシュ1周期以降、前記第1のパルス生成回路(28)の出力信号を第2のワードドライバ(WD2)に供給するように構成してもよい。

30

40

【0017】

本実施形態において、リフレッシュタイマにより生成される前記トリガ信号の周期は、パーシャルモードへ入ってから、ツインセルをなす第1のメモリセルのセルデータの第2のメモリセルへのコピーを行うためのリフレッシュ動作を、セルアレイ中のメモリセルについて少なくとも1巡するまでの間(「リフレッシュ1周期」という)は、ノーマルモード時の周期と同一の周期(ショート周期)とされ、リフレッシュ1周期以降、リフレッシュタイマにより生成される信号を分周した信号がトリガ信号として用いられ、リフレッシュ

50

トリガ周期が、ノーマルモード時の周期（ショート周期）よりも長周期とされる（ロング周期）。

【0018】

本発明に係る半導体記憶装置は、別の実施の形態において、ノーマルモードからパーシャルモードに切り替えられた場合に、ツインセルをなす第1及び第2のメモリセルのうち、コピー元の第1のメモリセル（MC1）のセルデータをコピー先の第2のメモリセル（MC2）に格納するにあたり、図6を参照すると、セルフリフレッシュ動作の間隔を規定するリフレッシュタイマにより生成されるトリガ信号に基づき、前記第1及び第2のビット線よりなる前記ビット線対のプリチャージ終了後に、第1のワード線（WL1）が活性化され、つづいてセンスアンプ活性化信号（センスイネーブル）（SE）を活性化することで、センスアンプ（SA）が活性化され、活性化されたセンスアンプ（SA）は、前記ビット線対に現れた第1のメモリセル（MC1）のセルデータを増幅し、つづいて、第1のワード線（WL1）及びセンスアンプ（SA）が活性化された状態で第2のワード線（WL2）が活性化され、第1のメモリセル（MC1）のセルデータの前記第2のメモリセル（MC2）への書き戻しが行われる。この実施の形態では、リフレッシュタイマにより生成される前記トリガ信号の周期は、パーシャルモードへ入ってから、ツインセルをなす第1のメモリセルのセルデータの第2のメモリセルへのコピーを行うためのリフレッシュ動作を、セルアレイ中のメモリセルについて、予め定められた所定回数巡回する（例えば2又は3巡する）までの間、前記ノーマルモード時の周期よりも短い又は同一の周期とされ、その後、前記リフレッシュタイマにより生成されるトリガ信号の周期が、前記ノーマルモード時の周期よりも長周期とされる（図5参照）。

10

20

【0019】

本発明に係る半導体記憶装置は、別の実施の形態において、ノーマルモードからパーシャルモードに切り替えられた場合に、ツインセルをなす前記第1及び第2のメモリセルのうちコピー元の第2のメモリセル（MC2）のセルデータを、コピー先の第1のメモリセル（MC1）に格納するにあたり、図8を参照すると、セルフリフレッシュ動作の間隔を規定するリフレッシュタイマにより生成されるトリガ信号に基づき、第1及び第2のビット線よりなるビット線対のプリチャージ期間に、まず、第1のワード線（WL1）が活性化され、第1のメモリセル（MC1）にプリチャージ電圧が書き込まれ、つづいて、次サイクルのトリガ信号に基づき、前記ビット線対のプリチャージが終了し、前記第1及び第2のワード線（WL1、WL2）が活性化され、さらに、センスアンプ活性化信号（SE）が活性化されて、センスアンプ（SA）が活性化され、センスアンプ（SA）は、ビット線対（B、/B）に現れた第1のメモリセル（MC1）のセルデータを増幅し、第1のメモリセルのセルデータの第1、第2のメモリセルへの書き戻しが行われる。

30

【0020】

本発明に係る半導体記憶装置は、別の実施の形態において、ノーマルモードからパーシャルモードに設定されたときに、ツインセルをなす2つのメモリセルのうち第1のメモリセル（MC1）のデータを第2のメモリセル（MC2）へ格納するにあたり、図9を参照すると、セルフリフレッシュ動作の間隔を制御するリフレッシュタイマにより生成されるトリガ信号に基づき、第1のワード線（Word1）を活性化し、センスアンプ（SA）を活性化し、第1のワード線（Word1）を活性化状態としたまま、つづいて第2のワード線（Word2）を活性化し、第1のメモリセル（MC1）のデータの前記第1及び第2のメモリセルへの書き戻しを行う構成とされ、第1のワード線（Word1）は、ノーマルモード時よりも長期間（ノーマルモード時の2倍程度）、活性化状態とされ、第2のワード線（Word2）は、ノーマルモード時と同一期間、活性化状態とされる。第1のワード線（Word1）の活性化期間が長くなるため、この期間に、リード/ライト・アクセスが生じた場合、リフレッシュ動作を中断するようにしている。

40

【0021】

そして、本実施の形態においては、トリガ信号が出力され、第1のワード線（Word1）が活性化されたのち、第2のワード線（Word2）が活性化する前のタイミングで、

50

リード/ライト・アクセスが発生した場合（例えばチップセレクト信号が活性化された場合）、第1のワード線（Word 1）を、ノーマルモード時と同一の期間活性化した後、非活性化させ（例えば図9（C）の信号Word 1の「*」で示す破線参照）、第2のワード線（Word 2）の活性化を中止し（例えば図9（C）の信号Word 2の「*」で示す破線参照）、選択されたワード線に関するメモリセルのリード/ライト動作が行われる。

【0022】

また、本実施の形態においては、図10（B）に示すように、リフレッシュ用のトリガ信号に基づき、第1のワード線（Word 1）が活性化された状態で、第2のワード線（Word 2）が活性化したのち、リード/ライト・アクセスが発生した場合（例えばチップセレクト信号が活性化された場合）、第1のワード線（Word 1）は、ノーマルモード時よりも長い期間、例えば2倍の期間（ $2t_0$ ）、活性化させ、第2のワード線（Word 2）は、ノーマルモード時と同一の期間（ t_0 ）活性化されて、書き戻しを行ったのち、選択されたワード線に関するメモリセルのリード/ライト動作が行われる。

10

【0023】

上記した本発明の実施の形態において、ビット線対のプリチャージ期間に、ビット線対は、高位側電源電圧VCCと低位側電源電圧GNDの中間電圧 $1/2VCC$ にプリチャージされ、プリチャージ期間に活性化されたワード線（例えば第2のワード線の活性化）側のメモリセルには、中間電圧が書き込まれ、セルデータのリセットが行われる。リフレッシュトリガ信号に基づき、ツインセルをなす2つのメモリセルのうち1つのメモリセルから他のメモリセルへのセルデータのコピー動作に、セルアレイ中のツインセルをなすそれぞれのメモリセルについて少なくとも1巡したのち、前述したように、リフレッシュトリガ信号は長周期とされ、且つ、ツインセルをなす2つのメモリセルに接続される第1及び第2のワード線は同時に活性化される。

20

【0024】

本発明の一実施の形態においては、リフレッシュ用のトリガ信号を通常周期と長周期とに切り替えるための手段として、図12を参照すると、カウントアップ時のオーバフロー信号をトリガ信号として出力するリフレッシュタイマ（31）と、リフレッシュタイマ（31）からのトリガ信号を分周する分周回路（32）とを備え、ノーマルモードとパーシャルモードの切り替えを制御するモード信号（MODE）と、チップセレクト信号（/CS）との論理演算をとる論理ゲート（37）と、論理ゲート（37）の出力に基づき、パーシャルモードであり、且つ、チップセレクト信号が非活性化状態のとき、トリガ信号の周期をノーマルモード時と同じショート周期とし、その後、トリガ信号の周期を長周期に切替を行うための制御を行うリフレッシュ周期判定回路（38）と、リフレッシュ周期判定回路（38）の判定結果に基づき、リフレッシュタイマ（31）からの出力信号と分周回路（32）の分周信号のいずれかを選択してトリガ信号として出力する選択回路（33）と、を備えている。

30

【0025】

本発明の一実施の形態においては、選択回路（図12の33）から出力されるトリガ信号と、リフレッシュ周期判定回路（図12の38）の出力信号、及び、論理ゲート（図12の37）の出力信号と、リフレッシュアドレスの最下位ビット信号とに基づき、セルアレイのビット線対のプリチャージとセンスアンプ（SA）の活性化を制御する信号を生成する回路（図12の40）と、アドレスの変化又は前記トリガ信号に基づき前記セルアレイの活性化を制御するワンショットパルス（「コア活性化パルス」）を生成するパルス生成器（図11の30）と、前記コア活性化パルスと前記プリチャージとセンスアンプの活性化を制御する信号との否定論理積演算結果をプリチャージ回路に供給する第1の論理ゲート（図11の17）と、コア活性化パルスと前記プリチャージと前記センスアンプの活性化を制御する信号との論理積演算結果をプリチャージ回路に供給する第2の論理ゲート（図11の18）と、を備えている。トリガ信号がアクティブとなった場合に、リフレッシュアドレスの最下位ビット信号X0'が、例えば"0"のとき、センスアンプ（SA）は

40

50

活性化させず、ビット線対のプリチャージのみとし、リフレッシュアドレスの最下位ビット信号が例えば「1」のとき、センスアンプ(SA)を活性化させる制御を行う。このように、リフレッシュアドレスの最下位ビット信号は、交番の制御に用いられる。例えば図8の「*1」、「*2」のタイミングにおいて、タイミング「*1」では、第1のワード線WL1が活性化され、ビット線対はプリチャージされ、タイミング「*2」では、第1及び第2のワード線WL1、WL2が活性化され、センスアンプ活性化信号(SE)が活性化されている。

【0026】

本発明の一実施の形態においては、リフレッシュアドレス信号の所定のビット信号と、前記リフレッシュ周期切替判定回路の出力と、前記論理ゲートの出力に基づき、前記ビット信号に対応する第1の信号と前記第1の信号の相補信号(例えばX0、/X0)を生成する回路(図12の41)、Xアドレス信号(X1)とに基づき、第1及び第2のワード線(WL1、WL2)の活性化を制御するデコード回路(図11の論理ゲート13、14、15、16)を備えている。

10

【0027】

本発明に係る実施の形態の半導体記憶装置の制御方法は、複数のメモリセルを有するセルアレイが、第1及び第2のビット線よりなり1つのセンスアンプ(SA)に共通に接続されるビット線対と、第1のワード線(WL1)にゲートが接続され、前記第1のビット線に、ドレインとソースのうちの一方が接続されている第1のメモリセルトランジスタと、前記第1のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第1の容量素子と、を含む第1のメモリセル(MC1)と、第2のワード線(WL2)にゲートが接続され、前記第2のビット線に、ドレインとソースのうちの一方が接続されている第2のメモリセルトランジスタと、前記第2のメモリセルトランジスタのドレインとソースのうちの他方に接続されてなる第2の容量素子と、を含む第2のメモリセル(MC2)と、を少なくとも備え、ノーマルモードにおいて、前記第1及び第2のワード線は、互いに別のアドレスとされ、前記第1及び第2のメモリセルでは、別々に、データの書き込み及び読み出しが行われ、パーシャルモードにおいては、前記第1及び第2のワード線は、同一のアドレスとされ、前記第1及び第2のメモリセルは、2つのセルで1ビットデータを相補に記憶保持するツインセルをなし、ノーマルモードから前記パーシャルモードに切り替えられた場合に、ツインセルをなす第1及び第2のメモリセルのうちコピー元の第1のメモリセルのセルデータをコピー先の第2のメモリセルに格納するにあたり、以下のステップを有する。

20

30

【0028】

ステップA: ノーマルモードからパーシャルモードへの切り替えの際に、前記第1のメモリセル(MC1)のセルデータを第2のメモリセル(MC2)へ格納するにあたり、セルフリフレッシュ動作の間隔を制御するリフレッシュタイマにより生成されるトリガ信号に基づき、前記第1及び第2のビット線よりなる前記ビット線対のプリチャージ期間に第2のワード線(WL2)を活性化する。

【0029】

ステップB: つづいてプリチャージを終了し、前記トリガ信号を遅延させた信号に基づき、前記第1のワード線(WL1)を活性化し、そののち、前記センスアンプを活性化して、前記ビット線対の差電圧を増幅し、前記第1のメモリセルのセルデータの前記第1及び第2のメモリセルへの書き戻しを行う。

40

【0030】

本発明において、前記リフレッシュタイマにより生成される前記トリガ信号の周期は、パーシャルモードへ入ってから、少なくとも、前記セルアレイ中のメモリセルを1回リフレッシュする間(「リフレッシュ1周期」という)は、前記ノーマルモード時の周期と同一の周期とされ、前記リフレッシュ1周期以降、前記リフレッシュタイマにより生成されるトリガ信号の周期を、前記ノーマルモード時の周期よりも長周期とされる。

【0031】

50

本発明に係る実施の形態の半導体記憶装置の制御方法は、ノーマルモードから前記パーシャルモードに切り替えられた場合に、ツインセルをなす第1及び第2のメモリセルのうちコピー元の第1のメモリセルのセルデータをコピー先の第2のメモリセルに格納するにあたり、以下のステップを有する。

【0032】

ステップA：セルフリフレッシュ動作の間隔を規定するリフレッシュタイムにより生成されるトリガ信号に基づき、第1及び第2のビット線よりなる前記ビット線対のプリチャージ終了後に、前記第1のワード線(WL1)を活性化し、つづいて前記センスアンプを活性化し、活性化された前記センスアンプでは、前記ビット線対に現れた前記第1のメモリセル(MC1)のセルデータを増幅する。

10

【0033】

ステップB：つづいて、前記第1のワード線(WL1)及び前記センスアンプ(SA)が活性化された状態で、前記第2のワード線(WL2)を活性化し、前記第1のメモリセル(MC1)のセルデータの前記第2のメモリセル(MC2)への書き戻しを行う。

【0034】

パーシャルモードへ入ってから、前記セルアレイ中においてリフレッシュ動作による、ツインセルをなす2つのメモリセル間でのセルデータのコピーが少なくとも1巡するまでの間は、ツインセルを構成する2つのメモリセルに接続される2つのワード線のうち、コピーの元となる第1のメモリセルに接続される前記第1のワード線が活性化される期間は、ノーマルモード時のワード線の活性化期間(=t0)と同一とされ、セルデータのコピー先の前記第2のメモリセルに接続される前記第2のワード線が活性化される期間は、前記ノーマルモード時のワード線活性化期間よりも短期間とされる。あるいは、本発明において、前記リフレッシュタイムにより生成される前記トリガ信号の周期は、パーシャルモードへ入ってから、少なくとも、前記セルアレイ中のメモリセルのリフレッシュを、所定回数巡回する(例えば2又は3巡する)までの間は、前記ノーマルモード時の周期よりも短い、または同一の周期とされ、それ以降、前記リフレッシュタイムにより生成されるトリガ信号の周期は、前記ノーマルモード時の周期よりも長周期とされる。

20

【0035】

本発明に係る実施の形態の半導体記憶装置の制御方法は、ノーマルモードから前記パーシャルモードに切り替えられた場合に、ツインセルをなす第1及び第2のメモリセルのうちコピー元の第2のメモリセルのセルデータをコピー先の第1のメモリセルに格納するにあたり、以下のステップを有する。

30

【0036】

ステップA：ノーマルモードからパーシャルモードに設定されたときに、セルフリフレッシュ動作の間隔を制御するリフレッシュタイムにより生成されるトリガ信号に基づき、前記第1及び第2のビット線よりなる前記ビット線対のプリチャージ期間に、前記第1のワード線(WL1)を活性化して前記第1のメモリセル(MC1)にプリチャージ電圧を書き込む。

【0037】

ステップB：つづいて、次のトリガ信号に基づき、プリチャージを終了し、前記第1及び第2のワード線を活性化し、さらに、前記センスアンプ(SA)を活性化し、前記ビット線対に現れた前記第2のメモリセルのデータを、前記第1及び第2のメモリセルへの書き戻す。

40

【0038】

本発明において、前記リフレッシュタイムにより生成される前記トリガ信号の周期は、パーシャルモードへ入ってから、少なくとも、前記セルアレイ中のメモリセルのリフレッシュを1巡するまでの間は、前記ノーマルモード時の周期と同一の周期とされ、それ以降、前記リフレッシュタイムにより生成されるトリガ信号の周期は、前記ノーマルモード時の周期よりも長周期とされる。

【0039】

50

本発明に係る実施の形態の半導体記憶装置の制御方法は、以下のステップを有する。

【0040】

ステップA：ノーマルモードから前記パーシャルモードに設定されたときに、前記第1のメモリセル(MC1)のセルデータを前記第2のメモリセル(MC2)へ格納するにあたり、セルフリフレッシュ動作の間隔を制御するリフレッシュタイマにより生成されるトリガ信号に基づき、前記第1のワード線を活性化し、前記センスアンプ(SA)を活性化する。

【0041】

ステップB：前記第1のワード線(WL1)を活性化状態としたまま、つづいて前記第2のワード線(WL2)を活性化し、前記第1のメモリセル(MC1)のセルデータを前記第1及び第2のメモリセルへの書き戻しを行う。前記第1のワード線(WL1)は、ノーマルモード時よりも長期間、例えば2倍の期間、活性化状態とされる。前記第1のワード線(WL2)は、ノーマルモード時と同一期間、活性化される。

10

【0042】

ステップC：本実施の形態において、前記トリガ信号が出力され、前記第1のワード線(WL1)が活性化されたのち、前記第2のワード線(WL2)が活性化する前のタイミングで、リード/ライト・アクセスが発生した場合、前記第1のワード線(WL1)をノーマルモード時の期間と同一の期間活性化し、前記第2のワード線(WL2)の活性化を中止して、リード/ライト動作を行うように制御する。

【0043】

ステップD：本実施の形態において、前記第1のワード線(WL1)が活性化され、前記第2のワード線(WL2)が活性化したのち、リード/ライト・アクセスが発生した場合、前記第1のワード線(WL1)は、ノーマルモード時の2倍の期間、活性化、前記第2のワード線(WL2)は、ノーマルモード時と同一の期間、活性化して書き戻しを行ったのち、リード/ライト動作を行うように制御する。

20

【0044】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0045】

図1は、本発明の第1の実施例の動作を説明するためのタイミング図であり、ノーマルモード時とパーシャルモード時のリフレッシュトリガ信号のタイミング波形が示されている。本実施例において、セルアレイの構成は、図14に示した構成とされる。ツインセルをなすメモリセルMC1、MC2には、センスアンプ(SA)12に共通に接続されるビット線対B、/Bがそれぞれ接続されており、第1、第2のワード線WL1、WL2が接続されている。図1において、ノーマルモード時には、図14の第1、第2のワードWL1、WL2は、別々のアドレスとされ、アクセスの合間に、セルフリフレッシュ動作が行われる。パーシャルモードにおいては、図14の第1、第2のワードWL1、WL2は同一アドレスとされ、第1及び第2のメモリセルMC1、MC2で1ビットデータを相補データとして記憶する。

30

【0046】

リフレッシュトリガ信号(単に「トリガ信号」と略記される)のパルス間隔(周期)は、パーシャルモードに入ってから、ツインセルをなす2つのメモリセルのうち、例えば第1のメモリセルMC1のセルデータの第2のメモリセルMC2へのコピーを行うためのリフレッシュ動作を、セルアレイ11中のメモリセルについて少なくとも1巡するまでの間(「リフレッシュ1周期」という)は、ノーマルモード時におけるトリガ信号の周期と同一とされる。パーシャルモードにおいて、リフレッシュ1周期以降、トリガ信号の周期は、ノーマルモード時におけるトリガ信号の周期よりも、長周期とされる、

40

【0047】

図2は、本発明の第1の実施例のパーシャルモードにおけるセルアレイに動作を説明する

50

ためのタイミング波形図であり、図14の第1、第2のワード線WL1、WL2、ビット線対B、/Bの信号波形が示されている。なお、ノーマルモードにおいて、第1のメモリセルMC1には、LOWデータ、第2のメモリセルMC2には、LOWデータが書き込まれているものとする。

【0048】

パーシャルモードに切り替わった場合、第1のワード線WL1が立ち上がる前のプリチャージ期間（ビット線が1/2VCCにプリチャージされる）に、コピー先の第2のメモリセルMC2に接続される第2のワード線WL2を、コピー元の第1のメモリセルMC1に接続される第1のワード線WL1に先行してHIGHレベルに立ち上げ、コピー先の第2のメモリセルMC2にプリチャージ電圧を書き込むことで、リセットする。

10

【0049】

つづいて、ビット線対B、/Bのプリチャージを停止し、第1のワード線WL1をHIGHレベルとし、その後、センスインエーブルSE信号をHIGHレベルとし、センスアンプ(SA)12はビット線対B、/Bの差電圧を増幅し、第1のメモリセルMC1に、LOWデータ、第2のメモリセルMC2にHIGHデータを、同一のタイミングで書き戻す。

【0050】

ノーマルモードからパーシャルへ移行した最初のリフレッシュの1サイクルは、第1のメモリセルMC1のセルデータから第2のメモリセルMC2へのコピーに用いられ、リフレッシュタイマの周期は、ノーマルモード時と同一とされ、その後、1ビット・2セル用に、トリガ信号の周期を延ばす制御が行われる。

20

【0051】

図3は、本発明の第1の実施例において、ワード線の活性化を制御する回路構成の一例を示す図である。図示されないCPU、メモリコントローラ等半導体記憶装置外部から半導体記憶装置に供給される外部アドレス(Ext Add)を入力し、ラッチ出力する回路(入力バッファ/ラッチ回路)20と、所定の時間計時し、オーバフロー発生時に、トリガ信号を出力するリフレッシュタイマ23と、リフレッシュタイマ23からのトリガ信号を受けてリフレッシュアドレスを例えばカウントアップして出力するリフレッシュアドレス発生器22と、入力バッファ/ラッチ回路20の出力信号(外部アドレス信号)と、リフレッシュアドレス発生器22の出力信号(リフレッシュアドレス信号)とを入力し、リフレッシュ動作時には、リフレッシュアドレス発生器22の出力信号を選択して出力するマルチプレクサ24と、マルチプレクサ24の出力(行アドレス)を入力し、行アドレスをデコードするデコーダ25と、トリガ信号と、タイマ23の出力を遅延回路27で遅延させた信号に基づき、それぞれワンショットパルスを生成する第1、第2のワンショットパルス生成器28、29と、第1、第2のワンショットパルス生成器28、29の出力信号を入力し、一方を、第2のワードドライバWD2に出力するマルチプレクサ26と、遅延回路27とを備えている。

30

【0052】

第1のワードドライバWD1は、デコーダ25から出力される第1のデコード信号と、第1のワンショットパルス生成器28の出力信号を入力し、第1のワード線WL1を高電圧で駆動する。第2のワードドライバWD2は、デコーダ25から出力される第2のデコード信号と、マルチプレクサ26から出力される信号を入力し、第2のワード線WL2を高電圧で駆動する。

40

【0053】

またセルアレイ1において、1つのセンスアンプ(SA)12に共通に接続されている第1、第2のビット線B、/Bを有し、第1のワードドライバWD1で駆動される第1のワード線WL1にゲート端子が接続され、ビット線Bにドレインとソースの一方の端子が接続される第1のメモリセルトランジスタNM1と、メモリセルトランジスタNM1のドレインとソースの他方の端子に接続される容量C1からなる第1のメモリセルMC1と、第2のワードドライバWD2で駆動される第2のワード線WL2にゲート端子が接続され、ビット線/Bにドレインとソースの一方の端子が接続される第2のメモリセルトランジスタ

50

タNM2と、メモリセルトランジスタNM2のドレインとソースの他方の端子に接続される容量C2からなる第2のメモリセルMC2と、を備えている。メモリセルの容量素子(C1、C2)のメモリセルトランジスタと接続する端子とは別の端子は、接地電位(GND)とされる(あるいは中間電圧 $1/2V_{CC}$ (ハーフ V_{CC})とされる)。第1及び第2のビット線B、/Bと、プリチャージ電源 $V_{CC}/2$ との間に接続され、ゲートにプリチャージ制御信号が接続されている第1及び第2のNMOSTランジスタNM4、NM5を備え、さらにゲートにプリチャージ制御信号が接続され第1、第2のビット線B、/B間に挿入されているイコライズ用の第3のNMOSTランジスタNM3を備え、これらのNMOSTランジスタ回路は、プリチャージ回路を構成している。第1及び第2のビット線B、/Bに接続されているセンスアンプ12は、センスイネーブル信号SEがHIGHレベルのとき、ビット線B、/B間の差電圧を差動増幅する。なお、図3では、あくまで説明の簡単のため、2つのワード線WL1、WL2と、1対のビット線対B、/Bのみが模式的に示されているが、本発明はかかる構成に限定されるものでなく、任意の複数のワード線、複数組のビット線対で構成してもよいことは勿論である。

【0054】

本実施例の回路構成の動作の概要を以下に説明する。デコーダ25は、MODE信号がノーマルモードのときは、第1、第2のワード線WL1とWL2を別のアドレスとして扱い、パーシャルモードに入ったときは、第1、第2のワード線WL1とWL2を同時に選択する。より詳細には、パーシャルモードに入り、ツインセルをなす2つのメモリセルの間でセルデータのコピーが行われたのち、リフレッシュトリガ信号が長周期に設定されたとき、第1及び第2のワード線WL1、WL2を、同時に選択する。

【0055】

マルチプレクサ26は、パーシャルモードにおける最初のリフレッシュサイクル(セルアレイ中のメモリセルのリフレッシュを1巡させるサイクル)では、第2のワンショットパルス生成器29の出力を選択して、第2のワードドライバWD2へ供給する。このとき、遅延回路27で遅延させたトリガ信号を入力とする第1のワンショットパルス生成器28から出力されるワンショットパルスは、第1のワードドライバWD1へ供給される。第1、第2のワードドライバWD1、WD2は、それぞれ、デコーダ25から出力される選択信号が、HIGHレベルである場合、入力されるワンショットパルス信号に基づき、ワード線を高電圧(昇圧電圧)で駆動する。

【0056】

マルチプレクサ26では、パーシャルモードに入って、セルアレイ11中のセルのリフレッシュ動作を1巡した場合(例えばリフレッシュアドレス発生器22のカウント出力が先頭アドレスから最終アドレスまでカウントアップした場合)、これ以降、切替信号に基づき、第1のワンショットパルス生成器28の出力を選択して、第2のワードドライバWD2へ供給する。このため、第1、第2のワードドライバWD1、WD2には、共通のワンショットパルスが供給され、第1及び第2のワード線WL1、WL2は、同時に活性化される。

【0057】

図4(A)は、リフレッシュトリガ信号、図4(B)は、図4(A)のパーシャルモード時における、図3の第1、第2のワード線WL1、WL2の信号波形を示す図である。図4(B)に示すように、図4(A)のパーシャルモード時のショート周期のリフレッシュトリガにより、第2のワード線WL2が活性化されて第2のメモリセルMC2がリセットされ、そのあと、第1のワード線WL1が活性化され、センスアンプ12が活性化されて、第1のメモリセルMC1のセルデータの第2のメモリセルMC2への書き戻しが行われる。パーシャルモードによるセルデータのコピーが一巡した後、図3のリフレッシュタイマ23からのトリガ信号の周期は引き伸ばされ、第1、第2のワード線WL1、WL2は、同一アドレスとされ(すなわちデコーダ25は、第1、第2のワードドライバWD1、WD2へ供給される信号を同時に活性化する)、第1のワンショットパルス生成器28から出力されるワンショットパルス信号に基づき、第1、第2のワード線WL1、WL2は

、同時に活性化され、ツインセルを構成する第1、第2のメモリセル(MC1、MC2)で保持する相補データのセンスアンプ12による読み出しと第1、第2のメモリセル(MC1、MC2)への書き戻し(リストア)が行われる。

【0058】

図5及び図6は、本発明の第2の実施例の動作を説明するタイミング波形図である。本発明の第2の実施例において、セルアレイの基本構成は、図14に示した構成と同様とされ、信号のタイミング制御が相違している。図6を参照すると、本実施例では、パーシャルモードにおいて、図14の第1のメモリセルMC1に接続する第1のワード線WL1を、ノーマルモード時と同様のパルス幅(t0)で活性化し、つづいて、センスイネーブル信号SEを活性化し、ビット線対B、/Bの差電圧を増幅し、ビット線対B、/Bの差電圧がひらいた時点で、第2のメモリセルMC2に接続する第2のワード線WL2をHIGHレベルとし、第2のワード線WL2を通常動作時の半分程度のパルス幅の期間、活性化し、第1、第2のワード線WL1、WL2を同時に立ち下げる制御が行われる。

10

【0059】

本実施例では、第2のワード線WL2が活性化時、センスアンプ12が活性化しているため、第2のメモリセルMC2(「セル2」ともいう)への書き込みが発生しても、セルデータの反転は可能である。ただし、ノーマルモードでのリフレッシュ期間と同じ時間T₀内に第1のメモリセルMC1から第2のメモリセルMC2へコピーを行おうとすると、リストアレベル(書き戻しのレベル)が低くなる。特に、図6の「セル2」の「**」に示すように、「セル2」におけるリストアレベル(書き戻しレベル)が低くなる。このため、図5に示すように、ノーマルモードからパーシャルモードに切り替わってから、リフレッシュ動作によるツインセルをなす2つのメモリセルの一方のメモリセルのセルデータの他方のメモリセルへのコピーを、セルアレイ中の全メモリセルについて2~3巡するまでの間は、リフレッシュトリガ信号の周期を、ノーマルモード時よりも短い周期としてリフレッシュを行い、その後、トリガ信号の周期を延ばしてリフレッシュを行っている。このように、本実施例において、ノーマルモードからパーシャルモードへの移行に際して、はじめに、リフレッシュトリガ信号の周期を、ノーマルモード時における周期よりも短い周期とする理由は、本実施例では、第2のワード線WL2を第1のワード線WL1よりも遅らせて立ち上げており、負荷が重くなりセルのリストア電位が下がり、このため、セルのホールド特性(時間)が短くなるためである。その後、リフレッシュトリガ信号の周期をノーマルモード時よりも長くしているのは、2セルへの相補データの書き込みが完了し、ツインセル特有の効果により、ホールド時間が長くなるためである。したがって、本実施例において、ノーマルモードからパーシャルモードへの移行する際の、セルデータのコピーのためのリフレッシュトリガ信号の周期(図5のリフレッシュ2~3周期の間でのリフレッシュトリガ信号の周期)は、セル間でのセルデータのコピー時におけるリストア電位と、ツインセルにおけるホールド特性とを考慮して、ノーマルモード時の周期以下の所定の値に決定される。

20

30

【0060】

図7は、本発明の第1、2の実施例において、パーシャルモード時にマルチセルデータを保持する構成の一例を示す図であり、図3のデコーダ25の構成の一部を例示する図である。

40

【0061】

ノーマルモード時、第1及び第2のワード線WL1、WL2は、アドレス信号(行アドレス)X1と、X2、/X2の値により、互いに別アドレスとされる。すなわち、ノーマルモードのとき、制御信号MODEはHIGHレベルとされ、アドレス信号X2がLOWレベルのとき(/X2はHIGHレベル)、2入力NAND回路からなる論理ゲート15の出力はHIGHレベル、2入力NAND回路からなる論理ゲート16の出力はLOWレベルとされる。このとき、アドレス信号X1と論理ゲート15の出力を入力とする論理ゲート(AND回路)13の出力信号はHIGHレベル、アドレス信号X1と論理ゲート16の出力を入力とする論理ゲート(AND回路)14の出力信号はLOWレベルとなり、第

50

1のワード線WL1が選択される。アドレス信号X2がHIGHレベルのとき（X2はLOWレベル）、論理ゲート15の出力信号はLOWレベル、論理ゲート16の出力信号はHIGHレベルとされ、行アドレス信号X1がHIGHレベルのとき、論理ゲート13の出力信号はLOWレベル、論理ゲート14の出力信号はHIGHレベルとなり、第2のワード線WL2が選択される。

【0062】

一方、パシシャルモード時、制御信号MODEはLOWレベルとされ、論理ゲート15、16の出力信号はともにHIGHレベルとされ、行アドレス信号X1がHIGHレベルのとき、論理ゲート13、14の出力信号はHIGHレベルとなり、第1、第2のワード線WL1、WL2が選択され、図示されないワードドライバで同時に活性化される。

10

【0063】

図8は、本発明の第3の実施例の動作を説明するタイミング図である。なお、本発明の第3の実施例においても、セルアレイの基本構成は、図14に示した構成と同様とされ、信号のタイミング制御が相違している。ノーマルモード時には、リフレッシュタイマのトリガ信号に基づき、第1、第2のワード線WL1、WL2でワード線の選択が行われ、センスアンプ(SA)12が活性化され、セルごとにデータの書き戻しが行われる。

【0064】

パシシャルモードにおいては、まず、プリチャージ制御信号 = HIGH、センスイネーブル信号SE = LOWで、ビット線B、/Bをプリチャージ状態とし、プリチャージ期間に、トリガ信号に基づき、第1のワード線WL1を選択し（図8の「*1」参照）、セル1に、プリチャージ電圧すなわち1/2VCCを書き込んでリセットする。

20

【0065】

つづいて次のサイクルのトリガ信号に基づき、第1、第2のワード線WL1、WL2を同時に選択し（図8の「*2」のタイミング参照）、第2のメモリセルMC2のセルデータをセンスアンプ12に読み出して第1のメモリセルMC1と第2のメモリセルMC2に、第2のメモリセルMC2のセルデータを相補で書き込む。第1のメモリセルMC1の電位は、図8のタイミング*1で、ビット線対B、/Bと同電位となっているため、第2のメモリセルMC2のデータを壊すことはない。

【0066】

図9は、本発明の第4の実施例を説明する図である。この実施例では、図9(B)に示すように、ノーマル時、32MbitsのDRAMを、パシシャル時16Mbitsとし、2セルで1ビットデータを保持する。図9(A)は、ワード線Word1、Word2（図14のWL1、WL2に対応する）とリフレッシュトリガ信号のノーマルモード時とパシシャルモード時の信号波形を示すタイミング図である。なお、図9(A)において、パシシャルモードに入った時点における最初のリフレッシュサイクルは、図9(A)において「リライト」で示すように、ツインセルをなす2つのメモリセル間でのセルデータのコピーが行われる。

30

【0067】

図9(C)に示すように、この実施例では、第1のワード線Word1の活性化時間（パルス幅）を長くして（例えばノーマルモード時のパルス幅の2倍）、遅れて、第2のワード線WL2を立ち上げ（第2のワード線Word2のパルス幅は、ノーマルモード時のパルス幅と同一とされる）、セルデータを第1のメモリセルから第2のメモリセル側に再書き込みする。

40

【0068】

パシシャルモードに入ったとき、セルアレイ中のメモリセルのリフレッシュを一巡するサイクル中では、ノーマルモード時と同様、リフレッシュトリガの周期とし、その間に、ツインセルをなす2つのメモリセルの一方のメモリセルから他方のメモリセルへの再書き込みを行う。この場合、第1のワード線Word1の活性化期間が長くなる。このためワード線の活性化期間中に、割り込み等（READ/WRITEアクセス）が入った場合、リフレッシュ動作を中断する制御が行われる。例えば図9(C)において、第1のワード線

50

Word 1の活性化期間(高電圧の間)、セルアレイへのアクセスが入った場合(例えばチップセレクト信号がLOWレベルに設定された場合)、図9(C)に、記号「*」と破線で示すように、第1のワード線Word 1を活性状態から非活性化とし、第2のワード線Word 2を活性状態とせず、センスアンプの活性化を停止させ(ビット線対B、/Bの記号「*」と破線参照)、当該メモリセルのアクセス動作を行う。

【0069】

図10は、本発明の第4の実施例におけるリフレッシュ動作の中断を説明するためのタイミング図である。図10(A)に示すように、チップセレクト信号/CS=LOWレベルとなるタイミング(チップ選択が活性化され、アクセスサイクルが始まる)が、リフレッシュタイマからのトリガ信号が出力された後であり、第2のワード線Word 2の立ち上げ前であるとき、第1のワード線Word 1を、ノーマルモード時と同一のショートパルスに戻し、第2のワード線Word 2の活性化を停止し(図中破線で示す)、リード(READ)動作等に入る。

10

【0070】

一方、図10(B)に示すように、第2のワード線Wordの立ち上げ後、/CS=LOWレベルとなると、第1のワード線Word 1(パルス幅=2t0)、第2のワード線Word 2(パルス幅=t0)の動作のリフレッシュ動作を完了し、その後、リード/ライト動作が行われる。

【0071】

図10(A)、図10(B)のいずれの場合にも、リフレッシュ動作により、アクセスの遅延による性能低下は回避されており、チップセレクト信号/CSが活性化(LOWレベル)となってから、読み出しデータDoutが出力されるまでのアクセス時間tAAの仕様値以下とされる。

20

【0072】

図11は、本発明の第3の実施例の変形例を示す図である。図11において、アドレス信号X0と/X0は、デコーダ15、16の最下位アドレス切替信号である。デコーダ15、16の出力は、アドレス信号X2、/X2として、一の入力端からアドレス信号X1を入力とする論理ゲート13、14の他の入力端へ供給されている。デコーダ15、16において、X0と/X0以外の入力は、アドレス信号のX0、X1、X2以外の任意のアドレス信号とされる。デコーダ15、16は、例えば信号X0がHIGHレベル("1")のとき、信号X2をHIGH、/X2をLOWとし、信号X1がHIGHのとき、第1のワード線WL1を選択し、信号X0がLOW("0")のとき、信号X2をLOW、信号/X2をHIGHとし、第2のワード線WL2を選択する構成とされる。また、パーソナルモードにおいて、第1、第2のワード線WL1、WL2を同一アドレスとして活性化する場合、論理ゲート15、16は、信号X2と、信号/X2をとともにHIGHとし、信号X1がHIGHのとき、第1、第2のワード線WL1、WL2が選択される。

30

【0073】

さらに、図11を参照すると、アドレスの遷移検出回路(不図示)からのアドレス遷移検出信号(ATD)、及び、リフレッシュタイマからのトリガ信号のいずれかが入力されたときコア活性化パルス(ワンショットパルス)を生成するパルス生成回路30を備えている。パルス生成回路30の出力は、否定論理積回路よりなる論理ゲート17と、論理積回路よりなる論理ゲート18の各回路の一の入力端に入力される。

40

【0074】

論理ゲート17は、他の入力端に、PSA(プリチャージ、センスアンプ活性化信号)を入力し、コア活性化パルスと信号PSAがともにHIGHレベルのとき、出力信号がLOWレベルとされ、出力信号がHIGHレベルのとき、ビット線対B、/Bのプリチャージを行う。プリチャージ制御信号は、図11のコア活性化パルスがHIGHレベルのとき、信号PSAがHIGHレベルの間、LOWレベルとされる。信号PSAを非活性化(LOWレベル)することで、プリチャージ制御信号はHIGHレベルとされ、ビット線対B、/Bは、プリチャージ電圧(1/2VCC)にプリチャージされる。

50

【0075】

論理ゲート18は、信号PSA（プリチャージ、センスアンプ活性化信号）を他の入力端に入力し、コア活性化パルスと信号PSAがともにHIGHレベルのとき、センスインバーブル信号SEをHIGHレベルとし、センスアンプ（SA）12を活性化する。

【0076】

図12は、図11の信号PSA、X0、/X0を生成する回路の一例を示す図である。図12を参照すると、リフレッシュタイマ31と、リフレッシュタイマ31の出力信号を分周する分周回路32と、分周回路32の分周出力と、リフレッシュタイマ31の出力を入力し、リフレッシュ周期切替判定回路38からの判定出力に基づき、一方を選択してトリガ信号として出力するマルチプレクサ33と、LOWレベルでアクティブとされるチップセレクト信号/CSと、ノーマルモードとパーシャルモードの切り替えを制御する制御信号MODEとを入力し、チップセレクト信号/CSがHIGH、制御信号MODEがLOWのときノードAをHIGHレベルとする論理ゲート37を備えている。

10

【0077】

リフレッシュ周期切替判定回路38は、リフレッシュ周期を判定する回路であって、ノーマルモード時に、出力信号（ノードBの信号）をLOWレベル、パーシャルモード時、セルアレイのリフレッシュ動作が例えば1巡するまではLOWレベル、セルアレイのリフレッシュが1巡してからHIGHレベルとするように、論理ゲート37の出力信号に基づき、ノードBの信号レベルの切替を行う。

【0078】

図13に示すように、

- ・ノードAとノードBがLOWのときはノーマルモード、
- ・ノードAがHIGHレベルであり、ノードBがLOWレベルのときは、パーシャルモードのショート周期、
- ・ノードAとノードBがHIGHのときは、パーシャルモードのロング周期である。

20

【0079】

マルチプレクサ33は、リフレッシュ周期切替判定回路38の出力信号がLOWレベルのとき、タイマ31の出力信号を選択し、リフレッシュ周期切替判定回路38の出力信号がHIGHレベルのとき、分周回路32の分周信号（分周信号の周期 $t_1 >$ タイマ31の出力信号の周期）を選択出力する。

30

【0080】

リフレッシュアドレス発生回路39の最下位ビットX0'と、ノードA及びノードBの信号電圧を入力とし、X0、/X0を出力する、X0、/X0コントロール回路41は、ノードAとノードBの信号レベルがともにLOWレベルのとき（図13のNormal参照）、X0、/X0信号を出力する。ただし、X0は、入力されたX0'の値、/X0はX0'の反転値である。すなわち、ノーマルモードにおいて、信号X1、X0がHIGHレベルのとき、第1のワード線WL1が選択され、信号X1、/X0がHIGHレベルのとき、第2のワード線WL2が選択される。

【0081】

X0、/X0コントロール回路41は、ノードAがHIGHレベル、ノードB（リフレッシュ周期切替判定回路38の出力信号）がLOWレベルのとき、図11の信号X0として、X0'の値によらずHIGH（"1"）を出力し、信号/X0として、X0'がLOWレベルのとき、LOW（"0"）、X0'がHIGHレベルのときHIGH（"1"）を出力する。このとき、図11の信号X1がHIGHレベルで、第1のワード線WL1が立ち上がり、遅れて、第2のワード線WL2が立ち上がる。X0、/X0コントロール回路41は、ノードAがHIGHレベルであり、ノードBがHIGHレベルのとき、図11のX2として"1"、/X2として"1"となるような値の信号X0と信号/X0を出力する（例えば、X0 = HIGH、/X0 = HIGH）。このとき、第1、第2のワード線WL1、WL2は同時に立ち上がる。

40

【0082】

50

プリチャージセンスアンプ活性化信号生成回路40は、マルチプレクサ33で選択されたトリガ信号、リフレッシュアドレス発生回路39からのリフレッシュアドレスの最下位ビットX0'、ノードA(論理ゲート37の出力)とノードB(リフレッシュ周期切替判定回路38の出力信号)の信号レベルを受け、パーシャルモードにおいては、セルアレイのリフレッシュ動作が例えば1巡するまでの間は(図13のノードAがHIGHレベルであり、ノードBがLOWレベルの期間)、トリガ信号をうけて、リフレッシュアドレスの最下位ビットX0'が例えば論理"0"のとき、プリチャージ制御信号をHIGHレベルとし、ビット線対B、/Bのプリチャージ動作を行い(図8の「*1」に対応する)、次のトリガ信号をうけて、リフレッシュアドレスの最下位ビットX0'が論理"1"のとき、センスイネーブル信号SEを活性化し(図8の「*2」に対応する)、センスアンプ(SA)12を活性化する制御を行う。

10

【0083】

プリチャージセンスアンプ活性化信号生成回路40は、パーシャルモードにおいて、セルアレイのリフレッシュが1巡したのちは(図13のノードAがHIGHレベルであり、ノードBがHIGHレベルの期間)、トリガ信号をうけたとき、PSAを活性化し、論理ゲート18を介して、センスアンプ(SA)12を活性化する制御を行う(図8のロング周期)。なお、ノーマルモードにおいては、リフレッシュトリガ信号をうけて、X0'の値によらずに、信号PSAをHIGHレベルとする。

【0084】

このように、プリチャージセンスアンプ活性化信号生成回路40は、パーシャルモードのショート周期では、リフレッシュアドレスの最下位ビット信号X0'の値に基づき、プリチャージとセンスアンプ活性化の制御を順次行い、ロング周期では、センスアンプ活性化用のワンショットパルス信号を生成する。なお、プリチャージセンスアンプ活性化信号生成回路40において、リフレッシュアドレスの最下位ビット信号X0'のかわりに、例えばリフレッシュアドレスの第1ビット信号X1'あるいは第2、第3ビット信号等他のビット信号を用いて、PSA信号を生成する構成としてもよい。第1及び第2のワード線WL1、WL2が隣接アドレスでなく、例えば4アドレス分の差がある場合、例えばビット信号X2'をプリチャージセンスアンプ活性化信号生成回路40に入力し、ビット信号X2'に基づき、PSA信号を生成する。この場合、信号X2'は、X0、/X0コントロール回路41にも入力され、X0、/X0コントロール回路41は、X2、/X2を生成し、図8の「*1」と「*2」の間は、4つのトリガ信号分、離間している。

20

30

【0085】

以上、本発明を上記各実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0086】**【発明の効果】**

以上説明したように、本発明によれば、2セルで1ビットデータを記憶する場合に、リフレッシュ期間を延ばすことなく、ツインセルをなす一方のセルのデータを他方のセルへ再書き込みすることができ、性能低下を抑止低減することができる、という効果を奏する。

40

【0087】

また、本発明によれば、コピー先のセルをリセットしてからツインセルをなすセルデータをリストアする構成としたことにより、コピー時における誤データの書き込みを防止している。

【0088】

さらに、本発明によれば、1ビットを1セルで記憶する通常動作時と同様のリフレッシュ・トリガ周期で、ツインセルをなす2つのセルのコピーを実行し、セルアレイ中を数サイクル分リフレッシュしたあと、リフレッシュ・トリガ周期を延ばすように構成したことにより、コピーのためのリフレッシュ動作を延ばすことなく、ツインセルによる正しいデータの記憶保持を可能としている。

50

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を説明するタイミング図である。

【図 2】本発明の第 1 の実施例を説明するタイミング図である。

【図 3】本発明の第 1 の実施例の構成を示す図である。

【図 4】(A) は、本発明の第 1 の実施例におけるリフレッシュトリガ信号、(B) は本発明の第 1 の実施例におけるパーシャルモード時のワード線 W L 1、W L 2 のタイミング波形の一例を示す図である。

【図 5】本発明の第 2 の実施例のリフレッシュトリガ信号のタイミング波形を示す図である。

【図 6】本発明の第 2 の実施例の動作を説明するタイミング図である。

10

【図 7】本発明の第 3 の実施例の構成を示す図である。

【図 8】本発明の第 3 の実施例の動作を説明するタイミング図である。

【図 9】(A) は本発明の第 4 の実施例の動作を説明するタイミング図、(B) はパーシャルモードへの切替動作の模式図、(C) はチップセレクト信号がアクティブとなったときの制御動作の一例を示すタイミング波形図である。

【図 10】(A) は本発明の第 4 の実施例の動作を説明するタイミング図であり、リフレッシュによるセルデータコピーを行う場合、ワード線 W L 1 が活性化され、ワード線 W L 2 が活性化される前に、チップセレクト信号がアクティブとなった場合の制御動作の一例を示すタイミング波形図であり、(B) は、ワード線 W L 2 が活性化されているときに、チップセレクト信号がアクティブとなった場合の制御動作の一例を示すタイミング波形図

20

【図 11】本発明の第 3 の実施例の変形例を示す図である。

【図 12】図 11 の P S A 信号を生成する制御回路の構成を示す図である。

【図 13】図 12 のノード A、B の信号波形を示す図である。

【図 14】従来 2 セル・1 ビットデータの記憶を行う半導体記憶装置の構成を模式的に示す図である。

【図 15】(A) は、ワード線 W L 1、W L 2 の同時選択によるリフレッシュによるセルデータのコピーと、R E A D / W R I T E 動作のタイミングを示す図、(B) は、ワード線 W L 1、W L 2 の異なったタイミングでの選択によるリフレッシュによるセルデータのコピーと、R E A D / W R I T E 動作のタイミングを示す図である。

30

【図 16】特許文献 1 の第 10 図である。

【符号の説明】

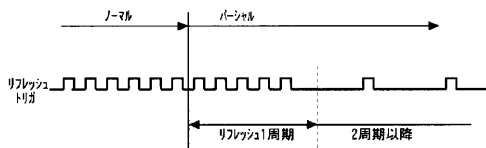
- 1 1 セルアレイ (サブアレイ)
- 1 2 センスアンプ
- 1 3、1 4 論理ゲート
- 1 5、1 6 論理ゲート (デコーダ)
- 1 7、1 8 論理ゲート
- 2 0 外部アドレス入力バッファ / ラッチ
- 2 2 リフレッシュアドレス発生回路
- 2 3 リフレッシュタイマ
- 2 4、2 5、2 6 マルチプレクサ
- 2 7 遅延回路
- 2 8 第 1 のワンショットパルス生成回路
- 2 9 第 2 のワンショットパルス生成回路
- 3 0 パルス生成回路
- 3 1 リフレッシュタイマ (タイマ)
- 3 2 分周回路
- 3 3 マルチプレクサ
- 3 4 インバータ
- 3 5、3 6 パストランジスタ

40

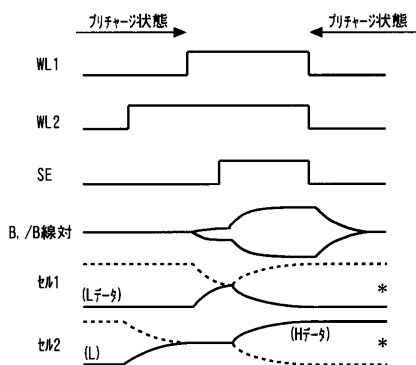
50

- 37 NORゲート
- 38 リフレッシュ周期判定回路
- 39 リフレッシュアドレス発生回路
- 40 プリチャージセンスアンプ活性化信号生成回路
- 41 X0, /X0コントロール回路
- C1, C2 キャパシタ
- MC1 セル1
- MC2 セル2
- MN1, MN2 メモリセルトランジスタ
- MN3, MN4, MN5 NMOSTランジスタ
- WD1, WD2 ワードドライバ

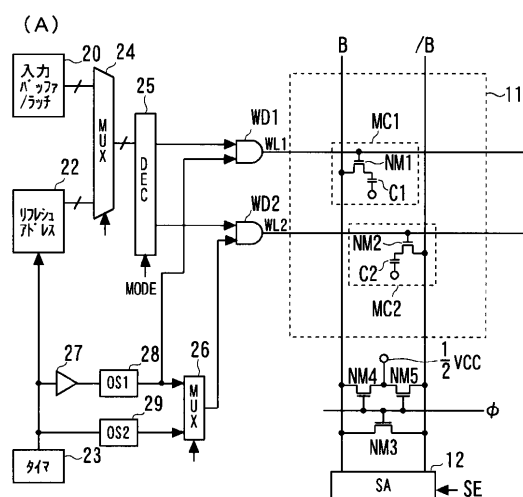
【図1】



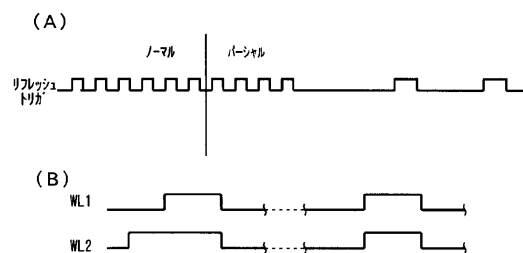
【図2】



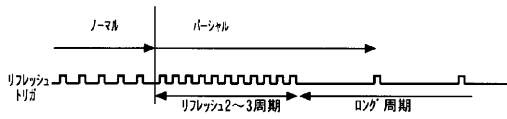
【図3】



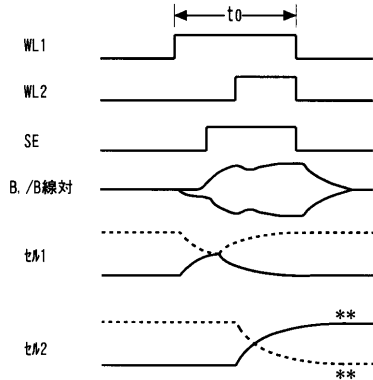
【図4】



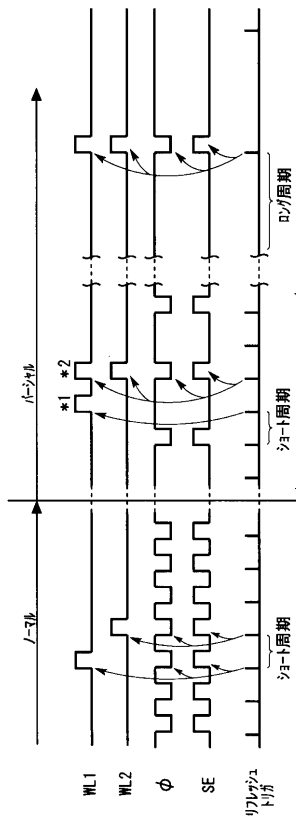
【 図 5 】



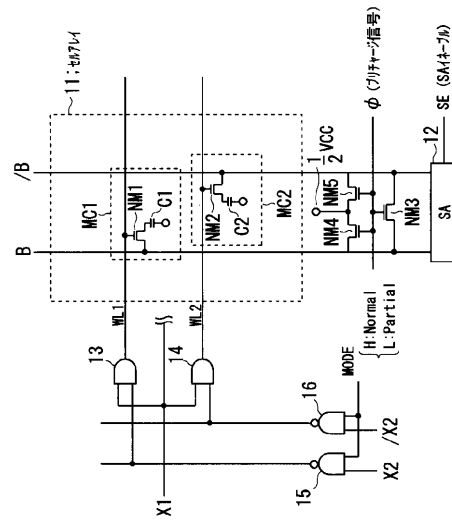
【 図 6 】



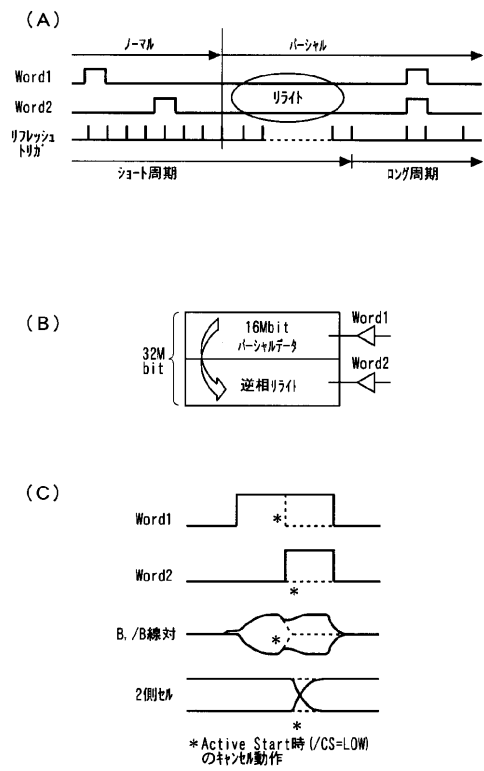
【 図 8 】



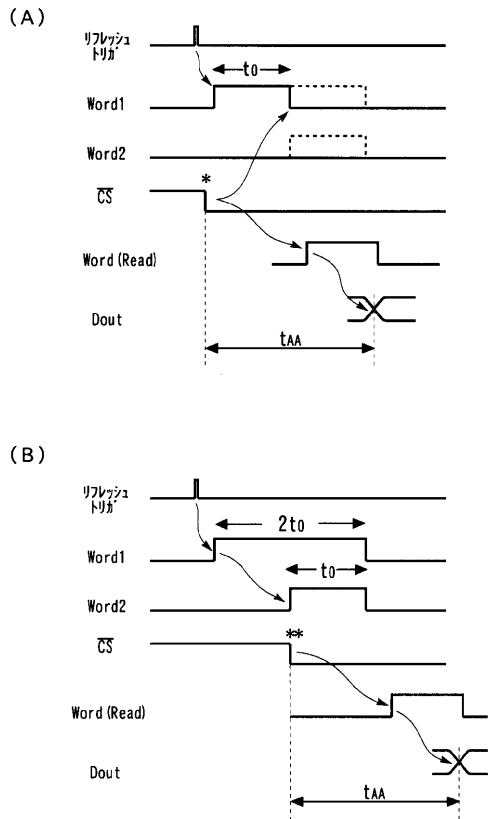
【 図 7 】



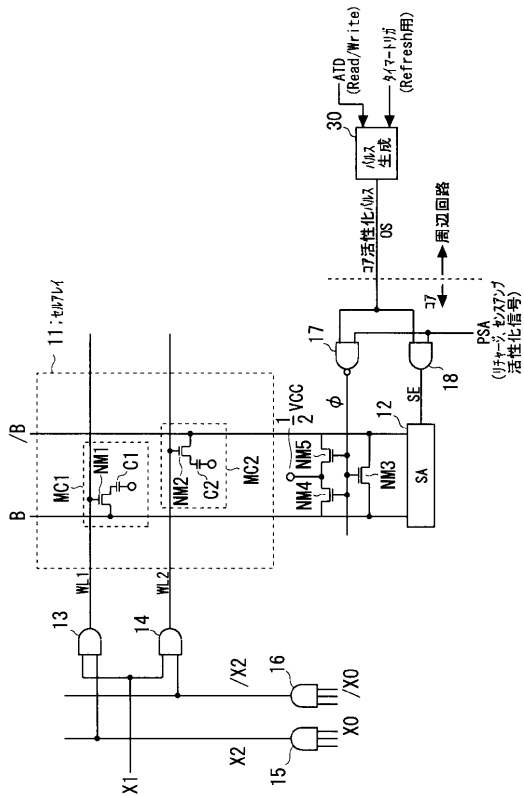
【 図 9 】



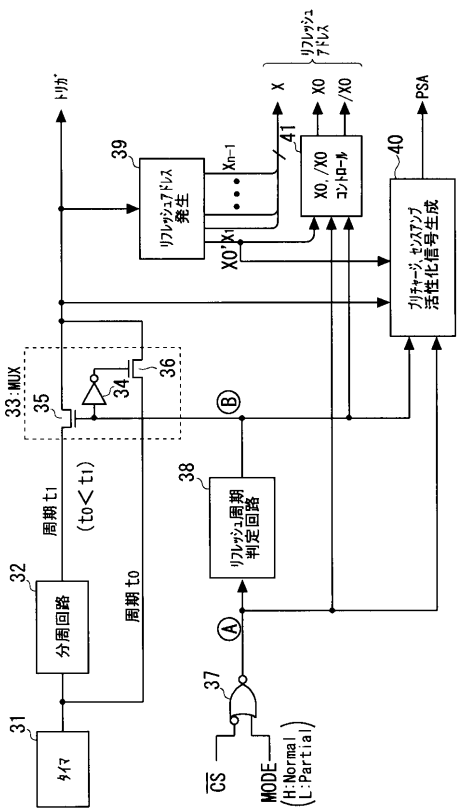
【 図 1 0 】



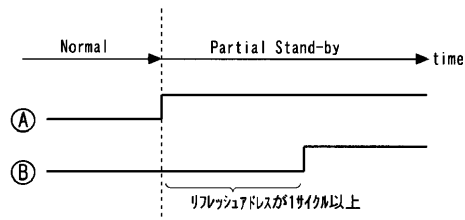
【 図 1 1 】



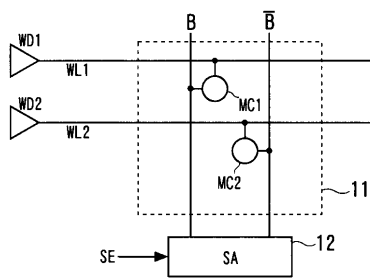
【 図 1 2 】



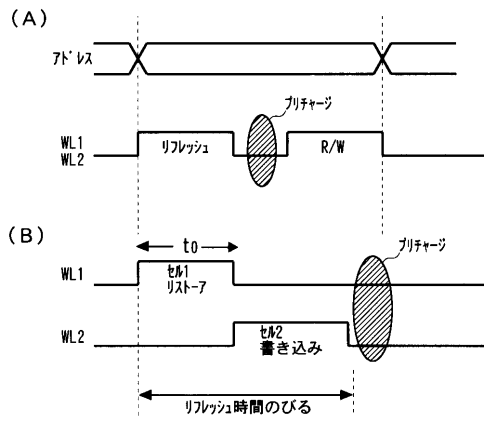
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



【 図 1 6 】

