

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4953166号
(P4953166)

(45) 発行日 平成24年6月13日(2012.6.13)

(24) 登録日 平成24年3月23日(2012.3.23)

(51) Int.Cl.	F I
H05B 33/10 (2006.01)	H05B 33/10
H05B 33/26 (2006.01)	H05B 33/26 Z
H01L 51/50 (2006.01)	H05B 33/14 A
G09F 9/30 (2006.01)	G09F 9/30 365Z
H01L 27/32 (2006.01)	

請求項の数 6 (全 21 頁)

(21) 出願番号	特願2007-308189 (P2007-308189)	(73) 特許権者	000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号
(22) 出願日	平成19年11月29日(2007.11.29)	(74) 代理人	100096699 弁理士 鹿嶋 英實
(65) 公開番号	特開2009-134905 (P2009-134905A)	(72) 発明者	当山 忠久 東京都八王子市石川町2951番地の5 カシオ計算機株式会 社 八王子技術センター内
(43) 公開日	平成21年6月18日(2009.6.18)	(72) 発明者	尾崎 剛 東京都八王子市石川町2951番地の5 カシオ計算機株式会 社 八王子技術センター内
審査請求日	平成20年11月14日(2008.11.14)	審査官	池田 博一

最終頁に続く

(54) 【発明の名称】 表示パネルの製造方法

(57) 【特許請求の範囲】

【請求項1】

第一電極が形成される基板の所定領域が、前記第一電極が形成される前に絶縁膜のエッチングガスに曝されることなしに、ゲート電極となるゲートメタル層及びソース、ドレイン電極となるソース、ドレインメタル層と異なる導電性酸化金属層をパターンングすることによって前記基板上的前記所定領域に前記第一電極を形成する工程と、

前記第一電極を含む前記基板上的全域を被覆するように絶縁膜と第一半導体層と第二半導体層とを順次積層する工程と、

前記第二半導体層と前記第一半導体層と前記絶縁膜とをエッチングガスにより連続的にパターンングして前記第一電極の所定の領域が露出する開口部を形成する工程と、

前記開口部に対応した位置が開口されたバンクを形成する工程と、

少なくとも前記開口部に対応する前記第一電極上に向けて有機化合物含有液を塗布して発光層を形成する工程と、

前記発光層上及び前記バンク上に第二電極を形成する工程と、

を含むことを特徴とする表示パネルの製造方法。

【請求項2】

前記絶縁膜は窒化シリコン又は酸化シリコンであることを特徴とする請求項1記載の表示パネルの製造方法。

【請求項3】

前記開口部が形成される前記絶縁膜は、トランジスタのゲート絶縁膜を含むことを特徴

とする請求項 1 又は 2 に記載の表示パネルの製造方法。

【請求項 4】

前記第一電極を形成する工程の後に、前記トランジスタのソース電極又はドレイン電極のいずれか一方を形成する工程を含むことを特徴とする請求項 3 記載の表示パネルの製造方法。

【請求項 5】

前記第一電極を形成する工程の前に、前記基板上に、酸系のエッチャントでウェットエッチングによって前記トランジスタのゲート電極を形成する工程を含むことを特徴とする請求項 3 又は 4 に記載の表示パネルの製造方法。

【請求項 6】

第一電極が形成される基板の所定領域が、前記第一電極が形成される前にトランジスタの絶縁膜のエッチングガスに曝されることなしに、ゲート電極となるゲート金属層及びソース、ドレイン電極となるソース、ドレイン金属層と異なる導電性酸化金属層をパターンニングすることによって前記基板上の前記所定領域に前記第一電極を形成する工程と、

前記第一電極を形成後に、前記第一電極を含む前記基板上の全域を被覆するように前記トランジスタの前記絶縁膜と半導体層と不純物半導体層とを堆積し、エッチングガスによって前記第一電極上の前記トランジスタの前記絶縁膜と前記半導体層と前記不純物半導体層とを連続的に除去することによって開口部を形成するとともにトランジスタを形成する工程と、

前記トランジスタの上方に、前記開口部に対応した位置が開口されたバンクを形成する工程と、

前記開口部に対応する前記第一電極上に向けて有機化合物含有液を塗布して発光層を形成する工程と、

前記発光層上及び前記バンク上に第二電極を形成する工程と、
を含むことを特徴とする表示パネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルの製造方法に関し、特に、発光素子を有する複数の表示素子を配列してなる表示パネルの製造方法に関する。

【背景技術】

【0002】

近年、携帯電話や携帯音楽プレーヤ等の電子機器の表示デバイスとして、自発光素子である有機エレクトロルミネッセンス素子（以下、「有機 EL 素子」と略記する）を 2 次元配列した表示パネル（有機 EL 表示パネル）を適用したものが知られている。特に、アクティブマトリクス駆動方式を適用した有機 EL 表示パネルにおいては、広く普及している液晶表示装置に比較して、表示応答速度が速く、視野角依存性も小さいという優れた表示特性を有しているとともに、液晶表示装置のようにバックライトや導光板を必要としないという装置構成上の特徴を有している。そのため、今後様々な電子機器への適用が期待されている。

【0003】

有機 EL 素子は、周知のように、概略、ガラス基板等の一面側に、アノード（陽極）電極と、有機 EL 層（発光層）と、カソード（陰極）電極と、を順次積層した素子構造を有し、有機 EL 層に発光しきい値を越えるように、アノード電極に正電圧、カソード電極に負電圧を印加することにより、有機 EL 層内で注入されたホールと電子が再結合する際に生じるエネルギーに基づいて光（励起光）が放射されるものである。

【0004】

ここで、ガラス基板の一面側に有機 EL 素子（発光素子）が形成された表示パネルにお

10

20

30

40

50

いては、上記有機EL層を介して対向して形成された一对の電極（アノード電極、カソード電極）のいずれか一方を光透過性を有する電極材料により形成し、他方を光反射性を有する電極材料により形成することにより、例えば特許文献1に記載されているように、ガラス基板の他面側に光を放射するボトムエミッション型の発光構造が知られている。

【特許文献1】特開平8-330600号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ここで、上述した特許文献1に記載された製造方法では、基板上における透明電極が形成される領域には、透明電極が形成される前に層間絶縁膜等の膜が堆積されてから除去され、その後、透明電極が形成される。基板上に透明電極を形成する工程に先立って実行される層間絶縁膜等の膜のエッチング工程として酸素及びSF₆の混合ガス等を用いてドライエッチングを適用すれば、透明電極が形成される領域でのガラス基板もエッチングされてしまうので、ガラス基板の厚さが不均一になってしまう。このように厚さが不均一な基板の上に有機EL素子が形成された表示パネルでは、発光動作において有機EL層から基板を介して光が放射される際に、基板の厚さの不均一に起因して光の散乱や光の干渉の不均一が生じて色度ずれや発光輝度（発光強度）のばらつきを招き、画像のにじみやぼけ等の表示特性の劣化を生じるという問題を有していた。

10

そこで、本発明は、上述した問題点に鑑み、色度ずれや発光輝度（発光強度）のばらつきを抑制して、画像のにじみやぼけのない表示特性に優れた表示パネルの製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0006】

請求項1記載の発明に係る表示パネルの製造方法は、

第一電極が形成される基板の所定領域が、前記第一電極が形成される前に絶縁膜のエッチングガスに曝されることなしに、ゲート電極となるゲートメタル層及びソース、ドレイン電極となるソース、ドレインメタル層と異なる導電性酸化金属層をパターンニングすることによって前記基板上の前記所定領域に前記第一電極を形成する工程と、

前記第一電極を含む前記基板上の全域を被覆するように絶縁膜と第一半導体層と第二半導体層とを順次積層する工程と、

30

前記第二半導体層と前記第一半導体層と前記絶縁膜とをエッチングガスにより連続的にパターンニングして前記第一電極の所定の領域が露出する開口部を形成する工程と、

前記開口部に対応した位置が開口されたバンクを形成する工程と、

少なくとも前記開口部に対応する前記第一電極上に向けて有機化合物含有液を塗布して発光層を形成する工程と、

前記発光層上及び前記バンク上に第二電極を形成する工程と、

を含むことを特徴とする。

請求項2記載の発明は、請求項1記載の表示パネルの製造方法において、前記絶縁膜は窒化シリコン又は酸化シリコンであることを特徴とする。

40

請求項3記載の発明は、請求項1又は2に記載の表示パネルの製造方法において、前記開口部が形成される前記絶縁膜は、トランジスタのゲート絶縁膜を含むことを特徴とする。

請求項4記載の発明は、請求項3に記載の表示パネルの製造方法において、前記第一電極を形成する工程の後に、前記トランジスタのソース電極又はドレイン電極のいずれか一方を形成する工程を含むことを特徴とする。

請求項5記載の発明は、請求項3又は4に記載の表示パネルの製造方法において、前記第一電極を形成する工程の前に、前記基板上に、酸系のエッチャントでウェットエッチングによって前記トランジスタのゲート電極を形成する工程を含むことを特徴とする。

50

【0007】

請求項6記載の発明に係る表示パネルの製造方法は、

第一電極が形成される基板の所定領域が、前記第一電極が形成される前にトランジスタの絶縁膜のエッチングガスに曝されることなしに、ゲート電極となるゲート金属層及びソース、ドレイン電極となるソース、ドレイン金属層と異なる導電性酸化金属層をパターンニングすることによって前記基板上の前記所定領域に前記第一電極を形成する工程と、

前記第一電極を形成後に、前記第一電極を含む前記基板上の全域を被覆するように前記トランジスタの前記絶縁膜と半導体層と不純物半導体層とを堆積し、エッチングガスによって前記第一電極上の前記トランジスタの前記絶縁膜と前記半導体層と前記不純物半導体層とを連続的に除去することによって開口部を形成するとともにトランジスタを形成する工程と、

前記トランジスタの上方に、前記開口部に対応した位置が開口されたバンクを形成する工程と、

前記開口部に対応する前記第一電極上に向けて有機化合物含有液を塗布して発光層を形成する工程と、

前記発光層上及び前記バンク上に第二電極を形成する工程と、
を含むことを特徴とする。

10

【発明の効果】

【0008】

本発明に係る表示パネルの製造方法によれば、色度ずれや発光輝度（発光強度）のばらつきを抑制して、画像のにじみやぼけのない優れた表示特性を実現することができる。

【発明を実施するための最良の形態】

【0009】

以下、本発明に係る表示パネル及びその製造方法について、実施の形態を示して詳しく説明する。

<表示パネル>

まず、本発明に係る表示パネル（有機EL表示パネル）及び表示画素の一実施形態について説明する。

【0010】

図1は、本発明に係る表示パネルの画素配列状態の一例を示す概略平面図であり、図2は、本発明に係る表示パネルに2次元配列される表示画素（発光素子及び画素駆動回路）の回路構成例を示す等価回路図である。なお、図1に示す平面図においては、説明の都合上、表示パネルの一面側（有機EL素子の形成側）から見た、各表示画素に設けられる画素電極の配置と各配線層の配設構造との関係、及び、各表示画素の形成領域を画定するバンク（隔壁）との配置関係のみを示し、各表示画素の有機EL素子を発光駆動するために、各表示画素に設けられる図2に示す画素駆動回路内のトランジスタ等の表示を省略した。また、図1においては、画素電極及び各配線層、バンクの配置を明瞭にするために、便宜的にハッチングを施して示した。

20

30

【0011】

図1に示すように、本実施形態に係る表示パネル10は、ガラス基板等の絶縁性の基板11の一面側（紙面手前側）に、行方向（図面左右方向）に配設された複数の選択ラインLsと、該選択ラインLsに並行に行方向に配設された複数の電源電圧ライン（例えばアノードライン）Lvと、選択ラインLs及び電源電圧ラインLvに直交する列方向（図面上下方向）に配設された複数のデータラインLdと、を備え、選択ラインLsとデータラインLdの各交点を含む領域に各表示画素PIX（サブ画素Pxr、Pxb）が配置されている。また、選択ラインLsには一方の端部に端子パッドPLsが設けられ、電源電圧ラインLvには一方の端部に端子パッドPLvが設けられている。

40

【0012】

ここで、上記表示パネル10がカラー表示に対応している場合には、図1に示すように

50

、例えば赤（R）、緑（G）、青（B）の3色それぞれのサブ画素（以下、便宜的に「色画素」と記す） PX_r 、 PX_g 、 PX_b が行方向（図面左右方向）に繰り返し配列されるとともに、列方向（図面上下方向）に同一色の色画素 PX_r 、 PX_g 、 PX_b が複数配列される。この場合には、行方向（図面左右方向）に隣接するRGB3色の色画素 PX_r 、 PX_g 、 PX_b を一組として1つの表示画素PIXを形成する。単一色発光の色画素のみの表示パネル（モノカラー表示パネル）の場合には、各色画素が1つの表示画素PIXとなる。

【0013】

また、カラー表示に対応した表示パネル10において、後述する製造方法に示すように、高分子系或いは低分子系の有機材料を含む溶液を塗布して又は蒸着して有機EL層を形成する場合にあっては、図1に示すように、例えば絶縁性材料からなるバンク（隔壁）15が、基板11の一面側から突出し、表示画素（色画素）PIXごとにそれぞれの有機EL層形成領域を取り囲むように柵状又は格子状の平面形状を有して配設されている。これにより、図3に示す画素形成領域Rpx内における有機EL素子OLEDの形成領域（図3に示すEL素子形成領域Rel）が画定される。ここで、図1に示したような柵状の平面形状を有するバンク15の場合には、列方向（図面上下方向）に配列された同一色の複数の色画素 PX_r 、 PX_g 又は PX_b の画素電極（例えばアノード電極）12が1つのEL素子形成領域Relに含まれる。

【0014】

表示画素PIX（各色画素 PX_r 、 PX_g 、 PX_b ）は、例えば図2に示すように、基板11上に複数のトランジスタ（例えばアモルファスシリコン薄膜トランジスタ等）を有する画素駆動回路DCと、当該画素駆動回路DCにより生成される発光駆動電流が、上記画素電極12に供給されることにより発光動作する有機EL素子（発光素子）OLEDと、を備えた回路構成を適用することができる。

【0015】

画素駆動回路DCは、具体的には、例えば図2に示すように、ゲート端子が選択ラインLsに、ドレイン端子がデータラインLdに、ソース端子が接点N11に各々接続されたトランジスタ（選択トランジスタ）Tr11と、ゲート端子が接点N11に、ドレイン端子が電源電圧ラインLvに、ソース端子が接点N12に各々接続されたトランジスタ（駆動トランジスタ；機能素子）Tr12と、トランジスタTr12のゲート端子及びソース端子間に接続されたキャパシタCsと、を備えている。

【0016】

ここでは、トランジスタTr11、Tr12は、いずれも薄膜構造を有するnチャネル型の電界効果型トランジスタ（薄膜トランジスタ）が適用されている。トランジスタTr11、Tr12は、アモルファスシリコン薄膜トランジスタであっても、ポリシリコン薄膜トランジスタであってもよい。なお、トランジスタTr11、Tr12において、少なくともいずれか一方がpチャネル型であれば、ソース端子及びドレイン端子が上述と互いに逆になる。

【0017】

また、キャパシタCsは、トランジスタTr12のゲート-ソース間に形成される寄生容量、又は、該ゲート-ソース間に付加的に設けられた補助容量、もしくは、これらの寄生容量と補助容量からなる容量成分である。よって、トランジスタTr12がpチャネル型であれば、キャパシタCsの一方は、有機EL素子OLED側（接点N12側）ではなく、電源電圧ラインLv側に接続される。

【0018】

有機EL素子OLEDは、アノード端子（アノード電極となる画素電極12）が上記画素駆動回路DCの接点N12に接続され、カソード端子（カソード電極）が対向電極（共通電極）17と一体的に形成され、所定の基準電圧Vcom（例えば接地電位Vgnd）に直接又は間接的に接続されている。ここで、対向電極17は、基板11上に2次元配列された複数の表示画素PIXの画素電極12に対して共通に対向するように、単一の電極層（ベ

10

20

30

40

50

た電極)により形成されている。これにより、複数の表示画素PIXに上記基準電圧Vcomが共通に印加される。

【0019】

なお、図2に示した表示画素PIX(画素駆動回路DC及び有機EL素子OLED)において、選択ラインLsは、図1に示した端子パッドPLsを介して、基板11の図示を省略した表示領域の周囲に設けられている選択ドライバに接続され、所定のタイミングで表示パネル10の行方向に配列された複数の表示画素PIX(色画素Pxr、Pxg、Pxb)を選択状態に設定するための選択信号Sselが印加される。また、データラインLdは、基板11の図示を省略した表示領域の周囲に設けられているデータドライバに接続され、上記表示画素PIXの選択状態に同期するタイミングで表示データに応じた階調信号Vpixが印加される。ここで、階調信号Vpixは、有機EL素子OLEDの発光輝度階調を設定する電圧信号である。

10

【0020】

また、電源電圧ラインLvは、図1に示した端子パッドPLvを介して、例えば所定の高電位電源に直接又は間接的に接続され、各表示画素PIXに設けられる有機EL素子OLEDの画素電極12に表示データに応じた発光駆動電流を流すために、有機EL素子OLEDの対向電極17に印加される基準電圧Vcomより電位の高い、所定の高電圧(電源電圧Vdd)が印加される。

【0021】

すなわち、図2に示す画素駆動回路DCにおいては、各表示画素PIXにおいて直列に接続されたトランジスタTr12と有機EL素子OLEDの組の両端(トランジスタTr12のドレイン端子と有機EL素子OLEDのカソード端子)にそれぞれ電源電圧Vddと基準電圧Vcomを印加して、有機EL素子OLEDに順バイアスを付与し、有機EL素子OLEDが発光可能な状態とし、さらに、階調信号Vpixに応じて有機EL素子OLEDに流れる発光駆動電流の電流値を制御している。

20

【0022】

そして、このような回路構成を有する表示画素PIXにおける駆動制御動作は、まず、図示を省略した選択ドライバから選択ラインLsに対して、所定の選択期間に、選択レベル(オンレベル;例えばハイレベル)の選択信号Sselを印加することにより、トランジスタTr11がオン動作して選択状態に設定される。このタイミングに同期して、図示を省略したデータドライバから表示データに応じた電圧値を有する階調信号VpixをデータラインLdに印加するように制御する。これにより、トランジスタTr11を介して、階調信号Vpixに応じた電位が接点N11(すなわち、トランジスタTr12のゲート端子)に印加される。

30

【0023】

図2に示した回路構成を有する画素駆動回路DCにおいては、トランジスタTr12のドレイン-ソース間電流(すなわち、有機EL素子OLEDに流れる発光駆動電流)の電流値は、ドレイン-ソース間の電位差及びゲート-ソース間の電位差によって決定される。ここで、トランジスタTr12のドレイン端子(ドレイン電極)に印加される電源電圧Vddと、有機EL素子OLEDのカソード端子(カソード電極)に印加される基準電圧Vcomは固定値であるので、トランジスタTr12のドレイン-ソース間の電位差は、電源電圧Vddと基準電圧Vcomによって予め固定されている。そして、トランジスタTr12のゲート-ソース間の電位差は、階調信号Vpixの電位によって一義的に決定されるので、トランジスタTr12のドレイン-ソース間に流れる電流の電流値は、階調信号Vpixによって制御することができる。

40

【0024】

このように、トランジスタTr12が接点N11の電位に応じた導通状態(すなわち、階調信号Vpixに応じた導通状態)でオン動作して、高電位側の電源電圧VddからトランジスタTr12及び有機EL素子OLEDを介して低電位側の基準電圧Vcom(接地電位Vgnd)に、所定の電流値を有する発光駆動電流が流れるので、有機EL素子OLEDが

50

階調信号 V_{pix} (すなわち表示データ) に応じた輝度階調で発光動作する。また、このとき、接点 $N11$ に印加された階調信号 V_{pix} に基づいて、トランジスタ $Tr12$ のゲート - ソース間のキャパシタ C_s に電荷が蓄積 (充電) される。

【0025】

次いで、上記選択期間終了後の非選択期間において、選択ライン L_s に非選択レベル (オフレベル; 例えばローレベル) の選択信号 S_{sel} を印加することにより、表示画素 PIX のトランジスタ $Tr11$ がオフ動作して非選択状態に設定され、データライン L_d と画素駆動回路 DC (具体的には接点 $N11$) とが電氣的に遮断される。このとき、上記キャパシタ C_s に蓄積された電荷が保持されることにより、トランジスタ $Tr12$ のゲート端子に階調信号 V_{pix} に相当する電圧が保持された (すなわち、ゲート - ソース間の電位差が保持された) 状態となる。

10

【0026】

したがって、上記選択状態における発光動作と同様に、電源電圧 V_{dd} からトランジスタ $Tr12$ を介して、有機 EL 素子 $OLED$ に所定の発光駆動電流が流れて、発光動作状態が継続される。この発光動作状態は、次の階調信号 V_{pix} が印加される (書き込まれる) まで、例えば、1 フレーム期間継続するように制御される。そして、このような駆動制御動作を、表示パネル 10 に2次元配列された全ての表示画素 PIX (各色画素 PXr 、 PXg 、 PXb) について、例えば各行ごとに順次実行することにより、所望の画像情報を表示する画像表示動作を実行することができる。

【0027】

20

なお、図2においては、表示画素 PIX に設けられる画素駆動回路 DC として、表示データに応じて各表示画素 PIX (具体的には、画素駆動回路 DC のトランジスタ $Tr12$ のゲート端子; 接点 $N11$) に書き込む階調信号 V_{pix} の電圧値を調整 (指定) することにより、有機 EL 素子 $OLED$ に流す発光駆動電流の電流値を制御して、所望の輝度階調で発光動作させる電圧指定型の階調制御方式に対応した回路構成を示したが、表示データに応じて各表示画素 PIX に供給する (書き込む) 電流の電流値を調整 (指定) することにより、有機 EL 素子 $OLED$ に流す発光駆動電流の電流値を制御して、所望の輝度階調で発光動作させる電流指定型の階調制御方式の回路構成を有するものであってもよい。

【0028】

また、図2に示した画素駆動回路 DC においては、2個の n チャネル型のトランジスタ $Tr11$ 、 $Tr12$ を適用した回路構成を示したが、本発明に係る表示パネルはこれに限定されるものではなく、3個以上のトランジスタを適用した他の回路構成を有するものであってもよいし、回路素子として p チャネル型のトランジスタのみを適用したものの、あるいは、 n チャネル型及び p チャネル型の双方のチャネル極性を有するトランジスタが混在するものであってもよい。ここで、図2に示したように、画素駆動回路 DC として n チャネル型のトランジスタのみを適用した場合には、既に製造技術が確立されたアモルファスシリコン半導体製造技術を用いて、動作特性が安定したトランジスタを簡易に製造することができ、上記表示画素の発光特性のバラツキを抑制した画素駆動回路を実現することができる。

30

【0029】

< 表示画素のデバイス構造 >

次に、上述したような回路構成を有する表示画素 (画素駆動回路及び有機 EL 素子) の具体的なデバイス構造 (平面レイアウト及び断面構造) について説明する。

【0030】

図3は、本発明に係る表示パネルに適用可能な表示画素の一例を示す平面レイアウト図である。ここでは、図1に示した表示画素 PIX の赤 (R)、緑 (G)、青 (B) の各色画素 PXr 、 PXg 、 PXb のうちの、特定の一の色画素の平面レイアウトを示す。なお、図3においては、画素駆動回路 DC の各トランジスタ及び配線層等が形成された層を中心を示し、各配線層及び各電極の配置や平面形状を明瞭にするために、便宜的にハッチングを施して示した。また、図4(a)及び図4(b)は、図3に示した平面レイアウトを

40

50

有する表示画素におけるIVA - IVA線（本明細書においては図3中に示したローマ数字の「4」に対応する記号として便宜的に「IV」を用いる。以下同じ）に沿った断面及びIVB - IVB線に沿った断面を示す概略断面図である。

【0031】

図2に示した表示画素（色画素）PIXは、具体的には、例えば図3に示すように、基板11の一面側に設定された画素形成領域Rpxにおいて、図面上方及び下方の縁辺領域に行方向（図面左右方向）に延在するように選択ラインLs及び電源電圧ラインLvが各々配設されるとともに、これらのラインLs、Lvに直交するように、上記図面右方の縁辺領域に列方向（図面上下方向）に延在するようにデータラインLdが配設されている。また、上記平面レイアウトの右方及び左方の縁辺領域には各々右側及び左側に隣接する表示画素PIXにまたがって列方向（図面上下方向）に延在するようにバンク15が配設されている。

10

【0032】

ここで、例えば図3、図4に示すように、データラインLdは、選択ラインLs及び電源電圧ラインLvよりも下層側（基板11側）に設けられ、トランジスタTr11、Tr12のゲート電極Tr11g、Tr12gを形成するためのゲートメタル層をパターンングすることによって当該ゲート電極Tr11g、Tr12gと同じ工程で形成される。また、データラインLdは、その上に被覆形成された窒化シリコンや酸化シリコンからなるゲート絶縁膜13に設けられたコンタクトホールCH11を介して、トランジスタTr11のドレイン電極Tr11dに接続されている。

20

【0033】

なお、ゲートメタル層は、例えばアルミニウム（Al）、チタン（Ti）、バナジウム（V）、クロム（Cr）、マンガン（Mn）、鉄（Fe）、コバルト（Co）、ニッケル（Ni）、銅（Cu）、亜鉛（Zn）、ジルコニウム（Zr）、ニオブ（Nb）、モリブデン（Mo）、パラジウム（Pd）、銀（Ag）、インジウム（In）、スズ（Sn）、タンタル（Ta）、タングステン（W）、白金（Pt）、金（Au）単体又はそれを含む化合物又は合金を含む金属層を良好に適用することができる。

【0034】

選択ラインLs及び電源電圧ラインLvは、データラインLdやゲート電極Tr11g、Tr12gよりも上層側に設けられ、トランジスタTr11、Tr12のソース電極Tr11s、Tr12s、ドレイン電極Tr11d、Tr12dを形成するためのソース、ドレインメタル層をパターンングすることによって当該ソース電極Tr11s、Tr12s、ドレイン電極Tr11d、Tr12dと同じ工程で形成される。

30

【0035】

選択ラインLsは、トランジスタTr11のゲート電極Tr11gの一端側に位置するゲート絶縁膜13に設けられたコンタクトホールCH12を介してゲート電極Tr11gに接続されている。また、電源電圧ラインLvは、トランジスタTr12のドレイン電極Tr12dと一体的に形成されている。

【0036】

ここで、選択ラインLs及び電源電圧ラインLvを形成するためのソース、ドレインメタル層は、上述したゲートメタル層と同様に、例えばアルミニウム（Al）、チタン（Ti）、バナジウム（V）、クロム（Cr）、マンガン（Mn）、鉄（Fe）、コバルト（Co）、ニッケル（Ni）、銅（Cu）、亜鉛（Zn）、ジルコニウム（Zr）、ニオブ（Nb）、モリブデン（Mo）、パラジウム（Pd）、銀（Ag）、インジウム（In）、スズ（Sn）、タンタル（Ta）、タングステン（W）、白金（Pt）、金（Au）単体又はそれを含む化合物又は合金を含む金属層を良好に適用することができる。一具体例としては、アルミニウム単体（Al）やアルミニウム - チタン（AlTi）、アルミニウム - ネオジウム - チタン（AlNdTi）等のアルミニウム合金、銅（Cu）等の配線抵抗を低減するための低抵抗金属の単層や合金層により形成するものであってもよいし、クロム（Cr）やチタン（Ti）等のマイグレーションを低減するための遷移金属層が上記

40

50

低抵抗金属層の下層に設けられた積層構造を有するものであってもよい。特に、AlTi/Crの二層構造やAlNdTi/Crの二層構造が好ましい。なお、ゲート金属層及びソース、ドレイン金属層を同じスパッタ等の成膜装置で形成する場合、ゲート金属層をソース、ドレイン金属層と同じ材料構成、同じ層構造としてもよい。

【0037】

そして、画素駆動回路DCは、より具体的には、例えば図3に示すように、図2に示したトランジスタTr11及びTr12が列方向に沿って延在するように配置されている。ここで、各トランジスタTr11、Tr12は、周知の電界効果型の薄膜トランジスタ構造を有し、各々、例えば基板11上に形成されたゲート電極Tr11g、Tr12gと、該ゲート電極Tr11g、Tr12g上に被覆形成されたゲート絶縁膜13を介して各ゲート電極Tr11g、Tr12gに対応する領域に形成された半導体層SMCと、該半導体層SMCのチャンネルの両側部に延在するように形成されたソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12dと、を有する逆スタガ構造を有している。

10

【0038】

なお、各トランジスタTr11、Tr12のソース電極Tr11s、Tr12sとドレイン電極Tr11d、Tr12dが両端部に対向して配置された半導体層SMCのチャンネル上には、製造プロセスにおいて当該半導体層SMCへのエッチングダメージを防止するための酸化シリコン又は窒化シリコン等のチャンネル保護層（ブロック層）BLが形成され、また、ソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12dが接触する半導体層SMCのチャンネルの両端部上には、当該半導体層SMCとソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12dとのオーミック接続を実現するための不純物層OHMが形成されている。

20

【0039】

そして、図2に示した画素駆動回路DCの回路構成に対応するように、トランジスタTr11は、図3に示すように、ゲート電極Tr11gがゲート絶縁膜13に設けられたコンタクトホールCH12を介して選択ラインLsに接続され、同ドレイン電極Tr11dがゲート絶縁膜13に設けられたコンタクトホールCH11を介してデータラインLdに接続されている。

【0040】

トランジスタTr12は、図3、図4(a)に示すように、ゲート電極Tr12gがゲート絶縁膜13に設けられたコンタクトホールCH13を介して上記トランジスタTr11のソース電極Tr11sに接続され、同ドレイン電極Tr12dが電源電圧ラインLvと一体的に形成され、同ソース電極Tr12sが基板11上に設けられた有機EL素子OLEDの画素電極12に直接接続されている。

30

【0041】

また、キャパシタCsは、図3、図4(b)に示すように、基板11上にトランジスタTr12のゲート電極Tr12gと一体的に形成された電極Ecaと、ゲート絶縁膜13上にトランジスタTr12のソース電極Tr12sと一体的に形成された電極Ecbと、がゲート絶縁膜13を介して対向するように設けられている。

40

【0042】

有機EL素子OLEDは、図3、図4に示すように、上記トランジスタTr11、Tr12のゲート電極Tr11g、Tr12gと同層となる基板11上に直接設けられるとともに、トランジスタTr12のソース電極Tr12sに直接接続され、所定の発光駆動電流が供給される光透過特性を有する画素電極（例えばアノード電極）12と、上記ゲート絶縁膜13、トランジスタTr11、Tr12、キャパシタCs及び各ラインLs、Lv、Ldを被覆し、隣接する表示画素PIXの画素電極12との間の領域（境界領域）に形成された層間絶縁膜14、及び、該層間絶縁膜14上に連続的に突出して配設されたバンク15により画定された（バンク15に取り囲まれた領域である）EL素子形成領域Relに形成された、例えば正孔輸送層16a及び電子輸送性発光層16bを有する有機EL層

50

(発光層) 16と、基板 11上に2次元配列された各表示画素PIXの画素電極12に共通して対向するように設けられた光反射特性を有する単一の電極層(べた電極)からなる対向電極(例えばカソード電極)17と、を順次積層することにより形成される。

【0043】

表示画素PIXの各トランジスタTr11、Tr12は、逆スタガ構造の薄膜トランジスタであって、ゲート絶縁膜13がEL素子形成領域Relと重ならないように、つまり、画素電極12のうち、後述する層間絶縁膜14の端部14aで囲まれた開口部から露出される領域において、ゲート絶縁膜13が形成されていない。

【0044】

仮に、上記のような構造とは異なり、有機EL層16の下面に、画素電極12及びゲート絶縁膜13が互いに重なるように配置されていると、画素電極12及びゲート絶縁膜13の間で屈折率差があれば、有機EL層16が発する光は、光の入射角に応じて画素電極12及びゲート絶縁膜13の界面で反射を引き起こし、多重反射の原因となる。

【0045】

画素電極12を屈折率が2.1程度のITO、ゲート絶縁膜13を屈折率が2.0程度の窒化シリコン、基板11を屈折率が1.5程度のガラスとすると、ゲート絶縁膜13の膜厚が200nmと190nmでは、xyz色度座標系で差が0.03程度生じてしまう。このように、画素電極12下方の光路に基板以外にゲート絶縁膜が配置されてしまうと、ゲート絶縁膜の膜厚が±5%程度違うだけでも視覚的に異なる色を基板から出射してしまう。

【0046】

上記実施形態では、画素電極12と基板11との間の光路に、比較的ばらつきが生じやすいゲート絶縁膜13を配置させないので、有機EL層16から発する光は、画素電極12を透過して、ゲート絶縁膜13による光の散乱や干渉を受けることなく基板11を介して出射される。このため、出射光の色度ずれを抑えることができる。

【0047】

ここで、対向電極17は、各EL素子形成領域Relだけでなく、当該EL素子形成領域Relを画定するバンク15上にも延在するように設けられている。また、EL素子形成領域Relの周囲は、図3に示した平面レイアウトの左右方向に隣接する表示画素PIXのEL素子形成領域Relとの境界領域にバンク15が形成されているので、選択ラインLs及び電源電圧ラインLvの一部、並びに、データラインLd、トランジスタTr11、Tr12は、バンク15と平面的に(平面視して)重なっている。そのため、バンク15は、当該バンク15上に形成された上記対向電極17による寄生容量の影響を緩和している。

【0048】

なお、本実施形態に係る表示画素のデバイス構造は、図3、図4に示した構成に限定される必要はなく、選択ラインLs及び電源電圧ラインLvを、ゲートメタル層をパターンニングすることによってゲート絶縁膜13の下層に形成し、データラインLdをソース、ドレインメタル層をパターンニングすることによってゲート絶縁膜13の上層に形成することでコンタクトホールCH11及びCH12を設けることなく、選択ラインLsをゲート電極Tr11gと一体的に、また、データラインLdをドレイン電極Tr11dと一体的に設けるようにしてもよい。

【0049】

バンク15は、図1に示すように、表示パネル10に2次元配列される複数の表示画素PIX相互の境界領域、具体的には、表示パネル10の行方向に繰り返し配列される色画素Pxr、Pxbの各画素電極12間の領域であって、表示パネル10の列方向に、同一色の色画素Pxr、Pxb又はPxbの複数の画素電極12を取り囲む柵状(又は、各色画素Pxr、Pxbの各画素電極12を取り囲む格子状)の平面パターンを有するように)配設されている。

【0050】

ここで、図3、図4に示すように、上記境界領域には列方向に上記トランジスタTr1

10

20

30

40

50

1、Tr12が延在して形成されており、バンク15は、当該トランジスタTr11、Tr12を被覆し、各画素形成領域Rpxの画素電極12間に形成される層間絶縁膜14上に、基板11表面から高さ方向に連続的に突出するように形成されている。これにより、バンク15により囲まれた領域、すなわち、列方向に配列された複数の表示画素PIXの画素電極12を含む領域が、後述する製造方法において、有機EL層16（例えば正孔輸送層16a及び電子輸送性発光層16b）を形成する際の有機化合物材料を含む溶液或いは懸濁液の溶媒（有機化合物含有液）の塗布領域（すなわち、EL素子形成領域Rel）として規定される。

【0051】

また、バンク15は、例えば感光性の樹脂材料を用いて形成され、上記有機EL層16の形成時において、少なくともその表面（側面及び上面）が、EL素子形成領域Relに塗布される有機化合物含有液に対して撥液性を有するように表面処理が施されている。

そして、上記画素駆動回路DC、有機EL素子OLED及びバンク15が形成された基板11の一面側全域には、例えば図4に示すように、保護絶縁膜（パッシベーション膜）としての機能を有する封止層18が被覆形成されている。さらには、基板11に対向するように図示を省略したガラス基板等からなる封止基板が接合されているものであってもよい。

【0052】

このように、本実施形態に係る表示パネルにおいては、有機EL素子OLEDの発光動作を制御する画素駆動回路DCの出力端（トランジスタTr12のソース電極Tr12s）に接続されたITO等の透明電極材料からなる画素電極12が、ゲート絶縁膜13を介すことなく基板11上に直接設けられている。特に、画素電極12は、画素駆動回路DCのトランジスタTr11、Tr12を形成するゲート電極Tr11g、Tr12gと同一層（基板11に直接接する層）に設けられるとともに、当該ゲート電極Tr11g、Tr12gとは異なる工程で形成されていることを特徴としている。

【0053】

そして、このような表示パネル10（表示画素PIX）においては、データラインLdを介して供給される表示データに応じた階調信号Vpixに基づいて、所定の電流値を有する発光駆動電流がトランジスタTr12のドレイン-ソース間に流れ、有機EL素子OLEDの画素電極12に供給されることにより、各表示画素（色画素）PIXの有機EL素子OLEDが上記表示データに応じた所望の輝度階調で発光動作する。

【0054】

ここで、本実施形態に係る表示パネル10においては、画素電極12が光透過特性（可視光に対して高い透過率）を有し、かつ、対向電極17が光反射特性（可視光に対して高い反射率）を有することにより、各表示画素PIXの有機EL層16において発光した光が、光透過特性を有する画素電極12及び基板11を介して視野側（図4の下方）に直接出射されるとともに、光反射特性を有する対向電極17で反射し、画素電極12を介して視野側に出射されるボトムエミッション型の発光構造を実現することができる。

【0055】

このとき、上述したように、有機EL層（発光層）16において発光した光は、透明な画素電極12及び透明な基板11のみを介して視野側に出射されるので、例えば画素電極が基板上に形成されたゲート絶縁膜上に設けられたパネル構造を有する表示パネルに比較して、光の出射経路（光路）に介在するゲート絶縁膜の膜厚分布（膜厚のばらつき）に起因する干渉効果を抑制して、R、G、Bの各発光色の色度ずれや発光輝度のばらつきを抑制することができ、画像のにじみやぼけ等のない良好な表示特性を実現することができる。

【0056】

（表示パネルの製造方法）

次に、本実施形態に係る表示パネルの製造方法について説明する。

図5乃至図9は、本実施形態に係る表示パネルの製造方法の一例を示す工程断面図であ

10

20

30

40

50

る。ここでは、図4に示したIVA - IVA線及びIVB - IVB線に沿った表示パネルの断面構造のうち、各一部分(トランジスタTr12、キャパシタCs、有機EL素子OLED、データラインLd、選択ラインLs、電源電圧ラインLv等)、並びに、図1に示した選択ラインLsの端部に設けられる端子パッドPLs、電源電圧ラインLvの端部に設けられる端子パッドPLvを便宜的に抜き出した構造を示して製造方法の概略を説明する。

【0057】

上述した表示パネルの製造方法は、まず、図1、図3に示したように、ガラス基板等の絶縁性の基板11の一面側(図面上面側)に設定された表示画素PIX(色画素Pxr、Pxb、Pxb)の画素形成領域Rpxに、画素駆動回路DCのトランジスタTr11、Tr12やキャパシタCs、データラインLdや選択ラインLs、電源電圧ラインLv等の配線層を形成する。

10

【0058】

具体的には、図5(a)に示すように、基板11上にゲートメタル層を形成し、当該ゲートメタル層をウェットエッチングによりパターンングすることによって、ゲート電極Tr11g、Tr12g、及び、当該ゲート電極Tr12gと一体的に形成されるキャパシタCsの一方側の電極Eca、データラインLd、選択ラインLsに接続された端子パッドPLsの下層電極層PLs1、電源電圧ラインLvに接続された端子パッドPLvの下層電極層PLv1を同時に形成する。このとき、酸系のエッチング液(例えばフッ酸系エッチング液)は、画素電極が形成される領域の基板11の表面に接するが、ガラスに対して十分選択比が取れるので基板11をエッチングすることはない。

20

【0059】

なお、ゲートメタル層は、例えばアルミニウム(Al)、チタン(Ti)、バナジウム(V)、クロム(Cr)、マンガン(Mn)、鉄(Fe)、コバルト(Co)、ニッケル(Ni)、銅(Cu)、亜鉛(Zn)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、パラジウム(Pd)、銀(Ag)、インジウム(In)、スズ(Sn)、タンタル(Ta)、タングステン(W)、白金(Pt)、金(Au)単体又はそれを含む化合物又は合金を含む金属層を良好に適用することができる。

【0060】

ここで、選択ラインLs及び電源電圧ラインLvを複数の導電層を積層した配線構造により形成する場合には、上記ゲートメタル層をパターンングする際に、選択ラインLsの下層配線層及び電源電圧ラインLvの下層配線層(いずれも図示を省略)を、上記ゲート電極Tr11g、Tr12g等と同時に形成する。この場合、図3に示すように、ソース、ドレインメタル層Ls-dをパターンングして得られるデータラインLdと、ゲートメタル層をパターンングして得られる選択ラインLs及び電源電圧ラインLvとが交差する領域においては、相互に電氣的に接続されないように、例えばゲートメタル層によって選択ラインLs及び電源電圧ラインLvの下層配線を形成せずにデータラインLdと、選択ラインLs及び電源電圧ラインLvとの間に後述するゲート絶縁膜13を介在させるようにする。

30

【0061】

次いで、上記ゲート電極Tr11g、Tr12gやキャパシタCsの電極Eca、データラインLd、下層電極層PLs1、PLv1を含む基板11上に、スパッタリング法等を用いて錫ドープ酸化インジウム(Indium Tin Oxide; ITO)や酸化インジウムと酸化亜鉛の酸化物(Indium Zinc Oxide)、タングステンドープ酸化インジウム(Indium Tungsten Oxide; IWO)、タングステン-亜鉛ドープ酸化インジウム(Indium Tungsten Zinc Oxide; IWZO)等の透明電極材料からなる(光透過特性を有する)導電性酸化金属層を薄膜形成した後、当該導電性酸化金属層をパターンングして、図5(b)に示すように、各表示画素PIXのEL素子形成領域Relに所定の平面形状(例えば矩形状)を有する画素電極12を形成する。

40

【0062】

50

次いで、図5(c)に示すように、上記ゲート電極Tr11g、Tr12gや画素電極12等を含む基板11の全域を被覆するように、例えば化学気相成長法(CVD法)等を用いて、窒化シリコン、酸化シリコン等からなるゲート絶縁膜13、アモルファスシリコン等からなる半導体層Lsmc及び窒化シリコン等からなる絶縁層Lbiを順次積層形成する。その後、図5(d)に示すように、最上層の絶縁層Lbiを図示しないフォトリソマスクを用いてパターニングして、上記ゲート電極Tr11g、Tr12gに対応する領域に窒化シリコン等からなるチャンネル保護層(ブロック層)BL形成する。

【0063】

次いで、図6(a)に示すように、上記基板11の全域を被覆するように、例えばCVD法等を用いて、不純物をドーピングした n^+ シリコン層Lohmを形成した後、当該 n^+ シリコン層Lohm、半導体層Lsmc及びゲート絶縁膜13を、酸素及び SiF_4 の混合ガスを用いて連続的にドライエッチングして、各画素形成領域Rpx内のEL素子形成領域Relに画素電極12が露出する開口部、データラインLdの特定の領域の上面が露出するコンタクトホールCH11(図3参照)、ゲート電極Tr11g、Tr12gの特定の領域の上面が各々露出するコンタクトホールCH12、CH13(図3参照)、及び、端子パッド部に下層電極層PLs1、PLv1がそれぞれ露出する開口部CHs1、CHv1を形成する。この場合における画素電極12が露出する開口部の形状は、ゲート絶縁膜13、半導体層Lsmc及び n^+ シリコン層Lohmの端部13aの形状により規定される。このとき、画素電極12の下面に位置する基板11の領域は、画素電極12に覆われているのでドライエッチングのエッチャントに曝されることがなく、平滑な状態を維持することができる。

【0064】

次いで、図6(b)に示すように、上記基板11の全域に、ソース、ドレインメタル層Ls-dを形成する。ここで、ソース、ドレインメタル層Ls-dは、上述したゲートメタル層と同様に、例えばアルミニウム(Al)、チタン(Ti)、バナジウム(V)、クロム(Cr)、マンガン(Mn)、鉄(Fe)、コバルト(Co)、ニッケル(Ni)、銅(Cu)、亜鉛(Zn)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、パラジウム(Pd)、銀(Ag)、インジウム(In)、スズ(Sn)、タンタル(Ta)、タングステン(W)、白金(Pt)、金(Au)単体又はそれを含む化合物又は合金を含む金属層を良好に適用することができる。一具体例としては、アルミニウム単体(Al)やアルミニウム-チタン(AlTi)、アルミニウム-ネオジウム-チタン(AlNdTi)等のアルミニウム合金、銅(Cu)等の配線抵抗を低減するための低抵抗金属の単層や合金層により形成するものであってもよいし、クロム(Cr)やチタン(Ti)等のマイグレーションを低減するための遷移金属層が上記低抵抗金属層の下層に設けられた積層構造を有するものであってもよい。

【0065】

次いで、ソース、ドレインメタル層上にパターニングされたマスクMSKを形成し、当該マスクMSKを用いてソース、ドレインメタル層Ls-dをエッチングして、トランジスタTr11、Tr12の各ソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12d、キャパシタCsの他方側の電極Ecb、選択ラインLs及び該選択ラインLsに接続された端子パッドPLsの上層電極層PLs2、電源電圧ラインLv及び該電源電圧ラインLvに接続された端子パッドPLvの上層電極層PLv2を同時に形成する。

【0066】

続いて、当該ソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12d、キャパシタCsの電極Ecb、選択ラインLs及び電源電圧ラインLv、上層電極層PLs2、層PLv2をマスクとして用いて、 n^+ シリコン層Lohm及び半導体層Lsmcを連続的にエッチングして、図6(c)に示すように、ゲート絶縁膜13上のゲート電極Tr11g、Tr12gに対応する領域にチャンネル領域を有する半導体層SMCを形成するとともに、当該半導体層SMCと上記ソース電極Tr11s、Tr12s及びドレイン電極Tr11d、Tr12dとの間に各々不純物層OHMを形成する。

【0067】

10

20

30

40

50

これにより、ゲート電極 $Tr11g$ 、 $Tr12g$ 上にゲート絶縁膜 13 を介して半導体層 SMC を有し、チャンネル領域の両端部に不純物層 OHM を介してソース電極 $Tr11s$ 、 $Tr12s$ 及びドレイン電極 $Tr11d$ 、 $Tr12d$ を有するトランジスタ $Tr11$ 、 $Tr12$ が形成される。このとき、図 3 に示すように、トランジスタ $Tr11$ のドレイン電極 $Tr11d$ はゲート絶縁膜 13 に形成されたコンタクトホール $CH11$ を介してデータライン Ld に接続され、同ソース電極 $Tr11s$ がゲート絶縁膜 13 に形成されたコンタクトホール $CH13$ を介してトランジスタ $Tr12$ のゲート電極 $Tr12g$ に接続される。また、ソース電極 $Tr12s$ の一端側は画素電極 12 上にまで延在して相互に電氣的に接続されるとともに、当該ソース電極 $Tr12s$ との接続部を除いて、画素電極 12 の上面が再び露出する。

10

【0068】

また、上記工程により、キャパシタ Cs の電極 Ecb 、選択ライン Ls 及び電源電圧ライン Lv 、上層電極層 $PLs2$ 、層 $PLv2$ とゲート絶縁膜 13 との間に、各々 n^+ シリコン層 $Lohm$ 及び半導体層 $Lsmc$ が介在するように形成される。このとき、選択ライン Ls は、ゲート絶縁膜 13 に設けられたコンタクトホール $CH12$ を介してトランジスタ $Tr11$ のゲート電極 $Tr11g$ に接続され、また、電源電圧ライン Lv は、トランジスタ $Tr12$ のドレイン電極 $Tr12d$ と一体的に形成されている。

【0069】

また、ゲート電極 $Tr12g$ と一体的に形成された電極 Eca と、ソース電極 $Tr12s$ と一体的に形成された電極 Ecb (n^+ シリコン層 $Lohm$ 及び半導体層 $Lsmc$ を含む) とが誘電体となるゲート絶縁膜 13 を介して対向して配置されて、キャパシタ Cs が形成される。さらに、端子パッド部においては、 n^+ シリコン層 $Lohm$ 、半導体層 $Lsmc$ 及びゲート絶縁膜 13 に形成された上記開口部 $CHs1$ 、 $CHv1$ を介して、上層電極層 $PLs2$ 、層 $PLv2$ と下層電極層 $PLs1$ 、 $PLv1$ が各々電氣的に接続されて、端子パッド PLs 、 PLv が形成される。

20

【0070】

次いで、図 7 (a) に示すように、上記トランジスタ $Tr11$ 、 $Tr12$ や選択ライン Ls 、電源電圧ライン Lv 等が形成され、画素電極 12 が露出する基板 11 上に、 CVD 法を用いて、例えばシリコン酸化膜やシリコン窒化膜等の無機の絶縁性材料からなる絶縁層 $Lisl$ を形成した後、当該絶縁層 $Lisl$ をパターニングすることによって、図 7 (b) に示すように、表示パネル 10 の行方向 (図 1、図 3 の左右方向) に配列された隣接する表示画素 PIX の EL 素子形成領域 Rel 間の領域 (又は、画素電極 12 間の領域; 境界領域) を電氣的に絶縁する層間絶縁膜 14 を形成するとともに、各表示画素 PIX の EL 素子形成領域 Rel に画素電極 12 が露出する開口部、及び、端子パッド部において上層電極層 $PLs2$ 、 $PLv2$ がそれぞれ露出する開口部 $CHs2$ 、 $CHv2$ を形成する。この場合における画素電極 12 が露出する開口部の形状は、層間絶縁膜 14 の端部 14a の形状により規定される。

30

【0071】

次いで、図 8 (a) に示すように、隣接する表示画素 PIX (画素電極 12) 間の境界領域に形成された上記層間絶縁膜 14 上に、例えばポリイミド系やアクリル系等の感光性の樹脂材料からなるバンク 15 を形成する。具体的には、上記層間絶縁膜 14 含む基板 11 の一面側全域を被覆するように形成された感光性樹脂層をパターニングすることにより、図 1 に示したように、行方向に隣接する表示画素 PIX 間の境界領域であって、表示パネル 10 の列方向に延在する領域を含む柵状の平面形状を有し、高さ方向に連続的に突出するバンク (隔壁) 15 を形成する。これにより、表示パネル 10 の列方向に配列された同一色の複数の表示画素 (色画素) PIX の EL 素子形成領域 Rel がバンク 15 及び層間絶縁膜 14 により囲まれて画定されて、該 EL 素子形成領域 Rel 内に各表示画素 PIX の画素電極 12 の上面が露出する。

40

【0072】

次いで、基板 11 を純水で洗浄した後、例えば酸素プラズマ処理や UV オゾン処理等を

50

施すことにより、EL素子形成領域Relに露出する各画素電極12の表面を、後述する正孔輸送材料や電子輸送性発光材料の有機化合物含有液に対して親液化する処理を施し、続いて、バンク15の表面にCF₄プラズマ処理を行い、選択的にバンク15の表面を有機化合物含有液に対して撥液化する処理を施す。なお、バンク15を形成する樹脂材料自体に予めフッ素原子やフッ素原子を含む官能基が含まれていれば、上記撥液化処理は必ずしも行わなくてもよい。

【0073】

これにより、同一の基板11上において、バンク15の表面が撥液化処理され、当該バンク15により画定された各画素形成領域Rpxに露出する画素電極12の表面は撥液化されていない状態（親液性）が保持されるので、後述するように、有機化合物含有液を塗布して有機EL層16（電子輸送性発光層16b）を形成する場合であっても、隣接するEL素子形成領域Relへの有機化合物含有液の漏出や乗り越えを防止することができ、隣接画素相互の混色を抑制して、赤（R）、緑（G）、青（B）色の塗り分けが可能となる。

【0074】

なお、本実施形態において使用する「撥液性」とは、後述する正孔輸送層16aとなる正孔輸送材料を含有する有機化合物含有液や、電子輸送性発光層16bとなる電子輸送性発光材料を含有する有機化合物含有液、もしくは、これらの溶液に用いる有機溶媒を、基板上等に滴下して、接触角の測定を行った場合に、当該接触角が50°以上になる状態と規定する。また、「撥液性」に対峙する「親液性」とは、本実施形態においては、上記接触角が40°以下、好ましくは10°以下になる状態と規定する。

【0075】

次いで、図8（b）に示すように、上記バンク15により囲まれた（画定された）各色のEL素子形成領域Relに対して、プロセス制御性や生産性に優れる、インクジェット法やノズルプリンティング法等を適用して、高分子系の有機材料からなる正孔輸送材料の溶液又は分散液を塗布した後、加熱乾燥させて正孔輸送層16aを形成する。続いて、当該正孔輸送層16a上にR、G、Bの発光色に対応した高分子系の有機材料からなる電子輸送性発光材料の溶液又は分散液を塗布した後、加熱乾燥させて電子輸送性発光層16bを形成する。これにより、図9（a）に示すように、画素電極12上に少なくとも正孔輸送層16a及び電子輸送性発光層16bを有する有機EL層16が積層形成される。

【0076】

具体的には、有機高分子系の正孔輸送材料を含む有機化合物含有液として、例えばポリエチレンジオキシチオフエン/ポリスチレンスルホン酸水溶液（PEDOT/ PSS；導電性ポリマーであるポリエチレンジオキシチオフエンPEDOTと、ドーパントであるポリスチレンスルホン酸PSSを水系溶媒に分散させた分散液）を、上記画素電極12上に塗布した後、加熱乾燥処理を行って溶媒を除去することにより、当該画素電極12上に有機高分子系の正孔輸送材料を定着させて、担体輸送層である正孔輸送層16aを形成する。

【0077】

また、有機高分子系の電子輸送性発光材料を含む有機化合物含有液として、例えばポリパラフェニレンピニレン系やポリフルオレン系等の共役二重結合ポリマーを含む発光材料を、テトラリン、テトラメチルベンゼン、メシチレン、キシレン等の有機溶媒或いは水に溶解した溶液を、上記正孔輸送層16a上に塗布した後、加熱乾燥処理を行って溶媒を除去することにより、正孔輸送層16a上に有機高分子系の電子輸送性発光材料を定着させて、担体輸送層であり発光層でもある電子輸送性発光層16bを形成する。

【0078】

その後、図9（b）に示すように、少なくとも各表示画素PIXのEL素子形成領域Relを含む基板11上に光反射特性を有し、上記有機EL層16（正孔輸送層16a及び電子輸送性発光層16b）を介して各表示画素PIXの画素電極12に対向する共通の対向電極（例えばカソード電極）17を形成する。

【0079】

具体的には、対向電極 17 は、例えば真空蒸着法やスパッタリング法を用いて、1 ~ 10 nm 程度の膜厚を有し、カルシウム (Ca)、バリウム (Ba)、リチウム (Li)、インジウム (In) 等の仕事関数の低い電子注入層 (カソード電極) を形成した後、その上層に 100 nm 以上の膜厚を有し、アルミニウム (Al)、クロム (Cr)、銀 (Ag)、パラジウム銀 (AgPd) 系の合金、又は、ITO 等の仕事関数の高い薄膜 (給電電極) を積層形成した電極構造を適用することができる。ここで、対向電極 17 は、図 1、図 4 に示したように、各 EL 素子形成領域 Rel に露出する画素電極 12 に対向する領域のみならず、各 EL 素子形成領域 Rel を画定するバンク 15 上にまで延在する単一の導電層 (べた電極) として形成される。

【0080】

次いで、上記対向電極 17 を形成した後、基板 11 の一面側全域に保護絶縁膜 (パッシベーション膜) としてシリコン酸化膜やシリコン窒化膜等からなる封止層 18 を CVD 法等を用いて形成することにより、図 4 に示したような断面構造 (ボトムエミッション型の発光構造) を有する表示パネル 10 が完成する。なお、上記封止層 18 に加えて、又は、封止層 18 に替えて、UV 硬化又は熱硬化接着剤を用いて、メタルキャップ (封止蓋) やガラス等の封止基板を接合するものであってもよい。

【0081】

このように、本実施形態に係る表示パネルの製造方法は、トランジスタ Tr11、Tr12 のゲート絶縁膜 13 のパターンニング工程に先立って、各表示画素 PIX に設けられる有機 EL 素子 OLED の画素電極 12 が基板 11 上に直接形成され、その後ゲート絶縁膜 13 上に形成されるトランジスタ Tr12 のソース電極 Tr12s が上記画素電極 12 に直接接続されている。

【0082】

すなわち、基板 11 上に画素電極 12 を形成した後に、当該画素電極 12 上に被覆形成されたゲート絶縁膜 13 をエッチングして、各 EL 素子形成領域 Rel に画素電極 12 が露出する開口部を形成することにより、ゲート絶縁膜 13 をドライエッチングする際に画素電極 12 が下方に位置する基板 11 に対するエッチング保護膜 (ストッパ) として機能するので、例えば基板上に被覆形成したゲート絶縁膜をエッチングして開口部を形成した後、画素電極を形成する場合に比較して、基板表面の平滑性が損なわれる (荒れる) 等のダメージを軽減することができる。

【0083】

したがって、表示パネル (有機 EL 素子) の発光動作時に、各表示画素 PIX の有機 EL 層において発光した光が、基板表面において散乱したり、基板の厚さのばらつきによって干渉にばらつきを生じる現象を抑制することができ、色度ずれや発光輝度 (発光強度) のばらつきを抑制して、画像のにじみやぼけ等のない、表示特性に優れた表示パネルを実現することができる。

【0084】

加えて、透明電極からなる画素電極と、透明な基板との間には、ゲート絶縁膜が介在しないので、例えば画素電極と基板との間にゲート絶縁膜が介在する場合に比較して、表示画素 PIX の有機 EL 層 (発光層) の発する光が、画素電極と透明な基板との間に入射する際に、ゲート絶縁膜の膜厚のばらつきに起因する干渉色のばらつきがないため、基板から出射された光は、色度ずれや発光輝度のばらつきを抑制することができ、画像のにじみやぼけ等のない良好な表示特性を実現することができる。

【0085】

なお、上述した実施形態においては、有機 EL 層 16 が正孔輸送層 16a 及び電子輸送性発光層 16b からなる場合について説明したが、本発明はこれに限定されるものではなく、例えば正孔輸送兼電子輸送性発光層のみでもよく、正孔輸送性発光層及び電子輸送層でもよく、三層以上、例えば正孔輸送層、電子輸送層及び発光層でもよく、また、各層の間にインターレイヤ層等の担体輸送制御層が適宜介在してもよく、その他の担体輸送層の組合せであってよい。

10

20

30

40

50

【 0 0 8 6 】

また、上述した実施形態においては、画素電極 1 2 を有機 E L 素子 O L E D のアノード電極とし、対向電極 1 7 をカソード電極として、画素電極 1 2 側に正孔輸送層 1 6 a を、また、対向電極 1 7 側に電子輸送性発光層 1 6 b を形成した場合について説明したが、本発明はこれに限定されるものではなく、画素電極 1 2 を有機 E L 素子の透明カソード電極とし、対向電極 1 7 を不透明アノード電極とするものであってもよい。この場合、画素電極 1 2 側に電子輸送性発光層 1 6 b を、また、対向電極 1 7 側に正孔輸送層 1 6 a を形成した素子構造となる。

【 0 0 8 7 】

また、上記実施形態では、基板上に透明電極を配置したボトムエミッション型であったが、有機 E L 層の光が対向電極 1 7 側から放出されるトップエミッション型であっても、上記製造プロセスにおいて、基板の表面にエッチングによる凹凸がないので、基板上に均一な厚さで電極や有機 E L 層を成膜することができ、光の散乱のばらつきや光の干渉等のばらつきを抑えることができる。このようなトップエミッション構造の場合、画素電極は透明でなくともよく、反射導電膜のみ、又は、透明導電膜と反射膜の組合せであってもよい。

また、上記実施形態では、酸素及び S F O₂ の混合ガスを用いてドライエッチングを行ったが、基板を浸食するガスであれば、これに限らない。

【 図面の簡単な説明 】

【 0 0 8 8 】

【 図 1 】本発明に係る表示パネルの画素配列状態の一例を示す概略平面図である。

【 図 2 】本発明に係る表示パネルに 2 次元配列される表示画素（発光素子及び画素駆動回路）の回路構成例を示す等価回路図である。

【 図 3 】本発明に係る表示パネルに適用可能な表示画素の一例を示す平面レイアウト図である。

【 図 4 】本実施形態に係る平面レイアウトを有する表示画素における概略断面図である。

【 図 5 】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その 1）である。

【 図 6 】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その 2）である。

【 図 7 】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その 3）である。

【 図 8 】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その 4）である。

【 図 9 】本実施形態に係る表示パネルの製造方法の一例を示す工程断面図（その 5）である。

【 符号の説明 】

【 0 0 8 9 】

1 0	表示パネル
1 1	基板
1 2	画素電極
1 3	ゲート絶縁膜
1 4	層間絶縁膜
1 5	バンク
1 6	有機 E L 層
1 6 a	正孔輸送層
1 6 b	電子輸送性発光層
1 7	対向電極
D C	画素駆動回路
O L E D	有機 E L 素子

10

20

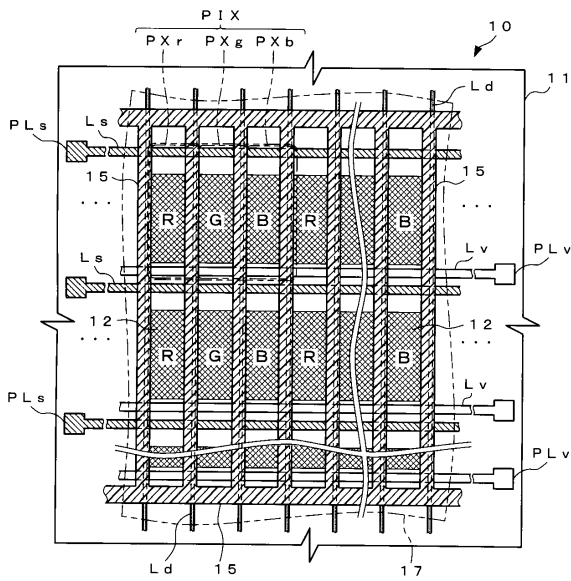
30

40

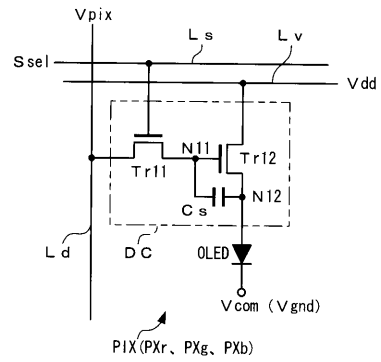
50

L d データライン
L s 選択ライン
L v 電源電圧ライン

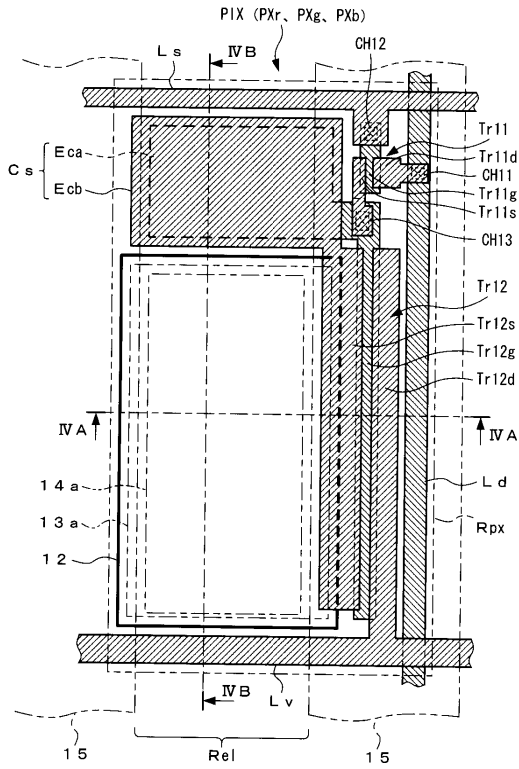
【図1】



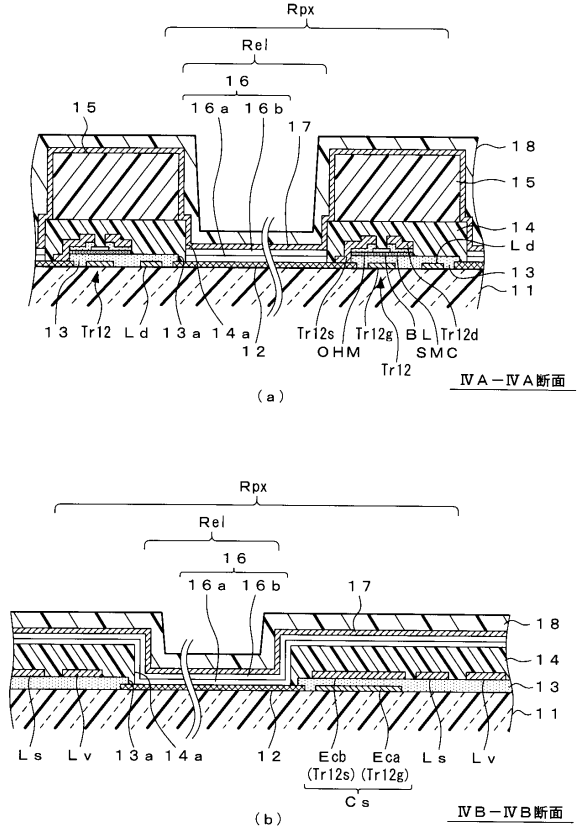
【図2】



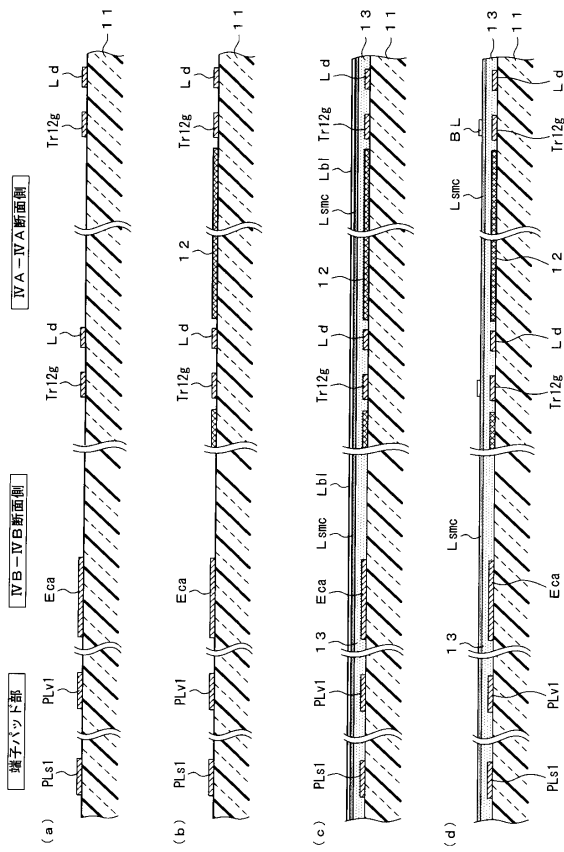
【図3】



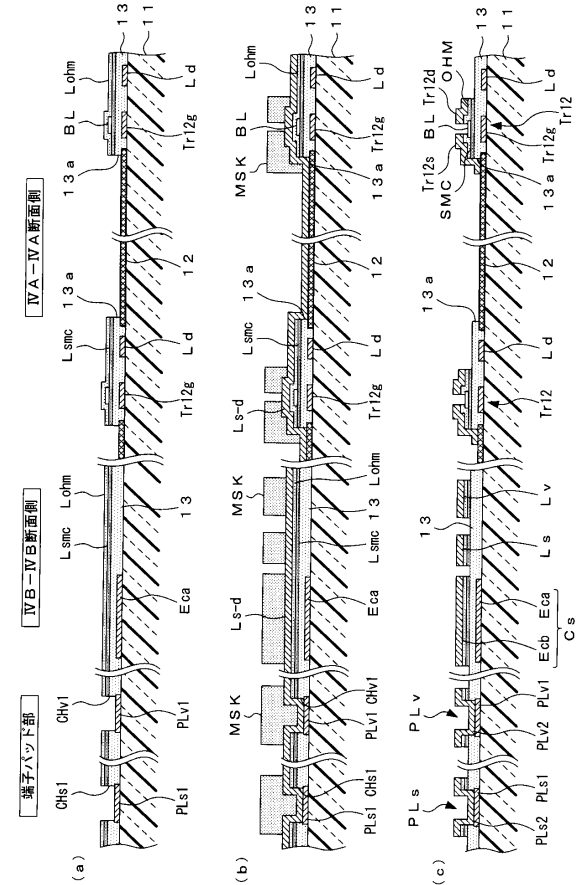
【図4】



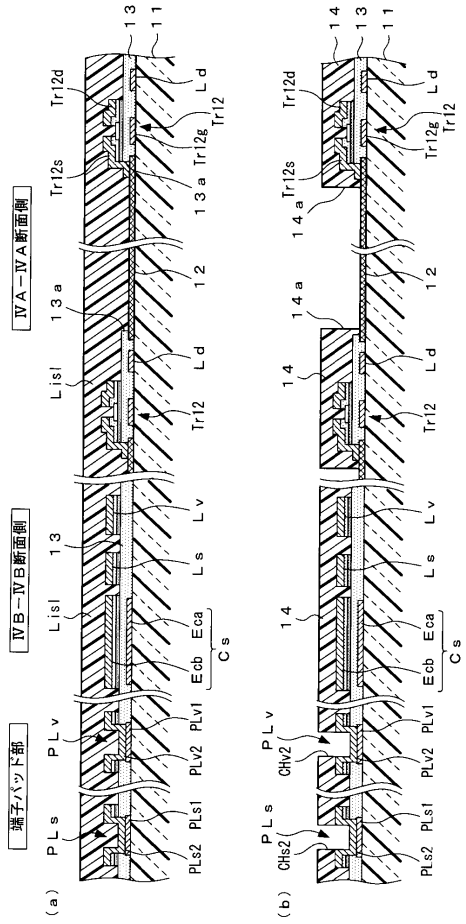
【図5】



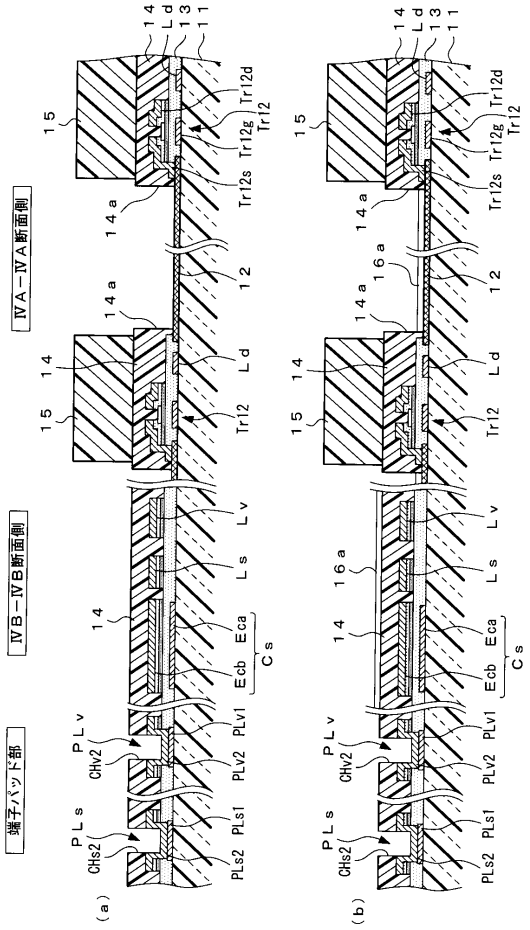
【図6】



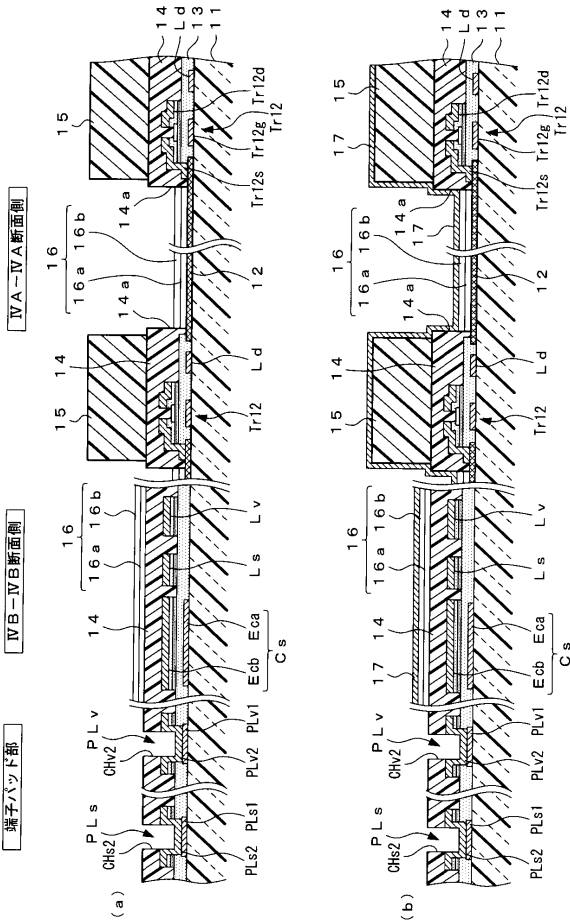
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (56)参考文献 特開2008-243582(JP,A)
特開2007-165834(JP,A)
特開2004-259796(JP,A)
特開2004-265837(JP,A)
特開2005-173184(JP,A)
特開2005-346043(JP,A)
特開2005-303150(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 51/50 - 51/56
H01L 27/32
H05B 33/00 - 33/28