

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4650553号
(P4650553)

(45) 発行日 平成23年3月16日(2011.3.16)

(24) 登録日 平成22年12月24日(2010.12.24)

(51) Int. Cl.	F I
G06F 3/041 (2006.01)	G06F 3/041 320B
G02F 1/133 (2006.01)	G02F 1/133 530
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 691D
	G09G 3/20 623J
請求項の数 4 (全 23 頁) 最終頁に続く	

(21) 出願番号	特願2008-269747 (P2008-269747)	(73) 特許権者	000002185
(22) 出願日	平成20年10月20日(2008.10.20)		ソニー株式会社
(65) 公開番号	特開2010-97549 (P2010-97549A)		東京都港区港南1丁目7番1号
(43) 公開日	平成22年4月30日(2010.4.30)	(74) 代理人	100086841
審査請求日	平成21年10月26日(2009.10.26)		弁理士 脇 篤夫
		(74) 代理人	100114122
			弁理士 鈴木 伸夫
		(72) 発明者	水橋 比呂志
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	山内 木綿子
			東京都港区港南1丁目7番1号 ソニー株式会社内
最終頁に続く			

(54) 【発明の名称】 液晶表示パネル

(57) 【特許請求の範囲】

【請求項1】

行方向ラインとして複数行配設されたゲート線と、
列方向ラインとして複数列配設された信号線と、

上記ゲート線と上記信号線の各交点に形成される複数の液晶画素部であって、画素電極と対向電極の間に液晶が封入され、かつ上記画素電極と対向電極の接触/非接触で圧力印加を検出する押圧センサが形成されており、上記ゲート線で与えられる制御信号によって上記画素電極が上記信号線と接続された期間内に、上記信号線から液晶駆動信号が与えられ、また上記信号線を介して上記押圧センサの接触/非接触に応じたセンサ信号が読み出されるように構成された液晶画素部と、

上記各信号線に接続され、上記各液晶画素部から読み出される上記センサ信号を2値化する複数のチョッパ型コンパレータと、

上記各チョッパ型コンパレータの出力をパラレル-シリアル変換して出力するシフトレジスタと、

を備え、

上記チョッパ型コンパレータは、

一方のノードに、上記センサ信号と第1のリセット電位が選択的に与えられる第1の容量と、

一方のノードに上記センサ信号と上記第1のリセット電位とは異なる電位の第2のリセット電位が選択的に与えられるとともに、他方のノードが上記第1の容量の他方のノード

と接続され、かつ上記第 1 の容量とは容量値が異なる第 2 の容量と、
上記第 1 , 第 2 の容量の上記他方のノードに接続されるインバータと、
上記インバータの出力と入力を断接するスイッチ素子と、
 を備えた液晶表示パネル。

【請求項 2】

上記第 1、第 2 のリセット電位とは、対向電極電位の逆相電位と、対向電極電位である
請求項 1 に記載の液晶表示パネル。

【請求項 3】

上記チョッパ型コンパレータは、
 リセット状態として、上記スイッチ素子により上記インバータの出力と入力
 が短絡され、かつ上記第 1 の容量の一方のノードに上記逆相電位が、また上記第 2 の容量の一方のノ
 ードに上記対向電極電位が与えられ、

コンパレート状態として、上記スイッチ素子により上記インバータの出力と入力
 が切り離され、かつ上記第 1 の容量の一方のノードと、上記第 2 の容量の一方のノードに上記セ
 ンサ信号が与えられることで、上記インバータの出力として上記センサ信号を 2 値化した
 デジタルデータを出力する請求項 2 に記載の液晶表示パネル。

【請求項 4】

上記チョッパ型コンパレータは、
 パワーセーブ状態として、
 上記第 1 の容量の一方のノード、上記第 2 の容量の一方のノード、上記第 1 , 第 2 の容
 量の他方のノードの各ノードをフローティング状態としたうえで、各ノードをプルダウン
 もしくはプルアップする構成とされている請求項 1 に記載の液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、タッチセンサ機能を有する液晶表示パネルに関するものである。

【背景技術】

【0002】

【特許文献 1】米国特許出願公開第 2006 / 0262100 号明細書

【0003】

近年、液晶パネル内にセンサ機能を持たせることにより、タッチパネル操作による入力
 を可能にしたディスプレイが種々提案されている。

しかしそのほとんどがセンサ出力をアナログ信号としてパネル外に取り出し、外付けの
 IC にて A / D 変換して、その後のさまざまなデータ処理を行う方式がとられている。

この場合、例えば各液晶画素回路内にセンサを設け、その各センサの情報を検出しよう
 とすると、センサの数だけパネルから外部 IC への配線が必要となり、パネルの額縁や IC
 のサイズが増加してしまうといった問題が生じる。

【0004】

具体例を述べる。まず、例えば上記特許文献 1 のように、画素内に設けたタッチセンサ
 の出力を画素回路に表示データ信号を与える信号線を介して、外付け IC で検知する方式
 が提案されている。

図 16 にそのような構成例を示す。

液晶表示パネルとして、画素回路 101 がマトリクス状に配置された画素アレイ 100
 が設けられる。

この画素アレイ 100 には、列方向に多数の信号線 LS が配設され、また行方向に多数
 のゲート線 GL が配設される。

そしてゲート線 GL と信号線 LS の各交点に画素回路 101 が形成される。

【0005】

各画素回路 101 は、対向する電極間（画素電極と COM 電極（共通電極））間に液晶
 が封入されて成る液晶セル LC を有する。

10

20

30

40

50

また画素回路101は、画素トランジスタTrを有する。画素トランジスタTrは、ゲートノードにゲート線GL、ソースノードに信号線LS、そしてドレインノードに液晶セルLCの画素電極が接続されている。

また各画素回路101にはセンサSが設けられる。センサSは、ユーザの指による押圧等による外部圧力により、画素電極とCOM電極とが電氣的に接続する構造とされる。

【0006】

このような画素アレイ100に対して、各信号線LSが外部IC102と接続される。外部IC102内には、1つの信号線LSに対して、図示するようにオペアンプ121、A/D変換器122、スイッチ123、容量124が設けられている。

スイッチ123は、信号線LSへの表示データの書込みと、信号線LSからのセンサSの情報の読出しを切替えるために設けられている、

書込時は、スイッチ123がオンとされ、図示しない書込回路系からの信号値がオペアンプ121を介して信号線LSに出力され、その際にゲート線GLによって画素トランジスタTrがオンとなっている画素に信号値の書込が行われる。

読出時は、スイッチ123がオフとなり、オペアンプの出力が信号線LSから切り離される。そして信号線LS上に現れたセンサ出力をオペアンプ121で増幅し、A/D変換器122にてデジタルデータに変換している。

【0007】

このような構成に対し、液晶パネルから外部IC102への配線を削減する手法が、例えばモバイル機器向けの小型パネルなどで採られている。例えば図17のように、信号線LSの本数を減らしパネルの狭額縁化、外部IC102のチップサイズダウンを実現するためセクタ方式による信号書込みを行うパネルが主流となりつつある。

この図17の構成例では、B、G、Rの各色に対応する書込スイッチ103、104、105を各信号線LSに設け、3本の信号線を、セクタとしての書込スイッチ103、104、105を介して1本の信号線LSrgbにまとめ、外部IC102へ導いている。

例えばB用の書込スイッチ103が形成された信号線LSには、B(青)画素回路が接続される。同様にG用の書込スイッチ104が形成された信号線LSには、G(緑)画素回路が接続され、R用の書込スイッチ105が形成された信号線LSには、R(赤)画素回路が接続される。

【0008】

この場合、ゲート線GLによって信号線に接続される1水平ラインの画素回路101(B、G、R各画素回路)に対して、1水平期間内に、時分割的に順次書込スイッチ103、104、105がオンとされ、B信号値、G信号値、R信号値が、それぞれ対応する画素回路101に書き込まれていくことになる。

【0009】

このような構成により液晶表示パネルから外部IC102への配線数を削減できる。特にセクタ数は増やすほど効果が大きく、より大きなコストメリットが生まれ出せる。

しかしながら外部IC102のドライバ回路とパネル内の1本の信号線が接続されている時間(書込み時間)はセクタ数の増加に伴い短くなっていく。

そのため、図16で述べたように信号線LSをセンサーSの情報読出しにも共用しようとすると、読出し時間が非常に短くなってしまい、現実的ではない。

【発明の開示】

【発明が解決しようとする課題】

【0010】

以上のように、画素回路にタッチ検出用のセンサを配置した構成では、信号線LSを用いて外部ICによって、各センサ情報の読出しを行うことが知られている。

ここで表示パネル外への配線数を削減するには、例えば図17のようなセクタ方式を採ることが考えられる。しかしその場合、センサ情報読出期間が非常に短くなり、タッチパネル機能を設ける表示パネル構造として現実的ではない。

【0011】

そこで本発明では、表示パネル内にタッチセンサ機能を持ちながら配線の削減、狭額縁化を実現する液晶表示パネルを実現することを目的とする。

【課題を解決するための手段】

【0012】

本発明の液晶表示パネルは、行方向ラインとして複数行配設されたゲート線と、列方向ラインとして複数列配設された信号線と、上記ゲート線と上記信号線の各交点に形成される複数の液晶画素部であって、画素電極と対向電極の間に液晶が封入され、かつ上記画素電極と対向電極の接触/非接触で圧力印加を検出する押圧センサが形成されており、上記ゲート線で与えられる制御信号によって上記画素電極が上記信号線と接続された期間内に、上記信号線から液晶駆動信号が与えられ、また上記信号線を介して上記押圧センサの接触/非接触に応じたセンサ信号が読み出されるように構成された液晶画素部と、上記各信号線に接続され、上記各液晶画素部から読み出される上記センサ信号を2値化する複数のチョッパ型コンパレータと、上記各チョッパ型コンパレータの出力をパラレル-シリアル変換して出力するシフトレジスタとを備える。

10

【0013】

また上記チョッパ型コンパレータは、一方のノードに、上記センサ信号と第1のリセット電位が選択的に与えられる第1の容量と、一方のノードに上記センサ信号と上記第1のリセット電位とは異なる電位の第2のリセット電位が選択的に与えられるとともに、他方のノードが上記第1の容量の他方のノードと接続され、かつ上記第1の容量とは容量値が異なる第2の容量と、上記第1、第2の容量の上記他方のノードに接続されるインバータと、上記インバータの出力と入力を断接するスイッチ素子とを備える。

20

また上記第1、第2のリセット電位とは、対向電極電位の逆相電位と、対向電極電位である。

また上記チョッパ型コンパレータは、リセット状態として、上記スイッチ素子により上記インバータの出力と入力が短絡され、かつ上記第1の容量の一方のノードに上記逆相電位が、また上記第2の容量の一方のノードに上記対向電極電位が与えられ、コンパレート状態として、上記スイッチ素子により上記インバータの出力と入力が切り離され、かつ上記第1の容量の一方のノードと、上記第2の容量の一方のノードに上記センサ信号が与えられることで、上記インバータの出力として上記センサ信号を2値化したデジタルデータを出力する。

30

また上記チョッパ型コンパレータは、パワーセーブ状態として、上記第1の容量の一方のノード、上記第2の容量の一方のノード、上記第1、第2の容量の他方のノードの各ノードをフローティング状態としたうえで、各ノードをプルダウンもしくはプルアップする構成とされている。

【0015】

このような本発明では、まず液晶表示パネルにおいて、画素内に形成された押圧センサの情報を、信号線を介して読み出すようにするが、ここでチョッパ型コンパレータを信号線に接続し、パネル内部でセンサ出力をデジタルデータに変換するようにする。

すると、パネル内部で、シフトレジスタにより1ライン分のセンサ出力をパラレル-シリアル変換して、外部に転送することができる。

40

またセンサ読み出しがチョッパ型コンパレータ及びシフトレジスタによって行われることで、信号線については、セレクト方式により本数を削減して外部回路と接続できる。

【0016】

またこの場合、押圧センサの接触/非接触によるセンサ情報は、チョッパ型コンパレータにおいて信号線電位が変化したか維持されているかを検出して2値化を行うことになる。この場合、通常のチョッパ型コンパレータ、つまり電位の上昇/下降に対して応答性よく反応するコンパレータでは、誤検出が生じることが多い。そこで上記構成により、2値化の安定性を確保する。

【発明の効果】

50

【 0 0 1 7 】

本発明によれば、パネル内とパネル外との間の配線の削減や、それに伴う狭額縁化を実現できる。

また本発明に係るチョッパ型コンパレータによっては、センサ接触時の高速応答性とセンサ非接触時の安定動作性を実現するコンパレータ回路が実現でき、液晶表示パネルのタッチパネル操作検出を適切に実現できる。

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

以下、本発明の実施の形態を次の順序で説明する。

- [1 . 実施の形態の液晶表示パネルの基本構成]
- [2 . センサ情報読出に一般的なコンパレータを用いた場合]
- [3 . 実施の形態のコンパレータの構成及び動作]
- [4 . 実施の形態の液晶表示パネルの具体的構成例Ⅰ]
- [5 . 実施の形態の液晶表示パネルの具体的構成例Ⅱ]
- [6 . 実施の形態のコンパレータの他の構成例]
- [7 . 実施の形態の効果]

10

【 0 0 1 9 】

- [1 . 実施の形態の液晶表示パネルの基本構成]

図 1 により本発明の実施の形態の基本的な構成を説明する。なお液晶表示パネルの全体の構成は図 9 等で後述する。

20

【 0 0 2 0 】

実施の形態の液晶表示パネルとしては、画素回路 2 がマトリクス状に配置された画素アレイ 1 が設けられる。

図 1 では一部のみしか示していないが、この画素アレイ 1 には、列方向に多数の信号線 L S が配設され、また行方向に多数のゲート線 G L が配設される。そしてゲート線 G L と信号線 L S の各交点に画素回路 2 が形成される。

【 0 0 2 1 】

各画素回路 2 は、対向する電極間（画素電極と C O M 電極（共通電極））間に液晶が封入されて成る液晶セル L C を有する。

30

また画素回路 2 は画素トランジスタ T r を有する。画素トランジスタ T r は、ゲートノードにゲート線 G L、ソースノードに信号線 L S、そしてドレインノードに液晶セル L C の画素電極が接続されている。

また各画素回路 2 にはセンサ S が設けられる。センサ S は、ユーザの指による押圧等による外部圧力により、液晶セル L C を配設しているガラス基板が変形し、画素電極と C O M 電極とが電氣的に接続する構造とされる。

【 0 0 2 2 】

このような画素アレイ 1 に対して、各信号線 L S が図示しない外部回路と接続される。この場合、図 1 7 で説明したようなセレクト方式の構成を採り、各信号線 L S は 3 本 1 組とされセクタとして、B、G、R の各色に対応する書込スイッチ S w B、S w G、S w R が設けられる。そして、その 3 本 1 組の信号線が書込スイッチ S w B、S w G、S w R を介して 1 本の信号線 L S r g b にまとめられ、外部回路と接続される。

40

B 用の書込スイッチ S w B が形成された信号線 L S には、B（青）画素回路が接続される。同様に G 用の書込スイッチ S w G が形成された信号線 L S には、G（緑）画素回路が接続され、R 用の書込スイッチ S w R が形成された信号線 L S には、R（赤）画素回路が接続される。

【 0 0 2 3 】

この場合、ゲート線 G L によって信号線に接続される 1 水平ラインの画素回路 2（B、G、R 各画素回路）に対して、1 水平期間内に、時分割的に順次書込スイッチ S w B、S w G、S w R がオンとされ、外部回路から信号線 L S r g b に与えられる B 信号値、G 信

50

号値、R信号値が、それぞれ対応する画素回路2に書き込まれていくことになる。

【0024】

図17で述べたように、このようなセクタ方式の構成により液晶表示パネルから外部回路への配線数を削減できるが、その場合、各画素回路2に設けられたセンサSの読み出し動作が困難となる。

すると、センサSの読み出しのために専用の読み出し用の配線を行う必要が生ずるが、その場合、配線数が大幅に増加し、セクタ方式の利点を無としてしまう。当然狭額縁化の妨げともなる。

【0025】

ここで、表示パネル内部でセンサ出力をデジタルデータに変換する手段をもてれば、表示パネル内部でデータの平行-シリアル変換などのデジタル処理が可能となり、センサ読み出し機能追加による配線本数の増加を抑えることができる。

そこで本実施の形態では、図1に示すように構成する。即ち、各信号線LSに対して読出スイッチSrを設け、読出スイッチSrを介してコンパレータ10を接続する。

このセンサSは、対向電極とCOM電極の接触/非接触を行う構造であり、センサSの接触/非接触の情報は、信号線LSの電位変動として表れる。これをコンパレータ10で2値化(デジタル化)する。そして、各コンパレータ10の出力を、複数のラッチ回路3で構成するシフトレジスタによって外部回路に転送するようにする。

【0026】

図2に動作タイミングを示す。

図2では、水平同期信号HDで規定される1水平期間の各信号波形を示している。各信号波形として、図示しないゲート駆動回路によって或るゲート線GLに与えられるゲート電極パルス(Gate)、書込スイッチSwB, SwG, SwRをオン/オフ制御する書込信号(SeIB, SeIG, SeIR)、全ての読出スイッチSrをオン/オフ制御するセンサー読出信号(RD)を示している。

またCOM電極の電位及び信号線LSの電位Sigも示している。

センサー読出信号RD及び書込信号SeIB, SeIG, SeIRは、それぞれ図示しない制御回路部により、水平期間内の所定タイミングで、読出スイッチSr、書込スイッチSwB, SwG, SwRをオンとするように発生される。

【0027】

基本駆動タイミングとしては、まずCOM電極が反転する。液晶駆動で通常行われるいわゆる1H反転である。図2ではL(Low)レベルからH(High)レベルに変化する場合を示している。

次に書込信号SeIB, SeIG, SeIRのすべてがHレベルとなり、すべての書込スイッチSwB, SwG, SwRがオンとなる。このとき、全ての信号線LSがCOM電極の逆相にプリチャージされる。

その後、書込信号SeIB, SeIG, SeIRがLレベルとなり、全ての書込スイッチSwB, SwG, SwRがオフとなる。

続いてゲート電極パルスGateがHレベルとされ、当該ゲート線GLに接続された水平方向の各画素回路2における画素トランジスタTrがオンとなる。これによって画素電極と信号線LSが接続される。

【0028】

次にセンサー読出信号RDがHレベルとされ、全ての読出スイッチSrがオンとなる。このときに、現在ゲート電極パルスGateにより画素トランジスタTrがオンとされている或る水平ラインの画素回路2についてのセンサSの情報(センサ接触/非接触の情報)が、コンパレータ10に入力されることになる。

例えば、パネル外部からの入力(圧力)がない部分の画素回路2におけるセンサSでは、COM電極と画素電極は電氣的に分離された状態(センサSはオフ状態)にあり、このセンサSからのコンパレータ10への入力、つまり信号線LSの電位はプリチャージレベルから変化しない(実線「非接触」で示す)。

10

20

30

40

50

一方、パネル外部からの入力（圧力）があった部分の画素回路 2 におけるセンサ S では、COM 電極と画素電極が電氣的に接続され（センサ S はオン状態）、このセンサ S からのコンパレータ 10 への入力、つまり信号線 LS のレベルはプリチャージレベルから COM 電極レベルへと上昇して行くことになる（破線「接触」で示す）。

コンパレータ 10 は、この COM 電極と画素電極の接触 / 非接触状態に伴う信号線レベルの変化を、読出期間中（センサ読出信号 RD の H レベル期間）に 1 / 0 のデジタルデータに 2 値化して検出する。

【 0 0 2 9 】

各コンパレータ 10 によっては、以上のように 1 水平期間内の読出期間に、1 水平ライン分の各画素回路 2 のセンサ情報のデジタルデータ化が行われ、この各デジタルデータが各ラッチ回路 3 に供給される。そして、各ラッチ回路 3 で構成されるシフトレジスタによってパラレル - シリアル変換され、外部回路に転送出力されることになる。

各コンパレータ 10 及び各ラッチ回路 3 が、各水平期間毎に、1 ラインの画素回路 2 について、このようなセンサ読出を行って行くことで、1 フレーム期間において表示パネルにおける全画素回路 2 についてのセンサ S の情報を外部回路に転送出力できることになる。

そして外部回路では、転送されてくる 1 画面分の画素回路 2 の各センサ情報の結果から、画面上でのタッチ操作位置を判定する。

【 0 0 3 0 】

1 水平期間内において、センサ S の情報の読出期間を終え、センサ読込信号 RD が L レベルとなると、続いて画素回路 2 への信号値の書込が行われる。

即ち書込信号 SelB、SelG、SelR が順次 H レベルとなり、書込スイッチ SwB、SwG、SwR がそれぞれオンとなる毎に、外部回路から信号線 L S r g b に与えられる B 信号値、G 信号値、R 信号値が、それぞれ青色画素、緑色画素、赤色画素のそれぞれの画素回路 2 に書込が行われる。

【 0 0 3 1 】

本実施の形態では、基本的には、以上のような構成及び動作により、パネル内外間の配線数の削減や、各画素回路 2 に設けられたセンサ S の適切な読出によるタッチパネル操作入力の正確な検知が可能となる。

【 0 0 3 2 】

[2 . センサ情報読出に一般的なコンパレータを用いた場合]

ここで、図 1 に示したコンパレータ 10 として、一般的なチョッパ型コンパレータを用いた場合について説明する。

上記のシステムを実現させるには、接触時には高速応答が要求される一方で非接触時にはノイズなどの影響による誤動作を防ぐ必要がある。

チョッパ型コンパレータは低素子数にて温度やトランジスタバラツキの影響をキャンセルすることができるため、さまざまなシステムで使用されている。

図 3 に回路図及び本実施の形態に適用した場合の信号接続を示す。

【 0 0 3 3 】

図 3 (a) に示すようにチョッパ型コンパレータは、スイッチ 5 1、5 2、5 4、容量 5 3、P チャネル F E T 5 5 及び N チャネル F E T 5 6 によるインバータ 5 0 を備えて構成される。

容量 5 3 の一方のノードには、スイッチ 5 1 がオンとされた場合に、COM 電極の反転電位 x COM が供給される。スイッチ 5 1 は図示しない制御回路からのリセット信号 R S T によってオン / オフされる。

また容量 5 3 の一方のノードには、スイッチ 5 2 がオンとされた場合に、信号線 LS の電位 S i g が供給される。スイッチ 5 2 は図示しない制御回路からセンサ読出信号 RD によってオン / オフされる。なお、このスイッチ 5 2 は、図 1 に示した読出スイッチ S r に相当する。

10

20

30

40

50

【 0 0 3 4 】

容量 5 3 の他方のノード (ノード I N) は、インバータ 5 0 の入力として F E T 5 5 , 5 6 の各ゲートに接続される。

またスイッチ 5 4 は、リセット信号 R S T によってオン / オフされるものとされ、オンとなることで、インバータ 5 0 の入出力を短絡する。

【 0 0 3 5 】

図 3 (a) はリセット状態の場合、図 3 (b) は上記の読出期間として信号線電位 S i g の 2 値化を行うコンパレート状態を示している。

このチョッパ型コンパレータは、図 3 (a) に示すように、リセット時はリセット信号 R S T によりスイッチ 5 1 がオン状態となっており、容量 5 3 の一方のノードがプリチャージレベルである反転電位 x C O M のレベルにセットされる。

同時にスイッチ 5 4 も on 状態となっておりインバータ 5 0 の入出力がショートされ、インバータ 5 0 の入力レベルは閾値付近にセットされることになる。

【 0 0 3 6 】

上記図 2 に示した読出期間としてコンパレート動作を行う際には、図 3 (b) のように、スイッチ 5 1 , 5 4 はオフ状態となる。一方、センサ読出信号 R D によりスイッチ 5 2 がオン状態となり、容量 5 3 の一方のノードが信号線 L S に接続され、x C O M 電位からセンサ出力ノードである信号線電位 S i g となる。

このとき、たとえば反転電位 x C O M が L レベルであれば、信号線 L S も L レベルにプリチャージされている (図 2 参照) 。

そしてもしセンサ S がオン (接触) 状態であれば、信号線 L S の電位 S i g はプリチャージレベルから C O M 電極レベルへと上昇していく。

一方センサ S がオフ (非接触) 状態であれば、信号線 L S の電位 S i g はプリチャージレベルから変化しない。

【 0 0 3 7 】

ここで図 4 (a) に通常のチョッパ型コンパレータの入出力特性を示す。また、図 3 のインバータ 5 0 の入力ノード (I N) と出力ノード (O U T) での特性を図 4 (b) に示す。

上記のように反転電位 x C O M が L レベル (つまり C O M 電位 = H の場合) 、センサ S がオンとなっていれば、信号線電位 S i g はプリチャージレベル (この場合 L レベル) から C O M 電極レベル (この場合 H レベル) へと上昇していく。

よって図 4 (b) の実線 A で示すように信号線電位 S i g のレベル (横軸) が微小電位上昇しただけで出力レベル (縦軸) は反転することになり、図 4 (a) の通常のインバータより高速応答が可能となる。

また、反転電位 x C O M が H レベル (つまり C O M 電位 = L の場合) 、センサ S がオンとなっていれば、信号線電位 S i g はプリチャージレベル (この場合 H レベル) から C O M 電極レベル (この場合 L レベル) へと下降していく。

よって図 4 (b) の破線 B で示すように信号線電位 S i g のレベル (横軸) が微小電位下降しただけで出力レベル (縦軸) は反転することになり、高速応答が可能となる。

【 0 0 3 8 】

このようにチョッパ型コンパレータは入力信号の基準電圧からのプラス方向、あるいはマイナス方向の微小変化を読み取り増幅する回路であるため、センス速度の高速化は実現できる。

ところが今回のシステムのように入力にフローティング状態 (C O M 電極 - 画素電極が非接触時) が存在する場合、その動作保障がなされていないことになってしまう。

これを図 5 で説明する。

図 5 (a) は C O M 電位 = H の場合、図 5 (b) は C O M 電位 = L の場合のそれぞれにおいて、センサ S がオフ (非接触) であるときに起こる誤動作の様子を示している。

実線はインバータ 5 0 の出力 (O U T) 、破線はインバータ 5 0 の入力 (I N) 、一点鎖線は信号線電位 S i g である。

10

20

30

40

50

【 0 0 3 9 】

プリチャージ期間は、上述した図 3 (a) のリセット状態となり、インバータ 5 0 の入出力は短絡され同電位となる。ゲートオープンとして示すタイミングで、画素回路 2 の画素トランジスタ T_r がオンとされ、画素電極 (及びセンサ S) が信号線 $L S$ に接続される。

そして読出期間にスイッチ 5 2 がオンとされ、信号線電位 $S i g$ がインバータ 5 0 の入力ノード ($I N$) に印加される。

【 0 0 4 0 】

ここで、センサ S がオフであるとする、信号線電位 $S i g$ はプリチャージレベルから変化しないはずである。ところが、図 5 (a) に示すように、ゲートオープン後、信号線電位 $S i g$ の若干の変動が発生する。これは、ゲートオープン後に、1 垂直期間前に書き込まれた画素電位が信号線 $L S$ 上に表れることによる。

そして読出期間となると、インバータ 5 0 がこの信号線電位 $S i g$ の微小な変動に反応して図のように誤動作としての出力 ($O U T$) を行ってしまう。

図 5 (b) も同様であり、センサ S がオフであっても、ゲートオープン後の信号線電位 $S i g$ の微小な変動により、インバータ 5 0 の出力 ($O U T$) は誤動作としての出力となる。

【 0 0 4 1 】

通常のチョッパ型コンパレータは、図 4 (a) の特性からわかるように、入力電位の正方向又は負方向への変化を判定する動作を行うところ、本例の場合、センサ S の接触 / 非接触は、信号線電位 $S i g$ の変化の有無を判定する動作となる。

この場合に、センサ S がオフで、信号線電位 $S i g$ に変化が生じない場合でも、実際には上記のように微小な電位変動が生じる。これによってセンサ S がオフの場合のインバータ 5 0 の出力は不安定なものとなってしまう。

【 0 0 4 2 】

[3 . 実施の形態のコンパレータの構成及び動作]

以上のような事情から、本実施の形態のコンパレータ 1 0 として、図 6 に示すようなチョッパ型コンパレータを用いるようにする。

これは信号線 $L S$ 上に出力されるセンサ S の出力に対し、センサ接触時の高速応答性とセンサ非接触時の安定動作性を実現するコンパレータ回路である。

【 0 0 4 3 】

図 6 (a) に示すように本例のチョッパ型コンパレータは、スイッチ 1 1 , 1 2 , 1 4 , 1 7 , 1 8、容量 1 3 , 1 9、Pチャネル $F E T 1 5$ 及びNチャネル $F E T 1 6$ によるインバータ 2 0 を備えて構成される。

容量 1 3 , 1 9 は、互いに異なる容量値とされる。以下、区別のため容量 1 3 を補助容量 1 3 と呼ぶこととする。

補助容量 1 3 の一方のノードには、スイッチ 1 2 がオンとされた場合に、COM電位が供給される。スイッチ 1 2 は図示しない制御回路からのリセット信号 $R S T$ によってオン / オフされる。

また、この補助容量 1 3 の一方のノードには、スイッチ 1 1 がオンとされた場合に、信号線 $L S$ の電位 $S i g$ が供給される。スイッチ 1 1 は図示しない制御回路からセンサ読出信号 $R D$ によってオン / オフされる。

【 0 0 4 4 】

容量 1 9 の一方のノードには、スイッチ 1 8 がオンとされた場合に、COM電極の反転電位 $x C O M$ が供給される。スイッチ 1 8 は、スイッチ 1 2 と共にリセット信号 $R S T$ によってオン / オフされる。

また、この容量 1 9 の一方のノードには、スイッチ 1 7 がオンとされた場合に、信号線 $L S$ の電位 $S i g$ が供給される。スイッチ 1 7 はスイッチ 1 1 とともにセンサ読出信号 $R D$ によってオン / オフされる。

10

20

30

40

50

【 0 0 4 5 】

容量 1 3 , 1 9 の他方のノード (ノード I N) は、互いに接続され、またインバータ 2 0 の入力として F E T 1 5 , 1 6 の各ゲートに接続される。

またスイッチ 1 4 は、リセット信号 R S T によってオン / オフされるものとされ、オンとなることで、インバータ 2 0 の入出力を短絡する。

【 0 0 4 6 】

上記図 3 のチョッパ型コンパレータと異なる点は、補助容量 1 3 が付加されており、その一方のノードを、容量 1 9 とは異なる電位、この例では C O M 電位にチャージする手段が新たに付加されている点である。

この付加回路により補助容量 1 3 にチャージされた電荷量に応じチョッパ型コンパレータの閾値電圧をシフトさせることが可能となる。

したがって補助容量 1 3 の値を調整することのより適切な不感帯領域を設けることが可能となり接触時の高速応答と非接触時の安定動作を実現することが可能となる。

【 0 0 4 7 】

図 6 (a) はリセット状態の場合、図 6 (b) は上記の読出期間として信号線電位 S i g の 2 値化を行うコンパレート状態を示している。

このチョッパ型コンパレータは、図 6 (a) に示すように、リセット時はリセット信号 R S T によりスイッチ 1 2 , 1 8 がオン状態となる。これにより容量 1 9 の一方のノードがプリチャージレベルである反転電位 \times C O M のレベルにセットされ、さらに補助容量 1 3 の一方のノードはプリチャージレベルの逆相である C O M 電位のレベルにセットされることになる。

同時にスイッチ 1 4 もオン状態となっており、インバータ 2 0 の入出力がショートされ、インバータ 2 0 の入力レベルは閾値付近にセットされることになる。

【 0 0 4 8 】

次に、上記図 2 に示した読出期間としてコンパレート動作を行う際には、図 6 (b) のように、スイッチ 1 2 , 1 8 はオフ状態となる。またスイッチ 1 4 もオフとなる。

そしてセンサ読出信号 R D によりスイッチ 1 1 , 1 7 がオン状態となり、容量 1 9 の一方のノードと補助容量 1 3 の一方のノードがショートし、かつセンサ出力ノードである信号線 L S (信号線電位 S i g) へ接続されることになる。

【 0 0 4 9 】

ここで容量 1 9 の容量値を C 1 、補助容量 1 3 の容量値を C 2 、信号線 L S の配線負荷容量を C s 、リセット時のインバータ入力ノード I N のレベルを V t 、コンパレート動作時のインバータ入力ノード I N を V t ' 、信号線電位 S i g を V s とする。

すると、リセット動作時とコンパレート動作時との間での電荷保存則より以下の式が成立する。

$$C 1 (\times C O M - V t) + C 2 (C O M - V t) + C s \cdot \times C O M \\ = C 1 (V s - V t ') + C 2 (V s - V t ') + C s \cdot V s \quad \dots (式 1)$$

$$C 1 (V t - \times C O M) + C 2 (V t - C O M) \\ = C 1 (V t ' - V s) + C 2 (V t ' - V s) \quad \dots (式 2)$$

【 0 0 5 0 】

式 2 より

$$V t ' = V t - (C 1 \cdot \times C O M + C 2 \cdot C O M) / (C 1 + C 2) + V s \\ \dots (式 3)$$

が得られる。

式 3 を式 1 に代入すると、

$$式 1 右辺 = C 1 (\times C O M - V t) + C 2 (C O M - V t) + C s \cdot V s \\ \dots (式 4)$$

となり V s = \times C O M が得られる。

【 0 0 5 1 】

10

20

30

40

50

この式4を式3に代入することにより、リセット動作からコンパレート動作に切替わった際のインバータ入力レベル $V_{t'}$ は以下の式5として求められる。

$$V_{t'} = V_t - \{ (C_1 \cdot x_{COM} + C_2 \cdot COM) / (C_1 + C_2) - x_{COM} \} \quad \dots (式5)$$

【0052】

この式5は、リセット動作からコンパレート動作に切替わった際のインバータ入力ノード(IN)のレベルが、

$$(C_1 \cdot x_{COM} + C_2 \cdot COM) / (C_1 + C_2) - x_{COM} \quad \dots (式6)$$

だけシフトすることを意味している。

言い換えれば図7に示すように、コンパレータの閾値を式6で表される分(Y)だけシフトさせることが可能であるといえる。つまり実線A'及び破線B'が入出力特性となる。

10

【0053】

図8により動作を説明する。

図8(a)はCOM電位 = Hの場合、図8(b)はCOM電位 = Lの場合のそれぞれにおいて、センサSがオフ(非接触)であるときとオン(接触)であるときのインバータ20の入出力の様子を示している。

実線はインバータ20の出力(OUT)、破線はインバータ20の入力(IN)、一点鎖線は信号線電位Sigである。

【0054】

20

プリチャージ期間は、図6(a)のリセット状態となり、インバータ20の入出力は短絡され同電位となる。ゲートオープンとして示すタイミングで、画素回路2の画素トランジスタTrがオンとされ、画素電極(及びセンサS)が信号線LSに接続される。

そして読出期間に図6(b)のようにスイッチ11, 17がオンとされ、信号線電位Sigがインバータ20の入力ノード(IN)に印加される。

【0055】

センサSがオフであるとする、信号線電位Sigはプリチャージレベルから変化しないはずである。ところが例えば図8(a)のセンサ非接触の場合において示すように、ゲートオープン後、1垂直期間前に書き込まれた画素電位が信号線LS上に表れることで信号線電位Sigの若干の変動が発生することは先に述べた。

30

ここで本例の場合、図中、オフセットOFFSとして示すように、図7のYに相当する分、閾値のオフセットがかけられることになる。そのため読出期間において、入力(IN)における信号線電位Sigの若干の上昇の影響は、オフセットレベルからの上昇として表れ、破線で示すようになる。

そしてこれはインバータ20の閾値に対しては入力が「電位変化有り」の電位とはならず、従って、正しい出力OUT(図8(a)の場合、非接触を示すHレベル出力)が得られる。

なお、センサ接触の場合には、下段に示すように、信号線電位Sigが上昇していくことで、正しい出力OUT(図8(a)の場合、接触を示すLレベル出力)が得られる。

【0056】

40

図8(b)のCOM電位 = Lの場合も同様である。即ち、センサ非接触の場合の信号線電位Sigの変動に対し、オフセットOFFSとして示すように図7のYに相当する分、閾値のオフセットがかけられる。そのため読出期間において、入力(IN)における信号線電位Sigの若干の下降の影響は、オフセットレベルからの下降として表れ、破線で示すようになる。従って、正しい出力OUT(図8(b)の場合、非接触を示すLレベル出力)が得られる。またセンサ接触の場合には、下段に示すように、信号線電位Sigが下降していくことで、正しい出力OUT(図8(b)の場合、接触を示すHレベル出力)が得られる。

【0057】

このように、図6のチョッパ型コンパレータは、信号線電位Sigの変動の有無をセ

50

ンサ S のオン/オフとして検出する場合に、正確な検出による 2 値化が可能となる。

【 0 0 5 8 】

なお図 7 に示したシフト量 Y は容量 1 9 , 1 3 の容量値 C 1 , C 2 の容量比により調整可能である。

またノイズレベル（非接触であると認識しなくてはいけないレベル）は C O M 振幅が高いほど高く、低いほど低くなるが、上記シフト量 Y も C O M 振幅によっても変わり、C O M の振幅は高いほど不感帯幅（図 7 のシフト量 Y）は広くなり逆に C O M 振幅が低いほど不感帯幅は狭くなる。よって C O M 振幅に起因するノイズ量の増減に対し閾値電圧のシフト量は自動的に調整されることになる。

【 0 0 5 9 】

以上のようにコンパレータ 1 0 として、図 6 のチョッパ型コンパレータを用いることが本実施の形態として好適となる。

即ち、補助容量 1 3 およびスイッチ 1 1 , 1 2 を付加し、補助容量 1 3 の一方の電極を容量 1 9 とは異なる電位（図 6 の例では C O M 電位）に接続する手段を新たに付加する。これにより、容量 1 9 と補助容量 1 3 の容量比、および C O M 振幅に応じチョッパ型コンパレータの閾値電圧をシフトさせ、適切な不感帯領域を設けることが可能となり接触時の高速応答と非接触時の安定動作を実現することが可能となる。

【 0 0 6 0 】

[4 . 実施の形態の液晶表示パネルの具体的構成例 I]

図 9 に実施の形態の液晶表示パネルの具体的な構成例 I を示す。

図 1 で基本的な構成として説明したように、実施の形態の液晶表示パネルとしては、画素回路 2 がマトリクス状に配置された画素アレイ 1 が設けられる。各画素回路 2 は、ゲート線 G L と信号線 L S の各交点に画素回路 2 が形成される。

【 0 0 6 1 】

このような画素アレイ 1 に対して、各信号線 L S が外部 I C 9 0 と接続される。この場合、セレクト方式により 3 本 1 組の信号線が書込スイッチ S w B , S w G , S w R を介して 1 本の信号線 L S r g b にまとめられ、外部 I C 9 0 と接続されることになる。

また、各信号線 L S は、読出スイッチ S r を介して読出回路 3 0 に接続される。

【 0 0 6 2 】

外部 I C 9 0 は、各信号線 L S r g b に対して 1 水平期間内に時分割的に B 信号値、G 信号値、R 信号値を供給する。

また書込スイッチ S w B , S w G , S w R をオン/オフ制御する書込信号（SeIB、SeIG、SeIR）、全ての読出スイッチ S r をオン/オフ制御するセンサ読出信号（RD）を出力する。

また図示しないゲート駆動回路によって、各ゲート線 G L にゲート電極パルス（Gate）が印加され、1 水平ライン毎に画素回路 2 が信号線 L S に接続される。

1 水平期間内のこれらの信号波形を図 1 1 に示すが、ゲート電極パルス（Gate）、書込信号（SeIB、SeIG、SeIR）、センサ読出信号（RD）については図 2 で説明したとおりである。また、C O M 電位、信号線電位 S i g も図 2 で説明したとおりであり、プリチャージ、センサ読出、B、G、R 信号値書込が、それぞれ所定のタイミングで行われる。

【 0 0 6 3 】

図 1 0 に読出回路 3 0 の構成を示す。読出回路 3 0 は、各信号線 L S にそれぞれ対応するコンパレータ 1 0、1 0・・・と、各コンパレータ 1 0、1 0・・・の 2 値化出力をラッチするラッチ回路 3、3・・・から成るシフトレジスタ（パラレル-シリアル変換部）3 1 から成る。

各コンパレータ 1 0、1 0・・・としては、図 6 に示したチョッパ型コンパレータが設けられる。

またラッチ回路 3、3・・・としては、D 型フリップフロップ、例えば T G F F（Transmission-Gate Flip-Flop）などを用いることができる。

10

20

30

40

50

【 0 0 6 4 】

コンパレータ 1 0 には、入力 $i n$ として、信号線 $L S$ の電位 $S i g$ がセンサ読出スイッチ $S r$ を介して供給される。

また入力 $r e f 1$ として、反転電位 $x C O M$ が供給される。この反転電位 $x C O M$ は図 6 のスイッチ 1 8 を介して容量 1 9 の一方のノードに印加されることになる。

また入力 $r e f 2$ として、 $C O M$ 電位が供給される。この $C O M$ 電位は図 6 のスイッチ 1 2 を介して補助容量 1 3 の一方のノードに印加されることになる。

またセンサ読出信号 $R D$ が図 6 のスイッチ 1 1 , 1 7 に供給され、リセット信号 $R S T$ がスイッチ 1 2 , 1 4 , 1 8 に供給される。

そしてこのコンパレータ 1 0 は、図 1 1 のプリチャージ期間に図 6 (a) のリセット動作を行い、また読出期間に図 6 (b) のコンパレート動作を行うことになる。

10

【 0 0 6 5 】

各コンパレータ 1 0 の 2 値化出力は、各ラッチ回路 3 の $D 2$ 入力となる。

各ラッチ回路 3 は、先頭のラッチ回路 3 の $D 1$ 入力に $C O M$ 電位とされ、後続のラッチ回路 3 の $D 1$ 入力は、前段の Q 出力とされる。そして各コンパレータ 1 0 の 2 値化出力を、パラレル - シリアル変換して転送し、出力 $D O$ とする。この出力 $D O$ が、外部 $I C 9 0$ に供給され、外部 $I C 9 0$ は、これによって各センサ S の情報を検出することになる。なお各ラッチ回路 3 , 3 . . . に与えられるクロック $S C K$ は外部 $I C 9 0$ から供給される。

【 0 0 6 6 】

20

ここでセンサ S の情報の読出及び転送のタイミングについて述べておく。

図 1 1 (及び上述した図 2 の説明) からわかるように、センサ情報の読出は読出期間における信号線電位 $S i g$ の変動をコンパレータ 1 0 で検出することで行われる。

そして図 1 1 の転送出力 $D O$ として示すように、1 水平ライン分の各画素回路 2 からのセンサ情報の転送出力は書込期間に行われることになる。

【 0 0 6 7 】

信号線 $L S$ の充電速度を考えてみる。低温ポリシリコン $T F T$ の場合、画素トランジスタ $T r$ のオン抵抗は数百 K 程度である。また数インチ程度のモバイル機器向け小型ディスプレイであれば信号線の寄生容量は数 $1 0 p F$ 程度である。従って $1 0 \mu s e c$ 程度であれば十分インバータ 2 0 をターンオンさせることが可能である。

30

一方でアモルファスシリコン $T F T$ の場合は、画素トランジスタ $T r$ のオン抵抗は M オオーダーとなるため、信号線 $L S$ 上の信号変化を検出するのは極めて困難となる。

つまり低温ポリシリコン $T F T$ を用いれば $1 0 \mu s e c$ 程度の時間で信号線 $L S$ 上に現れるセンサ出力を読み出すことが可能となり、センサ読出信号 $R D$ が H レベルの間 (つまり読出期間) にパネル外部からの入力 (圧力) 状態に応じたセンサ S のオン / オフ情報をシフトレジスタ 3 1 を構成するラッチ回路 3 , 3 . . . に取り込むことが可能となる。

【 0 0 6 8 】

以上の構成のように本例では、液晶表示パネルにおいて各信号線 $L S$ にセンサ読出スイッチ $S r$ を設け、各画素回路 2 におけるセンサ S の情報をコンパレータ 1 0 及びシフトレジスタ 3 1 を有する読み出し回路 3 0 によって読み出すようにする。これによりセレクト方式による書込システムを採用し信号線本数の削減を実現すると同時に、画素内に設けたセンサ出力の読出し用の配線数も最小限に抑えることが可能となる。

40

【 0 0 6 9 】

また低温ポリシリコン $T F T$ で表示パネルを構成することにより、映像信号の書込動作前の数 $\mu s e c$ 程度の時間で、画素内のセンサ情報をシフトレジスタ (パラレル - シリアル変換部) 3 1 に取込むことが可能となる。その結果、その後の B 、 G 、 R の各信号値の各画素回路 2 への書込動作中に、センサ情報をパネル外部へシリアル出力 ($D O$) することが可能となる。

【 0 0 7 0 】

[5 . 実施の形態の液晶表示パネルの具体的構成例 II]

50

図 1 2 に液晶表示パネルの具体的な構成例 II を示す。

画素内にセンサ S を配置した場合、原理的には最大センサ密度 = 画素数となる。しかし、タッチパネル機能を実現するためにセンサ S を使用する場合、指やタッチペンなどの接触 / 非接触を検出できればよく、数百 μm といった画素ピッチ同等の密度は不要である。

またその後のデータ処理の負荷なども考慮すればセンサ数はある程度間引くのが現実的である。

そこで、図 1 2 の構成例 II では、画素内センサ S が全ての画素回路 2 に存在せず、最大でも 1 画素おきに存在するようなセンサ配置を前提とした構成となっている。

【 0 0 7 1 】

図 1 2 の構成では、画素アレイ 1 内の画素回路 2 として、偶数列の画素回路 2 e、奇数列の画素回路 2 o を示している。

画素回路 2 e、2 o のいずれも、センサ S を有する画素回路とセンサ S を設けていない画素回路がある。そして全体としては行方向及び列方向に見て、1 画素置きにセンサ S が設けられている構成となっている。

【 0 0 7 2 】

ゲート線 G L としては、偶数行のゲート線 G L e と奇数行のゲート線 G L o を示している。

図からわかるように、偶数行のゲート線 G L e に接続されている画素回路 2 e、2 o としては、偶数列の画素回路 2 e が、センサ S が設けられている画素となっている。

また、奇数行のゲート線 G L o に接続されている画素回路 2 e、2 o としては、奇数列の画素回路 2 o が、センサ S が設けられている画素となっている。

【 0 0 7 3 】

また上述したようにコンパレータ 1 0 及びシフトレジスタ 3 1 から成る読出回路 3 0 として、2 つの読出回路 3 0 e、3 0 o が設けられている。

読出回路 3 0 e には、偶数列の信号線 L S e が、読出スイッチ S r を介して接続される。

また読出回路 3 0 o には、奇数列の信号線 L S o が、読出スイッチ S r を介して接続される。

【 0 0 7 4 】

O / E クロック生成部 3 3 は、外部 I C 9 0 からのクロック S C K、センサ読出信号 R D と、例えば水平同期信号から生成される偶数 / 奇数クロック O E C K から、必要な信号を生成する。即ち偶数クロック S C K __ o、奇数クロック S C K __ e、偶数用センサ読出信号 R D __ o、奇数用センサ読出信号 R D __ e を生成する。

偶数クロック S C K __ e は読出回路 3 0 e におけるシフトレジスタ 3 1 の転送クロックとされる。

奇数クロック S C K __ o は読出回路 3 0 o におけるシフトレジスタ 3 1 の転送クロックとされる。

偶数用センサ読出信号 R D __ e は、偶数列の信号線 L S e に設けられた読出スイッチ S r のオン / オフ制御信号となる。

奇数用センサ読出信号 R D __ o は、奇数列の信号線 L S o に設けられた読出スイッチ S r のオン / オフ制御信号となる。

【 0 0 7 5 】

出力セレクタ 3 2 は、読出回路 3 0 e、3 0 o の転送出力を、偶数 / 奇数クロック O E C K に基づいて選択し、外部 I C 9 0 に対するセンサ情報のシリアル出力 D O とする。

【 0 0 7 6 】

図 1 3 は 2 水平期間分のタイミングチャートを示してある。この図をもとに動作について説明する。

まずプリチャージ期間に信号線 L S e、L S o のプリチャージ動作が行われ、続いて奇数行の或るゲート線 G L o に対するゲート電極パルス Gate_o が H レベルとなり画素電極と

10

20

30

40

50

信号線 L S e , L S o が接続される。

次に奇数用センサ読出信号 R D _ o が H レベルとなると、奇数列の信号線 L S o の読出スイッチ S r がオンとなり、現在ゲート電極パルス Gate_o で選択されている行における奇数列の画素回路 2 o のセンサ情報が、読出回路 3 0 o へ入力される。

その後、B、G、R 各信号値の書込み動作が行われるわけだが、このときは奇数クロック S C K _ o は継続して L レベルであり、読出回路 3 0 o は読み込んだ奇数ラインのセンサ情報の転送は行わない。

この奇数ラインのセンサ情報の転送は次の水平期間に行われることになる。即ち次の水平期間において、読出回路 3 0 o におけるシフトレジスタ 3 1 は、奇数クロック S C K _ o に従って前水平期間にラッチしたセンサ情報の転送を行う。このとき出力セクタ 3 2 は読出回路 3 0 o 側を選択し、その転送出力をセンサ情報のシリアル出力 D O として出力することになる。

【 0 0 7 7 】

このように読出回路 3 0 o からの転送出力が行われている水平期間では、同時に次の動作が行われている。

即ちプリチャージ期間に信号線 L S e、L S o のプリチャージ動作が行われ、続いて偶数行の或るゲート線 G L e に対するゲート電極パルス Gate_e が H レベルとなり画素電極と信号線 L S e , L S o が接続される。

次に偶数用センサ読出信号 R D _ e が H レベルとなると、偶数列の信号線 L S e の読出スイッチ S r がオンとなり、現在ゲート電極パルス Gate_e で選択されている行における偶数列の画素回路 2 e のセンサ情報が、読出回路 3 0 e へ入力される。

その後、B、G、R 各信号値の書込み動作が行われるわけだが、このときは偶数クロック S C K _ e は継続して L レベルであり、読出回路 3 0 e は読み込んだ偶数ラインのセンサ情報の転送は行わない。

この偶数ラインのセンサ情報の転送は次の水平期間に行われることになる。即ち次の水平期間において、読出回路 3 0 e におけるシフトレジスタ 3 1 は、偶数クロック S C K _ e に従って前水平期間にラッチしたセンサ情報の転送を行う。このとき出力セクタ 3 2 は読出回路 3 0 e 側を選択し、その転送出力をセンサ情報のシリアル出力 D O として出力する。

【 0 0 7 8 】

以上のように 1 ライン毎 (奇数行 / 偶数行) に画素内のセンサ S の配置位置をずらし、さらに偶数行用 / 奇数行用に 2 つの読出回路 3 0 e、3 0 o を備え、それぞれの行を交互に動作させる。これにより、センサ情報の取込み動作とシリアル転送動作をそれぞれ連続する異なる水平期間で行うことができるため、転送動作時の周波数が落とせ、より安定的な動作が可能となる。

【 0 0 7 9 】

[6 . 実施の形態のコンパレータの他の構成例]

続いて、図 6 で説明した実施の形態のコンパレータ 1 0 としての他の構成例を図 1 4 で説明する。

図 1 4 (a) に示すように、コンパレータ 1 0 は、図 6 の構成に加えて n チャンネルトランジスタ 4 1、4 2、4 3 を加えており、これらトランジスタ 4 1、4 2、4 3 がオンするパワーセーブ期間を設けていることを特徴とする。

【 0 0 8 0 】

トランジスタ 4 1 は、そのドレイン - ソースが、補助容量 1 3 の一方のノード N D 2 とグランド間に接続される。

トランジスタ 4 2 は、そのドレイン - ソースが、容量 1 9 の一方のノード N D 3 とグランド間に接続される。

トランジスタ 4 3 は、そのドレイン - ソースが、インバータ 2 0 の入力ノード N D 1 とグランド間に接続される。

各トランジスタ 4 1 , 4 2 , 4 3 は、パワーセーブ信号 P S によりオン / オフされる。

【 0 0 8 1 】

図 1 5 に動作タイミングチャートを示す。

プリチャージ期間は、リセット信号 R S T によって、スイッチ 1 2 , 1 8 , 1 4 がオンとなる。パワーセーブ信号 P S は L レベルであり、トランジスタ 4 1 , 4 2 , 4 3 はオフであるため、上記各ノード N D 1 , N D 2 , N D 3 はグランドから切り離されている。

従って図 1 4 (b) の状態となり、これは図 6 (a) と等価となる。

【 0 0 8 2 】

続く読出期間は、リセット信号 R S T が L レベルとなってスイッチ 1 2 , 1 8 , 1 4 がオフとなる。また、センサ読出信号 R D によってスイッチ 1 1 , 1 7 がオンとなる。このときもパワーセーブ信号 P S は L レベルであり、トランジスタ 4 1 , 4 2 , 4 3 はオフであるため、上記各ノード N D 1 , N D 2 , N D 3 はグランドから切り離されている。

従って図 1 4 (c) の状態となり、これは図 6 (b) と等価となる。

このため、プリチャージ期間及び読出期間の動作は、図 6 の場合と全く同様である。

【 0 0 8 3 】

プリチャージ期間と読出期間以外は、スイッチ 1 1 , 1 2 , 1 4 , 1 7 , 1 8 は全てオフとなる。

ここで本例の場合、パワーセーブ信号 P S が H レベルとなり、上記各ノード N D 1 , N D 2 , N D 3 がグランドに接続される。

これが図 1 4 (a) に示すパワーセーブ状態となる。

【 0 0 8 4 】

チョッパ型コンパレータはリセット動作時、スイッチ 1 4 がオン状態であるため、インバータ 2 0 の入力ノード N D 1 はインバータ 2 0 の閾値電圧にセットされており、電源 - G N D 間に貫通電流が流れることになる。

またコンパレート動作時も信号線電位 S i g のレベルが電源 - G N D 間の中間電圧付近では、やはりインバータ 2 0 に貫通電流が流れることになる。よってリセット動作およびコンパレート動作時間を必要最低限に抑え、その他の時間帯はインバータ 2 0 の貫通電流を抑えることにより低消費電力化を図ることができる。

【 0 0 8 5 】

即ちプリチャージ期間及び読出期間以外では、パワーセーブ信号 P S が H レベル、リセット信号 R S T が L レベル、センサ読出信号 R D が L レベルのパワーセーブ状態にあり、このときすべてのスイッチが o f f 状態になっている。

このときフローティング状態となるノード N D 1 , N D 2 , N D 3 は、トランジスタ 4 1 , 4 2 , 4 3 により L レベルに固定されており、コンパレータでの電力消費はない。

つまり、コンパレート動作が終了するとパワーセーブ信号 P S が H レベルとなってパワーセーブ状態となり、次のサイクルまでコンパレータでの電力消費をカットすることになる。

以上のようにリセット動作時およびコンパレート動作時以外の時間帯ではコンパレータを構成するすべてのスイッチをオフし、その際フローティングとなるノードにプルダウンもしくはプルアップする手段を加えることにより、コンパレータでの電力消費を最小限に抑えることが可能となる。

【 0 0 8 6 】

[7 . 実施の形態の効果]

以上の実施の形態によれば次のような効果が得られる。

図 6 又は図 1 4 に示すコンパレータ 1 0 の構成によれば、一方のノードに、センサ信号である信号線電位 S i g と第 1 のリセット電位 (x C O M 電位) が選択的に与えられる容量 1 9 が設けられる。これに加え、一方のノードに信号線電位 S i g と第 1 のリセット電位 (x C O M 電位) とは異なる電位の第 2 のリセット電位 (C O M 電位) が選択的に与えられる補助容量 1 3 を備える。そして容量 1 9 と補助容量 1 3 は、他方のノードが接続さ

10

20

30

40

50

れるとともに、互いに異なる容量値とされる。そして当該他方のノードはインバータ20の入力ノードとなる。インバータ20の入出力はスイッチ14で断接される。

この構成により、補助容量13と容量19の容量比およびプリチャージレベルの振幅に応じ、チョッパ型コンパレータの閾値電圧をシフトさせ、適切な不感帯領域を設けることが可能となる。これによってセンサSの接触時の高速応答と、非接触時の安定動作を実現することが可能となる。

【0087】

また二つの容量13, 19のプリチャージレベルをCOMおよびXCOMに設定することにより、コンパレータ10の不感帯幅はCOM電圧振幅により可変となり、振幅をあげるほど不感帯幅を広くできる一方、ノイズレベル(非接触であると認識しなくてはならないレベル)もCOM振幅により増減し振幅が大きいほどノイズレベルも高くなる。このためノイズ量の増減に対し閾値電圧のシフト量が自動的に調整されることになる。

10

【0088】

また図14の例の構成及び動作により、リセット動作時およびコンパレート動作時以外の時間帯ではコンパレータを構成するすべてのスイッチをオフする。そしてその際フローティングとなるノードにプルダウンもしくはプルアップする手段を加える。これによりコンパレータ10での電力消費を最小限に抑えることが可能となる。

【0089】

また図9の液晶表示パネル構成により、セクタ方式による書込みシステムを採用し、信号線本数の削減を実現すると同時に、画素内に設けたセンサ出力の読出し用配線数も最小限に抑えることが可能となる。

20

特にこの構成において低温ポリシリコンTFTでパネルを構成することにより、映像信号の書込動作前の数 μ s程度程度の時間で、画素内のセンサ情報をパラレル-シリアル変換部31に取込むことが可能となる。その結果その後の書込動作中にセンサ情報をパネル外部へシリアル出力することが可能となる。

【0090】

また図12の例では、1ライン毎に画素内センサSの配置位置をずらし、さらに偶数行用/奇数行用に2つの読出回路30e, 30oを備え、それぞれのラインを交互に動作させる。これにより、センサ出力の取込み動作とシリアル転送動作をそれぞれ連続する異なる水平期間で行うことができるため、転送動作時の周波数が落とせ、より安定的な動作が可能となる。

30

【0091】

なお本発明は、以上の実施の形態の例に限らず、多様な変形例としての回路構成が考えられることは言うまでもない。

【図面の簡単な説明】

【0092】

【図1】本発明の実施の形態の液晶表示パネルの基本構成の説明図である。

【図2】実施の形態の液晶表示パネルの動作のタイミングチャートである。

【図3】一般的なチョッパ型コンパレータとしての回路図である。

【図4】チョッパ型コンパレータの動作特性の説明図である。

40

【図5】一般的なチョッパ型コンパレータを用いた場合の誤動作の説明図である。

【図6】実施の形態のチョッパ型コンパレータの回路図である。

【図7】実施の形態のチョッパ型コンパレータの特性の説明図である。

【図8】実施の形態のチョッパ型コンパレータを用いた場合の動作の説明図である。

【図9】実施の形態の液晶表示パネルの構成例Iのブロック図である。

【図10】実施の形態の液晶表示パネルの読出回路のブロック図である。

【図11】実施の形態の構成例Iの動作のタイミングチャートである。

【図12】実施の形態の液晶表示パネルの構成例IIのブロック図である。

【図13】実施の形態の構成例IIの動作のタイミングチャートである。

【図14】実施の形態の他のチョッパ型コンパレータの回路図である。

50

【図15】実施の形態の他のチョッパ型コンパレータを用いる場合のタイミングチャートである。

【図16】従来の液晶表示パネルの構成の説明図である。

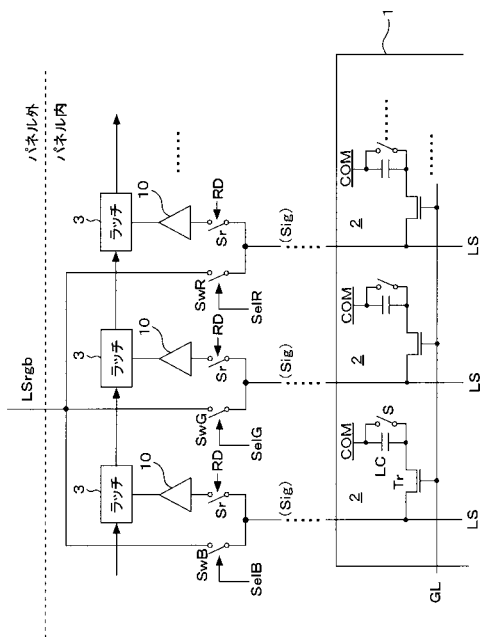
【図17】従来の液晶表示パネルの構成の説明図である。

【符号の説明】

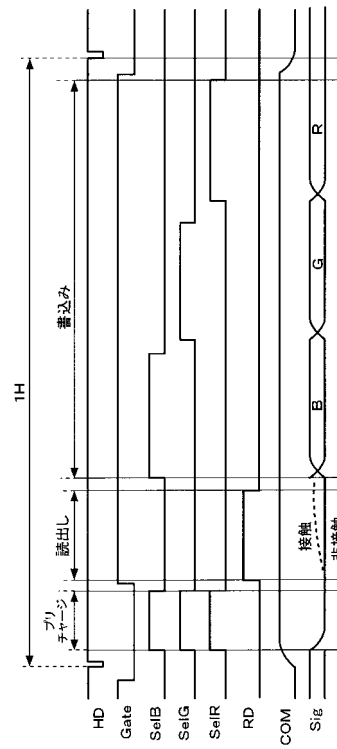
【0093】

1 画素アレイ、2, 2e, 2o 画素回路、3 ラッチ回路、10 コンパレータ、11, 12, 14, 17, 18 スイッチ、13 補助容量、19 容量、20 インバータ、30, 30e, 30o 読出回路、31 シフトレジスタ

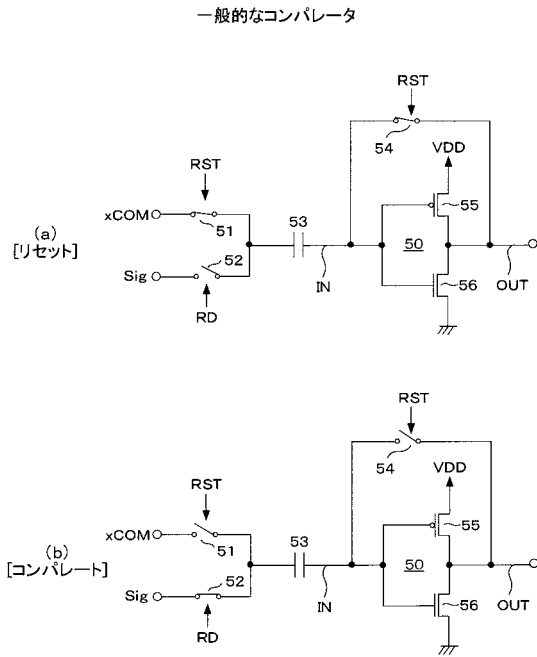
【図1】



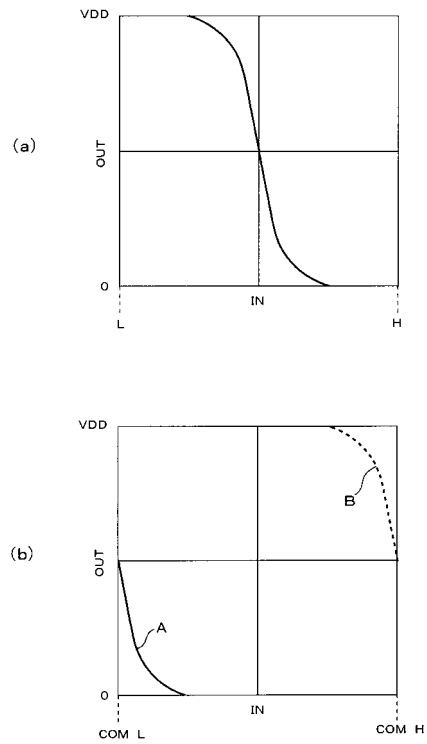
【図2】



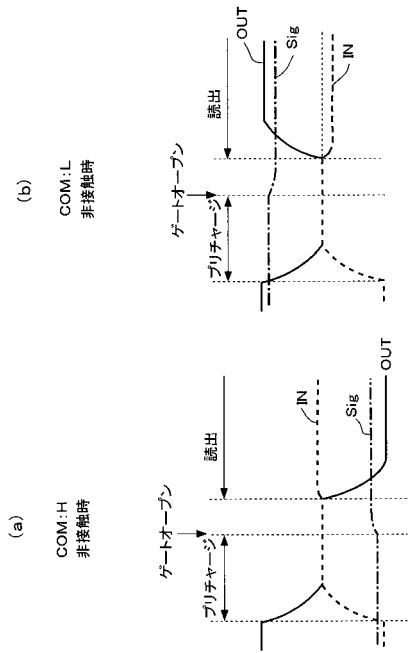
【図3】



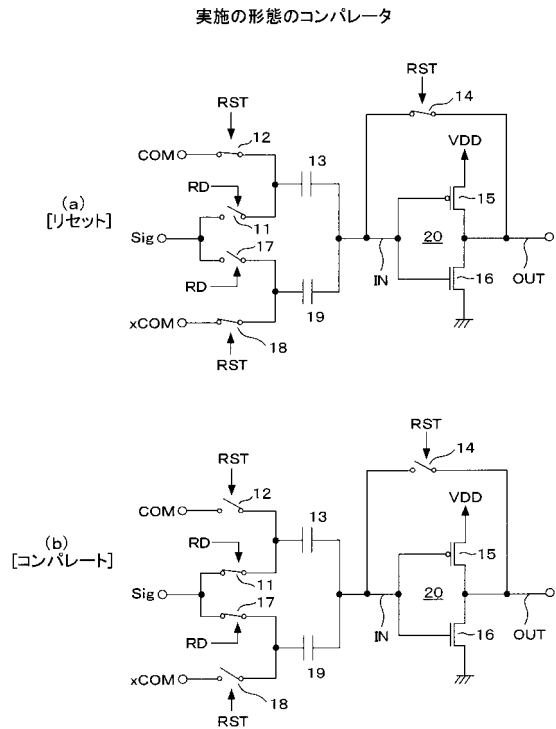
【図4】



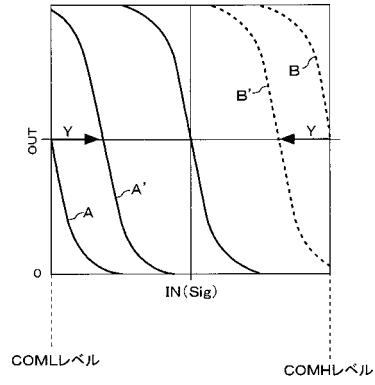
【図5】



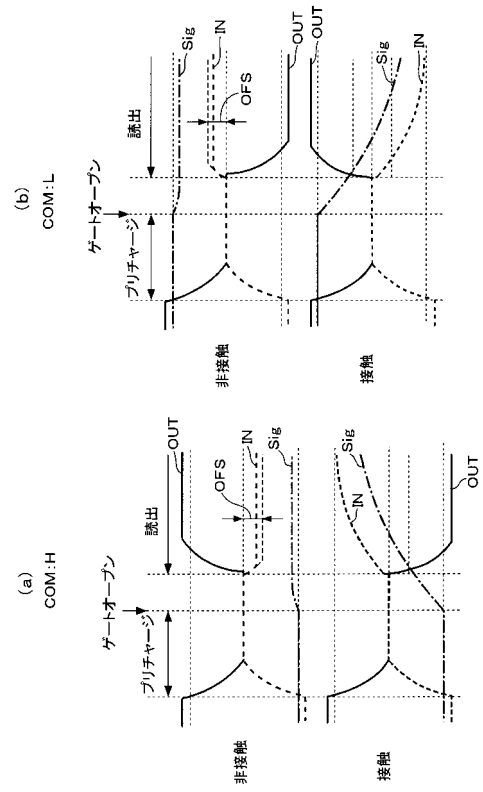
【図6】



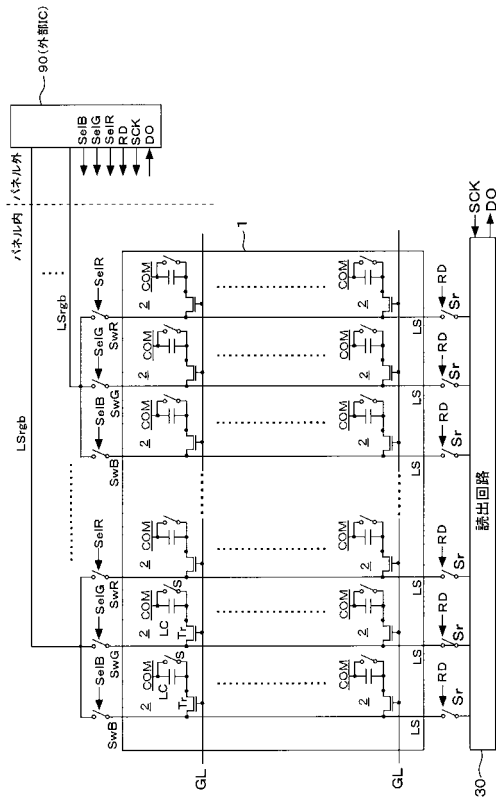
【図7】



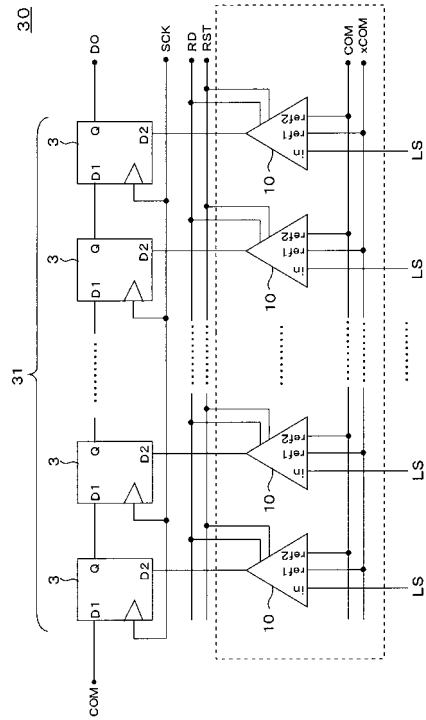
【図8】



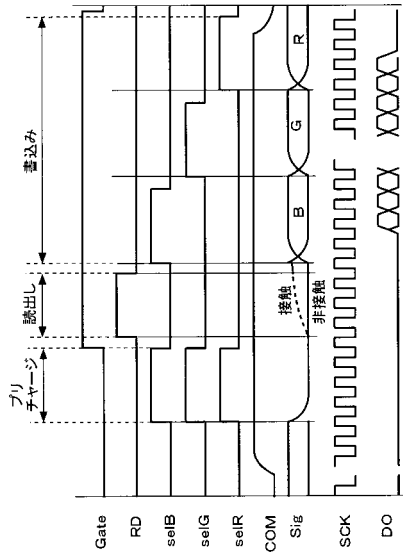
【図9】



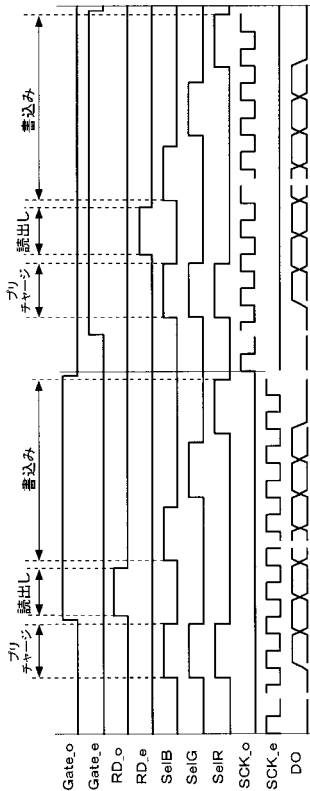
【図10】



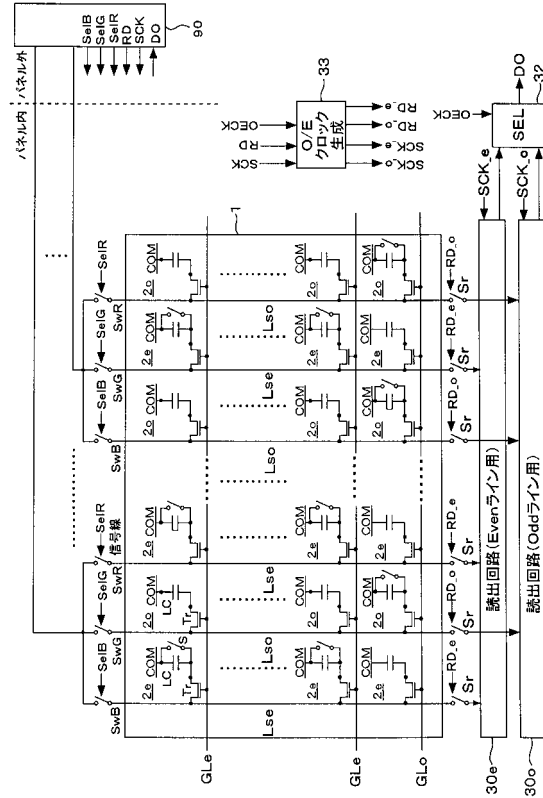
【図 1 1】



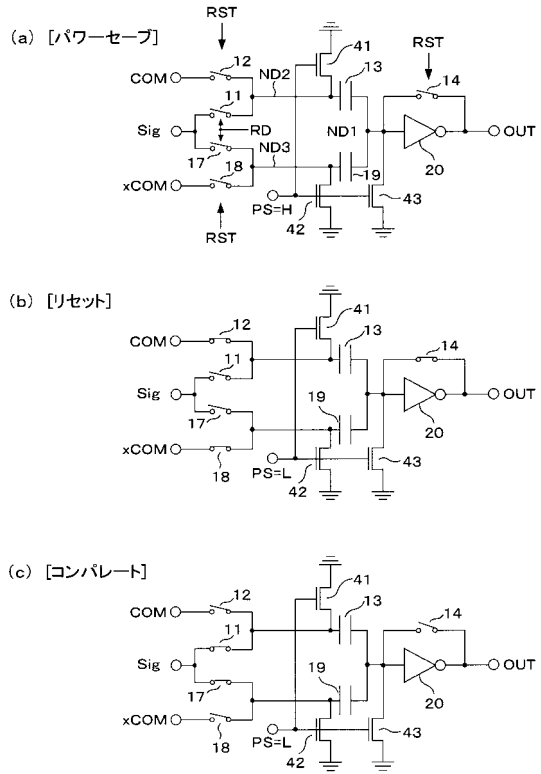
【図 1 3】



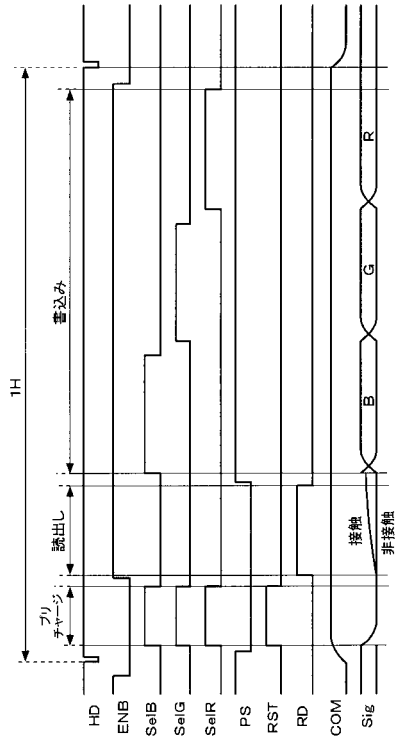
【図 1 2】



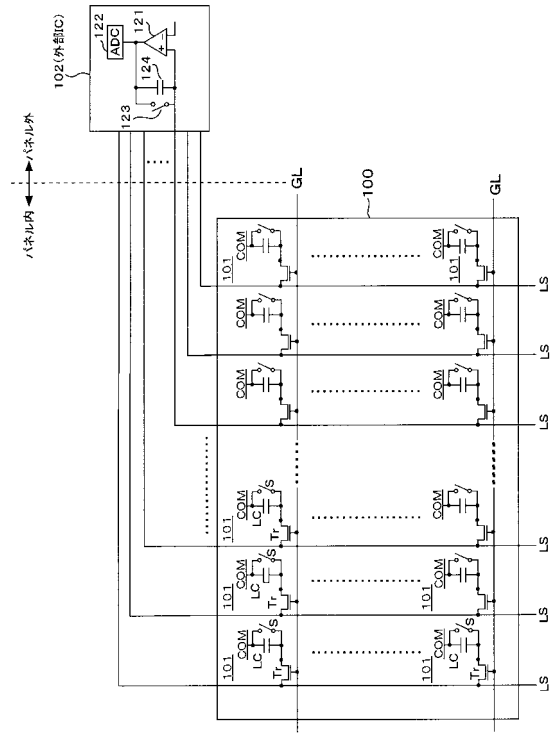
【図 1 4】



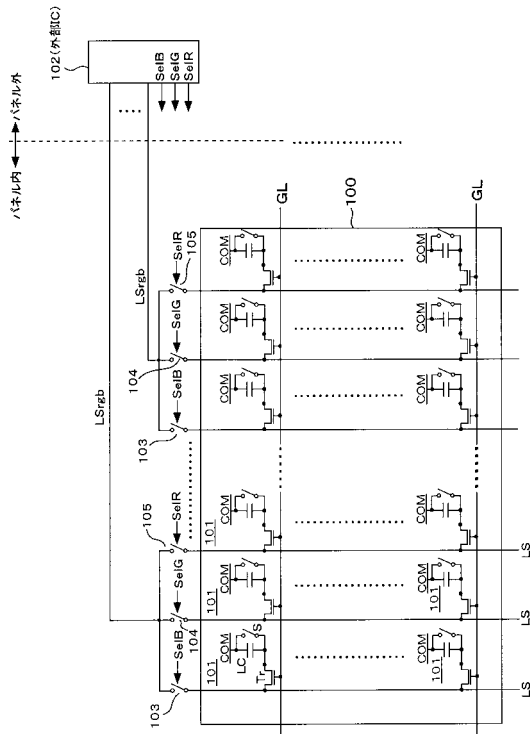
【図15】



【図16】



【図17】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 H
	G 0 9 G	3/20	6 8 0 H
	G 0 9 G	3/20	6 1 1 A

(72)発明者 仲島 義晴
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 田中 勉
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 林 宗治
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 小糸 健夫
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 猪野 益充
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 羽鳥 友哉

(56)参考文献 特開2006-244218(JP,A)
特表2007-503640(JP,A)
特開平04-157915(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 6 F	3 / 0 4 1
G 0 2 F	1 / 1 3 3
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6
H 0 3 K	5 / 0 8