

①9 RÉPUBLIQUE FRANÇAISE  
—  
**INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE**  
—  
COURBEVOIE  
—

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

**3 062 234**

②1 N° d'enregistrement national : **17 50594**

⑤1 Int Cl<sup>8</sup> : **G 11 C 13/00 (2017.01), G 11 C 11/00**

①2

## BREVET D'INVENTION

**B1**

⑤4 PROCÉDE DE FABRICATION D'UN DISPOSITIF MEMOIRE.

②2 Date de dépôt : 25.01.17.

③0 Priorité :

④3 Date de mise à la disposition du public  
de la demande : 27.07.18 Bulletin 18/30.

④5 Date de la mise à disposition du public du  
brevet d'invention : 28.02.20 Bulletin 20/09.

⑤6 Liste des documents cités dans le rapport de  
recherche :

*Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux  
apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : COMMISSARIAT A L'ENERGIE  
ATOMIQUE ET AUX ENERGIES ALTERNATIVES —  
FR et STMICROELECTRONICS (CROLLES 2) SAS —  
FR.

⑦2 Inventeur(s) : BERNASCONI SOPHIE, CHARPIN-  
NICOLLE CHRISTELLE et HALIMAOUI AOMAR.

⑦3 Titulaire(s) : COMMISSARIAT A L'ENERGIE  
ATOMIQUE ET AUX ENERGIES ALTERNATIVES,  
STMICROELECTRONICS (CROLLES 2) SAS.

⑦4 Mandataire(s) : CABINET HAUTIER.

**FR 3 062 234 - B1**



## DOMAINE DE L'INVENTION

La présente invention concerne un dispositif à mémoire et plus particulièrement un dispositif à mémoire résistive non volatile ainsi que son procédé de réalisation. Les mémoires OXRAM sont particulièrement visées.

5

## ETAT DE LA TECHNIQUE

Les mémoires résistives de type OxRRAM (acronyme en anglais pour « Oxide-Based Resistive Random Access Memories ») comprenant typiquement une couche d'oxyde métallique, sont préférentiellement choisies pour les applications non-volatiles, dans le but de remplacer les mémoires de type Flash. Elles présentent notamment pour avantage d'être compatibles avec le procédé de fin de ligne (acronyme BEOL en anglais pour « Back-End Of Line ») de la technologie CMOS (acronyme en anglais pour « Complementary Metal-Oxide-Semiconductor »). Les mémoires résistives OxRRAM sont des dispositifs comprenant notamment une couche d'oxyde métallique disposée entre deux électrodes. La résistance électrique de tels dispositifs peut être modifiée par des opérations d'écriture et d'effacement. Ces opérations d'écriture et d'effacement permettent de faire passer le dispositif à mémoire résistive OxRRAM d'un état basse résistance LRS (acronyme en anglais pour « Low Resistive State ») à un état haute résistance HRS (acronyme en anglais pour « High Resistive State »), et inversement.

10  
15  
20

De cycle en cycle, les résistances des états basse résistance LRS et haute résistance HRS montrent une variabilité des performances à la fois cycle-à-cycle et cellule à cellule. Cette variabilité est particulièrement importante pour l'état de haute résistance HRS, induisant une diminution de la fenêtre de programmation, voire une perte totale de la fenêtre de programmation. Ce problème de variabilité est aujourd'hui un réel frein à l'industrialisation.

25

Ce souci demeure malgré de nombreux efforts réalisés dans les domaines des procédés de réalisation de dispositifs à mémoire résistive et de méthodes de programmation.

30

Une approche de solution consiste à réduire les dimensions d'une des électrodes pour localiser plus précisément le point mémoire, au niveau duquel s'opère un chemin de conduction électrique au travers de la couche d'oxyde, afin de réduire par exemple la surface de contact entre la couche d'oxyde métallique et la couche sous-jacente de la première électrode. Une autre approche, comme dans la publication brevet US2006/0006471 A1, divulgue un élément de perturbation qui permet de localiser le filament conducteur produit dans la couche d'oxyde dans une zone précise de sorte à

35

rendre plus fiable l'opération de « forming », opération par laquelle un chemin conducteur est initié au travers de la couche d'oxyde entre la première et la deuxième électrodes. En effet, l'ajout de cet élément de perturbation génère un champ de contraintes plus important et le filament conducteur issu de l'opération dite de  
5 « forming » a de grandes chances de se former au niveau de la zone de contraintes les plus élevées. Néanmoins, la fabrication de l'élément de perturbation proposée par cette antériorité pose de sérieuses difficultés. La réalisation de cet élément de perturbation, en particulier le contrôle de la forme proposée, est difficile à maîtriser, surtout si on veut réaliser des petits cônes ou des petites pyramides.

10 De façon générale, les techniques actuelles ont recours à des étapes de lithographie coûteuses et les résolutions obtenues pour la définition du point mémoire sont impactées par ces étapes.

Il existe donc un besoin de proposer un dispositif mémoire et un procédé pour sa fabrication permettant d'améliorer les techniques connues jusqu'à présent.

15

#### RESUME DE L'INVENTION

Suivant un premier aspect, l'invention concerne un procédé de fabrication d'un dispositif mémoire comprenant une première électrode, une deuxième électrode et une portion active à changement d'état conducteur disposée entre une première face de la  
20 première électrode et une première face de la deuxième électrode, la première électrode comprenant une portion supérieure formant la première face de la première électrode.

Avantageusement, au moins l'une parmi la portion supérieure et la portion active à changement d'état conducteur comprend une couche poreuse.

25 La couche poreuse permet de définir un lieu de conduction électrique privilégiée. Cette définition est formée par un différentiel de conductivité électrique entre les pores de la couche et le matériau de la couche. Cette définition peut se faire en employant le matériau de la couche poreuse comme zone de conduction électrique, notamment au niveau de la portion active à changement d'état conducteur. Elle peut aussi se faire en  
30 employant un matériau de la couche poreuse plus résistif qu'un matériau de remplissage des pores, notamment pour une utilisation de la couche poreuse au niveau d'une électrode.

Ainsi, suivant une possibilité, ce dispositif est tel que la portion supérieure comprend une couche poreuse au contact de la couche d'oxyde et située sur une  
35 partie de base de la première électrode, au moins un pore de la couche poreuse étant au moins partiellement rempli d'un matériau électriquement conducteur configuré pour

établir une continuité électrique entre la partie de base de la première électrode et la portion active à changement d'état conducteur.

5 Ainsi, le ou les pores en question créent des passages conducteurs d'une dimension qui peut être fort réduite et en pratique définie par la taille des pores. Ces passages conducteurs permettent de définir le lieu de création d'un filament conducteur au travers de la portion active. Ils peuvent être très petits sans pour autant impliquer des étapes coûteuses de lithographie à forte résolution.

10 Suivant une autre possibilité, alternative ou complémentaire, une couche poreuse est comprise dans la portion active à changement d'état conducteur et est au contact d'au moins de l'une parmi la première face de la première électrode et de la première face de la deuxième électrode.

Ainsi, l'étape de forming puis les changements d'état peuvent être produits au travers du matériau de la couche poreuse. Là-encore, la définition du lieu de passage du courant est précise.

15 Suivant un autre aspect de modes de réalisation préférés, est présenté un procédé de réalisation d'un dispositif mémoire, comprenant :

- la formation d'une première électrode ;
- la formation d'une portion active à changement d'état conducteur ayant une face en contact avec une première face de la première électrode ;
- 20 - la formation d'une deuxième électrode en contact avec une autre face de la couche active à changement d'état conducteur.

À titre avantageux, un tel procédé est tel que l'on forme une couche poreuse dans au moins l'une parmi la portion active et la portion supérieure de la première électrode.

25 Suivant une possibilité, la formation de la première électrode comprend la formation d'une portion supérieure formant la première face de la première électrode, comprenant :

- la formation d'une couche poreuse au contact de la portion active à changement d'état conducteur et située sur une partie de base de la première électrode ;
- 30 - le remplissage au moins partiel d'au moins un pore de la couche poreuse avec un matériau électriquement conducteur configuré pour établir une continuité électrique entre la partie de base de la première électrode et la couche active à changement d'état conducteur.

Suivant une autre possibilité, la formation d'une portion active à changement d'état conducteur comprend la formation d'une couche poreuse au contact de la première électrode.

Un autre objet de la présente invention concerne un dispositif microélectronique comprenant une pluralité de dispositifs mémoire selon l'invention.

Par dispositif microélectronique, on entend tout type de dispositif réalisé avec les moyens de la microélectronique.

Ces dispositifs englobent notamment, en plus des dispositifs à finalité purement électronique, des dispositifs micromécaniques ou électromécaniques (MEMS, NEMS...) ainsi que des dispositifs optiques ou optoélectroniques (MOEMS...).

Avant d'entrer dans le détail de différents modes de réalisation, notamment en référence aux figures par la suite introduites, sont énoncées ci-après différentes caractéristiques purement optionnelles et non limitatives que des modes de réalisation peuvent présenter individuellement ou suivant toutes combinaisons entre elles :

- le matériau électriquement conducteur, employé dans le mode de réalisation où on remplit les pores, remplit intégralement le au moins un pore ; néanmoins cela n'est pas absolument nécessaire car une continuité par un remplissage non complet (par exemple uniquement sur la paroi latérale du pore) peut suffire ;

- la couche poreuse présente dans le cas précédent avantageusement une résistivité électrique supérieure ou égale à celle du matériau électriquement conducteur ;

- la couche poreuse est un matériau semi-isolant.

- la couche poreuse est obtenue à partir de silicium dopé p ou n.

Cette disposition avantageuse permet de favoriser une orientation des pores suivant l'épaisseur de la couche poreuse, avec une forme de colonne. Le remplissage est plus facile et la conduction électrique plus directe au travers de la couche poreuse.

- la couche poreuse est en dioxyde de silicium.

Le niveau de conductivité électrique de cette partie est réduit et contraste d'autant plus avec celui du matériau de remplissage par lequel le chemin électrique va s'établir.

- le dioxyde de silicium est obtenu par oxydation de silicium dopé p ou n ;

- la taille des pores est de préférence inférieure 100nm et notamment inférieure à 50nm, et avantageusement inférieure à 10 nm, et/ou supérieure ou égale à 2nm ;

- le matériau électriquement conducteur est du nitrure de titane (TiN), ou encore notamment l'un parmi : TaN, WSi, TiAlN ;

- au moins l'une parmi une dimension en épaisseur et une dimension en largeur, perpendiculaire à la dimension en épaisseur, de la couche poreuse est inférieure à 100 nm, et de préférence inférieure à 50 nm.

5 - les pores de la couche poreuse, lorsque celle-ci est dans la portion active, sont au moins en partie sous vide, ou remplis d'air ou remplis d'un matériau plus isolant électriquement que le matériau de la couche poreuse et/ou de nature diélectrique, notamment de résistivité supérieure ou égale à  $10^4 \Omega\text{cm}$  et de préférence supérieure ou égale à  $10^6 \Omega\text{cm}$ .

10 - la portion active à changement de phase peut alors comprendre, entre la couche poreuse et la deuxième électrode, une deuxième couche plus isolante électriquement que la couche poreuse.

- la deuxième couche est dans ce dernier cas éventuellement en un oxyde du matériau de la couche poreuse.

Le procédé peut comporter l'une et/ou l'autre des caractéristiques telles que :

15 - le remplissage est configuré pour remplir totalement au moins un pore ; ce cas n'est pas limitatif comme indiqué précédemment ;

- le remplissage comprend un dépôt du matériau électriquement conducteur sur la couche poreuse puis un enlèvement d'une partie du matériau électriquement conducteur déposée à la surface de la couche poreuse ;

20 - la formation de la couche poreuse comprend le dépôt d'une couche d'un matériau semi-conducteur, puis une porosification du matériau semi-conducteur ;

- la porosification est obtenue par anodisation électrochimique en utilisant la partie de base de la première électrode comme contact électrique pour l'anodisation ;

25 - on utilise la surface de la partie de base comme couche d'arrêt de la porosification ;

- on stoppe la porosification avant qu'elle n'atteigne la partie de base, de sorte à préserver une couche de matériau semi-conducteur non poreux sous la couche poreuse ;

30 - avant le dépôt d'une couche d'un matériau semi-conducteur, on dépose une couche sous-jacente d'un deuxième matériau semi-conducteur différent du premier matériau semi-conducteur, le dépôt d'une couche d'un matériau semi-conducteur étant opéré au contact de la couche sous-jacente, et on détecte une variation de potentiel électrique lors de l'anodisation électrochimique correspondant à une fin d'anodisation de l'épaisseur de la couche d'un matériau semi-conducteur et à un début d'anodisation  
35 de la couche sous-jacente, et on stoppe l'anodisation électrochimique à détection de la variation de potentiel.

- le matériau semi-conducteur et le deuxième matériau semi-conducteur sont des siliciums de dopages différant par le type de dopant (p,n) ou par leur concentration en un même dopant ;

5 - la formation de la couche poreuse comprend une oxydation, de préférence thermique, du matériau de la couche poreuse (donc du matériau semi-isolant issu de la porosification du matériau semi-conducteur d'origine).

### INTRODUCTION DES DESSINS

10 D'autres caractéristiques, buts et avantages apparaîtront à la lecture de la description détaillée qui suit, en regard des dessins annexés, donnés à titre d'exemple, non limitatif, et sur lesquels :

- la figure 1 illustre un empilement destiné à réaliser un dispositif mémoire selon l'état de la technique ;

15 - les figures 2 à 5 montrent des étapes possibles de début de procédé de fabrication ;

- les figures 6 à 15 présentent des étapes successives indicatives d'un mode de réalisation.

- les figures 16 à 19 présentent un autre mode de réalisation.

20 Les dessins sont donnés à titre d'exemples et ne sont pas limitatifs de l'invention. Ils constituent des représentations schématiques de principe destinées à faciliter la compréhension de l'invention et ne sont pas nécessairement à l'échelle des applications pratiques, notamment quant à l'épaisseur des différentes couches illustrées.

25

### DESCRIPTION DETAILLEE

Il est précisé que le terme « sur » ou « au-dessus » ne signifie pas obligatoirement « au contact de ». Ainsi, par exemple, le dépôt d'une couche sur une  
30 autre couche, ne signifie pas obligatoirement que les deux couches sont directement au contact l'une de l'autre mais cela signifie que l'une des couches recouvre au moins partiellement l'autre en étant soit directement à son contact, soit en étant séparée d'elle par un film, encore une autre couche ou un autre élément. Une couche peut par ailleurs être composée de plusieurs sous-couches d'un même matériau ou de  
35 matériaux différents.

Il est précisé que l'épaisseur d'une couche ou d'un substrat se mesure selon une direction perpendiculaire à la surface selon laquelle cette couche ou ce substrat présente son extension maximale. Sa largeur s'étend transversalement à cette épaisseur.

5 L'emploi du singulier pour certains éléments ne signifie pas obligatoirement qu'un élément donné est présent de manière unique. Le mot « un » ou « une » ne signifie donc pas exclusivement respectivement « un seul » ou « une seule » à moins qu'il en soit disposé autrement.

10 Certaines parties du dispositif peuvent avoir une fonction électrique. Certaines sont employées pour des propriétés de conduction électrique et on entend par électrode ou équivalent, des éléments formés d'au moins un matériau ayant une conductivité suffisante, dans l'application, pour réaliser la fonction souhaitée. D'autres parties, au contraire, sont employées pour des propriétés d'isolation électrique et tout matériau ayant une résistivité suffisante pour réaliser cette isolation est concerné et  
15 notamment appelé diélectrique.

La figure 1 illustre un empilement classique de couches ayant vocation à former un dispositif mémoire. Une couche d'oxyde 3 de préférence d'oxyde métallique (HfO<sub>2</sub> par exemple), qui va être le lieu de la formation d'un filament conducteur, est encadrée par une première électrode 4 par l'une de ses faces et par une deuxième électrode 5  
20 par l'autre de ses faces. Par exemple, la première électrode 4 peut comprendre une couche de reprise de contact 1 permettant le raccordement électrique depuis l'extérieur de cette électrode et une portion 2 au contact de la couche d'oxyde 3. Cette portion est typiquement une partie d'une couche déposée sur la couche 1. Cette portion définit une largeur W déterminant la localisation du passage du courant et donc le chemin  
25 définissant le filament conducteur au travers de la couche d'oxyde 3. De l'autre côté de la couche d'oxyde 3, une deuxième électrode 5 surmonte les couches sous-jacentes précédemment décrites et peut comprendre un empilement de couches réalisées en des matériaux électriquement conducteurs. Dans le cas illustré, une première couche 6 et une deuxième couche 7 sont successivement déposées sur la couche d'oxyde 3 et  
30 recouvertes d'une couche de reprise de contact 8. Les couches 1 et 8 permettent la connexion électrique des électrodes depuis l'extérieur pour la commande du dispositif mémoire.

Le dispositif mémoire peut être porté par un support, par exemple à base d'un substrat, notamment semi-conducteur. Une pluralité de dispositifs sera généralement  
35 réalisée sur ce support.

Dans l'état initial, le matériau actif est isolant (dans un état dit PRS, « Pristine

Resistance State »). On entend par matériau actif celui au sein duquel une phase de forming puis des états conducteurs ou non vont se produire comme expliqué ci-après. Un premier stress électrique est appliqué sur la mémoire résistive vierge afin de générer pour la première fois un état conducteur faiblement résistif LRS (de l'anglais « Low Resistance State »). Le processus associé est appelé FORMING. La mémoire résistive peut ensuite basculer de l'état conducteur faiblement résistif LRS à un état conducteur hautement résistif HRS (de l'anglais « High Resistance State ») par l'application d'une première tension VRESET entre les première et seconde électrodes, et rebasculer de l'état conducteur hautement résistif HRS à l'état conducteur faiblement résistif LRS par l'application d'une deuxième tension VSET entre les première et deuxième électrodes. Elle peut donc être utilisée pour stocker une information binaire. L'état conducteur faiblement résistif LRS est également appelé état « ON ». L'état conducteur hautement résistif HRS est également appelé état « OFF ».

Le phénomène de changement de résistance est observé dans différents types de matériaux, ce qui suggère des mécanismes de fonctionnement différents. On peut ainsi distinguer plusieurs types de mémoires résistives. Le domaine concerné est plus particulièrement celui de deux catégories de mémoires résistives :

- les mémoires comportant une zone active basée sur un matériau actif à base d'oxyde (mémoire OxRRAM ou « Oxyde RRAM ») tel qu'un oxyde binaire d'un métal de transition ;
- les mémoires comportant une zone active basée sur un matériau à conduction ionique (mémoires CBRAM ou « Conductive Bridging RAM ») formant un électrolyte solide à conduction ionique disposé entre une électrode formant une cathode inerte et une électrode comportant une portion de métal ionisable, c'est-à-dire une portion de métal pouvant facilement former des ions métalliques, et formant une anode.

Le changement d'état résistif dans une mémoire résistive de type OxRRAM est généralement expliqué par la formation d'un filament de lacunes d'oxygène au sein de la zone active. Le changement d'état résistif dans une mémoire résistive de type CBRAM est généralement expliqué par la formation d'un filament conducteur au sein de la zone active.

Les exemples donnés par la suite concernent des mémoires à oxyde métallique de type OXRAM.

Dans le cas de la figure 1, c'est la dimension W qui impacte la localisation de l'étape de FORMING expliquée précédemment.

On donne maintenant un exemple de fabrication d'un dispositif mémoire.

De préférence, la fabrication part d'un support qui présente au niveau de sa couche superficielle une couche de reprise de contact 1 en matériau électriquement conducteur avantageusement entourée de portions électriquement isolantes 9 comme montré en figure 2. On pourra notamment utiliser du dioxyde de silicium. La portion conductrice correspondant à la couche de base 1 peut notamment être en aluminium, W, TiN, ou autres alliages métalliques. Elle forme de préférence une partie inférieure de la première électrode 27 du dispositif.

Au-dessus de la couche de base 1, on opère dans le cas de la figure 3 la réalisation d'un niveau supérieur avec une portion intermédiaire 11 de l'électrode 27 (voir figure 13) qui peut par exemple se présenter sous forme d'un plot, et notamment être réalisé en tungstène. De préférence, la dimension en largeur de la portion 11 est inférieure à la dimension en largeur de la couche 1. La portion 11 est entourée d'un matériau électriquement isolant, par exemple un nitrure ou un oxyde, tel du  $\text{SiO}_2$ .

La figure 4 présente le dépôt ultérieur d'une ou plusieurs couches d'électrodes 12, 13. On peut utiliser des techniques conventionnelles de dépôt tels des dépôts chimiques en phase vapeur (CVD) ou physiques en phase vapeur (PVD) qui peuvent être réalisés pleine plaque. La réalisation de ces étapes n'obéit pas à des contraintes de fabrication particulières, notamment en termes d'uniformité de dépôt. Par ailleurs, tous types de matériaux électriquement conducteurs peuvent être utilisés, par exemple du Ti et du TiN. Dans le cas représenté, la couche 12 peut être en titane et la couche 13 en nitrure de titane.

On forme ensuite une couche de préparation 14 d'un matériau semi-conducteur, préférentiellement du silicium. Ce dernier est également préférentiellement déposé pleine plaque. Selon un mode de réalisation, le silicium utilisé est dopé. On peut utiliser un dopant de type p ou un dopant de type n ; un dopant de type p+ (ou n+) permettra de favoriser le développement vertical des pores suivant l'épaisseur de la couche de silicium. La concentration en dopant n'est pas limitative de l'invention. Par exemple, l'épaisseur de la couche de préparation 14 peut être inférieure ou égale à 100 nm ( $1\text{nm} = 10^{-9}\text{m}$ ).

La figure 5 schématise la porosification de la couche de préparation 14 de sorte à parvenir à une couche poreuse 15. Les pores sont schématisés par les creux formés dans la couche 15. La couche poreuse est potentiellement moins conductrice que le matériau de départ de la couche 14 (qui est dans le présent exemple un semi-conducteur), si bien qu'on peut le qualifier de semi-isolant. Il est en outre de préférence plus conducteur qu'un matériau isolant. Par exemple, le matériau semi-

isolant peut présenter une résistivité électrique de plus de  $100 \Omega\text{cm}$  et de moins de  $10^6 \Omega\text{cm}$  et de préférence de moins de  $10^4 \Omega\text{cm}$ .

A ce stade, on dispose d'une couche poreuse offrant un différentiel de conductivité électrique entre le matériau poreux lui-même et les pores (c'est-à-dire le vide ou l'air dans les pores, ou un matériau de remplissage de ces pores).

Suivant une première approche, particulièrement adaptée à une couche poreuse fonctionnelle dans une électrode, ici la première 27, on s'arrange pour que le différentiel s'opère en privilégiant une conduction par les pores.

Cette configuration correspond au cas des figures 6 à 15. Un autre mode de réalisation sera ensuite décrit en référence aux figures 16 à 19. Des étapes de fabrication peuvent être similaires dans les deux cas et il doit être ici considéré que ce qui est décrit dans l'un des cas est applicable mutatis mutandis à l'autre cas, notamment pour la fabrication de la couche poreuse.

Le silicium poreux (ou un autre matériau poreux) peut être obtenu par oxydation (ou anodisation) électrochimique de la couche 14 de silicium déposé. On en donne ci-après un exemple de réalisation. Ce procédé électrochimique est ainsi effectué en milieu d'acide fluorhydrique. Les caractéristiques de la couche poreuse (porosité, taille des pores, épaisseur...) dépendent de la concentration en acide fluorhydrique (ci-après HF), de la densité de courant, du type et du niveau dopage de la couche de silicium. L'épaisseur de la couche de Si poreux est déterminée par la durée de l'anodisation. Pour cette anodisation, on peut utiliser la partie de la première électrode 27 déjà formée comme électrode d'anodisation ; l'application d'un potentiel sur cette partie peut s'opérer par l'arrière du dispositif, au niveau de la face arrière de la couche de reprise de contact 1 ou par la tranche du dispositif, au niveau de l'une ou l'autre des couches 12, 13 qui sont sous-jacentes à la couche de matériau semi-conducteur (typiquement la couche de silicium) à porosifier.

Dans notre cas, nous pouvons envisager plusieurs variantes en fonction du type et du niveau de dopage de la couche de silicium déposée.

Variante 1 : couche de silicium de type p uniformément dopé avec un dopage inférieur à  $10^{17} \text{cm}^{-3}$  (p).

Pour une concentration en masse en HF de 20% et une densité de courant de  $20 \text{mA/cm}^2$ , la vitesse de formation de la couche poreuse est de  $7 \text{nm/s}$ . L'épaisseur désirée est obtenue en ajustant le temps d'anodisation. Par exemple pour une couche 14 de Si déposée de  $100 \text{nm}$  d'épaisseur, une anodisation de 14 secondes conduit à une couche poreuse de  $98 \text{nm}$  et laisse une couche de Si massif de  $2 \text{nm}$ .

Variante 2 : couche de silicium de type p+ uniformément dopé avec un dopage supérieur à  $10^{17} \text{ cm}^{-3}$ .

Pour une concentration en masse en HF de 20% et une densité de courant de 50 mA/cm<sup>2</sup> la vitesse de formation de la couche poreuse est de 45 nm/s. L'épaisseur désirée est obtenu en ajustant le temps d'anodisation. Par exemple pour une couche 5 14 de Si déposée de 100 nm, une anodisation de 2.18 secondes conduit à une couche poreuse de 98 nm et laisse une couche de Si massif de 2 nm.

Pour ces deux variantes, l'épaisseur est obtenue en ajustant le temps.

On peut aussi utiliser la mesure du potentiel, pendant l'anodisation à courant 10 constant, pour contrôler l'épaisseur comme décrit dans la variante 3 ci-dessous :

Variante 3 : dans ce cas, au lieu d'utiliser une couche de Si uniformément dopée (p ou p+ comme dans le cas des variantes 1 et 2), on dépose successivement deux couches de Si de dopages différents. On obtient une superposition de deux couches de matériaux semi-conducteurs (le matériau semi-conducteur à porosifier et une 15 couche sous-jacente d'un deuxième matériau semi-conducteur) de même nature, typiquement du silicium, mais avec des dopages différents soit par la nature du dopant (p ou n) soit par la concentration (par exemple p/p+ ou n/n+). L'ordre de dépôts de ces matériaux différents importe peu.

Lors de l'anodisation, le passage d'une couche à une autre se traduit par une 20 variation brusque du potentiel. Cette variation brusque est utilisée comme une détection de fin d'attaque. Par exemple, on dépose une fine couche de Si dopé p+ (2 nm par exemple) suivie d'une couche plus épaisse de Si dopé p (98 nm par exemple). Lorsque le potentiel varie brusquement, on arrête le procédé d'anodisation et on obtient une couche poreuse de 98 nm d'épaisseur sur une couche sous-jacente 25 de Si de 2 nm.

Dans ces notations, p et n correspondent à concentration en dopant inférieure à  $10^{17} \text{ cm}^{-3}$  et p+ et n+ à une concentration en dopant supérieure à  $10^{17} \text{ cm}^{-3}$ .

On comprend des exemples donnés ci-dessus que l'étape de porosification peut être menée jusqu'à atteindre la dernière couche d'électrode 13 précédemment 30 déposée; le matériau de cette dernière est alors avantageusement choisi pour servir de couche d'arrêt. Néanmoins, on peut aussi utiliser, comme couche d'arrêt comme dans la variante 3 ci-dessus, une couche sous-jacente en matériau semi-conducteur différent de celui à porosifier. Il est aussi possible de jouer sur les paramètres de l'anodisation pour stopper la porosification suivant l'épaisseur de la couche de 35 matériau semi-conducteur de sorte à laisser subsister, dans la couche initiale 14, une fine partie de base, par exemple d'une épaisseur inférieure à 5 nm et

préférentiellement égale à 2 nm. Cette partie résiduelle de matériau non porosifiée peut de ce fait former une partie de la première électrode 27, en dessous de la couche poreuse.

5 Dans le cas des figures 6 à 15, la portion de la première électrode 27 située sous la couche 15 est appelée partie de base de l'électrode 27. La portion de l'électrode 27 formée par la couche 15 et le matériau de remplissage est la portion supérieure, ou encore superficielle, de l'électrode ; c'est celle qui est proximale à la portion active.

10 La couche 15 ainsi pourvue d'une pluralité de pores fait l'objet d'une étape de remplissage des pores par un matériau électriquement conducteur 17. On sélectionne ce matériau de préférence de sorte à ce que sa conductibilité électrique soit supérieure ou égale à celle du matériau de la couche 15. Ce dernier est, suite à la porosification, un matériau semi-isolant (sa résistivité est supérieure celle d'un métal). Il peut par exemple s'agir de nitrure de titane. De préférence, ce dernier matériau peut être  
15 déposé par dépôt de couches atomiques (ALD) ou par dépôt chimique en phase vapeur (CVD), de préférence sur l'intégralité de la surface de la couche 15 et de sorte à remplir au moins partiellement les pores. On parvient ainsi à la configuration illustrée à la figure 6. Généralement, le matériau 17 électriquement conducteur de remplissage formera aussi une couche en surface de la couche 15. L'épaisseur de matériau 17 déposée peut être comprise entre 2 nm et 100 nm et est avantageusement au moins  
20 égale à l'épaisseur de la couche poreuse 15. La figure 7 montre un détail de la figure 6 illustrant l'exemple d'un remplissage intégral des pores par le matériau 17. Il peut cependant être suffisant de réaliser une couverture sur la paroi des pores sans pour autant en remplir intégralement le volume intérieur. Le remplissage est pour le moins configuré pour établir la continuité électrique au travers des pores.

25 On cherche ensuite à supprimer la partie superficielle du matériau 17 de sorte à reformer une couche poreuse 15 affleurant à la surface de l'empilement ainsi constitué. À cet effet, on peut opérer une planarisation, par exemple par des techniques de polissage chimique et/ou mécanique. Le résultat de cette étape est illustré aux figures 8 et 9.

30 Éventuellement, on peut diminuer la conductivité électrique de la couche poreuse 15 de sorte à augmenter son contraste de conductivité avec le matériau 17 utilisé pour le remplissage des pores. Par exemple, on réalise une oxydation du matériau semi-isolant constitutif de la couche poreuse 15. Dans le cas du silicium, une oxydation thermique à une température par exemple de l'ordre de 300 °C sous un flux de  
35 dioxygène peut convenir. Le résultat de cette étape est fourni aux figures 10 et 11 avec une couche poreuse oxydée 19. Cette étape est cependant facultative.

D'une manière générale, on comprend que les pores remplis du matériau 17 forment des zones de section quasi ponctuelle de chemins de conductivité au travers d'une portion supérieure de la première électrode 27.

On peut alors faire coopérer la couche 15 ou la couche oxydée 19, dont les pores sont remplis au moins en partie avec le matériau 17, avec la couche active à changement d'état conducteur, qui peut être une couche d'oxyde 20 où va être formé le filament conducteur. Le forming de ce filament se fera par la conduction électrique au travers d'un des pores remplis.

Ainsi, en figure 12, la couche d'oxyde 20 a été déposée au-dessus de la couche poreuse oxydée 19 précédemment obtenue (ou au-dessus de la couche poreuse 15 si l'oxydation n'a pas été mise en œuvre). L'oxyde peut aussi s'insérer dans les pores, si ceux-ci n'ont pas été entièrement remplis avec le matériau conducteur 17. Il y a pour le moins un contact, au-dessus et/ou dans un pore entre le matériau conducteur 17 et la couche d'oxyde, de sorte à établir la conduction électrique générant le filament. Il est ensuite possible de former les couches destinées à se superposer de sorte à produire la deuxième électrode 28 du dispositif mémoire. C'est la réalisation de ces dépôts qui est aussi présentée en figure 12.

Pour tout ou partie de ces dépôts, il peut être avantageux de mettre en œuvre des techniques permettant une bonne uniformité comme le dépôt de couches atomiques ALD (pour « Atomic Layer Deposition ») ou encore le dépôt chimique en phase vapeur CVD (pour « Chemical Vapor Deposition »). Comme précédemment, la fabrication proposée peut être mise en œuvre par différentes techniques et avec de faibles contraintes. Notamment, il peut encore une fois s'agir de dépôts sur toute la plaque.

La couche 20 est de préférence un oxyde métallique comme le  $\text{HfO}_2$ . Les couches 21, 22 participant à l'électrode 28 peuvent comprendre tout matériau conducteur tel que le titane (Ti) et le nitrure de titane (TiN), ces matériaux pouvant être employés respectivement pour les couches 21 et 22.

Le motif final du dispositif mémoire apparaissant en figure 13 peut alors être réalisé, en réduisant la largeur du point mémoire en surplomb de la portion intermédiaire 11 dans le cas illustré. La largeur de ce motif peut être équivalente ou supérieure à celle de la portion 11 qui est par exemple un plot de reprise de contact.

On pourra à cet effet opérer successivement la gravure de la deuxième électrode 28 et de la couche 20, puis celle de la couche de matériau poreuse, puis celle des couches 13 et 12 au-dessus de la portion intermédiaire 11 permettant la reprise de contact en coopération avec la couche 1. On peut utiliser des techniques de gravure

sèche du type RIE (de l'anglais « Reactive-Ion Etching »), usinage ionique ou encore un mélange des deux techniques précédentes.

La finalisation du dispositif mémoire peut passer par une encapsulation avec au moins une couche d'encapsulation et notamment avec une couche d'encapsulation 23 et une couche isolante 24. La couche 23 sert notamment à protéger le point mémoire de l'oxydation et peut être en SiN. La couche 24 peut être en SiO<sub>2</sub>. Le point mémoire est ainsi isolé de son environnement comme le montre la figure 14.

De préférence, la surface de cette partie d'encapsulation fait l'objet d'une planarisation avant la réalisation d'une reprise de contact sur la deuxième électrode 28 comme suit.

Une ouverture pratiquée depuis la face extérieure des couches d'encapsulation 24 et 23 permet la reprise de contact à destination de la deuxième électrode 28, par une couche de reprise de contact 25 s'inscrivant dans la continuité électrique d'un via 26 pratiqué au travers de la ou les couches d'encapsulation 23, 24. Le via s'applique sur une face supérieure de l'empilement conducteur formé par les couches d'électrodes 21, 22 de l'électrode supérieure 28.

Dans le mode de réalisation illustré, c'est la première électrode 27, située en bas de l'empilement (donc typiquement l'électrode inférieure) qui reçoit la couche poreuse faisant l'objet d'un remplissage par un matériau électriquement conducteur. Ce cas est illustratif et il n'est pas exclu que ce soit l'électrode supérieure (dans l'exemple donné : la deuxième électrode 28) qui fasse l'objet de ce traitement, voire les deux électrodes.

Dans les configurations où l'électrode supérieure comprend une couche poreuse, le procédé peut par exemple comprendre les étapes suivantes : on dépose l'oxyde, puis une ou des couches conductrices (qui sont par exemple le Ti, notamment de 10 nm et du TiN - c'est-à-dire les couches qui servent d'électrode supérieure) ; puis on réalise le silicium (ou autre matériau approprié) poreux, que l'on remplit par exemple avec du TiN.

Dans l'exemple des figures 16 à 19, la couche poreuse 15 est employée dans le cadre de la portion active à changement d'état conducteur.

En revenant à la figure 5, qui peut être un point de départ pour la fabrication du dispositif mémoire selon ce mode de réalisation, la couche poreuse 15 est exposée à la surface supérieure d'un empilement qui comprend des couches de la première électrode 27. Néanmoins, sur cette base, on ne cherche pas cette fois à produire une conduction électrique au travers des pores en direction de la couche active, mais à former une partie de cette dernière.

Dans l'exemple fourni en figure 16, qui n'est pas limitatif, on crée une couche isolante 29 sur la couche poreuse 15. De préférence, c'est une oxydation de la couche poreuse 15 qui forme cette deuxième couche 29. On configure la phase d'oxydation pour que celle-ci ne soit que partielle, par exemple au plus 20% de l'épaisseur de la couche poreuse 15. L'oxydation peut être faite par voie thermique à une température de préférence inférieure ou égale à 300°C et/ou une durée inférieure ou égale à 1 heure. On peut par exemple s'arranger pour que la couche d'oxyde soit d'une épaisseur de moins de 10nm.

Cette oxydation revêt la paroi des pores de sorte à isoler électriquement le matériau poreux et l'emprisonner dans une couche isolante. Le matériau servant de base à la couche poreuse 15 est lui aussi avantageusement oxydé en fond des pores. S'il s'agit d'une partie résiduelle de la couche 14 ayant servi à la porosification, on obtient une couche d'oxyde d'un même matériau sur la couche poreuse et sur la couche sous-jacente à celle-ci. C'est ce qu'illustre la figure 17 donnant un détail de la figure 16. Il n'est pas exclu de former la couche isolante par un autre moyen, par dépôt d'un matériau isolant par exemple.

La couche 29 assure une isolation latérale du matériau de la couche poreuse et génère une plus grande directionnalité à la circulation électrique suivant la dimension en épaisseur. En outre la résistivité électrique en est accrue au contact de la deuxième électrode 28. La formation de la couche 29 n'est cependant pas obligatoire.

Suivant un cas non illustré, les pores peuvent être remplis au moins en partie d'un matériau de préférence diélectrique. Le filament conducteur de la mémoire peut dans ce cas se faire soit dans ce dernier matériau, soit dans le matériau qui a été porosifié, notamment dans celui qui est le plus résistif électriquement. Plus simplement, les pores peuvent ne pas être remplis, et laissés à l'air libre ou rempli d'un autre gaz ou sous vide.

La figure 18 montre ensuite la création de la deuxième électrode 28. Celle-ci peut notamment comprendre un empilement de couches 21, 22 comme précédemment décrit, avec par exemple les mêmes choix de matériaux. Cela peut inclure des étapes de dépôt au-dessus de la couche poreuse éventuellement recouverte de la couche 29. Cependant, il est souhaitable que ces dépôts ne remplissent pas (ou au moins pas suivant toute l'épaisseur) les pores 16. On privilégiera donc des dépôts à caractère surfacique, en particulier le dépôt par voie PVD. Par ailleurs, il est souhaitable que les pores soient dans ce cas de petite taille, notamment de moins de 10 nm. Ainsi, la deuxième électrode 28 surmonte la couche poreuse 15 sans s'introduire dans ses pores 16, comme le révèle la figure 19.

Dans une telle configuration, la deuxième électrode 28 ne contacte donc la portion active à changement d'état conducteur que par des zones de faibles dimensions.

5 Le dispositif peut ensuite être finalisé comme cela était visible aux figures 13 à 15 dans l'exemple précédent, avec une mise en forme latérale par gravure, et encapsulation.

10 On notera que la fabrication a été mise en œuvre dans les exemples précédents grâce à des techniques conventionnelles sans contrainte particulière notamment sur les dimensions des reprises de contact, tout en ayant une définition du point de formation du filament conducteur d'une grande résolution (de très petites dimensions).  
15 Des tailles de zones de formation du filament conducteur peuvent être par exemple inférieures à 50 nm, voire moins de 5 nm sans problématiques de fabrication comme celles rencontrées en cas de gravure et de lithographie. Malgré les faibles dimensions potentielles, la reprise de contact n'est pas impactée. En fonctionnement, le dispositif mémoire ainsi obtenu peut être plus efficace qu'un dispositif à structure méso conventionnel. Cette fabrication peut être intégrée dans la partie de fin de fabrication dite Back-end ou bien avant dite Front End (proche des transistors notamment).

REFERENCES

1. Couche de reprise de contact
2. Portion dimensionnellement critique
- 5 3. Couche d'oxyde
4. Première électrode
5. Deuxième électrode
6. Première couche
7. Deuxième couche
- 10 8. Couche de reprise de contact
9. Portion isolante
10. Portion isolante
11. Portion intermédiaire
12. Couche d'électrode
- 15 13. Couche d'électrode
14. Couche de préparation
15. Couche poreuse
16. Pore
17. Matériau conducteur
- 20 18. Face supérieure
19. Couche poreuse oxydée
20. Couche d'oxyde
21. Couche d'électrode
22. Couche d'électrode
- 25 23. Couche d'encapsulation
24. Couche isolante
25. Couche de reprise de contact
26. Via
27. Première électrode
- 30 28. Deuxième électrode
29. Deuxième couche de portion active
  
- w. Largeur

## REVENDEICATIONS

1. Dispositif mémoire comprenant une première électrode (27), une deuxième électrode (28) et une portion active à changement d'état conducteur disposée entre une première face de la première électrode (27) et une première face de la deuxième électrode (28), la première électrode (27) comprenant une portion supérieure formant la première face de la première électrode (27), dans lequel au moins l'une parmi la portion supérieure et la portion active à changement d'état conducteur comprend une couche poreuse (15), et dans lequel la couche poreuse (15) est obtenue à partir de silicium dopé de type p ou n.

2. Dispositif selon la revendication précédente, dans lequel la couche poreuse (15) est :

- comprise dans la portion supérieure, et
- au contact de la portion active à changement d'état conducteur, et
- située sur une partie de base de la première électrode (4), au moins un pore de la couche poreuse (15) étant au moins partiellement rempli d'un matériau électriquement conducteur (17) configuré pour établir une continuité électrique entre la partie de base de la première électrode (27) et la portion active à changement d'état conducteur (20).

3. Dispositif selon la revendication précédente, dans lequel le matériau électriquement conducteur (17) remplit intégralement au moins un pore.

4. Dispositif selon l'une des deux revendications précédentes, dans lequel la couche poreuse (15) présente une résistivité électrique supérieure ou égale à celle du matériau électriquement conducteur (17).

5. Dispositif selon l'une des trois revendications précédentes, dans lequel le matériau électriquement conducteur (17) est du nitrure de titane (TiN).

6. Dispositif selon l'une des revendications 2 à 5, dans lequel la couche poreuse (15) est en dioxyde de silicium.

7. Dispositif selon la revendication précédente, dans lequel le dioxyde de silicium est obtenu par oxydation de silicium dopé p ou n.

8. Dispositif selon la revendication 1, dans lequel la couche poreuse (15) est comprise dans la portion active à changement d'état conducteur et est au contact d'au moins de l'une parmi la première face de la première électrode (27) et de la première face de la deuxième électrode (28).

5

9. Dispositif selon la revendication précédente, dans lequel les pores (16) de la couche poreuse (15) sont au moins en partie sous vide, ou remplis d'air ou remplis d'un matériau plus isolant électriquement que le matériau de la couche poreuse (15) et/ou de nature diélectrique.

10

10. Dispositif selon l'une des deux revendications précédentes, dans lequel la portion active à changement de phase comprend, entre la couche poreuse (15) et la deuxième électrode (28), une deuxième couche (29) plus isolante électriquement que la couche poreuse (15).

15

11. Dispositif selon la revendication précédente, dans lequel la deuxième couche (29) est en un oxyde du matériau de la couche poreuse (15).

12. Dispositif selon l'une des revendications précédentes, dans lequel la couche poreuse (15) est un matériau semi-isolant.

20

13. Dispositif selon l'une des revendications précédentes, dans lequel la taille des pores est inférieure à 10nm, et/ou supérieure ou égale à 2 nm.

14. Dispositif selon l'une des revendications précédentes, dans lequel la dimension en épaisseur de la couche poreuse (15) est inférieure à 100 nm, et de préférence inférieure à 50 nm.

25

15. Procédé de réalisation d'un dispositif mémoire, comprenant:

30

- la formation d'une première électrode (27) ;
- la formation d'une portion active à changement d'état conducteur ayant une face en contact avec une première face de la première électrode (27) ;
- la formation d'une deuxième électrode (28) en contact avec une autre face de la portion active à changement d'état conducteur,

35

et dans lequel on forme une couche poreuse (15) dans au moins l'une parmi la portion supérieure et la portion active à changement d'état conducteur, la couche poreuse (15) étant obtenue à partir de silicium dopé de type p ou n.

5           16. Procédé selon la revendication précédente, dans lequel la formation de la première électrode (27) comprend la formation d'une portion supérieure formant la première face de la première électrode (27), ladite formation comprenant :

- la formation d'une couche poreuse (15) au contact de la couche active à changement d'état conducteur (20) et située sur une partie de base de la première électrode (27) ;
- le remplissage au moins partiel d'au moins un pore de la couche poreuse (15) avec un matériau électriquement conducteur (17) configuré pour établir une continuité électrique entre la partie de base de la première électrode (4) et la couche active à changement d'état conducteur (20).

15

17. Procédé selon la revendication précédente, dans lequel le remplissage est configuré pour remplir totalement au moins un pore.

18. Procédé selon l'une des deux revendications précédentes, dans lequel le matériau de la couche poreuse (15) est choisi plus résistif électriquement que le matériau électriquement conducteur.

19. Procédé selon l'une des trois revendications précédentes, dans lequel le remplissage comprend un dépôt du matériau électriquement conducteur (17) sur la couche poreuse (15) puis un enlèvement d'une partie du matériau électriquement conducteur déposée à la surface de la couche poreuse (15).

20. Procédé selon l'une des cinq revendications précédentes, dans lequel la formation d'une portion active à changement d'état conducteur comprend la formation d'une couche poreuse (15) au contact de la première électrode (27).

21. Procédé selon l'une des six revendications précédentes, dans lequel la formation de la couche poreuse (15) comprend le dépôt d'une couche (14) d'un matériau semi-conducteur, puis une porosification du matériau semi-conducteur.

35

22. Procédé selon la revendication précédente, dans lequel la porosification est opérée par anodisation électrochimique en utilisant la partie de base de la première électrode (27) comme électrode pour l'anodisation électrochimique.

5 23. Procédé selon l'une des deux revendications précédentes, dans lequel on utilise la surface d'une partie de base de la première électrode comme couche d'arrêt de la porosification.

10 24. Procédé selon l'une des revendications 21 ou 22, dans lequel on stoppe la porosification avant qu'elle n'atteigne une partie de base de la première électrode, de sorte à préserver une couche de matériau semi-conducteur non poreux sous la couche poreuse (15).

15 25. Procédé selon les revendications 21 et 23 en combinaison, dans lequel, avant le dépôt d'une couche (14) d'un matériau semi-conducteur, on dépose une couche sous-jacente d'un deuxième matériau semi-conducteur différent du premier matériau semi-conducteur, le dépôt d'une couche d'un matériau semi-conducteur étant opéré au contact de la couche sous-jacente, et dans lequel on détecte une variation de potentiel électrique lors de l'anodisation électrochimique correspondant à une fin  
20 d'oxydation de l'épaisseur de la couche d'un matériau semi-conducteur et à un début d'oxydation de la couche sous-jacente, et on stoppe l'anodisation électrochimique à détection de la variation de potentiel.

25 26. Procédé selon la revendication précédente, dans lequel le matériau semi-conducteur et le deuxième matériau semi-conducteur sont des siliciums de dopages différant par le type de dopant (p, n) ou leur concentration en un même dopant.

30 27. Procédé selon l'une des revendications 15 à 26, comprenant une oxydation thermique d'au moins une partie du matériau de la couche poreuse (15).



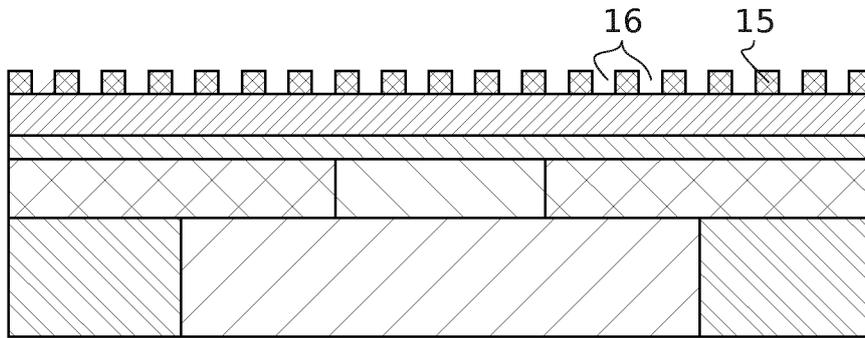


FIG. 5

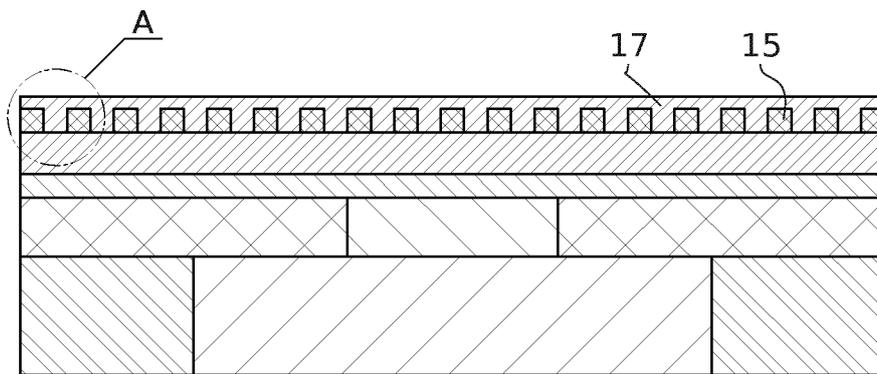


FIG. 6

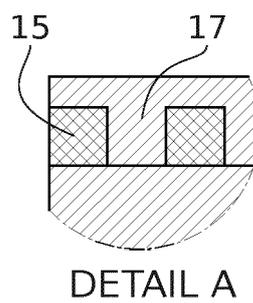


FIG. 7

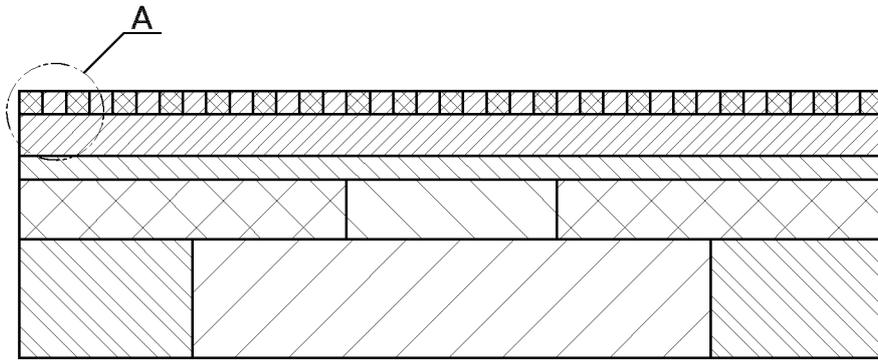


FIG. 8

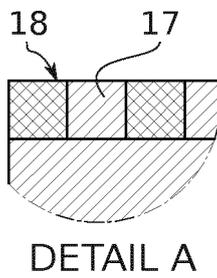


FIG. 9

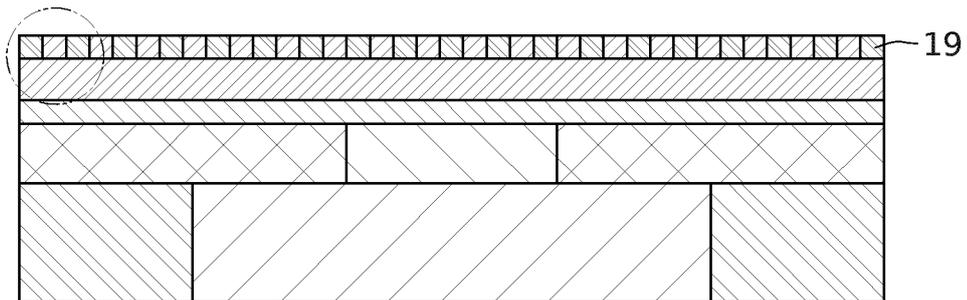


FIG. 10

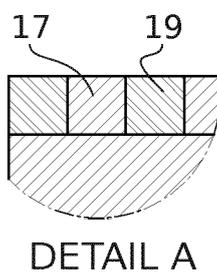


FIG. 11

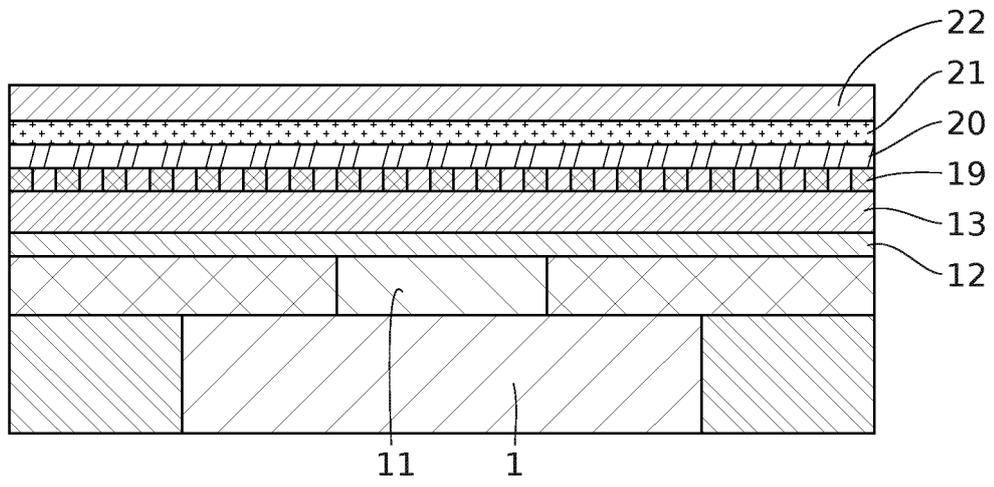


FIG. 12

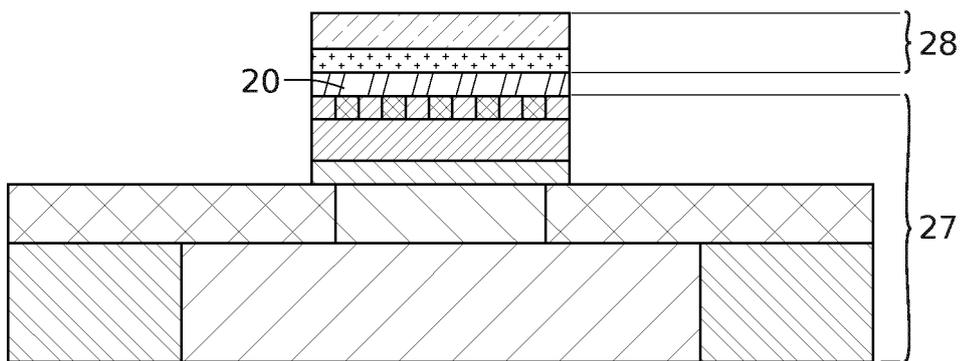


FIG. 13

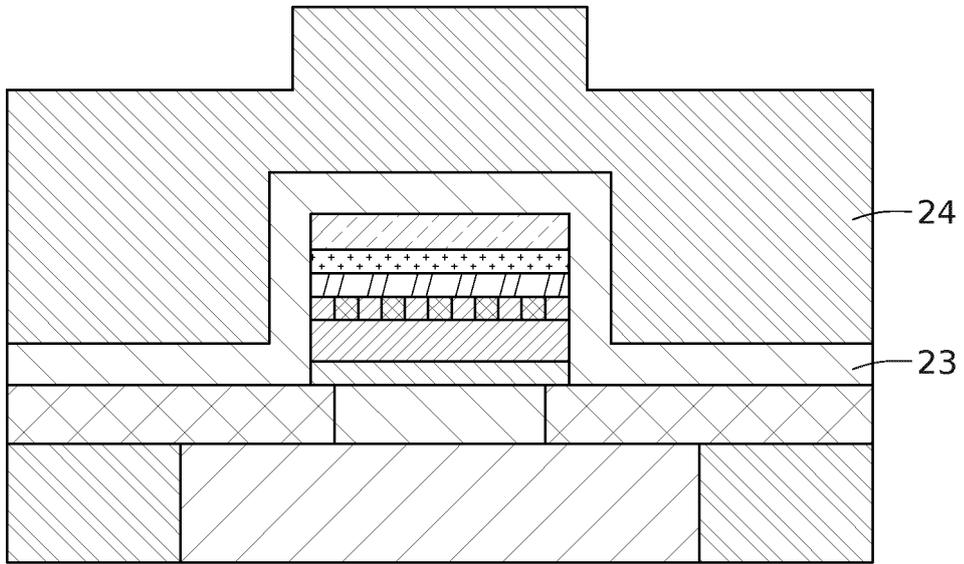


FIG. 14

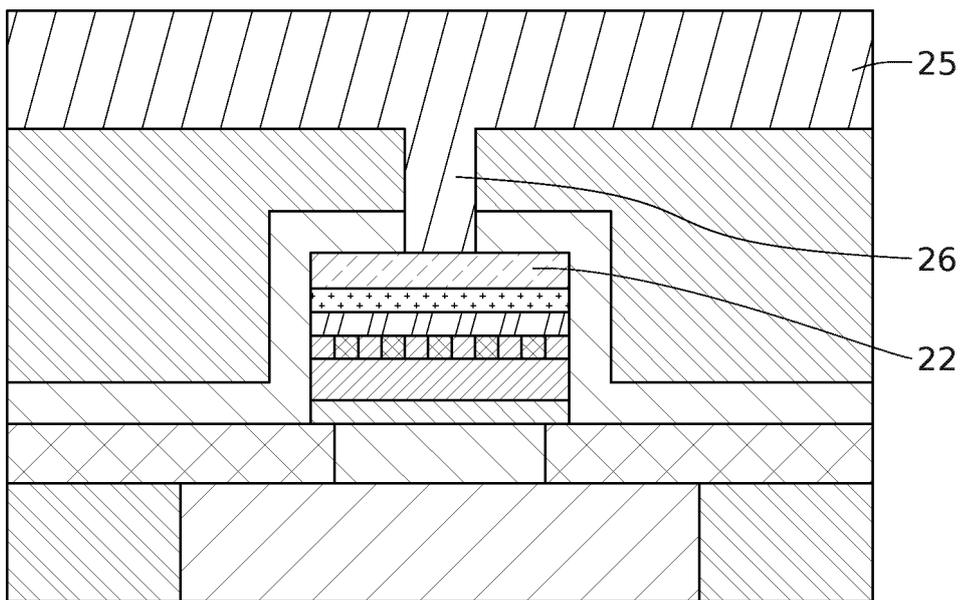


FIG. 15

6 / 6

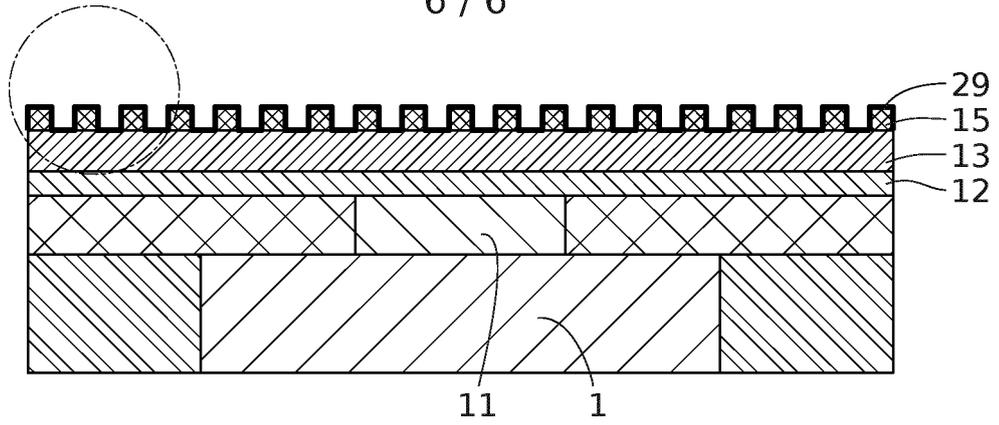


FIG. 16

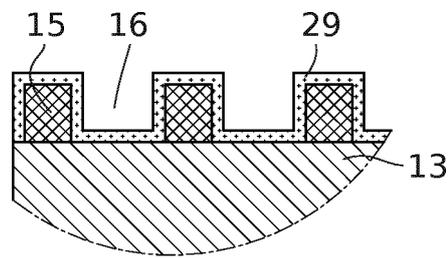


FIG. 17

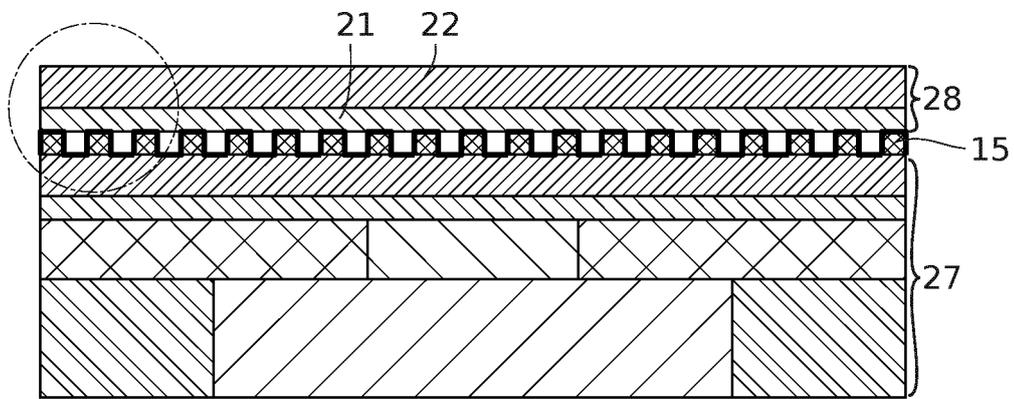


FIG. 18

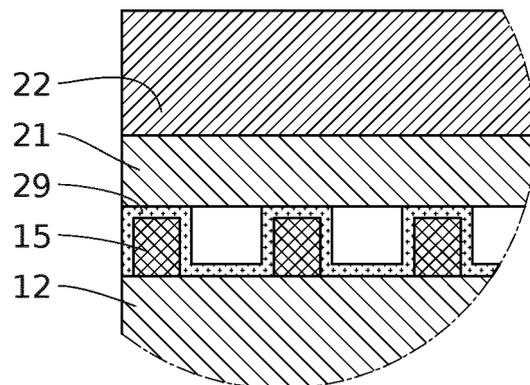


FIG. 19

# RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

## OBJET DU RAPPORT DE RECHERCHE

---

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

## CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

---

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

## DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

---

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

US 2010/117051 A1 (TIAN WEI [US] ET AL) 13 mai 2010 (2010-05-13)

US 2013/075685 A1 (LI YUBAO [US] ET AL) 28 mars 2013 (2013-03-28)

US 2013/214237 A1 (TENDULKAR MIHIR [US] ET AL) 22 août 2013 (2013-08-22)

US 2015/162418 A1 (MEISER ANDREAS [DE] ET AL) 11 juin 2015 (2015-06-11)

US 2015/162192 A1 (SCHULZE HANS-JOACHIM [DE] ET AL) 11 juin 2015 (2015-06-11)

WO 2016/115601 A1 (NEWSOUTH INNOVATIONS PTY LTD [AU]) 28 juillet 2016 (2016-07-28)

US 2004/180516 A1 (WATABE YOSHIFUMI [JP] ET AL) 16 septembre 2004 (2004-09-16)

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN TECHNOLOGIQUE GENERAL**

NEANT

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND DE LA VALIDITE DES PRIORITES**

NEANT