

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4990034号
(P4990034)

(45) 発行日 平成24年8月1日(2012.8.1)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.	F I	
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28	D
G 1 1 C 19/00 (2006.01)	G 1 1 C 19/00	J
G O 9 G 3/36 (2006.01)	G O 9 G 3/36	
G O 9 G 3/20 (2006.01)	G O 9 G 3/20	6 2 2 E
	G O 9 G 3/20	6 2 1 F
請求項の数 18 (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2007-153434 (P2007-153434)
 (22) 出願日 平成19年6月11日(2007.6.11)
 (65) 公開番号 特開2008-112550 (P2008-112550A)
 (43) 公開日 平成20年5月15日(2008.5.15)
 審査請求日 平成22年5月13日(2010.5.13)
 (31) 優先権主張番号 特願2006-271555 (P2006-271555)
 (32) 優先日 平成18年10月3日(2006.10.3)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 飛田 洋一
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 審査官 堀江 義隆

最終頁に続く

(54) 【発明の名称】 シフトレジスタ回路およびそれを備える画像表示装置

(57) 【特許請求の範囲】

【請求項1】

多段のシフトレジスタ回路であって、
当該シフトレジスタ回路の各段は、

第1および第2入力端子、第1および第2出力端子、第1クロック端子およびリセット端子と、

前記第1クロック端子に入力される第1クロック信号を前記第1出力端子に供給する第1トランジスタと、

前記第1出力端子を放電する第2トランジスタと、

前記第1クロック信号を前記第2出力端子に供給する第3トランジスタと、

前記第2出力端子を放電する第4トランジスタとを備えるシフトレジスタ回路であって、

前記第1および第3トランジスタの制御電極は、共に第1ノードに接続し、

前記第2および第4トランジスタの制御電極は、共に第2ノードに接続し、

当該シフトレジスタ回路は、

前記第1ノードと前記第1入力端子との間に接続し、前記第2入力端子に接続した制御電極を有する第5トランジスタと、

前記リセット端子に接続した制御電極を有し、前記第1ノードを放電する第6トランジスタとを備え、

前記各段において、

前記第 1 入力端子は、自身の前段の前記第 1 出力端子に接続し、
前記第 2 入力端子は、自身の前段の前記第 2 出力端子に接続する
 ことを特徴とするシフトレジスタ回路。

【請求項 2】

請求項 1 記載のシフトレジスタ回路であって、
前記各段において、
 前記第 2 ノードは、前記リセット端子に接続している
 ことを特徴とするシフトレジスタ回路。

【請求項 3】

請求項 1 記載のシフトレジスタ回路であって、
 前記第 2 ノードは、前記第 1 クロック信号と位相の異なる第 2 クロック信号が入力される第 2 クロック端子に接続している
 ことを特徴とするシフトレジスタ回路。

10

【請求項 4】

請求項 3 記載のシフトレジスタ回路であって、
前記各段において、
 前記第 2 トランジスタは、前記第 1 出力端子と前記第 1 クロック端子との間に接続し、
 前記第 4 トランジスタは、前記第 2 出力端子と前記第 1 クロック端子との間に接続している
 ことを特徴とするシフトレジスタ回路。

20

【請求項 5】

請求項 1 記載のシフトレジスタ回路であって、
前記各段は、
 前記第 1 ノードを入力端、前記第 2 ノードを出力端とするインバータをさらに備える
 ことを特徴とするシフトレジスタ回路。

【請求項 6】

請求項 5 記載のシフトレジスタ回路であって、
前記各段は、
 前記第 2 ノードに接続した制御電極を有し、前記第 1 ノードを放電する第 7 トランジスタをさらに備える
 ことを特徴とするシフトレジスタ回路。

30

【請求項 7】

請求項 1 記載のシフトレジスタ回路であって、
前記各段は、
前記第 4 トランジスタとは別に、前記第 2 出力端子を放電し、前記第 1 クロック信号と位相の異なる第 2 クロック信号が入力される第 2 クロック端子に接続した制御電極を有する第 8 トランジスタと、
 前記第 1 ノードに接続した制御電極を有し、前記第 2 ノードを放電する第 9 トランジスタと、
 前記第 2 ノードと前記第 1 クロック端子との間に接続した第 1 容量素子とをさらに備える
 ことを特徴とするシフトレジスタ回路。

40

【請求項 8】

請求項 7 記載のシフトレジスタ回路であって、
前記各段において、
 前記第 4 トランジスタは、前記第 2 出力端子と前記第 2 クロック端子との間に接続している
 ことを特徴とするシフトレジスタ回路。

【請求項 9】

請求項 7 または請求項 8 記載のシフトレジスタ回路であって、

50

- 前記各段は、
前記第2クロック端子に接続した制御電極を有し、前記第1出力端子を放電する第10トランジスタをさらに備える
ことを特徴とするシフトレジスタ回路。
- 【請求項10】
請求項9記載のシフトレジスタ回路であって、
前記各段において、
前記第2トランジスタは、前記第1出力端子と前記第2クロック端子との間に接続している
ことを特徴とするシフトレジスタ回路。 10
- 【請求項11】
請求項1記載のシフトレジスタ回路であって、
前記各段は、
前記第1ノードに接続した制御電極を有し、前記第2ノードを放電する第11トランジスタと、
前記第2ノードと前記第1クロック端子との間に接続した第2容量素子と、
前記第4トランジスタとは別に、前記第2出力端子を放電する第12トランジスタとを
さらに備え、
前記各段において、
前記第12トランジスタの制御端子は、前記第1クロック信号と位相の異なる第3クロック信号が入力される第3クロック端子に接続している
ことを特徴とするシフトレジスタ回路。 20
- 【請求項12】
請求項11記載のシフトレジスタ回路であって、
前記各段において、
前記第12トランジスタは、前記第2出力端子と前記第1クロック端子との間に接続している
ことを特徴とするシフトレジスタ回路。
- 【請求項13】
請求項1から請求項12のいずれか記載のシフトレジスタ回路であって、
前記各段は、
前記第1クロック信号と位相の異なる第4クロック信号が入力される第4クロック端子と前記第1ノードとの間に接続した第3容量素子をさらに備える
ことを特徴とするシフトレジスタ回路。 30
- 【請求項14】
請求項1から請求項13のいずれか記載のシフトレジスタ回路であって、
前記各段において、
前記リセット端子は、自身よりも後段の前記第1出力端子に接続している
ことを特徴とするシフトレジスタ回路。 40
- 【請求項15】
請求項1から請求項13のいずれか記載のシフトレジスタ回路であって、
前記各段において、
前記第6トランジスタは、
前記第1ノードと前記第1または第2入力端子との間に接続し、
前記リセット端子には、
前記第1クロック信号と位相の異なる第5クロック信号が入力される
ことを特徴とするシフトレジスタ回路。
- 【請求項16】
請求項15記載のシフトレジスタ回路であって、
前記各段において、

前記第 5 クロック信号は、自身の前段の前記第 1 クロック端子に入力されるものと同位相である

ことを特徴とするシフトレジスタ回路。

【請求項 17】

請求項 14 または請求項 16 記載のシフトレジスタ回路であって、

前記各段において、

前記第 2 出力端子からの出力信号は、前記第 1 出力端子からの出力信号よりもレベル遷移の速度が速い

ことを特徴とするシフトレジスタ回路。

【請求項 18】

請求項 14、請求項 16 および請求項 17 のいずれか記載のシフトレジスタ回路をゲート線駆動回路とする画像表示装置であって、

表示パネルのゲート線のそれぞれは、

前記各段の前記第 1 出力端子に接続されている

ことを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シフトレジスタ回路に関するものであり、特に、例えば画像表示装置の走査線駆動回路などに使用される、同一導電型の電界効果トランジスタのみにより構成されるシフトレジスタ回路に関するものである。

【背景技術】

【0002】

液晶表示装置等の画像表示装置（以下「表示装置」）では、複数の画素が行列状に配列された表示パネルの画素行（画素ライン）ごとにゲート線（走査線）が設けられ、表示信号の 1 水平期間の周期でそのゲート線を順次選択して駆動することにより表示画像の更新が行われる。そのように画素ラインすなわちゲート線を順次選択して駆動するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の 1 フレーム期間で一巡するシフト動作を行う多段のシフトレジスタを用いることができる。

【0003】

ゲート線駆動回路に使用されるシフトレジスタは、表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の電界効果トランジスタのみで構成されることが望ましい。このため、N型またはP型の電界効果トランジスタのみで構成されたシフトレジスタおよびそれを搭載する表示装置が種々提案されている（例えば特許文献 1 - 4）。電界効果トランジスタとしては、MOS（Metal Oxide Semiconductor）トランジスタや薄膜トランジスタ（TFT：Thin Film Transistor）などが用いられる。

【0004】

また、ゲート線駆動回路として用いられる多段のシフトレジスタは、1つの画素ラインすなわち1つのゲート線ごとに設けられたシフトレジスタ回路が複数個縦続接続（カスケード接続）して構成される。本明細書では説明の便宜上、ゲート線駆動回路（多段のシフトレジスタ）を構成する複数のシフトレジスタ回路の各々を「単位シフトレジスタ」と称する。

【0005】

【特許文献 1】特開平 8 - 87897 号公報

【特許文献 2】特表平 10 - 500243 号公報

【特許文献 3】特開 2001 - 52494 号公報

【特許文献 4】特開 2002 - 133890 号公報

【特許文献 5】特開 2006 - 24350 号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 6 】

特許文献 1 - 4 (並びに本明細書の図 3) に示されているように、従来の単位シフトレジスタは、クロック端子と出力端子との間に接続するトランジスタ(以下「出力プルアップトランジスタ」)を備えている(図 3 のトランジスタ Q 1)。単位シフトレジスタの出力信号は、その出力プルアップトランジスタがオンになり、クロック端子に入力されたクロック信号が出力端子に伝達されることによって出力(活性化)される。

【 0 0 0 7 】

従って、単位シフトレジスタの動作の高速化を図るためには、出力信号の立ち上がりおよび立ち下りの速さ(レベル遷移の速さ)が高速である必要がある。そうするには、信号出力時における出力プルアップトランジスタの駆動能力(電流を流す能力)を高くすればよい。その方法の一つとして、出力プルアップトランジスタのチャンネル幅を広くすることが挙げられるが、回路の形成面積が増大するという問題を伴う。

【 0 0 0 8 】

出力プルアップトランジスタの駆動能力を高める他の方法は、信号出力時においても出力プルアップトランジスタのゲート・ソース間電圧が高く保たれるようにすることである。出力プルアップトランジスタのソースは出力端子に接続しているため、信号の出力時にはソース電位が上昇することになるが、このときゲート・チャンネル間容量を介する容量結合によりゲート電位も昇圧されるので、その間のゲート・ソース間電圧はほぼ維持される。つまり、信号の出力時における出力プルアップトランジスタのゲート・ソース間電圧を高くするためには、信号を出力する前(クロック信号が入力される前)に、出力プルアップトランジスタのゲート電位を十分に高くしておく必要がある。それには当該ゲート電極を高速に充電(プリチャージ)することが有効である。

【 0 0 0 9 】

特許文献 1 - 4 の単位シフトレジスタでは、出力プルアップトランジスタのゲート電極に、ダイオード接続したトランジスタ(以下「充電用トランジスタ」)が接続される。出力プルアップトランジスタのゲート電極は、この充電用トランジスタを介して、前段の単位シフトレジスタの出力信号が供給されることによって充電される。

【 0 0 1 0 】

しかし、シフトレジスタがゲート線駆動回路として用いられる場合には、単位シフトレジスタの出力端子に大きな容量負荷となるゲート線が接続されるため、出力信号の立ち上がり速度は遅くなる。そうすると、各単位シフトレジスタの出力プルアップトランジスタのゲート電極の充電速度が低下する。その結果、各単位シフトレジスタの動作の高速化が困難になり、ゲート線駆動回路の動作の高速化が困難になる。

【 0 0 1 1 】

また充電用トランジスタは、出力プルアップトランジスタのゲート電極の充電時にはソースフォロワモードで動作する。つまり、充電が進むにつれ、充電用トランジスタのゲート・ソース間電圧は小さくなり、駆動能力が低下して充電速度が遅くなる。特に、ゲート線のような大きな容量負荷の影響によって各単位シフトレジスタの出力信号の立ち上がり速度が遅くなった場合には、充電用トランジスタが充電過程の初期段階からソースフォロワモードでの動作が行われるため、充電速度の低下は顕著になる。このこともゲート線駆動回路の動作の高速化を妨げる要因となっていた。

【 0 0 1 2 】

本発明は以上の問題を解決するためになされたものであり、ゲート線駆動回路等に用いられるシフトレジスタにおいて、出力プルアップトランジスタのゲート電極の充電を高速化し、それによってシフトレジスタの高速動作を可能にすることを目的とする。

【課題を解決するための手段】

【 0 0 1 3 】

本発明に係るシフトレジスタ回路は、多段のシフトレジスタ回路であって、当該シフトレジスタ回路の各段は、第 1 および第 2 入力端子と、第 1 および第 2 出力端子と、第 1 クロック端子に入力される第 1 クロック信号を前記第 1 出力端子に供給する第 1 トランジス

10

20

30

40

50

たと、前記第 1 出力端子を放電する第 2 トランジスタと、前記クロック信号を前記第 2 出力端子に供給する第 3 トランジスタと、前記第 2 出力端子を放電する第 4 トランジスタとを備えるシフトレジスタ回路であって、前記第 1 および第 3 トランジスタの制御電極は、共に第 1 ノードに接続し、前記第 2 および第 4 トランジスタの制御電極は、共に第 2 ノードに接続し、当該シフトレジスタ回路は、前記第 1 ノードと前記第 1 入力端子との間に接続し、前記第 2 入力端子に接続した制御電極を有する第 5 トランジスタと、所定のリセット端子に接続した制御電極を有し、前記第 1 ノードを放電する第 6 トランジスタとを備え、前記各段において、前記第 1 入力端子は、自身の前段の前記第 1 出力端子に接続し、前記第 2 入力端子は、自身の前段の前記第 2 出力端子に接続するものである。

【発明の効果】

10

【0014】

本発明に係るシフトレジスタ回路によれば、第 1 入力端子への入力信号よりレベル遷移の高速な入力信号を、第 2 入力端子へ入力することにより、ノード N 1 の充電過程の初期段階に第 5 トランジスタを非飽和領域で動作させることができ、ノード N 1 を高速且つ高電位に充電することができる。その結果、第 1 および第 3 トランジスタの駆動能力が向上され、第 1 および第 2 出力端子からの出力信号のレベル遷移の速度が速くなるという効果が得られる。

【0015】

さらに、第 1 および第 2 出力端子にそれぞれ異なる負荷が接続されることにより、第 1 および第 2 出力端子からの出力信号のレベル遷移の速度は互いに異なるようになる。そして当該シフトレジスタ回路を複数個縦続接続する際に、第 1 および第 2 出力端子の出力信号のうちレベル遷移の高速な方を次段の第 2 入力端子へ入力し、他方を次段の第 1 入力端子へ入力すれば、縦続接続した複数のシフトレジスタ回路のそれぞれにおいて、上記の効果が得られる。

20

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【0017】

30

<実施の形態 1>

図 1 は、本発明の実施の形態 1 に係る表示装置の構成を示す概略ブロック図であり、表示装置の代表例として液晶表示装置 10 の全体構成を示している。

【0018】

液晶表示装置 10 は、液晶アレイ部 20 と、ゲート線駆動回路（走査線駆動回路）30 と、ソースドライバ 40 とを備える。後の説明により明らかになるが、本発明の実施の形態に係るシフトレジスタは、ゲート線駆動回路 30 に搭載される。

【0019】

液晶アレイ部 20 は、行列状に配設された複数の画素 25 を含む。画素の行（以下「画素ライン」とも称する）の各々にはそれぞれゲート線 GL_1, GL_2, \dots （総称「ゲート線 GL 」）が配設され、また、画素の列（以下「画素列」とも称する）の各々にはそれぞれデータ線 DL_1, DL_2, \dots （総称「データ線 DL 」）がそれぞれ設けられる。図 1 には、第 1 行の第 1 列および第 2 列の画素 25、並びにこれに対応するゲート線 GL_1 およびデータ線 DL_1, DL_2 が代表的に示されている。

40

【0020】

各画素 25 は、対応するデータ線 DL と画素ノード N_p との間に設けられる画素スイッチ素子 26 と、画素ノード N_p および共通電極ノード NC の間に並列に接続されるキャパシタ 27 および液晶表示素子 28 とを有している。画素ノード N_p と共通電極ノード NC との間の電圧差に応じて、液晶表示素子 28 中の液晶の配向性が変化し、これにตอบสนองして液晶表示素子 28 の表示輝度が変化する。これにより、データ線 DL および画素スイッチ

50

素子26を介して画素ノードNpへ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノードNpと共通電極ノードNcとの間に印加することによって、中間的な輝度を得ることができる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

【0021】

ゲート線駆動回路30は、所定の走査周期に基づき、ゲート線GLを順に選択して駆動する。画素スイッチ素子26のゲート電極は、それぞれ対応するゲート線GLと接続される。特定のゲート線GLが選択されている間は、それに接続する各画素において、画素スイッチ素子26が導通状態になり画素ノードNpが対応するデータ線DLと接続される。そして、画素ノードNpへ伝達された表示電圧がキャパシタ27によって保持される。一般的に、画素スイッチ素子26は、液晶表示素子28と同一の絶縁体基板（ガラス基板、樹脂基板等）上に形成されるTFTで構成される。

10

【0022】

ソースドライバ40は、Nビットのデジタル信号である表示信号SIGによって段階的に設定される表示電圧を、データ線DLへ出力するためのものである。ここでは一例として、表示信号SIGは6ビットの信号であり、表示信号ビットDB0～DB5から構成されるものとする。6ビットの表示信号SIGに基づく、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、R（Red）、G（Green）およびB（Blue）の3つの画素により1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。

20

【0023】

また、図1に示すように、ソースドライバ40は、シフトレジスタ50と、データラッチ回路52、54と、階調電圧生成回路60と、デコード回路70と、アナログアンプ80とから構成されている。

【0024】

表示信号SIGにおいては、各々の画素25の表示輝度に対応する表示信号ビットDB0～DB5がシリアルに生成される。すなわち、各タイミングにおける表示信号ビットDB0～DB5は、液晶アレイ部20中のいずれか1つの画素25における表示輝度を示している。

【0025】

シフトレジスタ50は、表示信号SIGの設定が切り換わる周期に同期したタイミングで、データラッチ回路52に対して、表示信号ビットDB0～DB5の取り込みを指示する。データラッチ回路52は、シリアルに生成される表示信号SIGを順に取り込み、1つの画素ライン分の表示信号SIGを保持する。

30

【0026】

データラッチ回路54に入力されるラッチ信号LTは、データラッチ回路52に1つの画素ライン分の表示信号SIGが取り込まれるタイミングで活性化する。データラッチ回路54はそれに応答して、そのときデータラッチ回路52に保持されている1つの画素ライン分の表示信号SIGを取り込む。

【0027】

階調電圧生成回路60は、高電圧VDHおよび低電圧VDLの間に直列に接続された63個の分圧抵抗で構成され、64段階の階調電圧V1～V64をそれぞれ生成する。

40

【0028】

デコード回路70は、データラッチ回路54に保持されている表示信号SIGをデコードし、当該デコード結果に基づいて各デコード出力ノードNd₁、Nd₂・・・（総称「デコード出力ノードNd」）に出力する電圧を、階調電圧V1～V64のうちから選択して出力する。

【0029】

その結果、デコード出力ノードNdには、データラッチ回路54に保持された1つの画素ライン分の表示信号SIGに対応した表示電圧（階調電圧V1～V64のうちの1つ）

50

が同時に（パラレルに）出力される。なお、図 1 においては、第 1 列目および第 2 列目のデータ線 DL_1 、 DL_2 に対応するデコード出力ノード Nd_1 、 Nd_2 が代表的に示されている。

【0030】

アナログアンプ 80 は、デコード回路 70 からデコード出力ノード Nd_1 、 Nd_2 ・・・に出力された各表示電圧に対応したアナログ電圧を、それぞれデータ線 DL_1 、 DL_2 ・・・に出力する。

【0031】

ソースドライバ 40 が、所定の走査周期に基づいて、一連の表示信号 SIG に対応する表示電圧を 1 画素ライン分ずつデータ線 DL へ繰り返し出力し、ゲート線駆動回路 30 がその走査周期に同期してゲート線 GL_1 、 GL_2 ・・・を順に駆動することにより、液晶アレイ部 20 に表示信号 SIG に基づいた画像の表示が成される。

10

【0032】

なお、図 1 には、ゲート線駆動回路 30 およびソースドライバ 40 が液晶アレイ部 20 と一体的に形成された液晶表示装置 10 の構成を例示したが、ゲート線駆動回路 30 およびソースドライバ 40 については、液晶アレイ部 20 の外部回路として設けることも可能である。

【0033】

ここで、本発明の説明を容易にするために、従来のシフトレジスタを用いたゲート線駆動回路 30 について説明する。図 2 は、従来のゲート線駆動回路 30 の構成を示す図である。このゲート線駆動回路 30 は、縦続接続（カスケード接続）した複数の単位シフトレジスタ SR_1 、 SR_2 、 SR_3 、 SR_4 ・・・で構成されるシフトレジスタから成っている（以下、単位シフトレジスタ SR_1 、 SR_2 ・・・を「単位シフトレジスタ SR 」と総称する）。単位シフトレジスタ SR は、1 つの画素ラインすなわち 1 つのゲート線 GL ごとに 1 つずつ設けられる。

20

【0034】

また図 2 に示すクロック発生器 31 は、互いに位相の異なる 2 相のクロック信号 CLK 、 $/CLK$ を、ゲート線駆動回路 30 の単位シフトレジスタ SR に入力するものである。これらクロック信号 CLK 、 $/CLK$ は、表示装置の走査周期に同期したタイミングで順番に活性化するように制御されている。即ち、クロック信号 CLK 、 $/CLK$ は互いに相補な信号である。

30

【0035】

それぞれの単位シフトレジスタ SR は、入力端子 IN 、出力端子 OUT 、リセット端子 RST 、クロック端子 CK を有している。図 2 のように、各単位シフトレジスタ SR のクロック端子 CK には、クロック発生器 31 が出力するクロック信号 CLK 、 $/CLK$ のいずれかが供給される。単位シフトレジスタ SR の出力端子 OUT にはそれぞれゲート線 GL が接続する。つまり、出力端子 OUT に出力される信号 G_1 、 G_2 、 G_3 、・・・（以下「出力信号 G 」と総称）は、ゲート線 GL を活性化するための水平（又は垂直）走査パルスとなる。

【0036】

40

第 1 段目（第 1 ステージ）の単位シフトレジスタ SR_1 の入力端子 IN には、画像信号の各フレーム期間の先頭に対応するスタートパルス SP が入力される。第 2 段以降の単位シフトレジスタ SR の入力端子 IN にはその前段の出力信号 G が入力される。即ち、第 2 段以降の単位シフトレジスタ SR の入力端子 IN は、自身の前段の単位シフトレジスタ SR の出力端子 OUT に接続されている。また、各単位シフトレジスタ SR のリセット端子 RST には、自身よりも後段（この例では次段）の出力端子 OUT が接続される。

【0037】

この構成のゲート線駆動回路 30 においては、各単位シフトレジスタ SR は、クロック信号 CLK 、 $/CLK$ に同期して、前段から入力される信号（前段の出力信号 G ）を時間的にシフトさせながら、対応するゲート線 GL 並びに自身の次段の単位シフトレジスタ S

50

Rへと伝達する(単位シフトレジスタSRの動作の詳細は後述する)。その結果、一連の単位シフトレジスタSRは、所定の走査周期に基づいたタイミングでゲート線GLを順に活性化させる、いわゆるゲート線駆動ユニットとして機能する。

【0038】

図3は従来の単位シフトレジスタSRの構成の一例を示す回路図である。なおゲート線駆動回路30においては、縦続接続された各単位シフトレジスタSRの構成は実質的にどれも同じであるので、以下では1つの単位シフトレジスタSRの構成についてのみ代表的に説明する。また、この単位シフトレジスタSRを構成するトランジスタは、全て同一導電型の電界効果トランジスタであるが、ここでは全てN型TFTであるものとする。N型TFTの場合、ゲートがH(High)レベルで活性(オン)状態となり、L(Low)レベル

10

【0039】

図3の如く、従来の単位シフトレジスタSRは、既に図2で示した入力端子IN、出力端子OUT、リセット端子RSTおよびクロック端子CKの他に、低電位側電源電位VSSが供給される第1電源端子S1を有している。以下の説明では、低電位側電源電位VSSを回路の基準電位(=0V)とするが、実使用では画素に書き込まれるデータの電圧を基準にして基準電位が設定され、例えば低電位側電源電位VSSは-12Vなどと設定される。

【0040】

図3に示す従来の単位シフトレジスタSRにおいて、トランジスタQ1は、クロック端子CKに入力されるクロック信号を出力端子OUTに供給する出力プルアップトランジスタである。またトランジスタQ2は、第1電源端子S1の電位(VSS)を出力端子OUTに供給することで出力端子OUTを放電する出力プルダウントランジスタである。ここで、トランジスタQ1のゲートノードを「ノードN1」、トランジスタQ2のゲートノードを「ノードN2」とそれぞれ定義する。

20

【0041】

トランジスタQ1のゲート・ソース間すなわちノードN1と出力端子OUTとの間には容量素子C1が設けられている。この容量素子C1は、出力端子OUTのレベル上昇に伴うノードN1の昇圧効果を高めるためのものである。

【0042】

ノードN1と入力端子INとの間に接続し、ダイオード接続されたトランジスタQ3は、ノードN1の充電用トランジスタである。トランジスタQ4は、ノードN1と第1電源端子S1との間に接続しており、ノードN1に第1電源端子S1の電位を供給することでノードN1を放電するものである。トランジスタQ4のゲートは、リセット端子RSTに接続される。またこの例では、ノードN2もリセット端子RSTに接続される。

30

【0043】

従来のゲート線駆動回路30は、図3の単位シフトレジスタSRが、図2の如く縦続接続することによって構成される。以下、従来の単位シフトレジスタSRの動作を、当該単位シフトレジスタSRがゲート線駆動回路30に用いられた場合を想定して説明する。

【0044】

上記のとおり、ゲート線駆動回路30を構成する各単位シフトレジスタSRの構成は実質的にどれも同じであるので、ここでは第n段目の単位シフトレジスタSR_nの動作を代表的に説明する。図4は、単位シフトレジスタSR_nの動作を説明するためのタイミング図である。

40

【0045】

ここでは簡単のため、単位シフトレジスタSR_nのクロック端子CKにはクロック信号CLKが入力されるものとして説明を行う。また、第i段目の単位シフトレジスタSR_iの出力端子OUTからの出力信号Gを符号G_iで表す。またクロック信号CLK、/CLKのHレベルの電位レベル(以下単に「レベル」と称す)は互いに等しいと仮定し、その値をVDDとする。さらに、単位シフトレジスタSRを構成するトランジスタのしきい値

50

電圧は全て等しいと仮定し、その値を V_{th} とする。

【0046】

図4を参照し、まず時刻 t_0 における初期状態として、単位シフトレジスタ SR_n のノード $N1$ は L レベル (V_{SS}) であるとする (以下、ノード $N1$ が L レベルの状態を「リセット状態」と称す)。また前段の単位シフトレジスタ SR_{n-1} の出力信号 G_{n-1} 、並びに次段の単位シフトレジスタ SR_{n+1} の出力信号 G_{n+1} は L レベルであるとする。この場合、単位シフトレジスタ SR_n のトランジスタ $Q1$ 、 $Q2$ は共にオフであるため、出力端子 OUT はフローティング状態であるが、この初期状態では出力信号 G_n は L レベルであるとする。

【0047】

クロック信号 CLK が H レベルに遷移する時刻 t_1 で前段の出力信号 G_{n-1} が H レベルになると、単位シフトレジスタ SR_n のトランジスタ $Q3$ がオンし、ノード $N1$ が充電されて H レベル ($V_{DD} - V_{th}$) になる (以下、ノード $N1$ が H レベルの状態を「セット状態」と称す)。それによりトランジスタ $Q1$ はオンする。しかし、このときクロック信号 CLK は L レベル (V_{SS}) であるので出力信号 G_n は L レベルを維持する。

【0048】

時刻 t_2 でクロック信号 CLK が立ち下がると、前段の出力信号 G_{n-1} も L レベルになるが、トランジスタ $Q3$ がオフし、トランジスタ $Q4$ もオフのままであるので、ノード $N1$ のレベルはフローティングで H レベル ($V_{DD} - V_{th}$) に維持される。

【0049】

そして時刻 t_3 でクロック信号 CLK が立ち上がると、このときトランジスタ $Q1$ はオン、トランジスタ $Q2$ はオフであるので、出力端子 OUT (出力信号 G_n) のレベルが上昇し始める。このとき、トランジスタ $Q1$ のゲート・チャネル間容量および容量素子 $C1$ を介する結合によって、ノード $N1$ が昇圧される。従って、トランジスタ $Q1$ が非飽和領域で動作し、出力信号 G_n のレベルはそれぞれトランジスタ $Q1$ のしきい値電圧 V_{th} 分の電圧損失を伴わずに、 H レベル (V_{DD}) になる。この結果、ノード $N1$ のレベルは、ほぼ $2 \times V_{DD} - V_{th}$ にまで上昇する。

【0050】

また出力信号 G_n が H レベルになると、それが次段の単位シフトレジスタ SR_{n+1} の入力端子 IN に入力されるため、単位シフトレジスタ SR_{n+1} においてトランジスタ $Q3$ がオンになる。よって、時刻 t_3 では、単位シフトレジスタ SR_{n+1} のノード $N1$ が $V_{DD} - V_{th}$ に充電される。

【0051】

時刻 t_4 でクロック信号 CLK が立ち下がると、単位シフトレジスタ SR の出力信号 G_n のレベルも下降する。このとき容量素子 $C1$ およびトランジスタ $Q1$ のゲート・チャネル間容量を介する結合のため、ノード $N1$ のレベルも下降し、 $V_{DD} - V_{th}$ にまで低下する。しかしその場合でもトランジスタ $Q1$ はオンに維持されるので、出力信号 G_n はクロック信号 CLK に追従して V_{SS} まで下降して L レベルになる。

【0052】

時刻 t_5 でクロック信号 CLK が立ち上がると、今度は次段の単位シフトレジスタ SR_{n+1} においてノード $N1$ が昇圧されると共に出力信号 G_{n+1} が H レベル (V_{DD}) になる。それにより、単位シフトレジスタ SR_n のリセット端子 RST が H レベルになる。応じて、トランジスタ $Q4$ がオンになるので、ノード $N1$ が放電されて L レベルになり、トランジスタ $Q1$ がオフになる。即ち単位シフトレジスタ SR_n はリセット状態に戻る。またリセット端子 RST はトランジスタ $Q2$ のゲート (ノード $N2$) にも接続しているため、トランジスタ $Q2$ がオンになり、出力信号 G_n は確実に V_{SS} にされる。

【0053】

時刻 t_6 でクロック信号 CLK が L レベルになると、次段の出力信号 G_{n+1} が L レベルになるので、単位シフトレジスタ SR_n のリセット端子 RST が L レベルになる。その結果、トランジスタ $Q2$ 、 $Q4$ はオフになり、単位シフトレジスタ SR_n は上記の初期状態

10

20

30

40

50

(時刻 t_0 の状態) に戻る。

【0054】

以上の動作をまとめると、単位シフトレジスタ SR_n においては、入力端子 IN に信号 (前段の出力信号 G_{n-1} あるいはスタートパルス SP) が入力されない間はノード $N1$ が L レベルのリセット状態にある。セット状態ではトランジスタ $Q1$ がオフしているので、クロック信号 CLK のレベルに係らず出力信号 G は L レベルに維持される。そして入力端子 IN に信号が入力されると、ノード $N1$ が H レベルのセット状態になる。セット状態ではトランジスタ $Q1$ がオンであり、このときトランジスタ $Q2$ はオフになっているので、クロック信号 CLK が H レベルになるのに応じて出力信号 G が出力される。その後、リセット端子 RST の信号 (次段のゲート線駆動信号 G_{n+1}) が入力されると、リセット状態

10

【0055】

このように動作する複数の単位シフトレジスタ SR が、図2のように縦続接続した多段のシフトレジスタ (ゲート線駆動回路30) によれば、第1段目の単位シフトレジスタ SR_1 にスタートパルス SP が入力されると、それを切っ掛けにして、出力信号 G がクロック信号 CLK , \bar{CLK} に同期したタイミングでシフトされながら、単位シフトレジスタ SR_2 , SR_3 ... と順番に伝達される。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線 GL_1 , GL_2 , GL_3 ... を順に駆動することができる。

【0056】

20

以下、図3のような従来のシフトレジスタ回路よりも高速動作が可能である本発明に係るシフトレジスタ回路について説明する。図5は、本発明の実施の形態1に係る単位シフトレジスタ SR の構成を示す回路図である。同図のように、当該単位シフトレジスタ SR は、2つの入力端子 IN , IND 、2つの出力端子 OUT , $OUTD$ を有するものである。また図3の単位シフトレジスタと同様に、クロック端子 CK 、リセット端子 RST および第1電源端子 $S1$ も備えている。

【0057】

また本実施の形態において、単位シフトレジスタ SR を構成するトランジスタは、全て同一導電型の電界効果トランジスタであるが、ここでは全て N 型 TFT であるものとする。 N 型 TFT の場合、ゲートが H レベルで活性 (オン) 状態となり、 L レベルで非活性 (オフ) 状態となる。なお、 P 型トランジスタの場合はその逆になる。

30

【0058】

図5のように、第1出力端子 OUT には、トランジスタ $Q1$, $Q2$ が接続している。トランジスタ $Q1$ は、第1出力端子 OUT とクロック端子 CK との間に接続しており、クロック端子 CK に入力されるクロック信号を第1出力端子 OUT に供給する出力プルアップトランジスタ (第1トランジスタ) である。またトランジスタ $Q2$ は、第1出力端子 OUT と第1電源端子 $S1$ との間に接続しており、第1電源端子 $S1$ の電位 (VSS) を第1出力端子 OUT に供給することで第1出力端子 OUT を放電する出力プルダウントランジスタ (第2トランジスタ) である。

【0059】

40

一方、第2出力端子 $OUTD$ には、トランジスタ $QD1$, $QD2$ が接続している。トランジスタ $QD1$ は、第2出力端子 $OUTD$ とクロック端子 CK との間に接続しており、クロック端子 CK に入力されるクロック信号を第2出力端子 $OUTD$ に供給する出力プルアップトランジスタ (第3トランジスタ) である。またトランジスタ $QD2$ は、第2出力端子 $OUTD$ と第1電源端子 $S1$ との間に接続しており、第1電源端子 $S1$ の電位を第2出力端子 $OUTD$ に供給することで第2出力端子 $OUTD$ を放電する出力プルダウントランジスタ (第4トランジスタ) である。

【0060】

このように第1出力端子 OUT に接続するトランジスタ $Q1$, $Q2$ と、第2出力端子 $OUTD$ に接続するトランジスタ $QD1$, $QD2$ とは互いに並列に接続している。またトラ

50

ンジスタQ1のゲート(制御電極)とトランジスタQD1のゲート電極とは互いに接続しており、トランジスタQ2のゲートとトランジスタQD2のゲートとは互いに接続している。ここで、図5に示すようにトランジスタQ1, QD1のゲートが接続するノード(第1ノード)を「ノードN1」と定義し、トランジスタQ2, QD2のゲートが接続するノード(第2ノード)を「ノードN2」と定義する。

【0061】

図5の単位シフトレジスタSRにおいても、図3の回路と同様に、トランジスタQ1のゲート・ソース間すなわちノードN1と第1出力端子OUTとの間には容量素子C1が設けられている。この容量素子C1は、第1出力端子OUTのレベル上昇に伴うノードN1の昇圧効果を高めるためのものである。但し、容量素子C1は、トランジスタQ1のゲート・チャンネル間容量が充分大きい場合にはそれで置き換えることができるので、そのような場合には省略してもよい。

10

【0062】

またノードN1には、トランジスタQ3, Q4が接続する。トランジスタQ3(第5トランジスタ)は、ノードN1と第1入力端子INとの間に接続しており、そのゲートは第2入力端子INDに接続している。またトランジスタQ4(第6トランジスタ)は、ノードN1と第1電源端子S1との間に接続しており、ノードN1に第1電源端子S1の電位を供給することでノードN1を放電するものである。トランジスタQ4のゲートは、リセット端子RSTに接続される。また本実施の形態では、ノードN2もリセット端子RSTに接続される。

20

【0063】

図6は、実施の形態1に係る単位シフトレジスタSRを用いたゲート線駆動回路の構成を示すブロック図である。本実施の形態においても、ゲート線駆動回路30は、縦続接続(カスケード接続)した複数の単位シフトレジスタSR₁, SR₂, SR₃, SR₄・・・で構成されるシフトレジスタから成っている。また図6のクロック発生器31は、図2に示したものと同等のものであり、互いに相補なクロック信号CLK, /CLKを出力するものである。各単位シフトレジスタSRのクロック端子CKには、クロック発生器31が出力するクロック信号CLK, /CLKのいずれかが供給される。

【0064】

本実施の形態の単位シフトレジスタSRは、2つの入力端子IN, INDを有しているが、第1段目(第1ステージ)の単位シフトレジスタSR₁の入力端子IN, INDには、共にスタートパルスSPが入力される。第2段以降の単位シフトレジスタSRでは、第1入力端子INは、自身の前段の第1出力端子OUTに接続され、第2入力端子INDは自身の前段の第2出力端子OUTDに接続される。

30

【0065】

また本実施の形態の単位シフトレジスタSRは、2つの出力端子OUT, OUTDを有しているが、表示パネルのゲート線GLはそのうちの第1出力端子OUTに接続される。つまり、第1出力端子OUTからの出力信号G₁, G₂, G₃, ... (以下「第1出力信号G」と総称)が、ゲート線GLを活性化するための水平(又は垂直)走査パルスとなる。第1出力端子OUTはさらに、自身の前段のリセット端子RST、および自身の次段の第1入力端子INにも接続される。一方、出力信号GD₁, GD₂, GD₃, ... (以下「第2出力信号GD」と総称)を出力する第2出力端子OUTDは、ゲート線GLに接続されず、専ら自身の次段の第2入力端子INDに接続される。

40

【0066】

この構成のゲート線駆動回路30においても、各単位シフトレジスタSRは、クロック信号CLK, /CLKに同期して、前段から入力される信号(前段の第1および第2出力信号G, GD)を時間的にシフトさせながら、対応するゲート線GL並びに自身の次段の単位シフトレジスタSRへと伝達する。以下、当該ゲート線駆動回路30を構成する単位シフトレジスタSRの動作について説明する。

【0067】

50

ここでも第 n 段目の単位シフトレジスタ $S R_n$ の動作を代表的に説明する。図 7 は、第 n 段目の単位シフトレジスタ $S R_n$ 、その前段（第 $n - 1$ 段）の単位シフトレジスタ $S R_{n-1}$ およびその後段（第 $n + 1$ 段）の単位シフトレジスタ $S R_{n+1}$ の接続関係を表した回路図である。また図 8 は、単位シフトレジスタ $S R_n$ の動作を説明するためのタイミング図である。以下、図 7 および図 8 を参照して、図 5 に示した本実施の形態に係る単位シフトレジスタ $S R$ の動作を説明する。

【 0 0 6 8 】

ここでも簡単のため、単位シフトレジスタ $S R_n$ のクロック端子 $C K$ にはクロック信号 $C L K$ が入力され、単位シフトレジスタ $S R_{n-1}$ 、 $S R_{n+1}$ のクロック端子 $C K$ にはクロック信号 $/ C L K$ が入力されるものとして説明を行う。また第 i 段目の単位シフトレジスタ $S R_i$ の第 1 出力端子 $O U T$ からの第 1 出力信号 G を符号 G_i で表し、同じく第 2 出力端子 $O U T D$ からの第 2 出力信号 $G D$ を符号 $G D_i$ で表す。またクロック信号 $C L K$ 、 $/ C L K$ の H レベルのレベルは互いに等しいと仮定し、その値を $V D D$ とする。さらに、単位シフトレジスタ $S R$ を構成するトランジスタのしきい値電圧は全て等しいと仮定し、その値を $V t h$ とする。

【 0 0 6 9 】

図 8 を参照し、まず時刻 t_0 における初期状態として、単位シフトレジスタ $S R_n$ のノード $N 1$ は L レベル ($V S S$) であるとする（以下、ノード $N 1$ が L レベルの状態を「リセット状態」と称す）。単位シフトレジスタ $S R_{n-1}$ の第 1 出力信号 G_{n-1} および第 2 出力信号 $G D_{n-1}$ 、並びに単位シフトレジスタ $S R_{n+1}$ の第 1 出力信号 G_{n+1} および第 2 出力信号 $G D_{n+1}$ は L レベルであるとする。この場合、単位シフトレジスタ $S R_n$ のトランジスタ $Q 1$ 、 $Q 2$ 、 $Q D 1$ 、 $Q D 2$ は全てオフであるため、第 1 出力端子 $O U T$ および第 2 出力端子 $O U T D$ はフローティング状態であるが、この初期状態では第 1 出力信号 G_n および第 2 出力信号 $G D_n$ は L レベルであるとする。

【 0 0 7 0 】

クロック信号 $/ C L K$ が H レベルに遷移する時刻 t_1 で、前段の第 1 および第 2 出力信号 G_{n-1} 、 $G D_{n-1}$ が H レベルになったとする。すると単位シフトレジスタ $S R_n$ のトランジスタ $Q 3$ がオンし、ノード $N 1$ が充電されて H レベル ($V D D - V t h$) になる（以下、ノード $N 1$ が H レベルの状態を「セット状態」と称す）。それによりトランジスタ $Q 1$ 、 $Q D 1$ はオンする。しかし、このときクロック信号 $C L K$ は L レベル ($V S S$) であるので出力信号 G_n は L レベルを維持する。

【 0 0 7 1 】

時刻 t_2 でクロック信号 $/ C L K$ が立ち下がると、前段の第 1 および第 2 出力信号 G_{n-1} 、 $G D_{n-1}$ が L レベルになるが、トランジスタ $Q 3$ がオフし、トランジスタ $Q 4$ もオフのままであるので、ノード $N 1$ のレベルはフローティングで H レベル ($V D D - V t h$) に維持される。

【 0 0 7 2 】

そして時刻 t_3 でクロック信号 $C L K$ が立ち上がると、このときトランジスタ $Q 1$ 、 $Q D 1$ はオン、トランジスタ $Q 2$ 、 $Q D 2$ はオフであるので、第 1 および第 2 出力端子 $O U T$ 、 $O U T D$ （第 1 および第 2 出力信号 G_n 、 $G D_n$ ）のレベルが上昇し始める。このとき、トランジスタ $Q 1$ 、 $Q D 1$ のゲート・チャンネル間容量および容量素子 $C 1$ を介する結合によって、ノード $N 1$ が昇圧される。従って、トランジスタ $Q 1$ 、 $Q D 1$ が非飽和領域で動作し、第 1 および第 2 出力信号 G_n 、 $G D_n$ のレベルは、それぞれトランジスタ $Q 1$ 、 $Q D 1$ のしきい値電圧 $V t h$ 分の電圧損失を伴わずに、 H レベル ($V D D$) になる。この結果、ノード $N 1$ のレベルは、ほぼ $2 \times V D D - V t h$ にまで上昇する。

【 0 0 7 3 】

また第 1 および第 2 出力信号 G_n 、 $G D_n$ が H レベルになると、それらは次段の単位シフトレジスタ $S R_{n+1}$ の第 1 および第 2 入力端子 $I N$ 、 $I N D$ に入力されるため、単位シフトレジスタ $S R_{n+1}$ においてトランジスタ $Q 3$ がオンになる。よって、時刻 t_3 では、単位シフトレジスタ $S R_{n+1}$ のノード $N 1$ が $V D D - V t h$ に充電される。

【 0 0 7 4 】

時刻 t_4 でクロック信号 CLK が立ち下がると、単位シフトレジスタ SR_n の第 1 および第 2 出力信号 G_n, GD_n のレベルも下降する。このときトランジスタ Q_1, QD_1 のゲート・チャネル間容量および容量素子 C_1 を介する結合のため、ノード N_1 のレベルも下降し、 $VDD - V_{th}$ にまで低下する。しかしその場合でもトランジスタ Q_1, QD_1 はオンに維持されるので、第 1 および第 2 出力信号 G_n, GD_n はクロック信号 CLK に追従して VSS まで下降して L レベルになる。

【 0 0 7 5 】

時刻 t_5 でクロック信号 CLK が立ち上がると、今度は次段の単位シフトレジスタ SR_{n+1} においてノード N_1 が昇圧されると共に第 1 および第 2 出力信号 G_{n+1}, GD_{n+1} が H レベル (VDD) になる。それにより、単位シフトレジスタ SR_n のリセット端子 RST が H レベルになる。応じて、トランジスタ Q_4 がオンになるので、ノード N_1 が放電されて L レベルになり、トランジスタ Q_1, QD_1 がオフになる。即ち単位シフトレジスタ SR_n はリセット状態に戻る。またリセット端子 RST はトランジスタ Q_2, QD_2 のゲート (ノード N_2) にも接続しているため、トランジスタ Q_2, QD_2 がオンになり、第 1 および第 2 出力信号 G_n, GD_n は確実に VSS にされる。

【 0 0 7 6 】

時刻 t_6 でクロック信号 CLK が L レベルになると、次段の第 1 および第 2 出力信号 G_{n+1}, GD_{n+1} は L レベルになるので、応じて単位シフトレジスタ SR_n のリセット端子 RST が L レベルになる。その結果、トランジスタ Q_2, QD_2, Q_4, QD_4 はオフになり、単位シフトレジスタ SR_n は上記の初期状態 (時刻 t_0 の状態) に戻る。

【 0 0 7 7 】

以上の動作をまとめると、本実施の形態に係る単位シフトレジスタ SR_n においては、第 1 および第 2 入力端子 IN, IND に信号 (前段の第 1 および第 2 出力信号 G_{n-1}, GD_{n-1} あるいはスタートパルス SP) が入力されない間はノード N_1 が L レベルのリセット状態にある。リセット状態ではトランジスタ Q_1, QD_1 がオフしているので、クロック信号 CLK のレベルに係らず、第 1 および第 2 出力信号 G, GD は L レベルに維持される。そして第 1 および第 2 入力端子 IN, IND に信号が入力されると、ノード N_1 が H レベルのセット状態になる。セット状態ではトランジスタ Q_1, QD_1 がオンであり、このときトランジスタ Q_2, QD_2 はオフになっているので、クロック信号 CLK が H レベルになるのに応じて、第 1 および第 2 出力信号 G_n, GD_n が出力される。その後、リセット端子 RST の信号 (次段のゲート線駆動信号 G_{n+1}) が入力されると、ノード N_1 が L レベルのリセット状態に戻り、第 1 および第 2 出力信号 G_n, GD_n が L レベルに維持されるようになる。

【 0 0 7 8 】

このように動作する複数の単位シフトレジスタ SR が、図 6 および図 7 のように縦続接続した多段のシフトレジスタ (ゲート線駆動回路 30) によれば、第 1 段目の単位シフトレジスタ SR_1 にスタートパルス SP が入力されると、それを切っ掛けにして、第 1 および第 2 出力信号 G, GD がクロック信号 $CLK, /CLK$ に同期したタイミングでシフトされながら、単位シフトレジスタ $SR_2, SR_3 \dots$ と順番に伝達される。それによって、ゲート線駆動回路 30 は、所定の走査周期でゲート線 $GL_1, GL_2, GL_3 \dots$ を順に駆動することができる。

【 0 0 7 9 】

上記のように、本実施の形態に係る単位シフトレジスタ SR では、第 1 出力端子 OUT に接続するトランジスタ Q_1, Q_2 と、第 2 出力端子 $OUTD$ に接続するトランジスタ QD_1, QD_2 とは互いに並列接続した関係にある。そのため図 8 に示されるように、論理的には第 1 および第 2 出力信号 G_n, GD_n のレベルは共に同じように遷移する。従ってゲート線駆動回路 30 の論理的な動作は、従来の単位シフトレジスタ (図 3 および図 4 参照) の場合と変わりはない。しかし、本実施の形態に係る単位シフトレジスタ SR では、以下に説明するような効果を得ることができる。

10

20

30

40

50

【 0 0 8 0 】

図 9 は本発明の効果を説明するための図であり、単位シフトレジスタ $S R$ のノード $N 1$ の充電（プリチャージ）および昇圧時におけるノード $N 1$ の電圧波形を示している。なお、同図に示す時刻 $t_1 \sim t_5$ は図 8 に示したものに对应している。

【 0 0 8 1 】

本実施の形態におけるゲート線駆動回路 30 においては、各単位シフトレジスタ $S R$ の第 1 出力端子 $O U T D$ が、その前段のリセット端子 $R S T$ と、次段の第 1 入力端子 $I N$ と、大きな容量負荷となるゲート線 $G L$ とに接続される。それに対し、第 2 出力端子 $O U T D$ は、専ら次段の第 2 入力端子 $I N D$ に接続されるのみであるので、第 1 出力端子 $O U T$ に比べて負荷容量値は桁違いに小さくなる。従って、各単位シフトレジスタ $S R$ の第 2 出力信号 $G D$ は、第 1 出力信号 G よりも高速に立ち上がることができる。

10

【 0 0 8 2 】

再び第 n 段目の単位シフトレジスタ $S R_n$ に注目すると、時刻 t_1 でクロック信号 $C L K$ が立ち上がると、図 9 のように、その前段の第 2 出力信号 $G D_{n-1}$ は第 1 出力信号 G_{n-1} よりも高速に立ち上がる。図 7 に示したように単位シフトレジスタ $S R_n$ のノード $N 1$ を充電するトランジスタ $Q 3$ のドレイン（第 1 入力端子 $I N$ ）に第 1 出力信号 G_{n-1} が入力され、ゲート（第 2 入力端子 $I N D$ ）に第 2 出力信号 $G D_{n-1}$ が入力される。従って、前段の第 1 および第 2 出力信号 G_{n-1} , $G D_{n-1}$ のレベルが上昇すると、単位シフトレジスタ $S R_n$ のトランジスタ $Q 3$ がオンになりノード $N 1$ が充電され、図 9 の実線で示すが如くノード $N 1$ のレベルが上昇する。

20

【 0 0 8 3 】

このとき前段の第 2 出力信号 $G D_{n-1}$ が第 1 出力信号 G_{n-1} よりも高速に立ち上がることにより、ノード $N 1$ の充電過程の初期におけるトランジスタ $Q 3$ のゲート電位はドレイン電位よりも十分に大きくなる。従ってトランジスタ $Q 3$ は非飽和領域で動作し、ノード $N 1$ のレベルは、第 1 出力信号 G_{n-1} とほぼ同レベルで上昇する。

【 0 0 8 4 】

その後ノード $N 1$ のレベルが上昇するに従い、トランジスタ $Q 3$ が飽和領域での動作に移行し始めることに加え、ノード $N 1$ に付随する寄生容量に基づく時定数のためにノード $N 1$ のレベル上昇が遅れることにより、ノード $N 1$ のレベルと前段の第 1 出力信号 G_{n-1} のレベルとの差が徐々に大きくなっていく。そしてノード $N 1$ の充電過程の終盤には、トランジスタ $Q 3$ は完全に飽和領域での動作になっており、そのレベル差はさらに大きくなる。

30

【 0 0 8 5 】

そして時刻 t_2 でクロック信号 $C L K$ が立ち下がると、ノード $N 1$ のレベルは、前段の第 1 出力信号 G_{n-1} の H レベル（ $V D D$ ）よりもある程度低いレベル（図 9 に示すレベル $V 1$ ）で上昇が停止する。なお時刻 t_2 では、前段の単位シフトレジスタ $S R_{n-1}$ の第 1 および第 2 出力端子 $O U T$, $O U T D$ の間に負荷容量値の差があるため、第 1 出力信号 G_{n-1} は第 2 出力信号 $G D_{n-1}$ よりも遅い速度でレベルが下がる。

【 0 0 8 6 】

その後、時刻 t_3 でクロック信号 $C L K$ が立ち上がると、トランジスタ $Q 1$, $Q D 1$ のゲート・チャンネル間容量および容量素子 $C 1$ を介する容量結合によってノード $N 1$ のレベルが昇圧される。昇圧されたノード $N 1$ のレベルはクロック信号 $C L K$ が立ち下がる時刻 t_4 まで維持される。この時刻 $t_3 \sim t_4$ の間に、ノード $N 1$ が十分に高いレベルに維持されることにより、単位シフトレジスタ $S R_n$ が第 1 および第 2 出力信号 G_n , $G D_n$ を出力する際のトランジスタ $Q 1$, $Q D 2$ の駆動能力を高く維持できる。それにより、第 1 および第 2 出力信号 G_n , $G D_n$ は、高速での立ち上がりおよび立ち下がりが可能になる。

40

【 0 0 8 7 】

他方、図 9 に示す破線のグラフは、従来の単位シフトレジスタ $S R$ （図 3）におけるノード $N 1$ のレベルの変化を示している。従来の単位シフトレジスタ $S R$ では、トランジスタ $Q 3$ はダイオード接続されるため、そのドレインとゲートとが互いに接続される。その

50

ためトランジスタQ3は、常に飽和領域で動作することとなる。よってノードN1の充電過程の初期から、ノードN1のレベルは前段の出力信号 G_{n-1} のレベルよりもトランジスタQ3のしきい値電圧 V_{th} 分だけ低くなる。さらにトランジスタQ3は、ノードN1の充電過程の初期からソースフォロワモードで動作するため充電速度が遅くない。そのため図9の破線のグラフのように、時刻 t_3 の段階で上記のレベル V_1 よりも低いレベル V_2 までしかノードN1のレベルを上昇させることができない。

【0088】

レベル V_1 と V_2 との電位差を V とすると、この電圧差 V は、時刻 t_4 でノードN1が昇圧されたときにも維持される。つまり、本実施の形態に係る単位シフトレジスタSRでは、時刻 $t_3 \sim t_4$ の間におけるノードN1のレベルを、従来よりも V だけ高くすることができ、第1および第2出力信号 G_n, GD_n の立ち上がりおよび立ち下がり、従来の単位シフトレジスタSRの出力信号のそれよりも高速になる。従って、本実施の形態に係るシフトレジスタでは、従来よりも高速な動作が可能になる。

10

【0089】

以上の効果は、縦続接続された単位シフトレジスタSRのそれぞれにおいて、トランジスタQ3のゲート(第2入力端子IND)に輸入される第2出力信号GDが高速に立ち上がるにより得られるものであり、その速度が速いほど当該効果は大きくなる。従って、第2出力端子OUTDに係る負荷容量は小さいほど望ましい。

【0090】

本実施の形態では、図6および図7に示したように、各単位シフトレジスタSRの第1出力信号Gはその前段のリセット端子RST、後段の第1入力端子IN、およびゲート線GLに供給され、第2出力信号GDは専ら次段の第2入力端子INDにのみ供給される構成とした。しかし図8のように、第1出力信号Gおよび第2出力信号GDは互いにほぼ同じ波形になるので、例えば第2出力信号GDを、前段のリセット端子RSTにも供給してもよい。即ち、各単位シフトレジスタSRにおいて、第1出力端子OUTを、その次段の第1入力端子INとゲート線GLに接続し、第2出力端子OUTDをその前段のリセット端子RSTと次段の第2入力端子INDに接続する構成としてもよい。

20

【0091】

但しそのようにすると、第2出力端子OUTDに係る容量負荷が、前段の単位シフトレジスタSRのトランジスタQ2, Q4のゲート容量分だけ大きくなるため、図6および図7の場合に比較して第2出力信号GDの立ち上がり速度が低下し、本発明の効果が若干小さくなることに留意すべきである。

30

【0092】

また例えば、各単位シフトレジスタSRの第2出力信号GDを、その次段の第1入力端子INにも供給するようにして動作させることも不可能ではない。しかしその場合には、第2出力端子OUTDに、次段のトランジスタQ3を介して次段のトランジスタQ1, QD1のゲート容量および容量素子C1が負荷としてかかることになり、第2出力端子OUTDに係る容量負荷がその分だけ大きくなる。特に、ゲート線GLの充電に用いられるトランジスタQ1は、チャンネル幅が大きく設定されておりゲート容量が特に大きいので、第2出力信号GDの立ち上がり速度が低下して、本発明の効果は小さくなる。それを防止するためには、第2出力信号GDにより次段のトランジスタQ1のゲート容量を高速に充電できるように、トランジスタQD1の駆動能力を上げればよい。但し、そのためにはトランジスタQD1のチャンネル幅を大きくする必要があるので、回路の形成面積の増大を伴うので好ましくない。

40

【0093】

なお以上の説明においては、クロック信号CLKがHレベルになる期間と \bar{CLK} がHレベルになる期間との間に一定の間隔を設けているが、この期間は無くてもよい。即ち、クロック信号CLKが立ち上がるのと同時にクロック信号 \bar{CLK} が立ち下がり、クロック信号CLKが立ち下がるのと同時にクロック信号 \bar{CLK} が立ち上がるような2相クロックでよい。

50

【0094】

また本実施の形態の単位シフトレジスタSRも従来のシフトレジスタと同様に3相クロックを用いて動作させることも可能である(例えば、上記特許文献1の図4参照)。その場合には、各単位シフトレジスタSRのリセット端子RSTには、その次々段(2つ後段)の第2出力信号GDが入力されてもよく、その場合にも上記と同様の効果が得られる。

【0095】

<実施の形態2>

図10は本発明の実施の形態2に係る単位シフトレジスタSRの構成を示す回路図である。同図において、図5に示したものと同様の機能を有する要素には、それと同一符号を付してある。

10

【0096】

実施の形態1の単位シフトレジスタSR(図5)は、1つのクロック端子CKを有していたが、実施の形態2の単位シフトレジスタSRは、図10の如く2つのクロック端子CK1, CK2と有している。以下、クロック端子CK1を「第1クロック端子」、クロック端子CK2を「第2クロック端子」と称する。

【0097】

第1クロック端子CK1は、図5の単位シフトレジスタSRにおけるクロック端子CKに相当する。即ち、本実施の形態では、第1クロック端子CK1に入力されるクロック信号が、トランジスタQ1, QD1を介してそれぞれ第1および第2出力端子OUT, OUTDに供給されることで、第1および第2出力信号G, GDが活性化される。

20

【0098】

一方、第2クロック端子CK2は、第1クロック端子CK1に入力されるものとは異なる位相のクロック信号が入力されるものである。例えば、第1クロック端子CK1にクロック信号CLKが入力される単位シフトレジスタSRでは、その第2クロック端子CK2にはクロック信号/CLKが入力される。当該第2クロック端子CK2には、トランジスタQ2, QD2のゲート(ノードN2)が接続される。なお、トランジスタQ4のゲートは、実施の形態1と同様にリセット端子RSTに接続される。

【0099】

ここでも第n段目の単位シフトレジスタSR_nについて代表的に説明し、その第1クロック端子CK1にはクロック信号CLKが入力され、第2クロック端子CK2にはクロック信号/CLKが入力されるものと仮定する。

30

【0100】

実施の形態1の単位シフトレジスタSR_nにおいては、トランジスタQ2, QD2は、その次段の第1出力信号G_{n+1}がHレベルになる期間にオンし、その間のみ第1および第2出力端子OUT, OUTDを低インピーダンスでLレベルにしていた。つまり、それ以外の期間では第1および第2出力端子OUT, OUTDはフローティングでLレベルになる。

【0101】

それに対し、本実施の形態に係る単位シフトレジスタSR_nでは、トランジスタQ2, QD2は、第2クロック端子CK2に入力されるクロック信号/CLKがHレベルになる度にオンする。よって、第1および第2出力端子OUT, OUTDは短い間隔で繰り返し低インピーダンスのLレベルにされる。従って、第1および第2出力信号G_n, GD_nのLレベルの電位がより安定する。その結果、ゲート線駆動回路30の誤動作が防止されると共に、非選択状態のゲート線GLのレベルが安定するため表示装置の表示異常が生じにくくなる。

40

【0102】

<実施の形態3>

表示装置のゲート線駆動回路を構成する電界効果トランジスタとしては、非晶質シリコン薄膜トランジスタ(a-Si TFT)が広く採用されている。a-Si TFTは、ゲート電極が継続的にバイアスされた場合に、しきい値電圧が大きくシフトする現象が起こ

50

ることが分かっている。その現象は、ゲート線駆動回路の誤動作を引き起こす要因となり問題となる。また、*a-Si TFT*のみならず、有機TFTにおいても同様の問題が生じることが分かっている。

【0103】

例えば、実施の形態2の単位シフトレジスタSR(図10)においては、トランジスタQ2, QD2のゲートは、第2クロック端子CK2に入力されるクロック信号により、繰り返しHレベルにバイアスされる。そのため単位シフトレジスタSRが*a-Si TFT*や有機TFTで構成されている場合、トランジスタQ2, QD2のしきい値電圧が正方向にシフトする。そうするとトランジスタQ2, QD2の駆動能力が低下し、第1および第2出力端子OUT, OUTDを十分に低インピーダンスでLレベルにすることができなく

10

【0104】

この問題を抑制するために、例えばトランジスタQ2, QD2のチャネル幅を広くして駆動能力を大きくすることが考えられるが、回路の形成面積の増大を伴うため望ましくない。そこで実施の形態3では、回路の形成面積を大きくせずこの問題を解決することが可能な、実施の形態2の変形例を示す。

【0105】

図11は、実施の形態3に係る単位シフトレジスタSRの構成を示す回路図である。同図において、図10に示したものと同様の機能を有する要素には、それと同一符号を付してある。図11の単位シフトレジスタSRでは、トランジスタQ2, QD2のソースを、第1クロック端子CK1に接続させている。即ち、トランジスタQ2, QD2のソースには、ゲートに入力されるものと位相の異なるクロック信号が入力されることになる。その点を除いては、図10の回路と同様である。

20

【0106】

ここでも第n段目の単位シフトレジスタSR_nについて代表的に説明し、その第1クロック端子CK1にはクロック信号CLKが入力され、第2クロック端子CK2にはクロック信号/CLKが入力されるものと仮定する。

【0107】

クロック信号CLK, /CLKは互いに相補な信号であるため、クロック信号/CLKがHレベルになってトランジスタQ2, QD2がオンする間、それらのソースはクロック信号CLKによりLレベルになっている。よって実施の形態2の場合と同様に、トランジスタQ2, QD2は、クロック信号/CLKがHレベルになる度に、第1および第2出力端子OUT, OUTDを低インピーダンスのLレベルにすることができ、実施の形態2の効果が得られる。

30

【0108】

逆に、クロック信号/CLKがLレベルになってトランジスタQ2, QD2がオフする間、それらのソースはクロック信号CLKによりHレベルになる。つまり、トランジスタQ2, QD2のゲートがソースに対して負にバイアスされるのと等価な状態になる。それにより、正方向へシフトしたしきい値電圧が負方向へ戻って回復するため、トランジスタQ2, QD2の駆動能力の低下が防止され、上記の問題が解決される。また回路の形成面積の増大を伴わないことは明らかである。

40

【0109】

本実施の形態においても、理論的にはクロック信号CLKが立ち上がるのと同時にクロック信号/CLKが立ち下がり、クロック信号CLKが立ち下がるのと同時にクロック信号/CLKが立ち上がるような2相クロックを用いることができる。しかし、実用化にあたっては、クロック信号CLK, /CLKの立ち上がり、立ち下がりのタイミングのばらつきにより、単位シフトレジスタSR_nのトランジスタQ2, QD2が完全にオフしないうちにソース電位が上昇することも生じうる。そうすると第1および第2出力端子OUT, OUTDのレベルが不要に上昇して、誤動作の原因となる。従って本実施の形態におい

50

ては、図4の例のように、クロック信号CLKがHレベルになる期間とクロック信号/CLKがHレベルになる期間との間には一定の間隔が設けられていることが望ましい。

【0110】

<実施の形態4>

図12は実施の形態4に係る単位シフトレジスタSRの構成を示す回路図である。同図において、図5に示したものと同様の機能を有する要素には、それと同一符号を付してある。

【0111】

図12の如く、実施の形態4の単位シフトレジスタSRは、高電位側電源電位VDDが供給される第2電源端子S2を有している。さらに第2電源端子S2とノードN2（トランジスタQ2，QD2のゲート）との間に接続したトランジスタQ5と、ノードN2と第1電源端子S1との間に接続したトランジスタQ6とが設けられている。トランジスタQ5のゲートは第2電源端子S2に接続されており（即ちトランジスタQ5はダイオード接続されている）、トランジスタQ6のゲートはノードN1（トランジスタQ1，QD1のゲート）に接続されている。なお、トランジスタQ4のゲートは、実施の形態1と同様にリセット端子RSTに接続される。

10

【0112】

トランジスタQ6のオン抵抗はトランジスタQ5のオン抵抗よりも充分小さく設定されている。よって、ノードN1がHレベルになってトランジスタQ6がオンすると、ノードN2はLレベルになる。逆にノードN1がLレベルのときはトランジスタQ6がオフし、ノードN2はトランジスタQ5により充電されてHレベルになる。つまりこれらトランジスタQ5，Q6は、ノードN1を入力端、ノードN2を出力端とするレシオ型のインバータを構成している。

20

【0113】

従って、本実施の形態の単位シフトレジスタSRでは、ノードN1がLレベルのリセット状態にある間、トランジスタQ5，Q6から成るインバータによりノードN2はHレベルに保持されるので、その間トランジスタQ2，QD2がオンになる。つまり、単位シフトレジスタSRが出力信号Gを出力しない間（ゲート線GLの非選択期間）、第1および第2出力端子OUT，OUTDは低インピーダンスのLレベルに維持される。従って、第1および第2出力信号G_n，GD_nのLレベルの電位がより安定し、ゲート線駆動回路30の誤動作が防止される。

30

【0114】

また実施の形態2，3と異なり、トランジスタQ2，QD2のゲートに、クロック信号を供給する必要がないので、単位シフトレジスタSRで消費される交流電力を低減することができる。即ちクロック信号生成回路（図6のクロック発生器31）の消費電力が削減されるという利点もある。ただし、トランジスタQ2，QD2のゲートが継続的にHレベルになるので、しきい値電圧のシフトが生じやすいことに留意すべきである。

【0115】

<実施の形態5>

本実施の形態では、実施の形態4（図12）の変形例を示す。図13は実施の形態5に係る単位シフトレジスタSRの構成を示す回路図である。同図において、図12に示したものと同様の機能を有する要素には、それと同一符号を付してある。図13の如く、本実施の形態の単位シフトレジスタSRは、ノードN1と第1電源端子S1（VSS）との間に接続し、ノードN2に接続したゲートを有するトランジスタQ7を備えており、そのことを除いては図12の回路と同様である。

40

【0116】

トランジスタQ7は、ノードN2がHレベルのときにオンし、ノードN1を放電するように機能する。よって当該単位シフトレジスタSRにおいては、トランジスタQ1，QD1がオフの期間（ゲート線GLの非選択期間）に、ノードN1の電位がトランジスタQ7によってVSSに固定されることになる。

50

【 0 1 1 7 】

トランジスタ Q_7 を有さない実施の形態4の単位シフトレジスタ SR (図12)では、トランジスタ Q_1 、 QD_1 がオフの期間に、クロック端子 CK にクロック信号が入力されると、トランジスタ Q_1 、 QD_1 のゲート・ドレイン間のオーバーラップ容量を介する容量結合によってノード N_1 のレベルが上昇する可能性がある。ノード N_1 のレベルが上昇すると、トランジスタ Q_1 、 QD_1 に電流が流れるようになり、ゲート線 GL の非選択期間に不要に第1および第2出力信号 G 、 GD が H レベルになるという問題が生じる恐れがある。それに対し本実施の形態によれば、ゲート線 GL の非選択期間におけるノード N_1 のレベルの上昇が防止されるので、この問題の発生を抑えることができる。

【 0 1 1 8 】

<実施の形態6>

実施の形態5で説明した、ゲート線 GL の非選択期間におけるノード N_1 のレベルの上昇の問題は、実施の形態1~4のいずれの単位シフトレジスタ SR においても生じ得るのである。本実施の形態ではその対策を講じた単位シフトレジスタ SR を提案する。

【 0 1 1 9 】

図14は、実施の形態6に係る単位シフトレジスタ SR の構成を示す回路図である。同図において、図10に示したものと同様の機能を有する要素には、それと同一符号を付してある。図14の如く、本実施の形態の単位シフトレジスタ SR は、ノード N_1 と第2クロック端子 CK_2 との間に接続した容量素子 C_2 を備えており、そのことを除いては図10の回路と同様である。

【 0 1 2 0 】

実施の形態2と同様に、第1および第2クロック端子 CK_1 、 CK_2 には、互いに位相の異なるクロック信号が入力される。但し本実施の形態においては、第1クロック端子 CK_1 に入力されるクロック信号が立ち上がるタイミングと、第2クロック端子 CK_2 に入力されるクロック信号が立ち下がるタイミングとが同時になるように組み合わせられる必要がある。

【 0 1 2 1 】

ここでも第 n 段目の単位シフトレジスタ SR_n について代表的に説明し、その第1クロック端子 CK_1 にはクロック信号 CLK が入力され、第2クロック端子 CK_2 にはクロック信号/ CLK が入力されるものと仮定する。

【 0 1 2 2 】

単位シフトレジスタ SR_n において、ゲート線 GL_n の非選択期間では、トランジスタ Q_1 、 QD_1 はオフであるが、第1クロック端子 CK_1 のクロック信号 CLK が立ち上がると、トランジスタ Q_1 、 QD_1 のゲート・ドレイン間のオーバーラップ容量を介する結合によってノード N_1 のレベルが上昇しようとする。しかしこのとき第2クロック端子 CK_2 のクロック信号/ CLK は立ち下がるので、容量素子 C_2 を介する結合によってノード N_1 のレベルは引き下げられる。つまり、容量素子 C_2 は、クロック信号 CLK に起因するノード N_1 のレベル上昇を相殺するように働く。

【 0 1 2 3 】

従って、本実施の形態によれば、ゲート線 GL の非選択期間におけるノード N_1 のレベルの上昇が防止され、当該期間に不要に第1および第2出力信号 G 、 GD が H レベルになるという誤動作の発生を抑えることができる。

【 0 1 2 4 】

なお図14においては、実施の形態2(図10)の単位シフトレジスタ SR に対して容量素子 C_2 を設けた構成を示したが、本実施の形態は実施の形態1、3~5の回路(図5、図5、図11~図13)に対しても適用可能である。

【 0 1 2 5 】

<実施の形態7>

図15は実施の形態7に係る単位シフトレジスタ SR の構成を示す回路図である。同図において、図10に示したものと同様の機能を有する要素には、それと同一符号を付して

10

20

30

40

50

ある。

【0126】

図15の如く、本実施の形態の単位シフトレジスタSRにおいては、リセット端子RST端子(トランジスタQ4のゲート)を後段の単位シフトレジスタSRに接続させずに、第2クロック端子CK2に接続させる。それにより、トランジスタQ4のゲートには、第1クロック端子CK1に入力されるものとは異なる位相のクロック信号が入力される。より具体的には、トランジスタQ4には、自身の前段の第1クロック端子CK1に入力されるものと同位相のクロック信号が入力される。

【0127】

さらに、トランジスタQ4のソースは入力端子INに接続される。それにより、トランジスタQ4のソースには、前段の第1出力信号 G_{n-1} が入力されるようになる。図15の回路ではノードN2を第2クロック端子CK2に接続しているため、上記のようにトランジスタQ4のゲートおよびソースに入力される信号が変更されていることを除いては、図10の回路と同様になる。

【0128】

ここでも第n段目の単位シフトレジスタ SR_n について代表的に説明する。当該単位シフトレジスタ SR_n の第1クロック端子CK1にはクロック信号CLKが入力され、第2クロック端子CK2にはクロック信号 $\bar{C}LK$ が入力されるものと仮定する。なお、本実施の形態の単位シフトレジスタSRの動作も、基本的には実施の形態1で説明したものと同様であるので、説明の簡単のため再び図8を参照する。

【0129】

時刻 t_1 において、単位シフトレジスタ SR_{n-1} の第1クロック端子CK1に入力されるクロック信号 $\bar{C}LK$ がHレベルになると共に、当該前段の第1および第2出力信号 G_{n-1} 、 GD_{n-1} がHレベルになったとする。このとき単位シフトレジスタ SR_n のトランジスタQ4のゲートがHレベルになるが、そのソースもHレベルになっているのでトランジスタQ4はオンしない。そのためノードN1は、トランジスタQ3を介してHレベルに充電される。それにより、単位シフトレジスタ SR_n はリセット状態から、セット状態に移行する。

【0130】

時刻 t_2 でクロック信号 $\bar{C}LK$ が立ち下ると、前段の第1および第2出力信号 G_{n-1} 、 GD_{n-1} もLレベルになるが、トランジスタQ3がオフし、トランジスタQ4もオフのままであるため、ノードN1のレベルはフローティングでHレベル($VDD - V_{th}$)に維持される。

【0131】

時刻 t_3 でクロック信号CLKが立ち上がると、ノードN1が昇圧されると共に、第1および第2出力信号 G_n 、 GD_n が、Hレベル(VDD)になる。そして時刻 t_4 でクロック信号CLKがLレベルになると、単位シフトレジスタ SR_n の第1および第2出力信号 G_n 、 GD_n もLレベルになる。それによりノードN1のレベルも $VDD - V_{th}$ にまで低下する。

【0132】

そして時刻 t_5 でクロック信号 $\bar{C}LK$ が立ち上がると、このとき第1出力信号 G_{n-1} はLレベルになっているので、トランジスタQ4はオンとなり、ノードN1は放電されてLレベルになる。即ち、単位シフトレジスタ SR_n はリセット状態に戻り、トランジスタQ1、QD1はオフになる。その後時刻 t_6 でクロック信号 $\bar{C}LK$ がLレベルになると、トランジスタQ4はオフに戻る。

【0133】

以上のように実施の形態7に係る単位シフトレジスタSRは、実施の形態1の単位シフトレジスタSRと同様に動作することができる。即ち、トランジスタQ3が前段の第1および第2出力信号 G_{n-1} 、 GD_{n-1} を用いて高速に充電されるため、実施の形態1と同様の効果が得られる。

10

20

30

40

50

【 0 1 3 4 】

また本実施の形態では、各単位シフトレジスタSRを、その次段の単位シフトレジスタに接続する必要がない。従って、回路のレイアウトの自由度が増し、回路の形成面積の縮小化に寄与できる。但し、トランジスタQ4のゲートにクロック信号が連続的に供給されるため、クロック信号生成回路（図6のクロック発生器31）の交流電力が大きくなる点に留意すべきである。

【 0 1 3 5 】

また本実施の形態においては、単位シフトレジスタSRのトランジスタQ4のソースに前段の第1出力信号Gが入力される構成としたが、それに代えて前段の第2出力信号GDを入力してもよい。但し、その場合には、各単位シフトレジスタSRの第2出力端子OUTDにかかる負荷容量が増加するため、第2出力信号GDの立ち上がり速度が低下して本発明の効果が若干低減されることに留意すべきである。

【 0 1 3 6 】

なお図15においては、実施の形態2（図10）の単位シフトレジスタSRに対して、上記のようにトランジスタQ4のゲート及びソースに入力する信号を変更した構成を示したが、本実施の形態は上記の実施の形態1, 3～6の回路（図5, 図11～図14）および後述する実施形態8～11の回路（図19～図16）それぞれのトランジスタQ4に対しても適用可能である。

【 0 1 3 7 】

< 実施の形態8 >

上記したように、実施の形態4, 5の単位シフトレジスタSR（図12, 図13）では、ノードN1がLレベルにある間（ゲート線GLの非選択期間）、トランジスタQ5, Q6から成るインバータが、ノードN2をHレベルに保持する。よってその間は第1および第2出力端子OUT, OUTDを放電するトランジスタQ2, QD2がオンに保たれる。それにより第1および第2出力端子OUT, OUTDが低インピーダンスのLレベルに維持されるため、誤信号の発生が防止される。しかしトランジスタQ2, QD2のゲートが継続的にHレベルにされるため、それらのしきい値電圧のシフトが生じてしまう。

【 0 1 3 8 】

一方、実施の形態2, 3の単位シフトレジスタSR（図10, 図11）では、トランジスタQ2, QD2のゲートにはクロック信号CLKが入力される。つまりそれらのゲートのレベルは一定周期でスイングされており、継続的にHレベルにならないため、しきい値電圧のシフトは抑制される。但し、第1および第2出力端子OUT, OUTDが一定周期で高インピーダンス状態になるため、誤信号防止の効果は実施の形態4, 5よりも低い。

【 0 1 3 9 】

上記の特許文献5（特開2006-24350号公報）の図7, 図11には、これらの問題を解決できる単位シフトレジスタが提案されている。特にその図11の単位シフトレジスタは、本願発明と同様に2つの出力端子（OUT, CR）を有するものである。実施の形態8では、特許文献5の図11の技術を、本発明の単位シフトレジスタSRに適用する。

【 0 1 4 0 】

図16は、実施の形態8に係る単位シフトレジスタSRの回路図である。当該単位シフトレジスタSRは、実施の形態5の単位シフトレジスタSR（図13）に対し、特許文献5の図11の技術を適用したものである。図16においては、図13に示したものと同様の機能を有する要素にはそれと同一符号を付してある。但し図16の第1クロック端子CK1は、図13のクロック端子CKに相当する。

【 0 1 4 1 】

図13の単位シフトレジスタSRは、第1および第2出力端子OUT, OUTDをプルダウンするためのトランジスタQ2, QD2を駆動する「プルダウン駆動回路」として、レシオ型のインバータ（図13のトランジスタQ5, Q6）を有していたが、図16の単

10

20

30

40

50

位シフトレジスタSRはそれに代えて、容量素子C3およびトランジスタQ6から成る容量性負荷型のインバータを備えている。

【0142】

当該インバータも、トランジスタQ1, QD1のゲート(ノードN1)を入力ノードとし、トランジスタQ2, QD2のゲート(ノードN2)を出力端とする。但し、当該インバータは、第1クロック端子CK1に入力されるクロック信号が電源として供給される点で、通常のものとは異なる。即ち当該インバータにおいて、容量素子C3はノードN2と第1クロック端子CK1との間に接続される。容量素子C3は、当該インバータの負荷としてだけでなく、第1クロック端子CK1のクロック信号をノードN2に結合させる結合容量としても機能する。トランジスタQ6は、図13の場合と同様に、ノードN2と第1電源端子S1との間に接続し、そのゲートはノードN1に接続される。

10

【0143】

当該単位シフトレジスタSRは、第1出力端子OUTと第1電源端子S1との間に接続したトランジスタQ8と、第2出力端子OUTDと第1電源端子S1との間に接続したトランジスタQD8とをさらに備えている。これらトランジスタQ8, QD8のゲートは共に、第2クロック端子CK2に接続される。第2クロック端子CK2には、第1クロック端子CK1に入力されるものとは異なる位相のクロック信号が入力される。図10と対比して分かるように、トランジスタQ8, QD8は、実施の形態2におけるトランジスタQ2, QD2に相当するものである。

【0144】

ここでも第1および第2クロック端子CK1, CK2にそれぞれクロック信号CLK, /CLKが入力される、第n段目の単位シフトレジスタSR_nの動作を代表的に説明する。

20

【0145】

まずゲート線GL_nの非選択期間における動作について説明する。この期間では単位シフトレジスタSR_nのノードN1はLレベルである。容量素子C3およびトランジスタQ6から成るインバータは、クロック信号CLKにより電源が供給されるときに活性化されるので、クロック信号CLKがHレベルになったときノードN2にHレベルを出力する。より詳細には、ノードN1がLレベルの間はトランジスタQ6はオフであるので、ノードN2のレベルは、容量素子C3を介する結合により、クロック信号CLKがHレベルになるのに追従してHレベルになる。

30

【0146】

よってトランジスタQ2, QD2は、クロック信号CLKがHレベルになる度にオンし、それぞれ第1および第2出力端子OUT, OUTDを低インピーダンスでLレベルにする。一方、トランジスタQ8, QD8は、第2クロック端子CK2に入力されるクロック信号/CLKがHレベルになる度にオンする。

【0147】

つまりゲート線GL_nの非選択期間では、トランジスタQ2, QD2のペアと、トランジスタQ8, QD8のペアとが、クロック信号CLK, /CLKに同期して交互にオンになる。よって第1および第2出力端子OUT, OUTDは、殆どの期間低インピーダンスでLレベルにされることとなり、誤信号の発生を抑制する効果は実施の形態5と同程度に高いものとなる。

40

【0148】

またトランジスタQ2, QD2, Q8, QD8のゲートのレベルはそれぞれ一定周期でスイングされており、継続的にHレベルにされないため、それらのしきい値電圧のシフトは抑制される。

【0149】

次にゲート線GL_nの選択期間における動作を説明する。この期間では単位シフトレジスタSR_nのノードN1はHレベルである。ノードN1がHレベルの間はトランジスタQ6がオンになるので、容量素子C3およびトランジスタQ6から成るインバータはノード

50

N2にLレベルを出力する。また当該期間ではクロック信号/CLKはLレベルである。従ってトランジスタQ2, QD2, Q8, QD8はオフに維持されるので、単位シフトレジスタSR_nは正常に第1および第2出力信号G_n, GD_nを出力することができる。

【0150】

このように本実施の形態によれば、トランジスタQ2, QD2, Q8, QD8のしきい値電圧のシフト(即ち駆動能力の低下)を防止しつつ、誤信号の発生防止の高い効果を得ることができる。

【0151】

<実施の形態9>

本実施の形態では、実施の形態8の単位シフトレジスタSR(図16)に対し、実施の形態3で用いた技術を適用する。

【0152】

図17は、実施の形態9に係る単位シフトレジスタSRの構成を示す回路図である。当該単位シフトレジスタSRは、図16の回路に対し、トランジスタQ2、QD2のソースを第2クロック端子CK2に接続させ、またトランジスタQ8、QD8のソースを第1クロック端子CK1に接続させている。即ち、トランジスタQ2、QD2、Q8、QD8のソースにはゲートに入力されるものと位相の異なるクロック信号が入力されることになる。その点を除いては図16の回路と同様である。

【0153】

ここでも第n段目の単位シフトレジスタSR_nについて代表的に説明し、その第1クロック端子CK1にはクロック信号CLKが入力され、第2クロック端子CK2にはクロック信号/CLKが入力されるものと仮定する。

【0154】

クロック信号CLK, /CLKは互いに相補な信号である。よって、クロック信号CLKがHレベルになってトランジスタQ2, QD2がオンする間はそれらのソースはクロック信号/CLKによりLレベルにされ、またクロック信号/CLKがHレベルになってトランジスタQ8, QD8がオンする間はそれらのソースはクロック信号CLKによりLレベルにされる。よってトランジスタQ2, QD2, Q8, QD8は、ソースが第1電源端子S1に接続されている場合と同じように、第1および第2出力端子OUT, OUTDを放電することができる。

【0155】

またクロック信号CLKがLレベルになってトランジスタQ2, QD2がオフする間はそれらのソースはクロック信号/CLKによりHレベルにされ、クロック信号/CLKがLレベルになってトランジスタQ8, QD8がオフする間はそれらのソースはクロック信号CLKによりHレベルにされる。つまりトランジスタQ2, QD2, Q8, QD8がオフのとき、そのゲートがソースに対して負にバイアスされるのと等価な状態になる。それにより、正方向へシフトしたしきい値電圧が負方向へ戻って回復するため、トランジスタQ2, QD2, Q8, QD8の駆動能力の低下が防止される。

【0156】

<実施の形態10>

図18は、実施の形態10に係る単位シフトレジスタSRの構成を示す回路図である。当該単位シフトレジスタSRは、図16の回路に対し、トランジスタQ2を省略している。

【0157】

トランジスタQ2が無い場合、クロック信号/CLKがHレベルのとき以外は第1出力端子OUTが高インピーダンスとなる。即ち、第1出力端子OUTにおける誤信号の発生防止の効果は、図10の回路と同じ程度になる。なお、トランジスタQ2を無くしたことで、表示装置の表示特性に悪影響が生じる場合には、画素の電位に対してVSSレベルをより低くすればそれを改善できる。

【0158】

10

20

30

40

50

本実施の形態によれば、トランジスタQ2を省略した分だけ回路面積を削減することができる。またノードN2の寄生容量が小さくなり、ノードN2の充電が容易になるため、容量素子C3の値を小さく設定することができるようになる。つまり容量素子C3の形成面積を縮小できるという点でも、回路面積の縮小化に寄与できる。さらに、トランジスタQ2のゲート容量によって消費されていた分の電力が削減されるので、回路の低消費電力化にも寄与できる。

【0159】

なお回路面積の縮小化の目的であれば、トランジスタQ2ではなくトランジスタQD2の方を省略することも考えられる(トランジスタQ2, QD2の両方を省略すると、実施の形態2(図10)と同じとなる)。しかしトランジスタQD2を省略すると、トランジスタQ2を省略する場合よりも誤動作が起こり易いため好ましくない。その理由は次のとおりである。

【0160】

即ち、トランジスタQD2が省略された場合、第1クロック端子CK1のクロック信号の立ち上がり時に、第2出力端子OUTDが高インピーダンス状態になる。第2出力端子OUTDの容量負荷(即ち次段のトランジスタQ3のゲート容量)は、第1出力端子OUTの容量負荷(即ちゲート線GLに付随する容量)に比べて小さい。そのため、第2出力端子OUTDが高インピーダンス状態になると、ノイズの影響等により第1出力端子OUTが高インピーダンス状態になった場合よりも簡単にそのレベルが上昇してしまう。つまり誤信号としての第2出力信号GDが出力されやすくなる。従ってそれを防止すべくトランジスタQD2は残しておくことが好ましい。

【0161】

上記の実施の形態9は、本実施の形態に対しても適用可能である。即ち図18の回路に対し、トランジスタQD2のソースを第2クロック端子CK2に接続させ、トランジスタQ8, QD8のソースを第1クロック端子CK1に接続させてもよい。

【0162】

<実施の形態11>

図19は実施の形態11に係る単位シフトレジスタSRの構成を示す回路図である。当該単位シフトレジスタSRは、図16の回路に対し、トランジスタQ8を省略したものである。この場合、ゲート線GLの非選択期間において、クロック信号CLKがHレベルのとき以外は第1出力端子OUTが高インピーダンスとなる。第1出力端子OUTが高インピーダンスになるタイミングが異なるものの、誤信号の発生防止の効果は図18の回路とほぼ同じである。

【0163】

トランジスタQ8が省略されることにより、単位シフトレジスタSRの形成面積を縮小化できる。またトランジスタQ8のゲート容量により消費されていた電力を削減できるという利点もある。

【0164】

なお回路面積の縮小化の目的であれば、トランジスタQ8のみならずトランジスタQ8Dも省略してもよいが、トランジスタQ8Dは誤動作を防止するために残した方が好ましい。先に述べたように、第2出力端子OUTDは、その容量負荷が出力端子OUTのそれに比べ小さい。そのためトランジスタQ8Dが省略されたことで第2出力端子OUTDが高インピーダンス状態になると、ノイズの影響等により誤信号としての第2出力信号GDが(実施の形態10においてトランジスタQ2Dを省略した場合ほどではないが)生成され易くなる。従ってそれを防止すべく、トランジスタQ8Dは残しておくことが好ましい。

【0165】

上記の実施の形態9は、本実施の形態に対しても適用可能である。即ち図19の回路に対し、トランジスタQ2, QD2のソースを第2クロック端子CK2に接続させ、トランジスタQ8のソースを第1クロック端子CK1に接続させてもよい。

【図面の簡単な説明】

【0166】

【図1】本発明の実施の形態に係る表示装置の構成を示す概略ブロック図である。

【図2】従来のゲート線駆動回路の構成を示すブロック図である。

【図3】従来の単位シフトレジスタの構成を示す回路図である。

【図4】従来の単位シフトレジスタの動作を示すタイミング図である。

【図5】実施の形態1に係る単位シフトレジスタの構成を示す回路図である。

【図6】実施の形態1に係るゲート線駆動回路の構成を示すブロック図である。

【図7】実施の形態1に係るゲート線駆動回路の構成を示す回路図である。

【図8】実施の形態1に係る単位シフトレジスタの動作を示すタイミング図である。 10

【図9】実施の形態1に係る単位シフトレジスタの効果の説明するための図である。

【図10】実施の形態2に係る単位シフトレジスタの構成を示す回路図である。

【図11】実施の形態3に係る単位シフトレジスタの構成を示す回路図である。

【図12】実施の形態4に係る単位シフトレジスタの構成を示す回路図である。

【図13】実施の形態5に係る単位シフトレジスタの構成を示す回路図である。

【図14】実施の形態6に係る単位シフトレジスタの構成を示す回路図である。

【図15】実施の形態7に係る単位シフトレジスタの構成を示す回路図である。

【図16】実施の形態8に係る単位シフトレジスタの構成を示す回路図である。

【図17】実施の形態9に係る単位シフトレジスタの構成を示す回路図である。

【図18】実施の形態10に係る単位シフトレジスタの構成を示す回路図である。 20

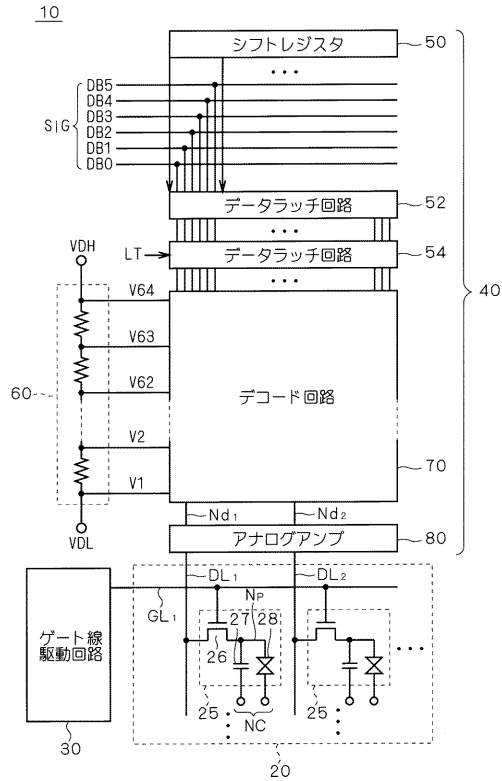
【図19】実施の形態11に係る単位シフトレジスタの構成を示す回路図である。

【符号の説明】

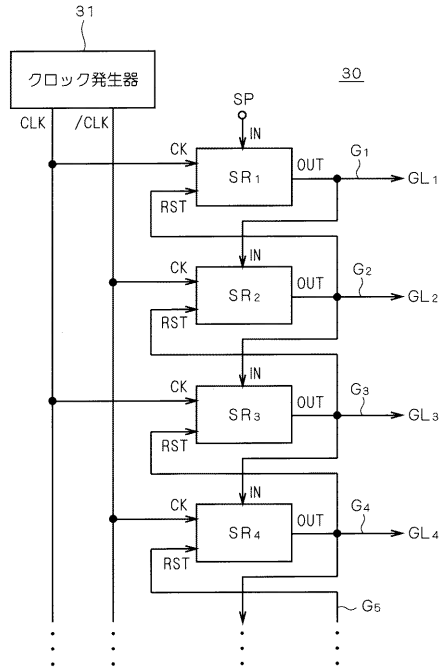
【0167】

30 ゲート線駆動回路、31 クロック発生器、SR 単位シフトレジスタ、IN 第1入力端子、IND 第2入力端子、OUT 第1出力端子、OUTD 第2出力端子、S1 第1電源端子、S2 第2電源端子、CK クロック端子、CK1 第1クロック端子、CK2 第2クロック端子、RST リセット端子、Q1～Q8 トランジスタ、GL ゲート線、C1, C2, C3 容量素子。

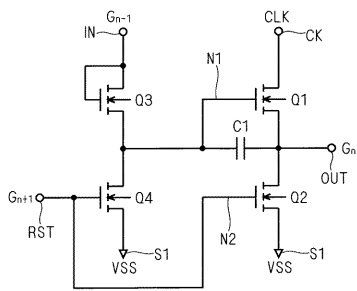
【図1】



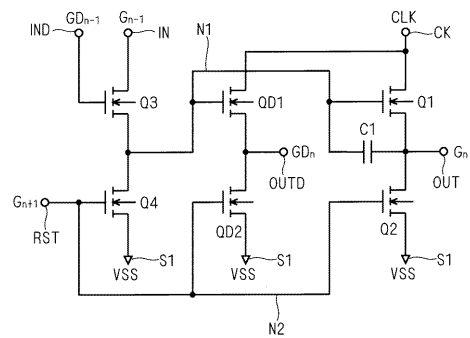
【図2】



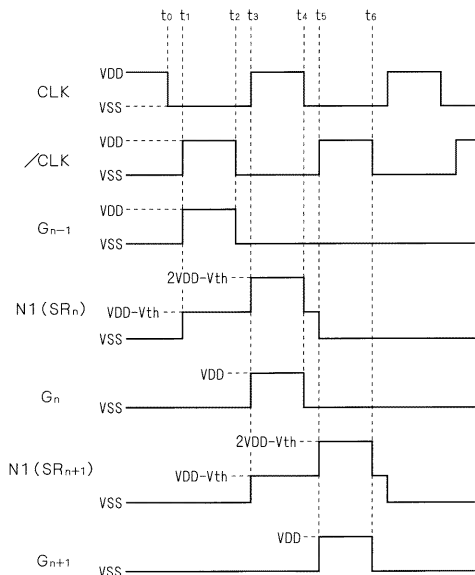
【図3】



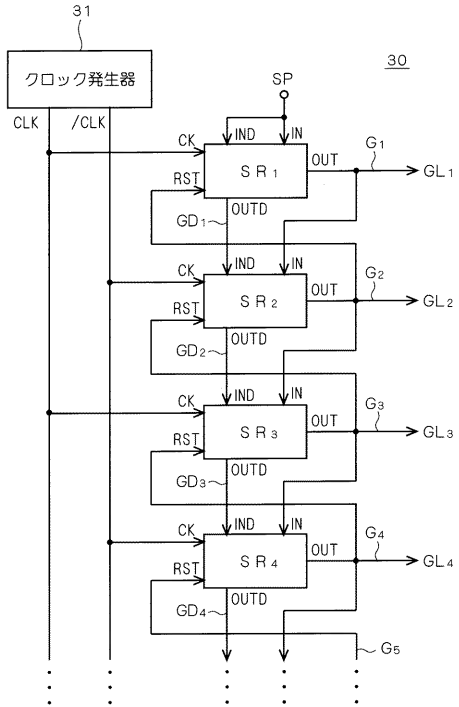
【図5】



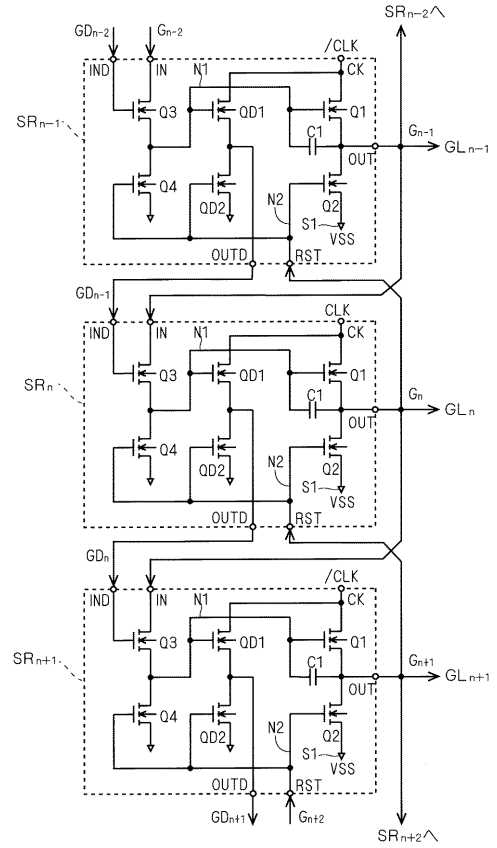
【図4】



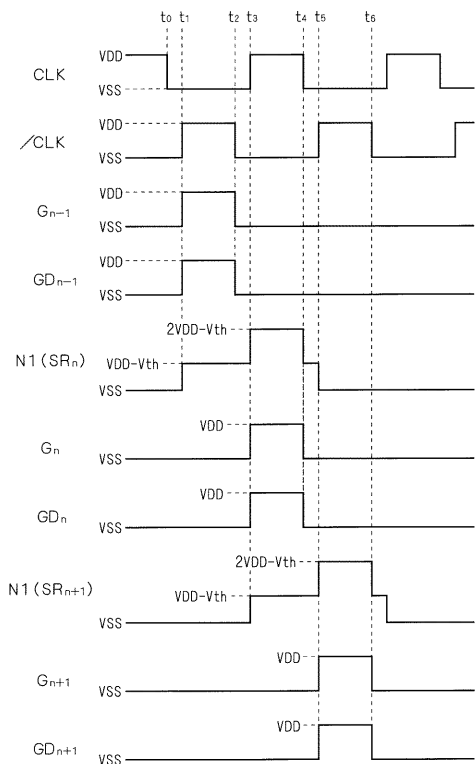
【図6】



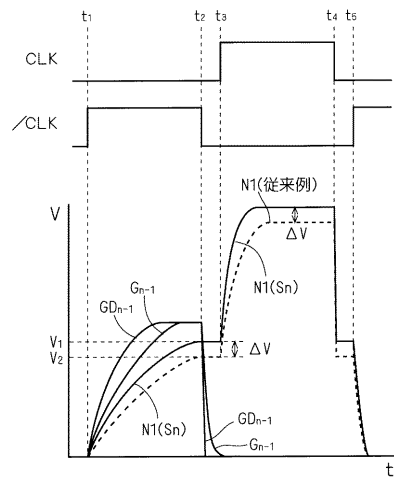
【図7】



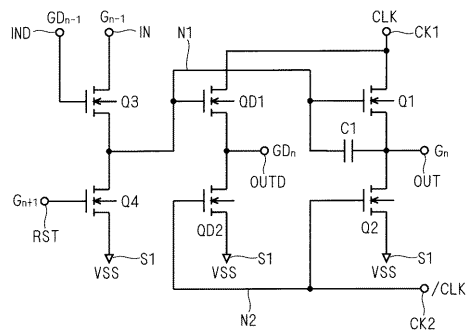
【図8】



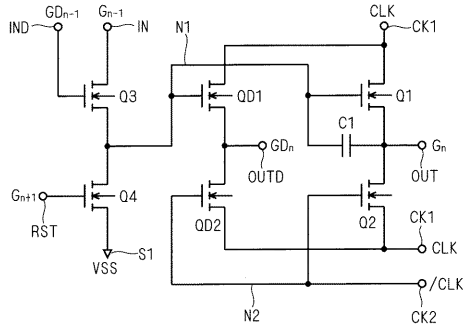
【図9】



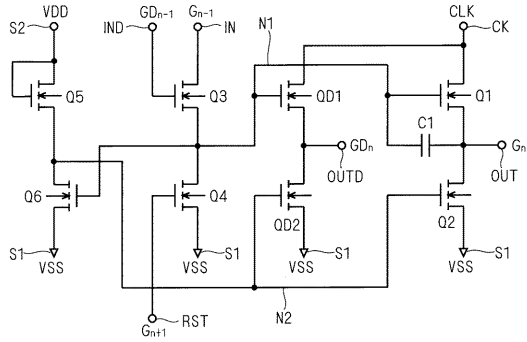
【図10】



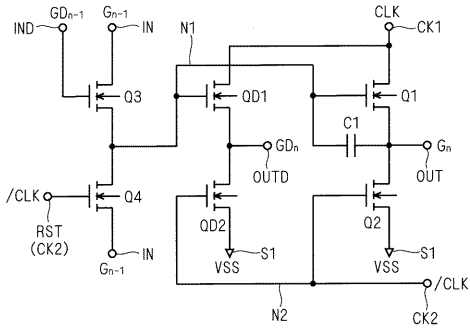
【 1 1 】



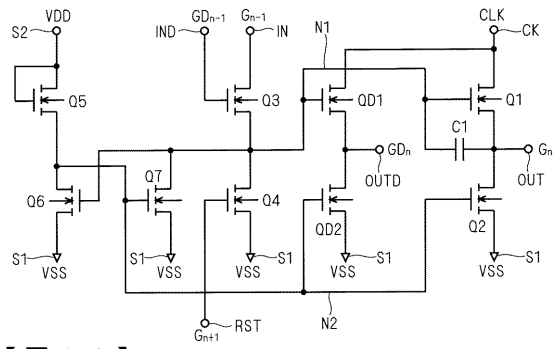
【 1 2 】



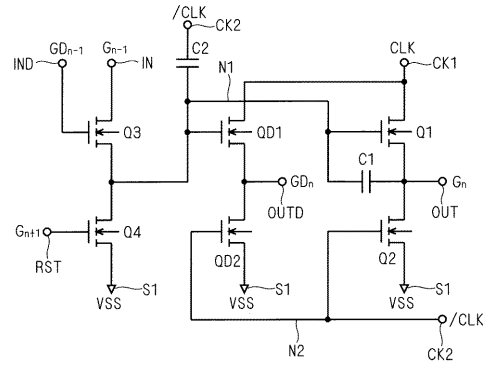
【 1 5 】



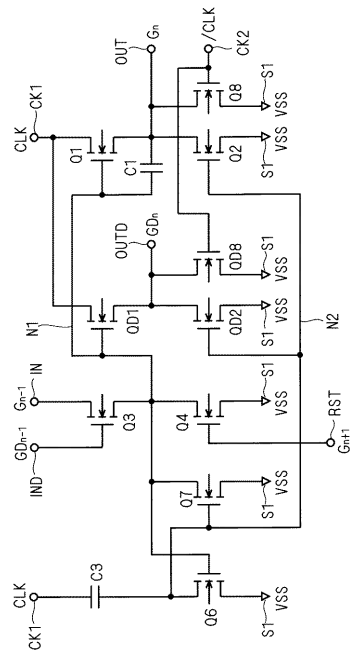
【 1 3 】



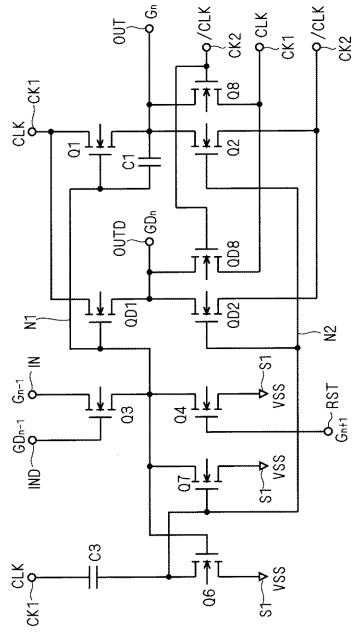
【 1 4 】



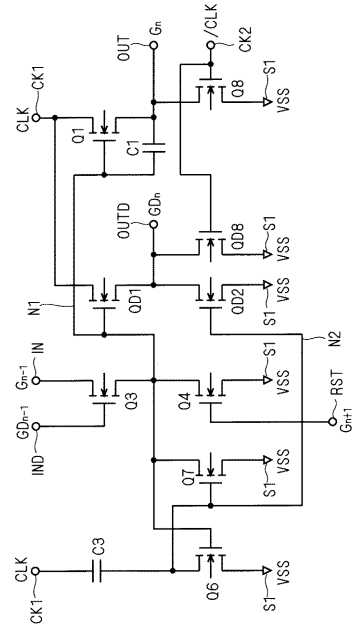
【 1 6 】



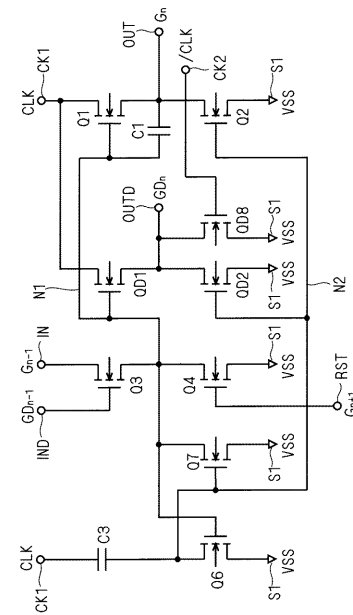
【 図 17 】



【 図 18 】



【 図 19 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 1 M

(56)参考文献 特開2008-89874(JP,A)
特開2007-114771(JP,A)
特開2008-58939(JP,A)
特開2006-79041(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 1 9 / 0 0

G 1 1 C 1 9 / 2 8

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 6